

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6228873号
(P6228873)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl.		F I			
HO1S	5/32	(2006.01)	HO1S	5/32	
HO1S	5/026	(2006.01)	HO1S	5/026	612
HO1L	31/10	(2006.01)	HO1S	5/026	618
GO2B	6/12	(2006.01)	HO1L	31/10	A
			GO2B	6/12	301

請求項の数 4 (全 11 頁)

(21) 出願番号 特願2014-56734 (P2014-56734)
 (22) 出願日 平成26年3月19日(2014.3.19)
 (65) 公開番号 特開2015-179748 (P2015-179748A)
 (43) 公開日 平成27年10月8日(2015.10.8)
 審査請求日 平成28年8月23日(2016.8.23)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 110001689
 青稜特許業務法人
 (72) 発明者 谷 和樹
 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
 審査官 高 椋 健司

最終頁に続く

(54) 【発明の名称】 半導体光素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

埋め込み酸化膜としての二酸化シリコン層と同等の膜厚の二酸化シリコン層を裏面にも形成されたシリコン基板を有するSOI基板を用意する工程と、

表面に二酸化シリコン層が形成された前記SOI基板のSOI層上に、発光素子、および受光素子が形成されるそれぞれの領域に、イオン注入により第1導電型電極と第2導電型電極とを形成して、アニール処理によりSOI層の結晶性を回復させる工程と、

前記SOI層上に、第1のIV族元素層をエピタキシャル成長して、該第1のIV族元素層の表面に二酸化シリコン層を形成して、発光素子の発光層、および受光素子の受光層を形成するためのハードマスクを前記二酸化シリコン層より加工して形成する工程と、

異方性ドライエッチングにより前記第1のIV族元素層、および前記SOI層を加工して、発光素子または受光素子が形成される各領域ごとに前記SOI層を島状に分離加工する工程と、

発光素子が形成される領域の第1のIV族元素層に第2導電型の不純物を注入してイオン注入層を形成後、アニール処理により前記イオン注入層中の不純物を前記ハードマスクに接している第1のIV族元素層へ拡散させて、第2のIV族元素層を形成する工程と、

前記ハードマスクを使用した異方性ドライエッチングにより、前記ハードマスクに接していない前記第1のIV族元素層、前記イオン注入層を加工した後、前記ハードマスクをウェットエッチングによって除去して、発光素子が形成される領域上に第2のIV族元素層よりなる発光層、および受光素子が形成される領域上に第1のIV族元素層よりなる受

10

20

光層を形成する工程と、

を有することを特徴とする半導体光素子の製造方法。

【請求項 2】

前記第 2 の I V 族元素層は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上の濃度で第 2 導電型の不純物でドーピングされることを特徴とする請求項 1 記載の半導体光素子の製造方法。

【請求項 3】

前記第 1 の I V 族元素層の不純物濃度は、 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 1 記載の半導体光素子の製造方法。

【請求項 4】

前記第 1 の I V 族元素層及び第 2 の I V 族元素層は、ゲルマニウム、または、ゲルマニウム・スズであることを特徴とする請求項 1 記載の半導体光素子の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体光素子の製造方法、及び半導体光素子に係り、I V 族元素を用いた光素子であって、特に、発光素子を高い効率で発光させ、受光素子を高い感度で動作させるのに好適な半導体光素子の製造方法、及び半導体光素子に関する。

【背景技術】

【0002】

インターネット産業を支えるブロード・バンド・ネットワークでは、光通信が採用されている。この光通信における光の送受信には、I I I - V 族化合物半導体を用いたレーザー・ダイオードが使用されている。

20

【0003】

一方、情報処理や記憶は、シリコンを基幹とした L S I 上で行われており、従来では、L S I の電気的特性を利用して、情報を伝達したり、記憶してきた。ところが、最近、シリコンを用いた光学素子で、シリコンのチップ間やチップ内といった近距離の光配線や従来の化合物半導体を置き換えて光通信を実現しようとする研究が盛んとなっており、この分野は、シリコン・フォトンクスと呼ばれている。これは、世界的に広く普及している洗練されたシリコンのプロセスラインを用いて、光学素子を作ろうとする技術である。現在は、これらのシリコン・ラインで、C M O S (Complementary Metal-Oxide-Semiconductor: 相補的 M O S 型トランジスタ) に基づく L S I (Large Scale Integration の略、大規模集積回路) が生産されているが、将来的には、このようなシリコン・フォトンクスによる光回路を C M O S 回路と集積したフォトンクスとエレクトロニクスの融合回路技術が実現し、シリコンのチップ内光配線、あるいは、チップ間光配線を実現できると考えられている。シリコン・フォトンクスにおける要素技術としては、シリコンを用いた光導波路、光合分波器、及び光変調器や、ゲルマニウムを用いた受光素子などが挙げられる。

30

【0004】

シリコン・フォトンクスにおいて最もチャレンジングな課題であるのが光源である。なぜなら、バルク状態のシリコンやゲルマニウムは間接遷移半導体であるため、極めて発光効率が悪いからである。

40

【0005】

そこで、ゲルマニウムを高効率で発光させるために直接遷移半導体へ変化させる方法が提案されている。

【0006】

ゲルマニウムを直接遷移半導体へと変える方法のひとつとして、伸長歪みを印加させる方法が知られている。ゲルマニウムに伸長歪みを印加すると、歪みの大きさに応じて伝導帯の点のエネルギーが小さくなる。伸長歪みを与えた結果、点のエネルギーが L 点のエネルギーよりも小さくなればゲルマニウムは直接遷移型の半導体に変化する(特許文献 1 ~ 5、非特許文献 1、2)。

【0007】

50

非特許文献1では、約2%の伸長歪みを印加することによってゲルマニウムが直接遷移半導体に変化することが報告されている。また、作成方法として、特許文献2には、ゲルマニウム層をシリコンウェハー上に直接エピタキシャル成長させ、シリコンとゲルマニウムの熱膨張係数の差を利用して、ゲルマニウム層に伸長歪みを印加させる方法が開示されている。また、ゲルマニウムの伝導帯の底であるL点と直接遷移のエネルギーである点ではエネルギーギャップが0.136 eVと小さいため、完全に直接遷移にならずとも、キャリアを高密度に注入すれば点にもキャリアが注入され、電子と正孔は直接遷移型の再結合を行うことができる。特許文献3には、シリコン基板上に0.25%の引張歪みを印加したゲルマニウム層をエピタキシャル成長して、直接遷移型にはなっていないものの高濃度のキャリアを注入することによって発光させ、レーザ・ダイオードを作成する技術が開示されている。非特許文献2では、シリコン基板上にエピタキシャル成長したゲルマニウム層を用いて作成したLight Emitting Diode(LED)が開示されている。特許文献4には、シリコンに伸長歪みを印加することによって、発光素子を形成する技術が開示されている。また、特許文献5には、ゲルマニウム層に光を強く閉じ込めることによって生じるパーセル効果を用いたゲルマニウム・レーザ・ダイオードが開示されている。

10

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-294628号公報

【特許文献2】特表2005-530360号公報

20

【特許文献3】特表2009-514231号公報

【特許文献4】特開2007-173590号公報

【特許文献5】特開2009-76498号公報

【非特許文献】

【0009】

【非特許文献1】F. Zhang, V.H. Crespi, *フィジカル・レビュー・レターズ(Physical Review Letters)*, 102, 2009年, p.156401

【非特許文献2】X. Sun, J. Liu, L. C. Kimerling, J. Michel, *オプティクス・レターズ(Optics Letters)*, Vol.34, No. 8, 2009年, p.1198

【発明の概要】

30

【発明が解決しようとする課題】

【0010】

上述のようにシリコンのチップ内光配線、あるいはチップ間光配線のための発光素子として、ゲルマニウムの直接遷移化やゲルマニウムへの効率的なキャリア注入を実現するために研究が行われている。しかしながら、ゲルマニウム発光素子を用いたチップ内光配線は、実現されていない。

【0011】

ゲルマニウム発光素子を用いたオンチップ光配線を実現するためには、高効率で発光可能なゲルマニウム発光素子と高感度なゲルマニウム受光素子をモノリシックに集積することが必要である。特許文献3によれば、発光効率を向上するにはゲルマニウムに高濃度にn型ドーピングすることが有効である。一方、高感度な受光素子を実現するためには受光層のドーピング濃度を低減することが有効であることは広く知られている。したがって、同一基板上に高濃度にn型ドーピングしたゲルマニウム層とアンドープのゲルマニウム層をモノリシックに集積することができれば高い効率で発光するゲルマニウム発光素子と高感度なゲルマニウム受光素子をモノリシックに集積をすることができる。

40

【0012】

一般に、ゲルマニウムにドーピングを行う主な技術としては、気相拡散、エピタキシャル成長中のin situドーピング、イオン注入などが挙げられる。

【0013】

しかしながら、気相拡散によるドーピングでは、ドーピングプロファイルが拡散だけに

50

よって決定されるため、素子設計に大きな制約を受けるという欠点がある。また、in situドーピングは、ガス流量の調整などでドーピングプロファイルを調整できるというメリットがあるが、成長するゲルマニウム全てにドーピングされるため、アンドープのゲルマニウムと集積するためには選択エピタキシャル成長を複数回行う等の複雑なプロセスが必要となり、製造コストが高価になる欠点がある。イオン注入では、マスクを用いることによって領域を限定してドーピングできるため、低コストで高濃度にn型ドーピングしたゲルマニウムとアンドープのゲルマニウムを集積することができる。しかしながら、発光層として使用するゲルマニウム層に直接不純物原子を打ちこむと、ゲルマニウム発光層に多数の結晶欠陥が生じ、熱処理等を施しても完全に結晶性を回復するのは困難である。ゲルマニウム発光層の発光効率を向上するには、結晶欠陥が少ないことが必須であるために、ドーピング方法にイオン注入を用いると結晶欠陥の増加により、かえって発光効率が低下するという問題がある。したがって、ゲルマニウムを高濃度ドーピングする際に、新たな結晶欠陥を導入せず、低コストで同一基板上にアンドープのゲルマニウムと集積可能なプロセスが必要である。

10

【0014】

本発明は、上記問題点を解決するためになされたものであり、その目的は、モノリシックに集積され、高い効率で発光可能な発光素子と高い感度で受光可能な受光素子を有するIⅤ族半導体で構成された半導体光素子を提供することにある。

【課題を解決するための手段】**【0015】**

20

上記目的を達成するために、本発明の半導体光素子の製造方法では、絶縁膜と、絶縁膜上に設けられた単結晶シリコンとを積層し、ドーピングすることによりn型拡散電極とp型拡散電極を形成する。そして、両電極から導通するように、単結晶シリコンによって、発光層を形成し、発光層（チャンネル）の上部にハードマスクを堆積し、その近傍にイオン注入層を形成する。しかる後に、イオン注入層にPイオンを注入し、その後、アニール処理することにより、イオン注入層に注入された不純物を発光層に拡散させる。そして、ハードマスク、イオン注入層をエッチング除去する。

【0016】

このように、発光層上にハードマスクを堆積させて、ハードマスクを用いて、イオン注入時には、発光層をマスクをしておき、しかる後に、イオン注入層にイオン注入をして高濃度にドーピングを行い、注入した不純物原子をイオン注入した領域から熱処理によって発光（チャンネル）層へ拡散させることより、イオン注入による発光層の結晶の劣化を防ぎ、高い効率で発光することのできる半導体光素子を製造することができる。

30

【発明の効果】**【0017】**

本発明によれば、モノリシックに集積され、高い効率で発光可能な発光素子と高い感度で受光可能な受光素子を有するIⅤ族半導体で構成された半導体光素子を提供することができる。

【図面の簡単な説明】**【0018】**

40

【図1A】半導体光素子の発光層近傍の様子(図1CのA断面)の様子を説明するための断面図である。

【図1B】半導体光素子の受光層の近傍の様子(図1CのB断面)の様子を説明するための断面図である。

【図1C】半導体光素子の上面図である(その一)。

【図2A】半導体光素子の発光層近傍の様子(図2CのA断面)の様子を説明するための断面図である。

【図2B】半導体光素子の受光層の近傍の様子(図2CのB断面)の様子を説明するための断面図である。

【図2C】半導体光素子の上面図である(その二)。

50

【図 3 A】半導体光素子の発光層近傍の様子(図 3 C の A 断面)の様子を説明するための断面図である。

【図 3 B】半導体光素子の受光層の近傍の様子(図 3 C の B 断面)の様子を説明するための断面図である。

【図 3 C】半導体光素子の上面図である(その三)。

【図 4 A】半導体光素子の発光層近傍の様子(図 4 C の A 断面)の様子を説明するための断面図である。

【図 4 B】半導体光素子の受光層の近傍の様子(図 4 C の B 断面)の様子を説明するための断面図である。

【図 4 C】半導体光素子の上面図である(その四)。

10

【図 5 A】半導体光素子の発光層近傍の様子(図 5 C の A 断面)の様子を説明するための断面図である。

【図 5 B】半導体光素子の受光層の近傍の様子(図 5 C の B 断面)の様子を説明するための断面図である。

【図 5 C】半導体光素子の上面図である(その五)。

【発明を実施するための形態】

【0019】

以下、本発明に係る一実施形態を、図 1 A ~ 図 5 A、図 1 B ~ 図 5 B、図 1 C ~ 図 5 C を用いて説明する。

【0020】

20

図 1 A ~ 図 5 C は、いずれも本発明の一実施形態に係る半導体光素子の製造工程を説明するための図であり、図 1 C ~ 図 5 C は、半導体光素子の上面図であり、図 1 A ~ 図 5 A、図 1 B ~ 図 5 B は、それぞれ、図 1 C ~ 図 5 C をライン A、図 1 C ~ 図 5 C をライン B で切り出したときの断面図である。なお、半導体光素子のデバイスとしての完成図は、図 5 A ~ 図 5 C となる。

【0021】

図 1 A ~ 図 5 A は、半導体光素子の中での発光素子を製造するときの様子、図 1 B ~ 図 5 B は、半導体光素子の中での受光素子を製造するときの様子を示している。

【0022】

本実施形態では、通常のシリコン・プロセスを用いて容易に形成可能な方法によって作成したゲルマニウム発光素子とゲルマニウム受光素子を用いた半導体光素子とその製造方法について説明する。

30

【0023】

以下、順を追って製造工程を説明する。

【0024】

先ず、図 1 A、図 1 B 及び図 1 C に示すように、支持基板として、シリコン基板 1、埋め込み酸化膜 (Buried Oxide: BOX) として二酸化シリコン層 2 及び Silicon On Insulator (以下、「SOI」と略す) 層 3 が積層された SOI 基板を用意する。本実施形態で試作した SOI 層 3 は表面に (100) 面を有しており、プロセス前の初期膜厚は 100 nm であった。また、二酸化シリコン層 2 の膜厚は 2000 nm であった。

40

【0025】

図 1 A に示すように、シリコン基板 1 の裏面にも二酸化シリコン (Buried Oxide: BOX) 層 2 が形成されている。これは、シリコン基板 1 のウェハの反りを防止するためのものである。2000 nm と厚い二酸化シリコン層 2 を形成しているため、シリコン基板 1 に強い圧縮応力が印加されており、表面と裏面に同じ膜厚だけ形成させることでウェハ全体として反りが低減、あるいは防止される。この裏面の二酸化シリコン層 2 もプロセス中に無くならないように注意を払わなくてはならない。洗浄やウェットエッチングのプロセス中に裏面の二酸化シリコン層 2 が消失してしまうとウェハ全体が反ってしまい、静電チャックにウェハが吸着されないようになり、その後の製造プロセスが行えなくなる懸念がある。

50

【0026】

洗浄工程を施した後、表面を保護するために、SOI層3の表面を酸化して厚さ約20nmの二酸化シリコン層を形成した。二酸化シリコン層はこの後のプロセスで導入されるイオン注入によってSOI層3が受けるダメージを軽減するばかりでなく、活性化熱処理によって、不純物が大気中に抜けるのを抑制する役割がある。また、二酸化シリコン層は必ずしも熱酸化プロセスによって形成する必要もなく、Chemical Vapor Deposition (CVD)などの装置を用いて、表面にのみ堆積させる工程を用いても良い。

【0027】

次に、イオン注入によって不純物をSOI層3の所望の領域に入れる。不純物注入に際しては、まず、フォトリソグラフィを用いたレジストパターニングによって、所望の領域のみにレジストを残した後に、BF₂イオン(二酸化フッ素)をイオン注入することによって、SOI層3中に、p型拡散層電極4を形成した。引き続き、レジストを除去した後に、再び、フォトリソグラフィを用いたレジストパターニングによって、所望の領域のみにレジストを残した後に、P(リン)イオンをイオン注入することによってSOI層3中にn型拡散層電極5を形成した。引き続き900の窒素雰囲気中で20分間のアニール処理を行うことによって、不純物を活性化させると同時にSOI層3の結晶性を回復させた。p型拡散層電極4及びn型拡散層電極5はデバイス完成後にそれぞれ正孔及び電子を注入するための電極としての役割がある。このイオン注入工程においては、イオンが注入された部分のSOI層3がアモルファス化するため、結晶性が悪くなる。そこで、図には示していないが、SOI層3の表面のみがアモルファス化し、SOI層3が二酸化シリコン層2と隣接している領域には結晶シリコンがのこるようにしていることが重要である。イオン注入の加速電圧を高く設定しすぎると、イオン注入した領域のSOI層3の全てを非晶質化してしまうため、その後のアニール処理を施しても、単結晶性が回復せず、多結晶になってしまうという問題が生じる。本実施形態ではSOI層3の表面のみがアモルファス化するような条件でイオン注入を行うことにより、二酸化シリコン層2と隣接している領域には結晶シリコン層が残っているため、イオン注入後の活性化熱処理などによって結晶性を回復させることができる。

【0028】

次に、二酸化シリコン層をウェットエッチによって除去した後、SOI層3上に不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以下のアンドープ・ゲルマニウム層6を500nmの膜厚になるようにエピタキシャル成長した。このエピタキシャル成長の過程で、アンドープ・ゲルマニウム層6は下地のシリコン基板1との熱膨張係数の差によって0.2%程度の伸長歪みを印加されている。本工程においては、アンドープ・ゲルマニウムではなくゲルマニウムとスズの混晶であるゲルマニウム・スズをSOI層3上にエピタキシャル成長しても良い。ゲルマニウム・スズの伝導帯の点とL点のエネルギー差はゲルマニウムの伝導帯の点とL点のエネルギー差より小さいため、ゲルマニウム・スズを用いて発光層として発光素子を作製すると、ゲルマニウムを用いた場合と比較して発光効率を向上することができる。

【0029】

次に、アンドープ・ゲルマニウム層6上に膜厚200nmの二酸化シリコン層7をCVDによって堆積した。引き続き、レジストを塗布した後に、フォトリソグラフィによるマスク露光によって、所望の領域にのみレジストを残した後に異方性ドライエッチングを施すことによって、二酸化シリコン層7を加工した。このとき、加工した二酸化シリコン層7は、後の工程においてハードマスクとして機能する。

【0030】

次に、レジストを除去した後に、再びレジストを塗布して、フォトリソグラフィによるマスク露光によって、所望の領域にのみレジストを残した後に、異方性ドライエッチングを施すことによって、アンドープ・ゲルマニウム層6及びSOI層3を加工した。この工程によって、SOI層を島状(メサ形状)に分離する。この際、デバイス完成後に発光素子と受光素子となる領域の間に細線形状になるようにSOI層3を加工すると、デバイ

10

20

30

40

50

ス完成後に光導波路として使用できる。

【0031】

次に、レジストを除去した後に、イオン注入によって不純物をアンドープ・ゲルマニウム層6の所望の領域に入れる。レジストを塗布し、フォトリソグラフィによるマスク露光によって、所望の領域にのみレジストを残した後に、Pイオンをイオン注入することによってアンドープ・ゲルマニウム層6中にイオン注入層8を形成し、図2A、図2B及び図2Cの状態とした。このとき、二酸化シリコン層7がハードマスクとなり、二酸化シリコン層7と接している領域のアンドープ・ゲルマニウム層6には不純物が注入されない。引き続き700の窒素雰囲気中で10分間のアニール処理を行うことによって、不純物を活性化させると同時にイオン注入層8中の不純物を拡散させ、ドーピング濃度が $4 \times 10^{19} \text{ cm}^{-3}$ のn型ゲルマニウム層9を形成し、図3A、図3B及び図3Cの状態とした。n型ゲルマニウム層9中には直接不純物原子がイオン注入されていないため、イオン注入工程における結晶へのダメージは見られなかった。

10

【0032】

引き続き、レジストを除去した後に、二酸化シリコン層7をハードマスクとして異方性ドライエッチングを用いて、アンドープ・ゲルマニウム層6、イオン注入層8及びn型ゲルマニウム層9を加工し、引き続き二酸化シリコン層7をフッ酸を用いたウェットエッチングによって除去して図4A、図4B及び図4Cの状態とした。なお、p型電極層4とn型電極層5は、表面がエッチングされ、周辺におけるp型電極層4とn型電極層5の膜厚は、薄くなる。このとき、n型ゲルマニウム層9とp型電極層4とn型電極層5の凸部の上面でのみ接しており、n型ゲルマニウム層9が接している領域の膜厚は、周辺におけるp型電極層4とn型電極層5の膜厚よりも大きなものになっている。

20

【0033】

加工されたアンドープ・ゲルマニウム層6は、デバイス完成後に受光層として機能する。

【0034】

また、加工されたn型ゲルマニウム層9はデバイス完成後に発光層として機能する。この際、n型ゲルマニウム層9は高濃度にn型ドーピングされているため、発光効率が向上する。また、発光層には直接イオン注入を行っていないため、イオン注入による結晶へのダメージの懸念もない。また、加工されたn型ゲルマニウム層9はデバイス完成後に光閉じ込め層としての役割も担うので、本実施形態では、n型ゲルマニウム層9が細線状の光共振器になるように設計されている。また、本実施形態では示していないが、n型ゲルマニウム層9をリング状に設計することによって、光導波路端面での反射による損失が無いリング型の光閉じ込め層とするリング型レーザを作製することも可能である。

30

【0035】

次に、CVD等で再び二酸化シリコン層10を堆積した。フォトリソグラフィを用いたレジストパターニングによって、電極を形成する所望の領域のみにレジストを残し、フッ酸を用いたウェットエッチングによって所望の領域の二酸化シリコン層を除去した。なお、加工方法は、異方性ドライエッチングを用いても良い。引き続き、全面にTiN(チタン・ニッケル)層及びAl(アルミニウム)層を堆積させた後、フォトリソグラフィを用いたレジストパターニングによって、所望の領域のみにレジストを残し、Al層をウェットエッチングで加工した後にTiN層をウェットエッチングで加工し、その結果、TiN電極11及びAl電極12を形成した。なお、加工方法は、異方性ドライエッチングを用いても良い。引き続き、水素アニール処理を施し、プロセス中に生じた欠陥を水素終端する処理を行うことにより、図5A、図5B、及び図5Cの状態としてデバイスを完成させた。

40

【0036】

本実施形態では示していないが、二酸化シリコン層10を堆積する前に熱酸化によってアンドープ・ゲルマニウム層6及びn型ゲルマニウム層9の表面に二酸化ゲルマニウムを形成し、表面をパッシベート(不動体化)してもよい。ゲルマニウムと二酸化ゲルマニウム

50

の界面の界面準位密度は小さいため、発光層として用いる n 型ゲルマニウム層 9 の表面で生じるキャリアの非発光再結合が抑制され、発光効率をさらに向上することができる。また、受光層として用いるアンドープ・ゲルマニウム層 6 の表面で生じるキャリア再結合が抑制されるため、ゲルマニウム受光素子の暗電流を低減され、受光素子を高感度にするることができる。

【 0 0 3 7 】

次に、図 5 A、図 5 B 及び図 5 C を用いて、上記で作製したデバイス、すなわちゲルマニウム発光素子とゲルマニウム受光素子による半導体光素子による構成と、光送受信のときの動作について説明する。

【 0 0 3 8 】

図 5 A に示すゲルマニウム発光素子と図 5 B に示すゲルマニウム受光素子がシリコン細線導波路 3 を介して対向して設けられている。ここで、ゲルマニウム発光素子とゲルマニウム受光素子は電氣的に素子分離されている。

【 0 0 3 9 】

先ず、図 5 A に示すゲルマニウム発光素子の構成を説明する。

【 0 0 4 0 】

n 型ゲルマニウム発光層 9 は、p 型拡散層電極 4 及び n 型拡散層電極 5 と電氣的に接続されている。なお、n 型ゲルマニウム発光層 9 は、細線状に加工されており、n 型ゲルマニウム発光層 9 中で発光した光が n 型ゲルマニウム発光層 9 中を伝搬する。n 型ゲルマニウム発光層 9 の両端面は、垂直なミラーに加工されているため、ファブリ・ペロー型の光共振器としての役割も担っている。p 型拡散層電極 4 と n 型拡散層電極 5 の間に順方向電流を流すことによって、n 型ゲルマニウム発光層 9 にキャリアが注入され、電子と正孔が n 型ゲルマニウム発光層 9 中で再結合して発光した。n 型ゲルマニウム発光層 9 は高濃度に、n 型ドーピングされていることと、発光層に直接イオン注入を行っていない(すなわち、アニール処理によって、イオン注入層 8 中の不純物を拡散させた(図 3 A 参照))ため結晶性が劣化していないので、ゲルマニウム発光層に n 型ドーピングを行っていない場合と比較して発光効率が 10 倍向上した。発光した光は、伸長歪を有する n 型ゲルマニウム発光層 9 に閉じ込められ、閾値以上の電流を流すと誘導放出が引き起こされ、レーザ発振した。発光層には、0.2% の伸長歪みが印加されており、発振波長は設計波長である約 1600 nm であった。また、レーザ光はシリコン基板 1 に対して水平に出射され、シリコン細線導波路 3 に光が効率よく結合した。

【 0 0 4 1 】

なお、本実施形態の製造方法では、シリコン細線導波路 3 は、単結晶シリコンであるが、シリコン細線導波路 3 の他の材料としては、二酸化シリコン、窒化シリコン、または、シリコン、二酸化シリコン、窒化シリコンの組み合わせであって良い。

【 0 0 4 2 】

次に、図 5 B に示すゲルマニウム受光素子の構成を説明する。

【 0 0 4 3 】

アンドープ・ゲルマニウム受光層 6 は、p 型拡散層電極 4 及び n 型拡散層電極 5 と電氣的に接続されている。p 型拡散層電極 4 と n 型拡散層電極 5 の間に逆方向電圧を印加した状態で、シリコン細線導波路 3 からゲルマニウム受光層 6 に光が入力されると、ゲルマニウム受光層 6 が光を吸収し、電子と正孔を発生し、電気信号へ変換される。このとき、ゲルマニウム受光層 6 中のキャリア濃度は 10^{17} cm^{-3} 以下であるため、効率良く光信号を電気信号に変換することができる。

【 0 0 4 4 】

ところで、上述の図 5 A、図 5 B 及び図 5 C では配線工程の前までの工程とその構造を示したが、光集積回路を形成する場合には、この後所望の配線処理を施せばよい。また、電子回路と混載させる時には、上述の工程の幾つかをトランジスタ形成の工程と同時に行うことができる。このように通常のシリコン・プロセスを通して光デバイスを作製すると、電子デバイスとの混載は容易である。

10

20

30

40

50

以上、本実施形態によれば、I V族元素で構成された高い効率で、光の送受信を行うことのできる半導体光素子を提供することができる。

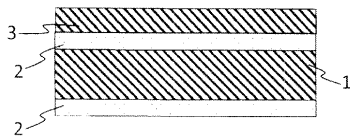
【符号の説明】

【0045】

1 ...シリコン基板、2 ...二酸化シリコン層 (BOX層)、3 ...SOI層、3 ...シリコン細線導波路、4 ...p型拡散層 (p型拡散層電極)、5 ...n型拡散層 (n型拡散層電極)、6 ...アンドープ・ゲルマニウム層 (受光層)、7 ...二酸化シリコン層、8 ...イオン注入層、9 ...n型ゲルマニウム層 (発光層)、10 ...二酸化シリコン層、11 ...TiN電極、12 ...Al電極。

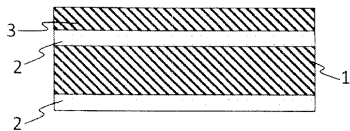
【図1A】

図1A



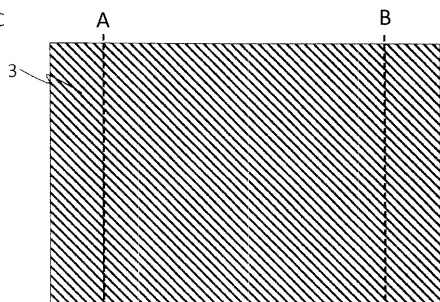
【図1B】

図1B



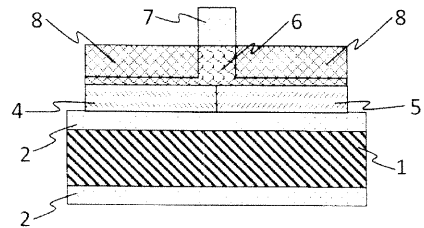
【図1C】

図1C



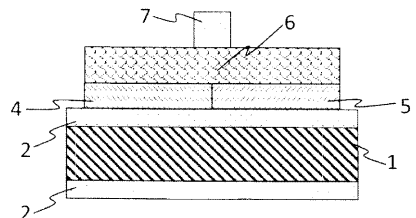
【図2A】

図2A

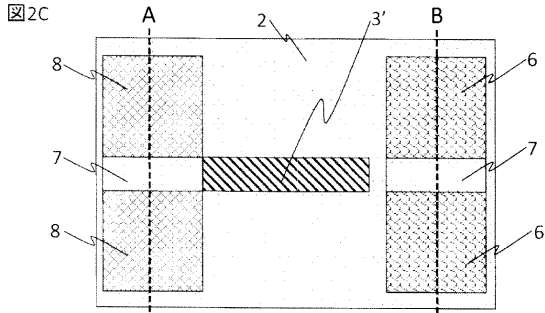


【図2B】

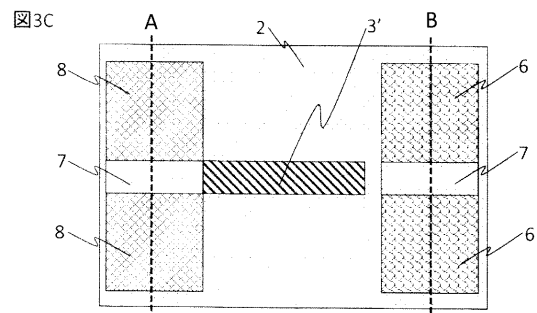
図2B



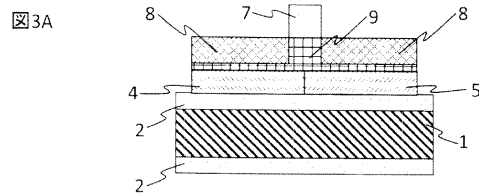
【図 2 C】



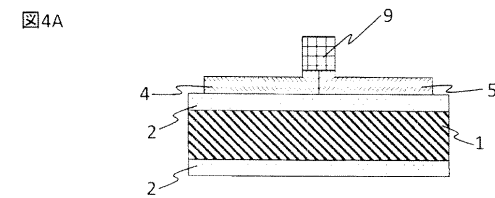
【図 3 C】



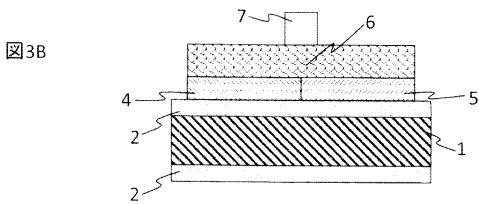
【図 3 A】



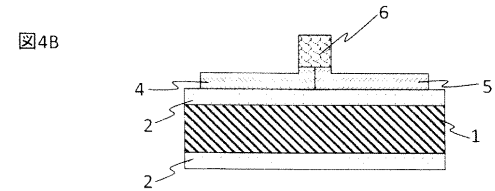
【図 4 A】



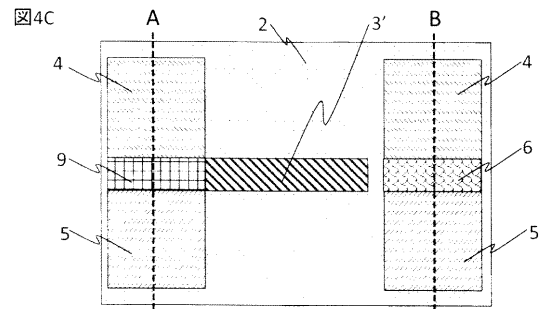
【図 3 B】



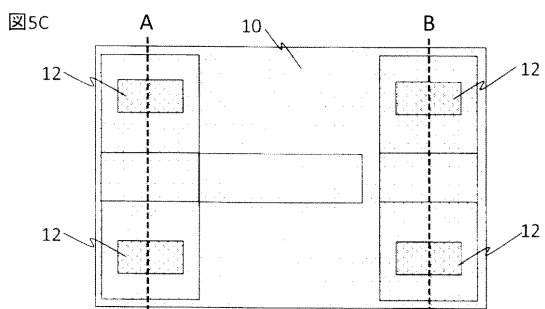
【図 4 B】



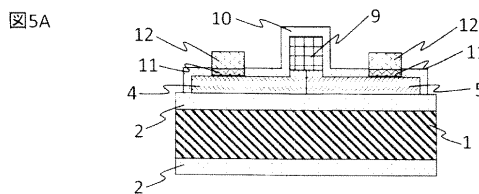
【図 4 C】



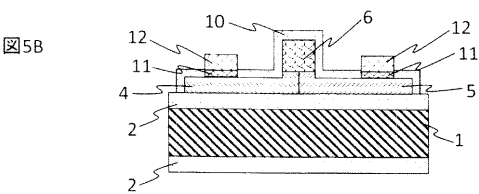
【図 5 C】



【図 5 A】



【図 5 B】



フロントページの続き

- (56)参考文献 特開2012-013935(JP,A)
国際公開第2010/055750(WO,A1)
国際公開第2013/118327(WO,A1)
特開2004-072122(JP,A)
特開昭60-140754(JP,A)
特開平10-294323(JP,A)
特開平01-231317(JP,A)
特開平10-261835(JP,A)
特開2007-173590(JP,A)
米国特許出願公開第2006/0133754(US,A1)
特表2009-514231(JP,A)
特表2005-530360(JP,A)
米国特許出願公開第2013/0313579(US,A1)
Jifeng Liu et al., Tensile-strained, n-type Ge as a gain medium for monolithic laser i
ntegration on Si, OPTICS EXPRESS, 2007年 9月 3日, Vol.15, No.18, p.11272-11277

(58)調査した分野(Int.Cl., DB名)

H01S 5/00 - 5/50
H01L 31/00 - 31/02, 31/0232, 31/0248,
31/0264, 31/08, 31/10,
31/107 - 31/108, 31/111, 31/18,
33/00 - 33/64, 51/42
G02B 6/12 - 6/14