



PCT

特許協力条約に基づいて公開された国際出願

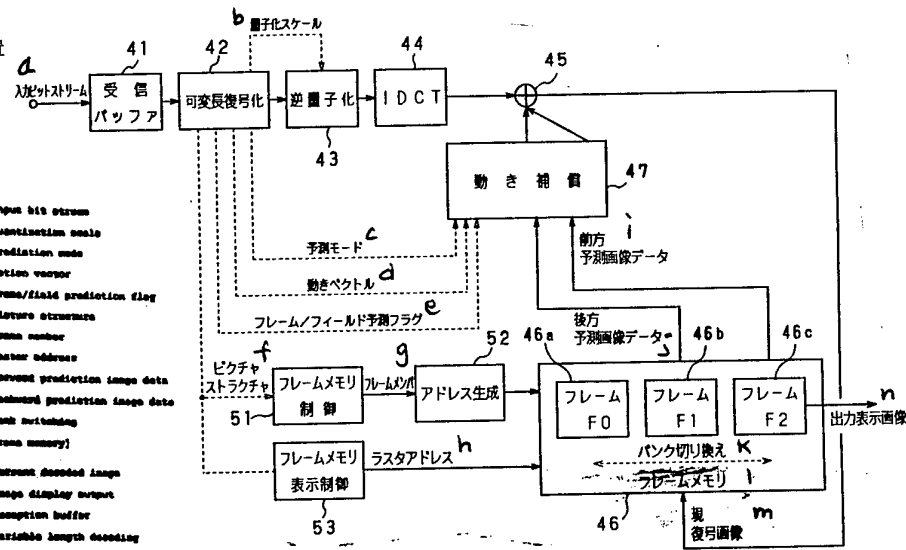
(51) 国際特許分類 5 H04N 7/137	A1	(11) 国際公開番号 WO 95/01054
		(43) 国際公開日 1995年1月5日(05.01.95)

(21) 国際出願番号 PCT/JP94/01045
 (22) 国際出願日 1994年6月28日(28.06.94)
 (30) 優先権データ
 特願平5/157511 1993年6月28日(28.06.93) JP
 (71) 出願人(米国を除くすべての指定国について)
 ソニー株式会社(SONY CORPORATION)[JP/JP]
 〒141 東京都品川区北品川6丁目7番35号 Tokyo, (JP)
 (72) 発明者;および
 (75) 発明者/出願人(米国についてのみ)
 住広 博(SUMIHIRO, Hiroshi)[JP/JP]
 江本 晴一(EMOTO, Seiichi)[JP/JP]
 和田 徹(WADA, Tohru)[JP/JP]
 〒141 東京都品川区北品川6丁目7番35号
 ソニー株式会社内 Tokyo, (JP)
 (74) 代理人
 弁理士 小池 晃, 外(KOIKE, Akira et al.)
 〒105 東京都港区虎ノ門二丁目6番4号 第11森ビル Tokyo, (JP)
 (81) 指定国
 CN, JP, KR, US, 欧州特許(DE, FR, GB).
 添付公開書類 国際調査報告書

(54) Title : APPARATUS FOR DECODING TIME-VARYING IMAGE

(54) 発明の名称 動画復号化装置
 (57) Abstract

An apparatus for reproducing a time-varying image by decoding image data generated by predictive coding. The apparatus is provided with a frame memory (46) having a storage capacity for three frames and storing the image data on I picture, P picture, and B picture reproduced by an adder (45) in accordance with the write addresses by an address generator (52). By a motion compensator (47), the image data on the I picture or P picture stored in this frame memory (46) are read as image data on a predicted picture for decoding, and supplied to the adder (45). At the same time, the image data are read from the frame memory (46) in the order of display by the raster addresses generated by a frame memory display controller (53). Compared to the conventional apparatuses, it is possible to make the storage capacity of the frame memory (46) smaller, and reduce the cost. Further, the write and read of the image data in and from the frame memory (46) are lagged by approximately one field from the starting time of writing the image data on the current frame in the frame memory (46), and the image data on the current frame are read and output in the order of display. At the same time, the starting time of writing the image data on the current frame in the frame memory (46) is set after the eight horizontal scanning periods from the terminating time of the vertical blanking between the first field and second field of the previous frame. The ending time of writing the image data on the current frame in the frame memory (46) is set before eight horizontal scanning periods from the starting time of the vertical blanking between the first field and second field of the current frame.



- a ... input bit stream
- b ... quantization scale
- c ... prediction mode
- d ... motion vector
- e ... frame/field prediction flag
- f ... picture structure
- g ... frame number
- h ... raster address
- i ... stored prediction image data
- j ... backward prediction image data
- k ... bank switching
- l ... frame memory
- m ... current decoded image
- n ... image display output
- 41 ... reception buffer
- 42 ... variable length decoding
- 43 ... inverse quantization
- 44a, 44b, and 44c ... frame F0, F1, and F2
- 47 ... motion compensation
- 51 ... frame memory control
- 52 ... address generation
- 53 ... frame memory display control

(57) 要約

本発明を適用した動画復号化装置は、予測符号化により得られる符号化データを復号化して、画像データを再生する動画復号化装置であって、アドレス生成回路52からの書込アドレスにより、加算器45で再生されたIピクチャ、Pピクチャ及びBピクチャの画像データを記憶する容量が3フレーム分のフレームメモリ46を備えている。そして、動き補償回路47により、このフレームメモリ46に記憶されているIピクチャ又はPピクチャの画像データを復号化のための予測ピクチャの画像データとして読み出し、加算器45に供給すると共に、フレームメモリ表示制御回路53からのラスタアドレスによって、フレームメモリ46から画像データを表示の順番に読み出して出力することにより、従来の動画復号化装置に比して、フレームメモリ46の容量を少なくすることができ、コストを安くすることができる。

そして、この動画復号化装置では、フレームメモリ46の画像データの書込と読出を、フレームメモリ46への現フレームの画像データの書込開始時刻から略1フィールド時間遅れて、フレームメモリ46から現フレームの画像データを表示の順番に読み出して出力すると共に、メモリへの現フレームの画像データの書込開始時刻を、前フレームの第1フィールドと第2フィールドの間の垂直ブランキング終了時刻の8水平走査期間より後の時刻とし、メモリへの現フレームの画像データの書込終了時刻を、現フレームの第1フィールドと第2フィールドの間の垂直ブランキング開始時刻の8水平走査期間より前の時刻としている。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AM	アルメニア	DK	デンマーク	LI	リヒテンシュタイン	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LT	リトアニア	RU	ロシア連邦
BB	バルバドス	FI	フィンランド	LR	リベリア	SD	スーダン
BE	ベルギー	FR	フランス	LU	ルクセンブルグ	SE	スウェーデン
BF	ブルキナファソ	GA	ガボン	LV	ラトヴィア	SI	スロヴェニア
BG	ブルガリア	GB	イギリス	MC	モナコ	SK	スロヴァキア共和国
BJ	ベナン	GE	グルジア	MD	モルドバ	SN	セネガル
BR	ブラジル	GN	ギニア	MG	マダガスカル	SZ	スワジランド
BY	ベラルーシ	GR	ギリシャ	ML	マリ	TD	チャド
CA	カナダ	HU	ハンガリー	MN	モンゴル	TG	トーゴ
CF	中央アフリカ共和国	IE	アイルランド	MR	モーリタニア	TJ	タジキスタン
CG	コンゴ	IT	イタリア	MW	マラウイ	TT	トリニダードトバゴ
CH	スイス	JP	日本	MX	メキシコ	UA	ウクライナ
CI	コートジボワール	KE	ケニア	NE	ニジェール	UZ	ウズベキスタン共和国
CN	中国	KG	キルギスタン	NL	オランダ	UZ	ウズベキスタン共和国
CZ	チェコ共和国	KP	朝鮮民主主義人民共和国	NO	ノルウェー	VN	ベトナム
DE	ドイツ	KR	大韓民国	NZ	ニュージーランド		
		KZ	カザフスタン	PL	ポーランド		

- 1 -

明細書

動画像復号化装置

技術分野

本発明は、動画像復号化装置に関し、特に予測符号化により得られる符号化データを復号化して、元の画像データを再生する動画像復号化装置に関する。

背景技術

従来、例えばテレビ会議システム、テレビ電話システム等のように動画の映像信号を遠隔地に伝送するシステムや、動画の映像信号を光ディスク、磁気ディスク、磁気テープ等の画像記録媒体に記録し、また記録された動画の映像信号を再生するシステム等において、伝送路あるいは記録媒体を効率良く利用するために、映像信号の有するライン相関やフレーム相関を利用して映像信号を所謂高能率符号化し、空間軸方向と時間軸方向の冗長度を落として有意情報のみを伝送し、伝送効率を高めるようになされている。

例えば空間軸方向の符号化（以下、画像内符号化という。）では、図1Aに示すように、映像信号の例えばライン相関を利用するもので、時刻 t_1 、 t_2 、 t_3 ・・・において動画を構成する各画像PC1、PC2、PC3・・・を伝送しようとする場合、伝送処理すべき画像データを、例えば同一走査線内で1次元符号化したり、例

例えば画像を複数のブロックに分割し、各ブロックの画像データを2次元符号化することにより、データ圧縮を行い、伝送効率を向上させている。

また、時間軸方向の符号化（以下、画像間符号化という。）では、映像信号の画像間相関を利用して例えば所謂予測符号化により、すなわち図1Bに示すように、順次隣合う画像PC1及びPC2、PC2及びPC3・・・間の対応する画素毎の画像データの差分（所謂予測誤差）でなる画像データPC12、PC23・・・を求め、これらの画像データPC12、PC23・・・を伝送することにより、データ圧縮を行い、伝送効率を向上させている。

かくして、画像PC1、PC2、PC3・・・の全ての画像データを伝送する場合と比較して、格段に少ないデータ量で映像信号を伝送することができる。

また、上述の画像間符号化における予測符号化では、さらに効率を高めるために、動き補償予測符号化が用いられる。すなわち、例えば画面中央の人物が移動する場合等、画面中の動いている物体に対してその動きを検出し、その動き分だけ前の画像中で予測に用いる画像データの位置を補正して予測符号化を行うことにより、符号化効率を向上させることができる。しかし、これでもまだ、物体が移動して後ろから出現した部分に対しては、多くのデータを送らなければならない。そこで、動き補償予測を上述の前方だけではなく、後方あるいは両者を組み合わせて行うことにより、さらに符号化効率を高めることができる。

上述のような動き補償予測符号化の代表的な方式として、MPEG (Moving Picture Expert Group) 2が知られている。MPEG 2

とは、I S O（国際標準化機構）とI E C（国際電気標準会議）のJ T C（Joint Technical Committee）1のS C（Sub Committee）29のW G（Working Group）11において進行してきた動画像符号化方式の通称である。

M P E G 2では、動き補償予測符号化と離散コサイン変換（以下、D C T : Discrete Cosine Transform という。）を組み合わせたハイブリッド(Hybrid)方式が採用されている。

ここで、M P E G 2において、画像がどのようなシーケンスに従って画像内符号化又は画像間符号化されるかについて説明する。図2は、M P E G 2で採用されている所謂G O P（Group Of Picture）の構成を示す図であり、この図2では、G O Pが15枚のフレームで構成されている例を示したものである。

フレームF 2は、画像内符号化されるので、Iピクチャ（intra coded picture）と呼ばれる。フレームF 5、F 8、F 11、F 14は、前方向からのみから予測されてフレーム間符号化されるので、Pピクチャ（forward motion-compensated prediction picture）と呼ばれる。フレームF 0、F 1、F 3、F 4、F 6、F 7、F 9、F 10、F 12、F 13は、前方向から、後方向から、又は両方向から予測されてフレーム間符号化されるので、Bピクチャ（motion compensated interpolation Picture）と呼ばれる。なお、ISO/IEC JTC1/SC29/WG11 NO 7 0 2 rev の6.3.11章や本願出願人の国際出願に係る国際公開公報（WO 93/13626）に記載されているように、ピクチャには、フレーム構成（フレームストラクチャ）で符号化されるものと、フィールド構成（フィールドストラクチャ）で符号化されるものがある。

1枚のピクチャは、図3に示すように、N個のスライスに分割され、各スライスがM個のマクロブロックを含んでいる。各マクロブロックは、 8×8 画素からなる輝度ブロックであって上下左右に隣接した4つの輝度ブロックに含まれる輝度データ Y_0 、 Y_1 、 Y_2 、 Y_3 と、これらの4つの輝度ブロックに対応する範囲の 8×8 画素からなる色差ブロックの色差データ C_b 、 C_r とを含んでいる。すなわち、マクロブロックは、輝度信号に対して、水平及び垂直走査方向に連続する 16×16 画素分の輝度データ $Y_1 \sim Y_4$ を含んでいるのに対し、これに対応する2つの色差信号においては、データ量が低減処理された後、時間軸多重化処理され、それぞれ1つの色差ブロックに輝度信号の 16×16 画素分に対するデータが割り当てられる。

そして、スライス内の画像データの配列は、マクロブロック単位で画像データが連続するようになされており、このマクロブロック内ではラスタ走査の順にブロック単位で画像データが連続するようになされている。そして、MPEG2では、上述したマクロブロック単位で符号化又は復号化処理が行われるようになっている。

具体的には、MPEG2に準拠した動画像符号化装置は、図4に示すように、フレームメモリ群12を備え、フレームメモリ群12には、動きベクトル検出回路11を介して前処理回路（図示せず）から画像データが供給される。すなわち、前処理回路は、入力映像信号を輝度信号と色差信号に分離した後、それぞれ8ビットからなる輝度データ、色差データに変換すると共に、例えば所謂4:2:0では色差データの画素数を例えば $1/4$ に低減し、これらの輝度データ、色差データを動きベクトル検出回路11を介してフレーム

メモリ群 1 2 に供給する。

フレームメモリ群 1 2 は、予め設定されているシーケンスに従って、各フレームの画像データを参照原画像、前方原画像又は後方原画像の画像データとして記憶する。具体的には、例えば図 2 に示したフレーム F 3 (B ピクチャ) の画像データを符号化するときは、このフレーム F 3 の画像データを参照原画像の画像データとして記憶し、フレーム F 2 (I ピクチャ) の画像データを前方原画像の画像データとして記憶し、フレーム F 5 (P ピクチャ) の画像データを後方原画像の画像データとして記憶する。

動きベクトル検出回路 1 1 は、フレームメモリ群 1 2 に記憶された各フレームの画像データを上述したデータ配列、すなわちブロックフォーマットで読み出して、参照原画像の動きベクトルをマクロブロック単位で検出する。すなわち、動きベクトル検出回路 1 1 は、フレームメモリ群 1 2 に記憶された前方原画像及び／又は後方原画像を用いて、現在の参照画像の動きベクトルをマクロブロック単位で検出する。ここで、動きベクトルの検出は、マクロブロック単位での画像間差分の絶対値和が最小になるものを、その動きベクトルとする。そして、検出された動きベクトルは動き補償回路 2 3 等に供給され、マクロブロック単位での画像間差分の絶対値和は画像内／前方／後方／両方向予測判定回路 1 3 に供給される。

この画像内／前方／後方／両方向予測判定回路 1 3 は、この値をもとに、参照原画像のマクロブロックの予測モードを決定し、決定した予測モードに基づいて、マクロブロック単位で画像内／前方／後方／両方向予測の切り換えを行うように予測符号化回路 1 4 を制御する。

予測符号化回路 14 は、画像内符号化モードのときは入力画像データそのものを、前方/後方/両方向予測モードのときはそれぞれの予測画像に対する入力画像データの画素毎の差分（以下、差分データという。）を選択し、選択したデータを DCT 回路 15 に供給する。すなわち、この予測符号化回路 14 は、加算回路 14 a、14 b、14 c 及び切換スイッチ 14 d を備え、これらの加算回路 14 a、14 b、14 c には、後述する動き補償回路 23 から前方予測画像と後方予測画像の画像データが供給されており、加算回路 14 a は、前方予測画像に対する差分データを生成し、加算回路 14 b は、後方予測画像に対する差分データを生成し、加算回路 14 c は、前方予測画像と後方予測画像を平均した画像に対する差分データを生成し、切換スイッチ 14 d は、予測モードに基づいて、入力画像データ、各予測画像に対する差分データのいずれか 1 つを切り換え選択して、DCT 回路 15 に供給する。

DCT 回路 15 は、映像信号の 2 次元相関を利用して、入力画像データ又は差分データをブロック単位で DCT 変換し、得られる係数データ（所謂 DCT 係数）を量子化回路 16 に供給する。

量子化回路 16 は、マクロブロック又はスライス毎に定まる量子化スケール（量子化ステップサイズ）を用いて係数データを量子化し、得られる量子化データを可変長符号化（以下、VLC : Variable Length Code という。）回路 17 及び逆量子化回路 18 に供給する。ところで、この量子化に用いる量子化スケールは、後述する送信バッファメモリ 19 のバッファ残量をフィードバックすることによって、送信バッファメモリ 19 が破綻しない値に決定され、この量子化スケールも、VLC 回路 17 及び逆量子化回路 18 に供給さ

れる。

VLC回路17は、量子化データを、量子化スケール、予測モード、動きベクトルと共に可変長符号化し、得られる符号化データを送信バッファメモリ19に供給する。

送信バッファメモリ19は、符号化データを一旦記憶した後、一定のビットレートで読み出すことにより、符号化データを平滑化し、ビットストリームとして出力すると共に、メモリに残留している残留データ量に応じてマクロブロック単位の量子化制御信号を量子化回路16にフィードバックして量子化スケールを制御する。これにより、送信バッファメモリ19は、ビットストリームとして発生されるデータ量を調整し、メモリ内に適正な残量（オーバーフロー又はアンダーフローを生じさせないようなデータ量）のデータを維持する。例えば、データ残量が許容上限にまで増量すると、送信バッファメモリ19は、量子化制御信号によって量子化回路16の量子化スケールを大きくすることにより、量子化データのデータ量を低下させる。一方、データ残量が許容下限まで減量すると、送信バッファメモリ19は、量子化制御信号によつて量子化回路16の量子化スケールを小さくすることにより、量子化データのデータ量を増量させる。

このようにして、送信バッファメモリ19から出力されるビットストリームは一定のビットレートで伝送路や、光ディスク、磁気ディスク、磁気テープ等の記録媒体からなる伝送メディアを介して、動画像復号化装置に供給される。

一方、逆量子化回路18は、量子化回路16から供給される量子化データを逆量子化して、上述のDCT回路15の出力に対応する

係数データ（量子化歪みが加算されている）を再生し、この係数データを逆離散コサイン変換（以下、IDCT：Inverse Discrete Cosine Transformという。）回路20に供給する。

IDCT回路20は、係数データをIDCT変換して、画像内符号化モードでは入力画像データに対応する画像データを再生し、前方／後方／両方向予測モードでは予測符号化回路14の出力に対応する差分データを再生して、加算回路21に供給する。

この加算回路21には、前方／後方／両方向予測モードのとき、動き補償回路23から動き補償された前方予測画像又は後方予測画像の画像データ（以下、予測画像データという。）が供給されており、この動き補償された予測画像データと差分データを加算することにより、入力画像データに対応する画像データをマクロブロック単位で再生する。

そして、このようにして再生された画像データは、フレームメモリ22に記憶される。すなわち、逆量子化回路18～動き補償回路23は、局所復号化回路を構成し、予測モードに基づいて、量子化回路16から出力される量子化データを局所復号化し、得られる復号画像を前方予測画像又は後方予測画像としてフレームメモリ22に記憶する。具体的には、フレームメモリ22は、2フレーム分の記憶容量を有する半導体メモリからなり（以下、1フレーム分のメモリをフレームバッファという。）、フレームバッファのバンク切り換えを行い、加算回路21から供給される画像データを前方予測画像データ又は後方予測画像データとして記憶する。そして、記憶された画像データは、符号化する画像に応じて、単一のフレームの画像データが、前方予測画像データとして出力されたり、後方予測

画像データとして出力される。これらの予測画像データは、後述する動画像復号化装置で再生される画像と全く同一の画像であり、次の符号化処理画像はこの予測画像をもとに前方／後方／両方向予測符号化が行われる。

具体的には、動き補償回路 23 は、予測モード、動きベクトルに基づいて、フレームメモリ 22 から画像データを動き補償を施して読み出し、この読み出した予測画像データを、上述したように、予測符号化回路 14 及び加算回路 21 に供給する。

つぎに、動画像復号化装置について説明する。

動画像復号化装置は、図 5 に示すように、受信バッファメモリ 31 を備え、この受信バッファメモリ 31 は、伝送路や伝送メディアを介してビットストリームが入力され、このビットストリームを一旦記憶した後、可変長復号化回路 32 に供給する。

可変長復号化回路 32 は、ビットストリーム、すなわち符号化データを可変長復号化して、量子化データ、動きベクトル、予測モード、量子化スケール等を再生する。これらの量子化データ、量子化スケールは逆量子化回路 33 に供給され、動きベクトル、予測モード等は動き補償回路 38 に供給される。

逆量子化回路 33 ～動き補償回路 38 の動作は上述した動画像符号化装置の局所復号化回路と同じであり、これらの回路は、量子化データ、動きベクトル、予測モード、量子化スケール、及び既に再生されてフレームメモリ 37 のフレームバッファ 37a、37b に記憶されている前方予測画像データと後方予測画像データを用いて、復号化を行う。この結果、加算回路 35 から再生画像データがブロックフォーマットで出力される。そして、このブロックフォーマット

トの画像データは、フレームメモリ 36 に供給されて一旦記憶された後、表示の順番に読み出されて出力される。

具体的には、フレームメモリ 36 は、3 フレーム分の記憶容量、すなわち 3 つのフレームバッファ 36 a、36 b、36 c を有し、既に再生され、出力が後である例えば P ピクチャの画像データをフレームバッファ 36 a に記憶しておくと共に、2 つのフレームバッファ 36 b、36 c のバンク切り換えを行いながら、B ピクチャの画像データを一旦記憶した後、表示の順番、すなわちラスタ走査に従って読み出し、出力する。

以上のように、従来の動画像復号化装置では、復号化のための 2 フレーム分のメモリ（フレームメモリ 37）と、再生された画像を並べ換え、ラスタ走査に従って出力するための 3 フレーム分のメモリ（フレームメモリ 36）との合計 5 フレーム分のメモリが必要とされ、回路規模が大きいという問題があった。

発明の開示

本発明は、画像データを再生する動画像復号化装置に係るものである。この動画像復号化装置は、再生された I ピクチャ、P ピクチャ及び B ピクチャの画像データを記憶する容量が 3 フレーム分のメモリを備えている。そして、この動画像復号化装置では、このメモリに記憶されている I ピクチャ又は P ピクチャの画像データを復号化のための予測ピクチャの画像データとして用いると共に、メモリから画像データを表示の順番に読み出して出力する。

また、この動画像復号化装置では、メモリへの現フレームの画像

データの書込開始時刻から略1フィールド時間遅れて、メモリから現フレームの画像データを表示の順番に読み出して出力すると共に、メモリへの現フレームの画像データの書込開始時刻を、前フレームの第1フィールドと第2フィールドの間の垂直ブランキング終了時刻の8水平走査期間より後の時刻とし、メモリへの現フレームの画像データの書込終了時刻を、現フレームの第1フィールドと第2フィールドの間の垂直ブランキング開始時刻の8水平走査期間より前の時刻としている。

また、この動画像復号化装置は、容量が2Mバイトの半導体メモリを備え、このメモリを用いて上述の動作を行い、4:2:0の画像データを再生して出力する。

図面の簡単な説明

- 図1は、予測符号化の原理を説明するための画像を示す図である。
- 図2は、GOPの具体的な構成を示す図である。
- 図3は、ピクチャの具体的な構成を示す図である。
- 図4は、動画像符号化装置の構成を示すブロック図である。
- 図5は、従来の動画像復号化装置の構成を示すブロック図である。
- 図6は、本発明を適用した動画像復号化装置の具体的な構成を示すブロック図である。
- 図7は、上記動画像復号化装置を構成するフレームバッファへの書込動作を説明するための図である。
- 図8は、上記フレームバッファの使用方法を説明するための図である。

図 9 は、上記フレームバッファの書込／読出動作の詳細を説明するための図である。

図 10 は、上記動画像復号化装置を構成するフレームメモリの具体的なアドレスマッピングを示す図である。

図 11 は、上記動画像復号化装置を構成するアドレス生成回路 52 の具体的な構成を示すブロック図である。

図 12 は、上記フレームメモリの具体的なアドレスマッピングを示す図である。

図 13 は、上記アドレス生成回路 52 の具体的な構成を示すブロック図である。

図 14 は、上記フレームメモリの具体的なアドレスマッピングを示す図である。

図 15 は、上記アドレス生成回路 52 の具体的な構成を示すブロック図である。

図 16 は、上記フレームメモリの具体的なアドレスマッピングを示す図である。

図 17 は、上記アドレス生成回路 52 の具体的な構成を示すブロック図である。

図 18 は、上記フレームメモリの具体的なアドレスマッピングを示す図である。

図 19 は、上記アドレス生成回路 52 の具体的な構成を示すブロック図である。

図 20 は、上記フレームメモリの具体的なアドレスマッピングを示す図である。

図 21 は、上記アドレス生成回路 52 の具体的な構成を示すプロ

ック図である。

図 2 2 は、上記フレームメモリの具体的なアドレスマッピングを示す図である。

図 2 3 は、上記アドレス生成回路 5 2 の具体的な構成を示すブロック図である。

図 2 4 は、上記フレームメモリの具体的なアドレスマッピングを示す図である。

図 2 5 は、上記アドレス生成回路 5 2 の具体的な構成を示すブロック図である。

発明を実施するための最良の形態

以下、本発明に係る動画像復号化装置の一実施例について図面を参照しながら説明する。

本発明を適用した動画像復号化装置は、例えば図 6 に示すように、ビットストリームとして入力される符号化データを一旦記憶する受信バッファメモリ 4 1 と、該受信バッファメモリ 4 1 からの符号化データを可変長復号化して、量子化データ、動きベクトル等を再生する可変長復号化回路 4 2 と、該可変長復号化回路 4 2 から量子化データを逆量子化して係数データを再生する逆量子化回路 4 3 と、該逆量子化回路 4 3 からの係数データを I D C T 変換して画像データ又は差分データを再生する I D C T 回路 4 4 と、該 I D C T 回路 4 4 からの差分データと予測画像データを加算して画像データを再生する加算回路 4 5 と、該加算回路 4 5 からの画像データを記憶すると共に、記憶している画像データを表示の順番に出力するフレー

ムメモリ 4 6 と、上記可変長復号化回路 4 2 からの動きベクトル等に基づいて、上記フレームメモリ 4 6 から画像データを読み出し、予測画像データとして上記加算回路 4 5 に供給する動き補償回路 4 7 とを備える。

また、この動画像復号化装置は、上記可変長復号化回路 4 2 からのピクチャストラクチャに基づいて、フレームナンバ等を生成するフレームメモリ制御回路 5 1 と、該フレームメモリ制御回路 5 1 からのフレームナンバ等に基づいて、フレームメモリ 4 6 の書込アドレスを生成するアドレス生成回路 5 2 と、上記可変長復号化回路 4 2 からのピクチャストラクチャに基づいて、上記フレームメモリ 4 6 から画像データを表示の順番に読み出すためのアドレスを発生するフレームメモリ表示制御回路 5 3 とを備える。

そして、この動画像復号化装置は、ビットストリームとして入力される符号化データを復号化し、得られる再生画像データを出力する際に、既に再生された I ピクチャ及び P ピクチャの画像データを、復号化のための予測画像データとしてフレームメモリ 4 6 に記憶すると共に、このフレームメモリ 4 6 から画像データを表示の順番に読み出して出力するようになっている。

具体的には、所謂コードバッファである受信バッファメモリ 4 1 は、伝送路を介して入力されるビットストリーム、すなわち一定の伝送速度で入力される符号化データや、光ディスク、磁気ディスク、磁気テープ等の画像記録媒体からなる伝送メディアから再生された符号化データを一旦記憶し、記憶した符号化データを可変長復号化回路 4 2 に供給する。

可変長復号化回路 4 2 は、受信バッファメモリ 4 1 から供給され

る符号化データを可変長復号化して量子化データ、動きベクトル、量子化スケール、予測モード及び予測フラグを再生すると共に、上述したピクチャがフレームストラクチャかフィールドストラクチャかを示すピクチャストラクチャを再生する。そして、この可変長復号化回路 4 2 は、量子化データと量子化スケールを逆量子化回路 4 3 に、動きベクトル、予測モード及び予測フラグを動き補償回路 4 7 に、また、ピクチャストラクチャをフレームメモリ制御回路 5 1、フレームメモリ表示制御回路 5 3 に供給する。

逆量子化回路 4 3 は、可変長復号化回路 4 2 から供給される量子化データを、量子化スケールに従って逆量子化し、得られる係数データ（所謂 D C T 係数）を I D C T 回路 4 4 に供給する。I D C T 回路 4 4 は、係数データを I D C T 変換して、I ピクチャの復号化（以下、デコードという。）の場合には、元の画像データをマクロブロック単位で再生し、P ピクチャ又は B ピクチャのデコードの場合には、差分データ（所謂予測誤差）をマクロブロック単位で再生する。そして、これらのデータは、加算回路 4 5 に供給される。

加算回路 4 5 は、I D C T 回路 4 4 から供給される I ピクチャの画像データをそのままフレームメモリ 4 6 に供給する。また、この加算回路 4 5 は、I D C T 回路 4 4 から供給される P ピクチャ又は B ピクチャの差分データと動き補償回路 4 7 から供給される予測画像データを加算して、P ピクチャ又は B ピクチャの画像データをマクロブロック単位で再生し、この再生された画像データ、すなわちブロックフォーマットの画像データをフレームメモリ 4 6 に供給する。ところで、例えば P ピクチャのデータであっても、そのマクロブロックが画像内予測モードのときは、加算回路 4 5 は、I ピクチ

ャの画像データと同様に何も処理は行わない。

フレームメモリ46は、例えば3フレーム分の記憶容量を有する半導体メモリからなり（以下、1フレーム分のメモリをフレームバッファという。）、アドレス生成回路52から供給される書込アドレスに基づいてフレームバッファ46a、46b、46cのバンク切換を行い、加算回路21から供給されるIピクチャ又はPピクチャの画像データを前方予測画像データ又は後方予測画像データとして例えばフレームバッファ46a、46bに記憶すると共に、Bピクチャの画像データをフレームバッファ46cに記憶する。

すなわち、フレームメモリ制御回路51は、可変長復号化回路42から供給されるピクチャストラクチャに基づいて、例えばフレームバッファ46a～46cのいずれか1つを指定する2ビットのフレームナンバ、1つのフレームを構成する第1フィールドか第2フィールドかを指定するための1ビットのフィールドナンバ、画像データを構成する輝度データか色差データかを識別する1ビットのクロマ信号を生成して、アドレス生成回路52に供給する。

アドレス生成回路52は、これらのフレームナンバ、フィールドナンバ、クロマ信号に基づいて、フレームメモリ46の書込アドレスを生成する。そして、この書込アドレスにより、上述したように再生された画像データのフレームバッファ46a～46cへの書込が行われる。

このようにしてフレームバッファ46a～46cに記憶された画像データは、次のピクチャをデコードする際の予測画像データとして用いられると共に、フレームメモリ表示制御回路53から供給される表示の順番、すなわち例えばラスタ走査に従ったラスタアドレ

スにより、読み出されて出力される。

すなわち、動き補償回路47は、可変長復号化回路42から供給される予測モード、動きベクトル、予測フラグに基づいて、例えばPピクチャのデコードであって、前方予測モードときは、フレームバッファ46aに記憶されているIピクチャ又はPピクチャの画像データを動き補償を施して読み出し、読み出した画像データを上述した予測画像データとして加算回路45に供給する。

また、例えばBピクチャのデコードのときは、動き補償回路47は、予測モード、動きベクトル、予測フラグに基づいて、フレームバッファ46aに記憶されているIピクチャの画像データ（前方予測モードの場合）、フレームバッファ46bに記憶されているPピクチャの画像データ（後方予測モードの場合）、又はその両方の画像データ（両方向予測モードの場合）を動き補償を施して読み出し、読み出した画像データを上述した予測画像データとして加算回路45に供給する。

一方、フレームメモリ表示制御回路53は、可変長復号化回路42から供給されるピクチャストラクチャに基づいて、各フレームバッファ46a～46cに記憶されているIピクチャ、Pピクチャ及びBピクチャが、その出力順番がくると、表示の順番、例えば第1フィールド、第2フィールドの順であってラスタ走査に従って値が増加するラスタアドレスを生成する。そして、このラスタアドレスにより、上述したようにフレームバッファ46a～46cからの画像データの読出が行われる。

ここで、フレームバッファ46a～46cへの画像データの書込と出力のための読出について、図7～図9を用いて詳細に説明する。

これらの図において、縦軸がフレームバッファのアドレスであり、横軸が時間である。

フレームバッファ 46 a ~ 46 c は、例えば図 7 に示すように、それぞれフィールドバッファ A、B から構成される。ところで、ピクチャには、上述したように、フレームストラクチャのものと、フィールドストラクチャのものとがあり、これらの違いによってフレームバッファのアクセス方法が異なる。また、上述したように、表示のための画像データの読出は、フレームバッファをラスト走査方向にアクセスするのに対して、デコードされた画像データの書込は、フレームバッファをマクロブロック単位でアクセスする。

すなわち、ピクチャがフィールドストラクチャのときは、例えば図 7 A に示すように、まず、1つのピクチャの第 1 フィールドの画像データがマクロブロック単位で順次デコードされるので、この動画復号化装置では、これらの画像データを、太い実線の矢印で示すように、フィールドバッファ A に順次に記憶し、次に、第 2 フィールドの画像データがマクロブロック単位で順次デコードされるので、これらの画像データをフィールドバッファ B に順番に記憶する。すなわち、フレームバッファは、フィールドバッファ A、B の順に時間の経過に従って新たな画像データにより更新される。

一方、ピクチャがフレームストラクチャのときは、1つのマクロブロックが、第 1 フィールドの 8 ラインを構成する画素と、第 2 フィールドの 8 ラインを構成する画素の両方の画像データを含むことから、例えば図 7 B に示すように、第 1 フィールドと第 2 フィールドの画像データが同時にマクロブロック単位でデコードされるので、この動画復号化装置では、細い実線の矢印で示すように、第 1 フ

フィールドの画像データをフィールドバッファAに、第2フィールドの画像データをフィールドバッファBに同時に記憶する。すなわち、フィールドバッファA、Bは、時間の経過に従って同時に新たな画像データにより更新される。なお、図7Cは、図7Aと図7Bを重ねて書いたものである。また、画像データをデコードするのにかかる処理時間は、マクロブロックの予測モードの種類によって異なり、1フレーム分の画像データをデコードして書き込が終了するまでの時間も異なり、この図7は、最も遅い場合を示したものである。

そして、この動画像復号化装置では、フレームバッファ46a～46cを上述のように動作させながら、Iピクチャ、Pピクチャ及びBピクチャのデコードされた画像データをフレームバッファ46a～46cに書き込むと共に、書込に平行してフレームバッファ46a～46cから表示のために画像データを、書込開始時刻から略1フィールド時間遅れで読み出すようになっている。

具体的には、例えば図8に示すように、GOP内のピクチャ（画像）のシーケンスをIピクチャ、Bピクチャ、Bピクチャ、Pピクチャ、Bピクチャ、Bピクチャ、Pピクチャ・・・とすると、まず、Iピクチャの画像データがデコードされて、実線（太い実線がフレームストラクチャ、細い実線がフィールドストラクチャを示す。）の矢印で示すように、フレームバッファ46aに書き込まれる。次に、Pピクチャの画像データがデコードされて、フレームバッファ46bに書き込まれる。その後、Bピクチャの画像データがデコードされて、フレームバッファ46cに書き込まれると同時に、破線（太い破線が第1フィールド、細い破線が第2フィールドを示す。）の矢印で示すように、略1フィールド時間遅れて表示のために読

み出される。そして、続けてBピクチャの画像データがデコードされて、フレームバッファ46cに書き込まれると同時に略1フィールド時間遅れて表示のために読み出される。以下、フレームバッファ46aからの既にデコードされているPピクチャの画像データの読出、Bピクチャの画像データのフレームバッファ46cへの書込／読出、Bピクチャの画像データのフレームバッファ46cへの書込／読出・・・が繰り返される。

以上のように、この動画像復号化装置では、フレームメモリ46への現在デコードされているピクチャ（フレーム）の画像データの書込開始時刻から略1フィールド時間遅れて、フレームメモリ46から画像データ読み出して出力することにより、従来の動画像復号化装置が5フレーム分のメモリが必要であったのに対して、フレームメモリ46の容量を3フレーム分とすることができる。換言すると、回路規模を小さくすることができ、コストを安くすることができる。

ところで、上述したように、3フレーム分の容量を有するフレームメモリ46を、復号化のための予測画像データの記憶と、表示のための並べ変えとに共用し、フレームメモリ46への現在デコードしているピクチャの画像データの書込開始時刻から略1フィールド時間遅れて、フレームメモリ46からこの画像データを表示の順番に読み出すと、ピクチャがフレームストラクチャの場合、画像データの書込が表示のための読出を追い越してしまう可能性がある。

すなわち、連続したBピクチャは同一のフレームバッファ、例えばフレームバッファ46cに連続して書き込まれ、連続して読み出される。この結果、Bピクチャがフレームストラクチャの場合、画

像データの書込が、その開始時点で第2フィールドの表示のための読出を、また、その終了時点で第1フィールドの表示のための読出を追い越してしまう可能性がある。

具体的には、連続する2つのBピクチャをフレーム $F(t-1)$ 、 $F(t)$ とすると、フレーム $F(t-1)$ の第1フィールドと第2フィールド間の23水平走査期間(以下、23Hという。)からなる垂直ブランキングの直後に、フレームストラクチャで符号化されたフレーム $F(t)$ に対するデコード画像の画像データの書込を開始すると、フレーム $F(t-1)$ の第2フィールドの最初の8ライン分の画像データの読出が終了していないにもかかわらず、同じ領域にフレーム $F(t)$ の第2フィールドの最初の8ラインを構成する画素の画像データの書込が始まってしまい、正しい表示ができないことになる。

また、フレーム $F(t)$ の第1フィールドと第2フィールド間の23Hからなる垂直ブランキングの直前まで、フレームストラクチャで符号化されたフレーム $F(t)$ に対するデコード画像の画像データの書込を行っている、フレーム $F(t)$ の第1フィールドの最後の8ラインを構成する画素の画像データの書込が終了していないにもかかわらず、フレーム $F(t)$ の第1フィールドの最後の8ライン分の画像データの読出が始まってしまい、正しい表示ができないことになる。

そこで、この動画像復号化装置では、連続したBピクチャのフレームバッファ46cへの画像データの書込と読出を、例えば図9に示すスケジュールに従って行っている。なお、この図9では、表示のための画像データの読出を太い実線の矢印で示し、デコードされた画像データの書込を細い実線で示し、デコード処理時間が速い場

合の書込を破線で示している。

フレームバッファ 46c のフィールドバッファ A からのフレーム F(t-1) の第 1 フィールドの画像データの読出（以下、単に読出という。）を、表示のためのラスタアドレスを増加（インクリメント）しながら 22H～262H 間で行い、23H の垂直ブランキングが終了した後に、フレームバッファ B からの第 2 フィールドの読出を、同様にラスタアドレスをインクリメントしながら 285H～525H 間で行う。

このとき、フレーム F(t-1) の第 2 フィールドの読出開始から 8 H 遅れたタイミング（293H）で、フィールドバッファ B へのフレーム F(t) の書込を開始する。すなわち、フレームストラクチャの場合、第 1 フィールドと第 2 フィールドの画像データの書込が同時に開始される。したがって、フレームストラクチャの場合に画像データの書込が読出を追い越さないようにするために、書込を上述したように 8 H 遅延しているのである。なお、フィールドストラクチャの場合は、第 1 フィールドの画像データを全て書き込んだ後に、第 2 フィールドの書込を行うため、第 1 フィールドの読出に対して余裕がある。

そして、上述のようにして書込が開始された後、デコード処理が最も速い場合は、破線で示すように画像データの書込が行われ、最も遅い場合は、実線で示すように、画像データの書込が行われる。

このデータ書込の過程において、破線で示すようにデコード処理が最も速い場合には、フレームストラクチャ及びフィールドストラクチャともに、画像データの書込は、読出に対して余裕があるが、すなわち書込アドレスとラスタアドレスは接近しないが、フレーム

ストラクチャにおいてデコード処理が最も遅い場合、実線で示すように、画像データの書込が進んで行き、第1フィールドの最後の書込において、書込アドレスが、ラスタアドレスに接近する。そこで、第1フィールドの読出の終了から8Hより前の時刻に書込を終了しておくようにする。

つぎに、フレームF(t)の読出は、このフレームF(t)の書込開始時刻から略1フィールド遅れで開始する。すなわち、フレームF(t)の第1フィールドの読出を、22H~262H間においてラスタアドレスをインクリメントしながら行い。23Hの垂直ブランキング後、第2フィールドの読出を、285H~525H間において、第1フィールドの場合と同様にラスタアドレスをインクリメントしながら行う。

以上の動作を連続して繰り返すことにより、画像データの書込開始時刻から略1フィールド時間の遅延での表示のための読出が可能となる。つまり、フレームメモリ46は、予測画像データの格納用として2フレーム分、Bピクチャの表示処理用として1フレーム分で構成することができる。すなわち、この動画像復号化装置として必要なフレームバッファは、前方向予測に用いられる画像データを記憶するための1フレーム分と、後方向予測に用いられる画像データを記憶するための1フレーム分と、両方向予測のデコード画像を格納するための1フレーム分との全部で3フレーム分のフレームバッファで済むことになる。

以上のように、この動画像復号化装置では、フレームF(t-1)の第2フィールドの最初の8ライン分の画像データの読出が終了した後、フレームF(t)の第2フィールドの最初の8ラインを構成す

る画素の画像データの書込を開始するようにしている。また、フレームF(t)の第1フィールドの最後の8ライン分の画像データの読出が開始する前に、フレームF(t)の第1フィールドの最後の8ラインを構成する画素の画像データの書込を終了するようにしている。

換言すると、この動画像復号化装置では、フレームバッファへの現フレームの画像データの書込開始時刻を、前フレームの第1フィールドと第2フィールドの間の垂直ブランキング終了時刻の8水平走査期間より後の時刻とし、フレームバッファへの現フレームの画像データの書込終了時刻を、現ピクチャの第1フィールドと第2フィールドの間の垂直ブランキング開始時刻の8Hより前の時刻としている。

つぎに、画像データを所謂4:2:0の画像データとしたときのフレームメモリ46の具体的なアドレスの割り当て(アドレスマッピング)と、そのアドレスマッピングに対応するアドレス生成回路52の具体的な回路構成について、図10~図25を用いて説明する。なお、同じ回路には同一の指示番号を付して説明を省略する。

ところで、画像データを4:2:0の画像データとした場合、PAL方式では、1フレームの画像(ピクチャ)には、 720×576 画素が含まれることから、フレームバッファ46a~46cの各容量は、 $622080 (= 720 \times 576 \times 1.5)$ バイトとなり、フレームメモリ46に必要なバイト数は、これらの合計で 1866240 バイトとなる。したがって、フレームメモリ46を2M(2097152)バイトの半導体メモリで構成することができる。そこで、フレームメモリ46を2Mバイトの半導体メモリにより構成し、このときのフレームバッファ46a~46cを、以下に説明す

るように割り当てる。なお、NTSC方式の画素数は、PAL方式よりも少ないので、フレームメモリ46を2Mバイトの半導体メモリで構成できることは言うまでもない。

第1のアドレスマッピングは、フレームメモリ46のアドレスを、第1のフレーム（以下、フレームF0という。）の輝度データY、色差データC、第2のフレーム（以下、フレームF1という。）の輝度データY、色差データC、第3のフレーム（以下、フレームF2という。）の輝度データY、色差データの順に割り当てる。

具体的には、例えば図10に示すように、フレームF0の輝度データYの先頭アドレスを16進数表現で00000（以下、00000hと表す。）とし、フレームF0の色差データCの先頭アドレスを0CA80hとし、フレームF1の輝度データYの先頭アドレスを12FC0hとし、フレームF1の色差データCの先頭アドレスを1FA40hとし、フレームF2の輝度データYの先頭アドレスを25F80hとし、フレームF2の色差データの先頭アドレスを32A00hとする。これにより、フレームF0の画像データを記憶するフレームバッファ46aと、フレームF1の画像データを記憶するフレームバッファ46bと、フレームF2の画像データを記憶するフレームバッファ46cとを構成する。

そして、残りのアドレスが38F40h以降の領域を受信バッファメモリ41、すなわち所謂コードバッファとして用いる。この結果、従来の動画像復号化装置に比して、メモリを更に削減することができる。

この第1のアドレスマッピングに対応するアドレス生成回路52は、例えば図11に示すように、1フレーム当たりの輝度データY

のワード数を算出する乗算器101と、上記フレームメモリ制御回路51からのフレームナンバと乗算器101の出力に基づいて、フレームF0～F2の各先頭アドレスを算出する乗算器102と、上記フレームメモリ制御回路51からのクロマ信号と乗算器101の出力に基づいて、フレームに内における色差データCの相対的な先頭アドレスを算出する乗算器103と、上記乗算器102、103の各出力に基づいて、フレームF0～F2の各色差データCの先頭アドレス等を算出する加算器104と、上記フレームメモリ制御回路51からのフィールドナンバと乗算器101の出力に基づいて、輝度データY内における第1フィールド、第2フィールド（以下、フィールドf0、f1という）の各相対的な先頭アドレスを算出する乗算器105と、該乗算器105の出力に基づいて、色差データC内におけるフィールドf0、f1の各相対的な先頭アドレスを算出する乗算器106と、上記乗算器105、106の各出力を切り換え選択するセクタ107と、上記加算器104、セクタ107の各出力を加算する加算器108とを備える。

そして、乗算器101は、1ワード（word）を例えば8画素とすると、PAL方式における1フレームが720×576画素から構成されることから、この画素数を1/8倍することにより、輝度データYの1フレーム当たりのワード数を51840（=720×576/8）、すなわち0CA80h（16ビット）として算出し、算出値を乗算器102、103、105に供給する。

乗算器102は、フレームメモリ制御回路51から供給される2ビットからなるフレームナンバ、すなわちフレームF0～F2にそれぞれ対応した2進数の”00”、“01”、“10”のいずれか

1つと、乗算器101から供給される0CA80hとを乗算すると共に3/2倍することにより、フレームF0~F2の各先頭アドレスを00000h、12FC0h、25F80h(18ビット)として算出し、算出値を加算器104に供給する。

乗算器103は、フレームメモリ制御回路51から供給される1ビットからなるクロマ信号、すなわち輝度データY、色差データCにそれぞれ対応した"0"、"1"のいずれか1つと、乗算器101から供給される0CA80hとを乗算することにより、フレーム内における輝度データY、色差データCの各相対的な先頭アドレスを00000h、0CA80h(16ビット)として算出し、算出値を加算器104に供給する。

加算器104は、乗算器102、103の各出力を加算することにより、フレームF0~F2の輝度データY、色差データCの各先頭アドレスを、それぞれ00000h、12FC0h、25F80h、0CA80h、1FA40h、32A00h(18ビット)として算出し、算出値を加算器108に供給する。

乗算器105は、フレームメモリ制御回路51から供給される1ビットからなるフィールドナンバ、すなわちフィールドf0、f1にそれぞれ対応した"0"、"1"のいずれか1つと、乗算器101から供給される0CA80hとを乗算すると共に1/2倍することにより、輝度データY内におけるフィールドf0、f1の各相対的な先頭アドレスをそれぞれ00000h、06540h(15ビット)として算出し、算出値を乗算器106、セクタ107に供給する。

乗算器106は、乗算器105から供給される06540hを1

／2倍することにより、色差データC内におけるフィールドf₀、f₁の相対的な先頭アドレスをそれぞれ00000h、032A0h（15ビット）として算出し、算出値をセクタ107に供給する。

セクタ107は、フレームメモリ制御回路51から供給されるクロマ信号に基づいて、クロマ信号が”0”の時は乗算器105の出力を選択し、”1”のときは乗算器106の出力を選択して、加算器108に供給する。

加算器108は、加算器104、セクタ107の各出力を加算することにより、上述した図10に示すように、フレームF0の輝度データY、色差データC、フレームF1の輝度データY、色差データC、フレームF2の輝度データY、色差データの各先頭アドレスを、それぞれ00000h、0CA80h、12FC0h、1FA40h、25F80h、32A00hとし（18ビット）で算出する共に、輝度データY、色差データCの各フィールドf₁の先頭アドレスを算出して、これらのアドレスをフレームメモリ46に供給する。

第2のアドレスマッピングは、フレームメモリ46のアドレスを、フレームF0の輝度データY、色差データC、フレームF1の輝度データY、色差データC、フレームF2の輝度データY、色差データCの順に割り当てると共に、フレーム間に空き領域を設ける。

具体的には、例えば図12に示すように、フレームF0の輝度データY、色差データC、フレームF1の輝度データY、色差データC、フレームF2の輝度データY、色差データの各先頭アドレスを、それぞれ00000h、0CA80h、13000h、1FA80h、26000h、32A80hとすることにより、フレームバッ

ファ46a～46cを構成する。

すなわち、フレームF0とフレームF1の間とフレームF1とフレームF2の間に、それぞれアドレスが12FC0h～12FFFh、25FC0h～25FFFhからなる空き領域を設ける。そして、アドレスが39000h以降の領域をコードバッファとして用いる。

この第2のアドレスマッピングに対応したアドレス生成回路52は、例えば図13に示すように、上述した図11に示す乗算器102の代わりに、上記フレームメモリ制御回路51からのフレームナンバと、下位12ビットが"0"からなる17ビットの固定値13000hとを乗算する乗算器109を備えて成る。

そして、乗算器109は、上述の図12に示すように、フレーム間に空き領域を設けるために、フレームF0～F2の各先頭アドレスを00000h、13000h、26000h（下位12ビットが"0"からなる18ビット）として生成し、これらのアドレスを加算器104に供給する。この結果、加算器108は、上述した図12に示す各アドレスを生成し、これらのアドレスをフレームメモリ46に供給する。

すなわち、乗算器109では値が"0"でない上位5ビットの演算を行えばよいので、乗算器109の回路規模を上述の図11に示す乗算器102に比して小さくすることができる。換言すると、このアドレス生成回路52を用いることにより、上述した第1のアドレスマッピングの効果に加えて、さらに回路規模を小さくすることができる。

第3のアドレスマッピングは、フレームメモリ46のアドレスを、

フレームF 0のフィールドf 0の輝度データY、色差データC、フレームF 1のフィールドf 0の輝度データY、色差データC、フレームF 2のフィールドf 0の輝度データY、色差データC、フレームF 0のフィールドf 1の輝度データY、色差データC、フレームF 1のフィールドf 1の輝度データY、色差データC、フレームF 2のフィールドf 1の輝度データY、色差データCを順に割り当てる。

具体的には、例えば図14に示すように、フレームF 0のフィールドf 0の輝度データY、色差データC、フレームF 1のフィールドf 0の輝度データY、色差データC、フレームF 2のフィールドf 0の輝度データY、色差データC、フレームF 0のフィールドf 1の輝度データY、色差データC、フレームF 1のフィールドf 1の輝度データY、色差データC、フレームF 2のフィールドf 1の輝度データY、色差データCの各先頭アドレスを、それぞれ00000h、06540h、097E0h、0FD20h、12FC0h、19500h、20000h、26540h、297E0h、2FD20h、32FC0h、39500hとすることにより、フレームバッファ46a~46cを構成する。そして、アドレスが1C7A0h~1FFFFh及び3C7A0h以降の領域をコードバッファとして用いる。

この第3のアドレスマッピングに対応したアドレス生成回路52は、例えば図15に示すように、上述した図11に示す乗算器105~加算器108を削除し、上記乗算器101の出力を1/2倍して上記乗算器102、103に供給する乗算器110を備えると共に、上記フレームメモリ制御回路51からのフィールドナンバを最

上位ビットとして上記加算器 1 0 4 の出力に付加した構成となっている。

そして、乗算器 1 1 0 は、乗算器 1 0 1 の出力、すなわち輝度データ Y の 1 フレーム当たりのワード数を $1/2$ 倍することにより、輝度データ Y の 1 フィールド当たりのワード数を 2 5 9 2 0、すなわち 0 6 5 4 0 h (15 ビット) として算出し、算出値を乗算器 1 0 2、1 0 3 に供給する。この結果、このアドレス生成回路 5 2 は、フレームメモリ制御回路 5 1 からのフィールドナンバーが最上位ビットとして加算器 1 0 4 の出力に付加されたアドレス、すなわち上述した図 1 4 に示す各アドレスを生成し、これらのアドレスをフレームメモリ 4 6 に供給する。

すなわち、このアドレス生成回路 5 2 では、フィールドナンバーを用いた演算を行わないので、フィールド指定用のビットを分離することができる。

第 4 のアドレスマッピングは、フレームメモリ 4 6 のアドレスを、フレーム F 0 のフィールド f 0 の輝度データ Y、色差データ C、フレーム F 1 のフィールド f 0 の輝度データ Y、色差データ C、フレーム F 2 のフィールド f 0 の輝度データ Y、色差データ C、フレーム F 0 のフィールド f 1 の輝度データ Y、色差データ C、フレーム F 1 のフィールド f 1 の輝度データ Y、色差データ C、フレーム F 2 フィールド f 1 の輝度データ Y、色差データ C を順に割り当てると共に、フィールド間に空き領域を設ける。

具体的には、例えば図 1 6 に示すように、フレーム F 0 のフィールド f 0 の輝度データ Y、色差データ C、フレーム F 1 のフィールド f 0 の輝度データ Y、色差データ C、フレーム F 2 のフィールド

f 0 の輝度データ Y、色差データ C、フレーム F 0 のフィールド f 1 の輝度データ Y、色差データ C、フレーム F 1 のフィールド f 1 の輝度データ Y、色差データ C、フレーム F 2 フィールド f 1 の輝度データ Y、色差データ C の各先頭アドレスを、それぞれ 0 0 0 0 h、0 6 5 4 0 h、0 9 8 0 0 h、0 F D 4 0 h、1 3 0 0 0 h、1 9 5 4 0 h、2 0 0 0 0 h、2 6 5 4 0 h、2 9 8 0 0 h、2 F D 4 0 h、3 3 0 0 0 h、3 9 5 4 0 h とすることにより、フレームバッファ 4 6 a ~ 4 6 c を構成する。

すなわち、フィールド間に 0 9 7 E 0 h ~ 0 9 7 F F h、1 2 F E 0 h ~ 1 2 F F F h、2 9 7 E 0 h ~ 2 9 7 F F h、3 2 F E 0 h ~ 3 2 F F F h からなる空き領域を設ける。そして、アドレスが 1 C 8 0 0 h ~ 1 F F F F h 及び 3 C 8 0 0 h 以降の領域をコードバッファとして用いる。

この第 4 のアドレスマッピングに対応するアドレス生成回路 5 2 は、例えば図 1 7 に示すように、上述した図 1 5 に示す乗算器 1 0 2 の代わりに、上記フレームメモリ制御回路 5 1 からのフレームナンバと、下位 1 1 ビットが " 0 " からなる 1 6 ビットの固定値 0 9 8 0 0 h とを乗算する乗算器 1 0 9 を備えて成る。

そして、乗算器 1 0 9 は、上述した図 1 6 に示すように、フィールド間に空き領域を設けるために、フレーム F 0 ~ F 2 の各フィールド f 0 の先頭アドレスを 0 0 0 0 0 h、0 9 8 0 0 h、1 3 0 0 0 h (下位 1 1 ビットが " 0 " からなる 1 7 ビット) として生成し、これらのアドレスを加算器 1 0 4 に供給する。この結果、このアドレス生成回路 5 2 は、フレームメモリ制御回路 5 1 からのフィールドナンバが最上位ビットとして加算器 1 0 4 の出力に付加されたア

ドレス、すなわち上述した図 1 6 に示す各アドレスを生成し、これらのアドレスをフレームメモリ 4 6 に供給する。

かくして、このアドレス生成回路 5 2 では、フィールド指定用のビットを分離することができると共に、乗算器 1 0 9 では値が”0”でない上位 5 ビットの演算を行えばよいので、乗算器 1 0 9 の回路規模を乗算器 1 0 2 に比して小さくすることができる。

第 5 のアドレスマッピングは、フレームメモリ 4 6 のアドレスを、フレーム F 0 の輝度データ Y、フレーム F 1 の輝度データ Y、フレーム F 2 の輝度データ Y、フレーム F 0 の色差データ C、フレーム F 1 の色差データ C、フレーム F 2 の色差データ C の順に割り当てる。

具体的には、例えば図 1 8 に示すように、フレーム F 0 の輝度データ Y、フレーム F 1 の輝度データ Y、フレーム F 2 の輝度データ Y、フレーム F 0 の色差データ C、フレーム F 1 の色差データ C、フレーム F 2 の色差データ C の各先頭アドレスを、それぞれ 0 0 0 0 0 h、0 C A 8 0 h、1 9 5 0 0 h、2 5 F 8 0 h、2 C 4 C 0 h、3 2 A 0 0 h とすることにより、フレームバッファ 4 6 a ~ 4 6 c を構成する。そして、アドレスが 3 8 F 4 0 h 以降の領域をコードバッファとして用いる。

この第 5 のアドレスマッピングに対応したアドレス生成回路 5 2 は、例えば図 1 9 に示すように、上述した図 1 1 に示す乗算器 1 0 2、1 0 3 の代わりに、上記フレームメモリ制御回路 5 1 からのフレームナンバと上記乗算器 1 0 1 の出力を乗算する乗算器 1 1 1 と、上記フレームメモリ制御回路 5 1 からのクロマ信号と上記乗算器 1 0 1 の出力を乗算すると共に 3 倍する乗算器 1 1 2 とを備えて成る。

そして、乗算器 1 1 1 は、フレームメモリ制御回路 5 1 から供給されるフレームナンバと乗算器 1 0 1 の出力を乗算することにより、輝度データ Y のみから構成されるフレーム F 0 ~ F 2 の各先頭アドレスを 0 0 0 0 0 h、0 C A 8 0 h、1 9 5 0 0 h として生成し、これらのアドレスを加算器 1 0 4 に供給する。一方、乗算器 1 1 2 は、乗算器 1 0 1 の出力を 3 倍することにより、上述の図 1 8 に示すようにフレーム F 0 の色差データ C の先頭アドレスを 2 5 F 8 0 h として生成し、このアドレスを加算器 1 0 4 に供給する。この結果、加算器 1 0 8 は、上述した図 1 8 に示す各アドレスを生成し、これらのアドレスをフレームメモリ 4 6 に供給する。

第 6 のアドレスマッピングは、フレームメモリ 4 6 のアドレスを、フレーム F 0 の輝度データ Y、フレーム F 1 の輝度データ Y、フレーム F 2 の輝度データ Y、フレーム F 0 の色差データ C、フレーム F 1 の色差データ C、フレーム F 2 の色差データ C の順に割り当てると共に、輝度データ Y と色差データ C 間に空き領域を設ける。

具体的には、例えば図 2 0 に示すように、フレーム F 0 の輝度データ Y、フレーム F 1 の輝度データ Y、フレーム F 2 の輝度データ Y、フレーム F 0 の色差データ C、フレーム F 1 の色差データ C、フレーム F 2 の色差データ C の各先頭アドレスを、それぞれ 0 0 0 0 0 h、0 C A 8 0 h、1 9 5 0 0 h、2 6 0 0 0 h、2 C 5 4 0 h、3 2 A 8 0 h とすることにより、フレームバッファ 4 6 a ~ 4 6 c を構成する。

すなわち、輝度データ Y と色差データ C 間に 2 5 F 8 0 h ~ 2 5 F F F h からなる空き領域を設ける。そして、アドレスが 3 9 0 0 0 h 以降の領域をコードバッファとして用いる。

この第6のアドレスマッピングに対応したアドレス生成回路52は、例えば図21に示すように、上述した図19に示す乗算器112の代わりに、上記フレームメモリ制御回路51からのクロマ信号と、下位13ビットが"0"からなる18ビットの固定値26000hとを乗算する乗算器113を備えて成る。

そして、乗算器113は、上述の図20に示すように、輝度データYと色差データC間に空き領域を設けるために、フレームF0の色差データCの先頭アドレスを26000h（下位13ビットが"0"からなる18ビット）として生成し、このアドレスを加算器104に供給する。この結果、加算器108は、上述した図20に示す各アドレスを生成し、これらのアドレスをフレームメモリ46に供給する。

すなわち、乗算器113では値が"0"でない上位5ビットの演算を行えばよいので、乗算器113の回路規模を上述の図19に示す乗算器112に比して小さくすることができる。

第7のアドレスマッピングは、フレームメモリ46のアドレスを、フレームF0のフィールドf0の輝度データY、フレームF1のフィールドf0の輝度データY、フレームF2のフィールドf0の輝度データY、フレームF0のフィールドf1の輝度データY、フレームF1のフィールドf1の輝度データY、フレームF2フィールドf1の輝度データY、フレームF0のフィールドf0の色差データC、フレームF1のフィールドf0の色差データC、フレームF2のフィールドf0の色差データC、フレームF0のフィールドf1の色差データC、フレームF1のフィールドf1の色差データC、フレームF2フィールドf1の色差データCの順に割り当てる。

具体的には、例えば図 2 2 に示すように、フレーム F 0 のフィールド f 0 の輝度データ Y、フレーム F 1 のフィールド f 0 の輝度データ Y、フレーム F 2 のフィールド f 0 の輝度データ Y、フレーム F 0 のフィールド f 1 の輝度データ Y、フレーム F 1 のフィールド f 1 の輝度データ Y、フレーム F 2 フィールド f 1 の輝度データ Y、フレーム F 0 のフィールド f 0 の色差データ C、フレーム F 1 のフィールド f 0 の色差データ C、フレーム F 2 のフィールド f 0 の色差データ C、フレーム F 0 のフィールド f 1 の色差データ C、フレーム F 1 のフィールド f 1 の色差データ C、フレーム F 2 フィールド f 1 の色差データ C の各先頭アドレスを、それぞれ 0 0 0 0 0 h、0 6 5 4 0 h、0 C A 8 0 h、1 2 F C 0 h、1 6 2 6 0 h、1 9 5 0 0 h、2 0 0 0 0 h、2 6 5 4 0 h、2 C A 8 0 h、3 2 F C 0 h、3 6 2 6 0 h、3 9 5 0 0 h とすることにより、フレームバッファ 4 6 a ~ 4 6 c を構成する。そして、アドレスが 1 C 7 A 0 h ~ 1 F F F F h 及び 3 C 7 A 0 h 以降の領域をコードバッファとして用いる。

この第 7 のアドレスマッピングに対応したアドレス生成回路 5 2 は、例えば図 2 3 に示すように、上述した図 1 9 に示す乗算器 1 0 5 ~ 加算器 1 0 8 を削除し、上記乗算器 1 0 1 の出力を 1 / 2 倍して上記乗算器 1 1 1、1 1 2 に供給する乗算器 1 1 0 を備えると共に、上記フレームメモリ制御回路 5 1 からのフィールドナンバを最上位ビットとして上記加算器 1 0 4 の出力に付加した構成となっている。

そして、乗算器 1 1 0 は、乗算器 1 0 1 の出力、すなわち輝度データ Y の 1 フレーム当たりのワード数を 1 / 2 倍することにより、

輝度データYの1フィールド当たりのワード数を06540h（15ビット）として算出し、算出値を乗算器111、112に供給する。この結果、このアドレス生成回路52は、フレームメモリ制御回路51からのフィールドナンバが最上位ビットとして加算器104の出力に付加されたアドレス、すなわち上述した図22に示す各アドレスを生成し、これらのアドレスをフレームメモリ46に供給する。

かくして、このアドレス生成回路52では、フィールド指定用のビットを分離することができる。

第8のアドレスマッピングは、フレームメモリ46のアドレスを、フレームF0のフィールドf0の輝度データY、フレームF1のフィールドf0の輝度データY、フレームF2のフィールドf0の輝度データY、フレームF0のフィールドf1の輝度データY、フレームF1のフィールドf1の輝度データY、フレームF2フィールドf1の輝度データY、フレームF0のフィールドf0の色差データC、フレームF1のフィールドf0の色差データC、フレームF2のフィールドf0の色差データC、フレームF0のフィールドf1の色差データC、フレームF1のフィールドf1の色差データC、フレームF2フィールドf1の色差データCのデータを順番にメモリに割り当てると共に、輝度データYと色差データC間に空き領域を設ける。

具体的には、例えば図24に示すように、フレームF0のフィールドf0の輝度データY、フレームF1のフィールドf0の輝度データY、フレームF2のフィールドf0の輝度データY、フレームF0のフィールドf1の輝度データY、フレームF1のフィールド

f 1 の輝度データ Y、フレーム F 2 フィールド f 1 の輝度データ Y、フレーム F 0 のフィールド f 0 の色差データ C、フレーム F 1 のフィールド f 0 の色差データ C、フレーム F 2 のフィールド f 0 の色差データ C、フレーム F 0 のフィールド f 1 の色差データ C、フレーム F 1 のフィールド f 1 の色差データ C、フレーム F 2 フィールド f 1 の色差データ C の各先頭アドレスを、それぞれ 0 0 0 0 0 h、0 6 5 4 0 h、0 C A 8 0 h、1 3 0 0 0 h、1 6 2 A 0 h、1 9 5 4 0 h、2 0 0 0 0 h、2 6 5 4 0 h、2 C A 8 0 h、3 3 0 0 0 h、3 6 2 A 0 h、3 9 5 4 0 h とすることにより、フレームバッファ 4 6 a ~ 4 6 c を構成する。

すなわち、輝度データ Y と色差データ C 間に 1 2 F C 0 h ~ 1 2 F F F h、3 2 F C 0 h ~ 3 2 F F F h からなる空き領域を設ける。そして、アドレスが 1 C 8 0 0 h ~ 1 F F F F h 及び 3 C 8 0 0 h 以降の領域をコードバッファとして用いる。

この第 8 のアドレスマッピングに対応したアドレス生成回路 5 2 は、例えば図 2 5 に示すように、上述した図 2 3 に示す乗算器 1 1 2 の代わりに、上記フレームメモリ制御回路 5 1 からのクロマ信号と、下位 1 2 ビットが " 0 " からなる 1 7 ビットの固定値 1 3 0 0 0 h とを乗算する乗算器 1 1 3 を備えて成る。

そして、乗算器 1 1 3 は、上述した図 2 4 に示すように、輝度データ Y と色差データ C 間に空き領域を設けるために、フレーム F 0 のフィールド f 0 の色差データ C の先頭アドレスを 1 3 0 0 0 h (下位 1 2 ビットが " 0 " からなる 1 7 ビット) として生成し、これらのアドレスを加算器 1 0 4 に供給する。この結果、このアドレス生成回路 5 2 は、フレームメモリ制御回路 5 1 からのフィールド

ナンバが最上位ビットとして加算器 104 の出力に付加されたアドレス、すなわち上述した図 24 に示す各アドレスを生成し、これらのアドレスをフレームメモリ 46 に供給する。

かくして、このアドレス生成回路 52 では、フィールド指定用のビットを分離することができると共に、乗算器 113 では値が”0”でない上位 5 ビットの演算を行えばよいので、乗算器 113 の回路規模を上述の図 23 に示す乗算器 112 に比して小さくすることができる。

産業の利用可能性

本発明を適用した動画像復号化装置は、再生された I ピクチャ、P ピクチャ及び B ピクチャの画像データを記憶する容量が 3 フレーム分のメモリを備えている。そして、このメモリに記憶されている I ピクチャ又は P ピクチャの画像データを復号化のための予測ピクチャの画像データとして用いると共に、メモリから画像データを表示の順番に読み出して出力することにより、従来の動画像復号化装置に比して、メモリの容量を少なくすることができ、コストを安くすることができる。

また、この動画像復号化装置では、メモリへの現フレームの画像データの書込開始時刻から略 1 フィールド時間遅れて、メモリから現フレームの画像データを表示の順番に読み出して出力すると共に、メモリへの現フレームの画像データの書込開始時刻を、前フレームの第 1 フィールドと第 2 フィールドの間の垂直ブランキング終了時刻の 8 水平走査期間より後の時刻とし、メモリへの現フレームの画

像データの書込終了時刻を、現フレームの第1フィールドと第2フィールドの間の垂直ブランキング開始時刻の8水平走査期間より前の時刻とすることにより、メモリへの画像データの書込がメモリからの画像データの読出を追い越すことがなく、正しく動画を再生することができる。

また、この動画像復号化装置では、上述の動作を行うことにより、容量が2Mバイトの半導体メモリを用いることができる。

請求の範囲

1. 予測符号化により得られる符号化データを復号化して、画像データを再生する動画像復号化装置において、

再生されたIピクチャ、Pピクチャ及びBピクチャの画像データを記憶する容量が3フレーム分のメモリを備え、

前記メモリに記憶されているIピクチャ又はPピクチャの画像データを復号化のための予測ピクチャの画像データとして用いると共に、前記メモリから画像データを表示の順番に読み出して出力することを特徴とする動画像復号化装置。

2. 予測符号化により得られる符号化データを復号化して、画像データを再生する動画像復号化装置において、

再生された画像データを記憶するメモリを備え、

前記メモリへの現フレームの画像データの書込開始時刻から略1フィールド時間遅れて、前記メモリから前記現フレームの画像データを表示の順番に読み出して出力すると共に、前記メモリへの前記現フレームの画像データの書込開始時刻を、前フレームの第1フィールドと第2フィールドの間の垂直ブランキング終了時刻の8水平走査期間より後の時刻とし、前記メモリへの現フレームの画像データの書込終了時刻を、現フレームの第1フィールドと第2フィールドの間の垂直ブランキング開始時刻の8水平走査期間より前の時刻とすることを特徴とする動画像復号化装置。

3. 前記画像データが、4 : 2 : 0の画像データからなり、

前記メモリは、容量が2 Mバイトの半導体メモリから構成されることを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

4. 前記メモリを、受信される符号化データを記憶するコードバッファとして用いることを特徴とする請求の範囲第3項記載の動画復号化装置。

5. 前記画像データが輝度データと色差データからなり、
前記メモリのアドレスを、第1のフレームの輝度データ、色差データ、第2のフレームの輝度データ、色差データ、第3のフレームの輝度データ、色差データの順に割り当てたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

6. 前記画像データが輝度データと色差データからなり、
前記メモリのアドレスを、第1のフレームの輝度データ、色差データ、第2のフレームの輝度データ、色差データ、第3のフレームの輝度データ、色差データの順に割り当てる際に、フレーム間に空き領域を設けたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

7. 前記画像データが輝度データと色差データからなり、
前記メモリのアドレスを、第1のフレームの第1フィールドの輝度データ、色差データ、第1のフレームの第2フィールドの輝度データ、色差データ、第2のフレームの第1フィールドの輝度データ、

色差データ、第2のフレームの第2フィールドの輝度データ、色差データ、第3のフレームの第1フィールドの輝度データ、色差データ、第3のフレームの第2フィールドの輝度データ、色差データの順に割り当てたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

8. 前記画像データが輝度データと色差データからなり、

前記メモリのアドレスを、第1のフレームの第1フィールドの輝度データ、色差データ、第1のフレームの第2フィールドの輝度データ、色差データ、第2のフレームの第1フィールドの輝度データ、色差データ、第2のフレームの第2フィールドの輝度データ、色差データ、第3のフレームの第1フィールドの輝度データ、色差データ、第3のフレームの第2フィールドの輝度データ、色差データの順に割り当てる際に、フィールド間に空き領域を設けたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

9. 前記画像データが輝度データと色差データからなり、

前記メモリのアドレスを、第1のフレームの輝度データ、第2のフレームの輝度データ、第3のフレームの輝度データ、第1のフレームの色差データ、第2のフレームの色差データ、第3のフレームの色差データの順に割り当てたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

10. 前記画像データが輝度データと色差データからなり、

前記メモリのアドレスを、第1のフレームの輝度データ、第2の

フレームの輝度データ、第3のフレームの輝度データ、第1のフレームの色差データ、第2のフレームの色差データ、第3のフレームの色差データの順に割り当てる際に、輝度データと色差データ間に空き領域を設けたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

11. 前記画像データが輝度データと色差データからなり、

前記メモリのアドレスを、第1のフレームの第1フィールドの輝度データ、第2のフレームの第1フィールドの輝度データ、第3のフレームの第1フィールドの輝度データ、第1のフレームの第1フィールドの色差データ、第2のフレームの第1フィールドの色差データ、第3のフレームの第1フィールドの色差データ、第1のフレームの第2フィールドの輝度データ、第2のフレームの第2フィールドの輝度データ、第3のフレームの第2フィールドの輝度データ、第1のフレームの第2フィールドの色差データ、第2のフレームの第2フィールドの色差データ、第3のフレームの第2フィールドの色差データの順に割り当てたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

12. 前記画像データが輝度データと色差データからなり、

前記メモリのアドレスを、第1のフレームの第1フィールドの輝度データ、第2のフレームの第1フィールドの輝度データ、第3のフレームの第1フィールドの輝度データ、第1のフレームの第1フィールドの色差データ、第2のフレームの第1フィールドの色差データ、第3のフレームの第1フィールドの色差データ、第1のフレ

ームの第2フィールドの輝度データ、第2のフレームの第2フィールドの輝度データ、第3のフレームの第2フィールドの輝度データ、第1のフレームの第2フィールドの色差データ、第2のフレームの第2フィールドの色差データ、第3のフレームの第2フィールドの色差データの順に割り当てる際に、輝度データと色差データ間に空き領域を設けたことを特徴とする請求の範囲第1項又は第2項記載の画像復号化装置。

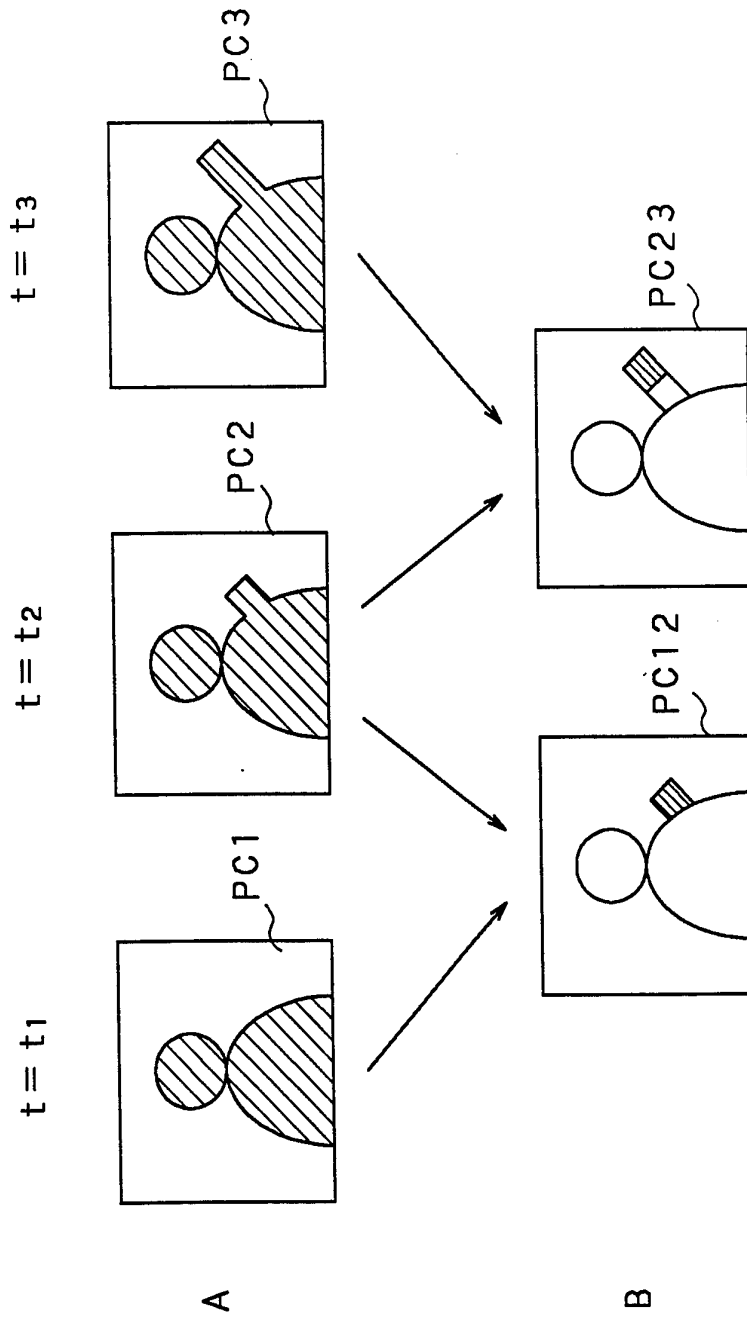


FIG. 1

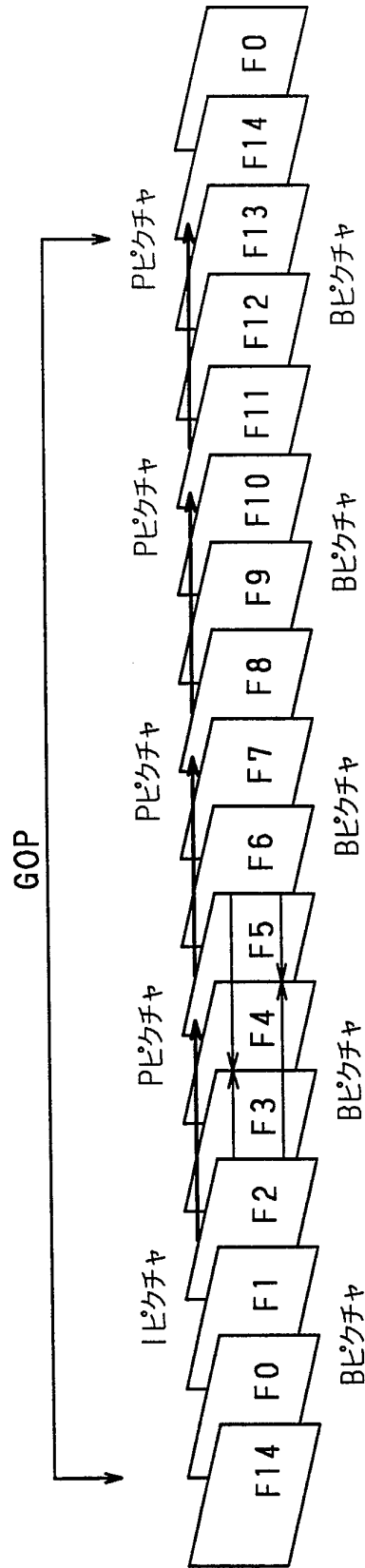


FIG. 2

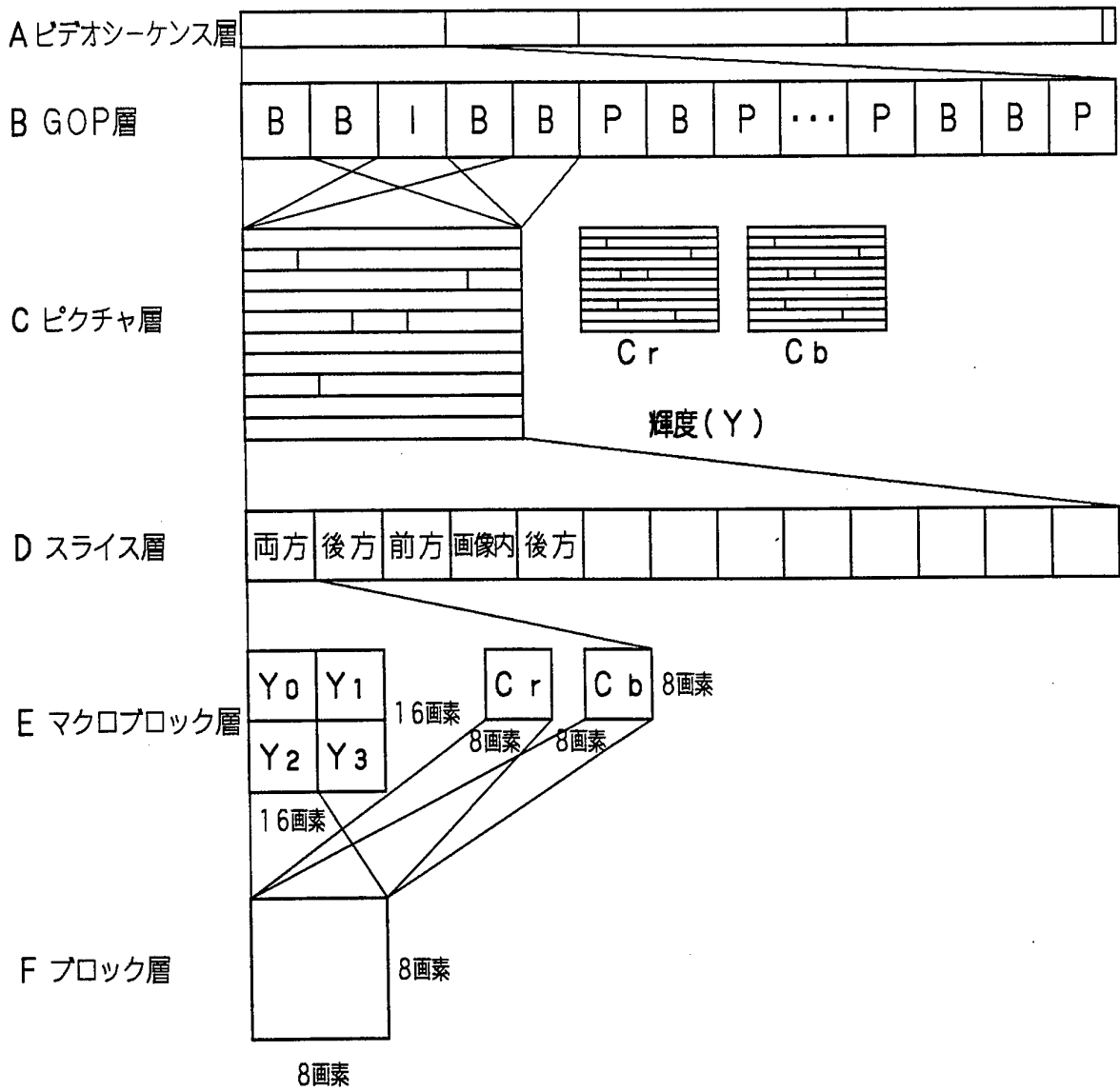


FIG. 3

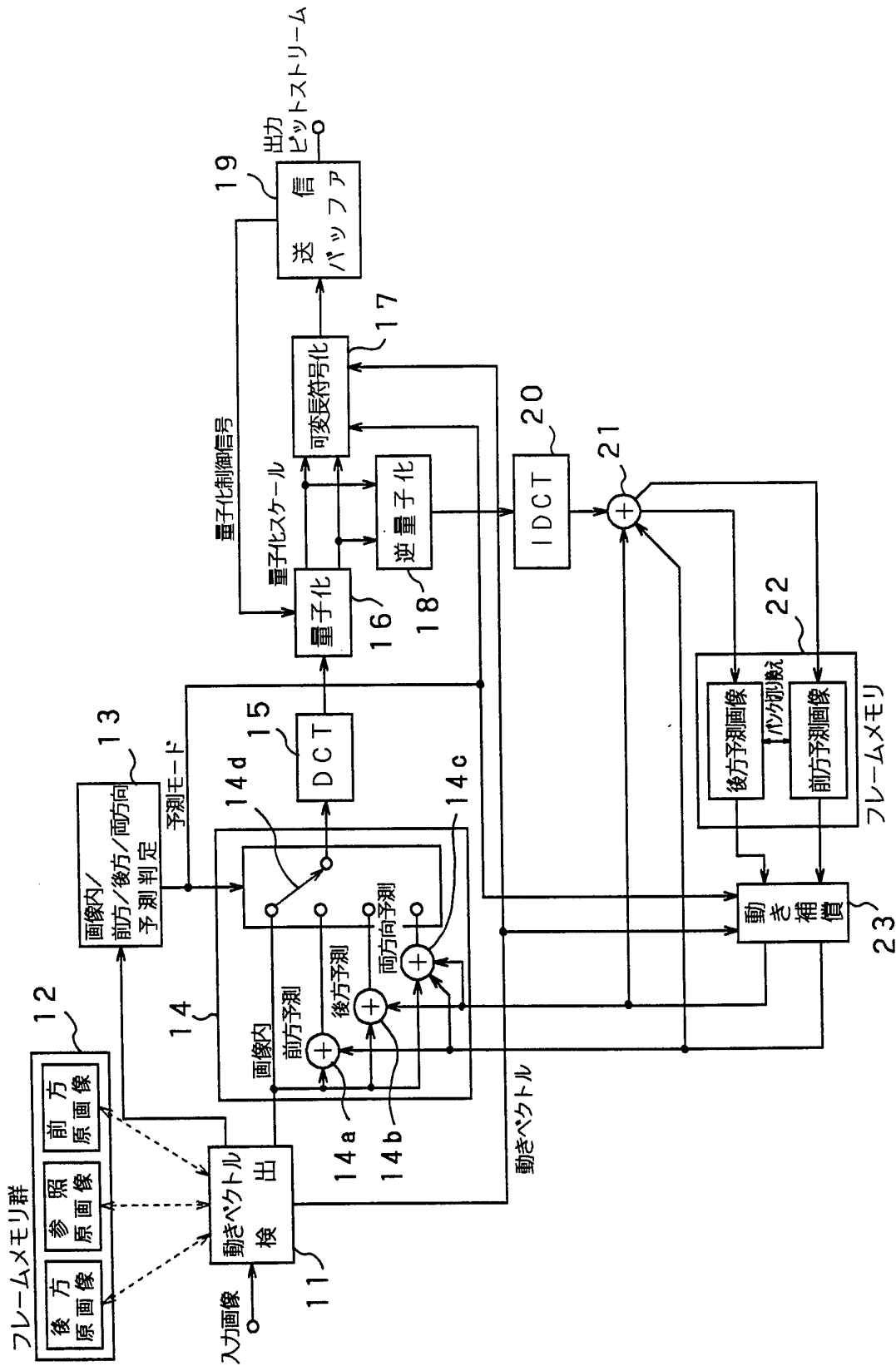


FIG. 4

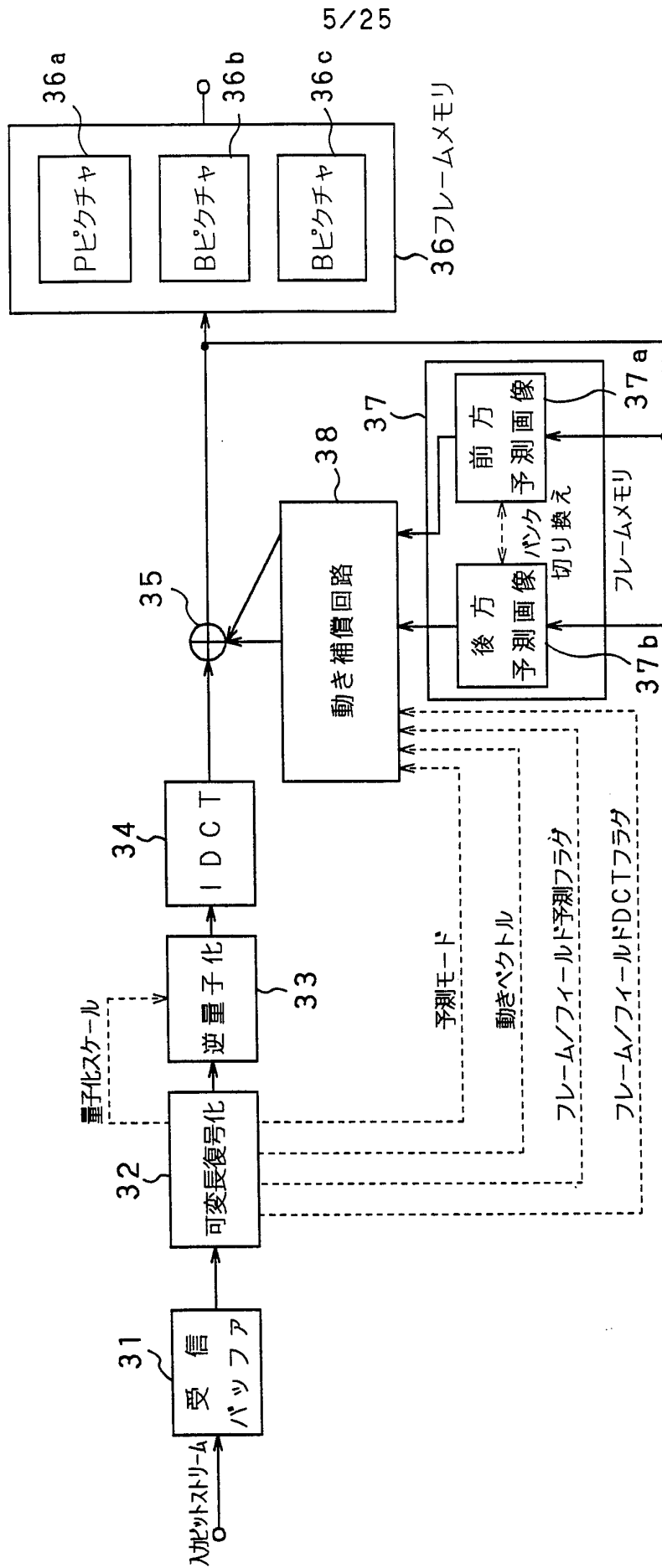


FIG. 5

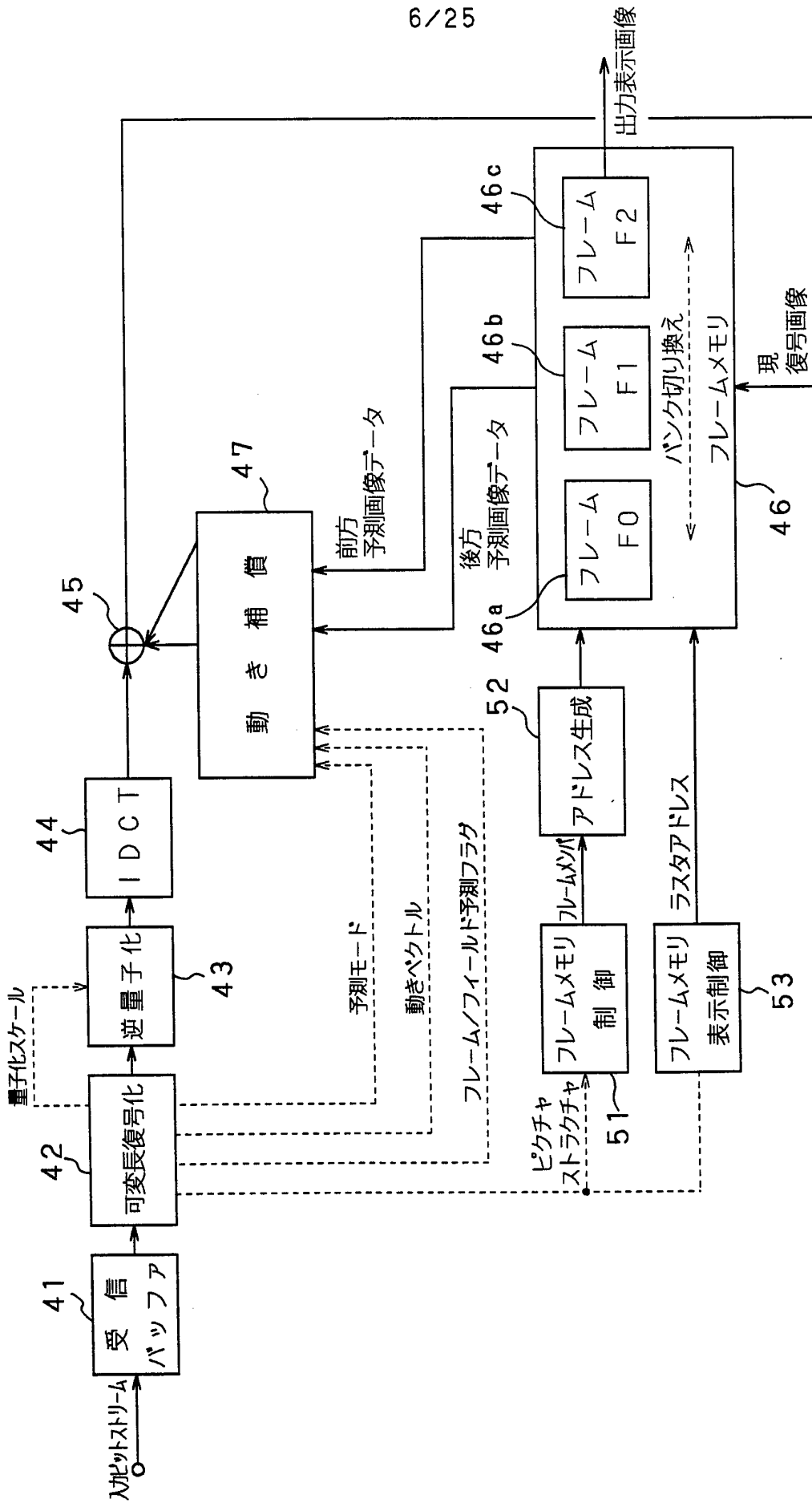
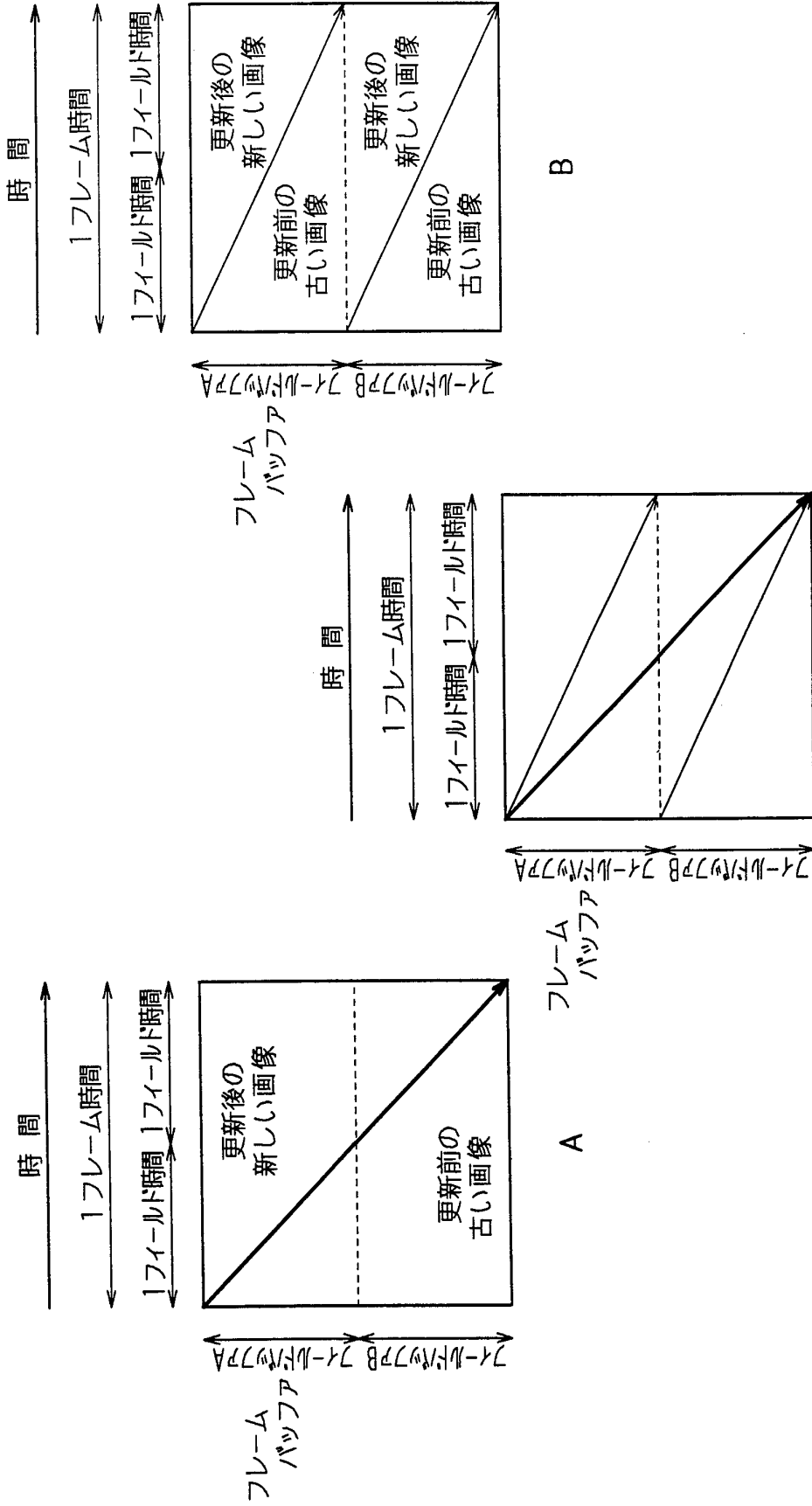


FIG. 6



C

B

A

FIG. 7

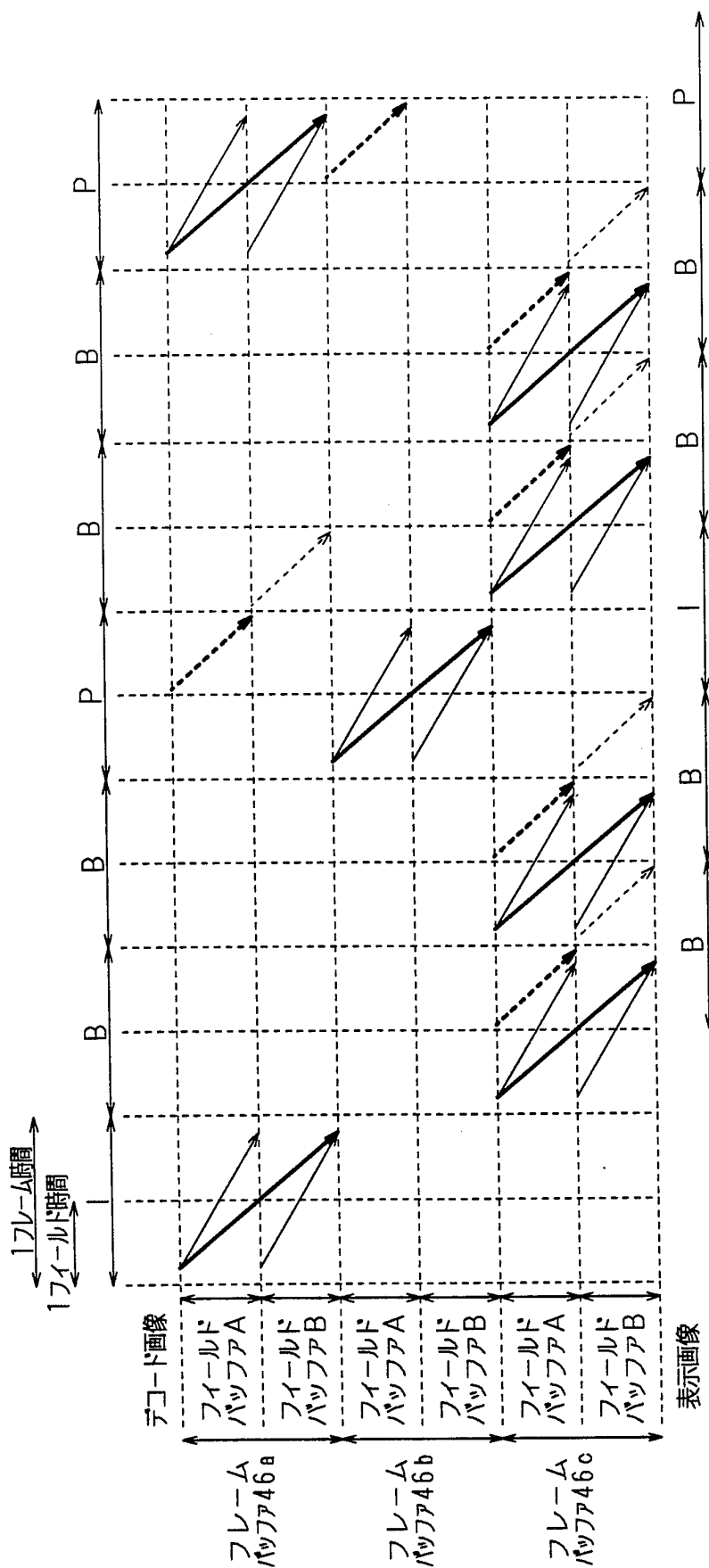


FIG. 8

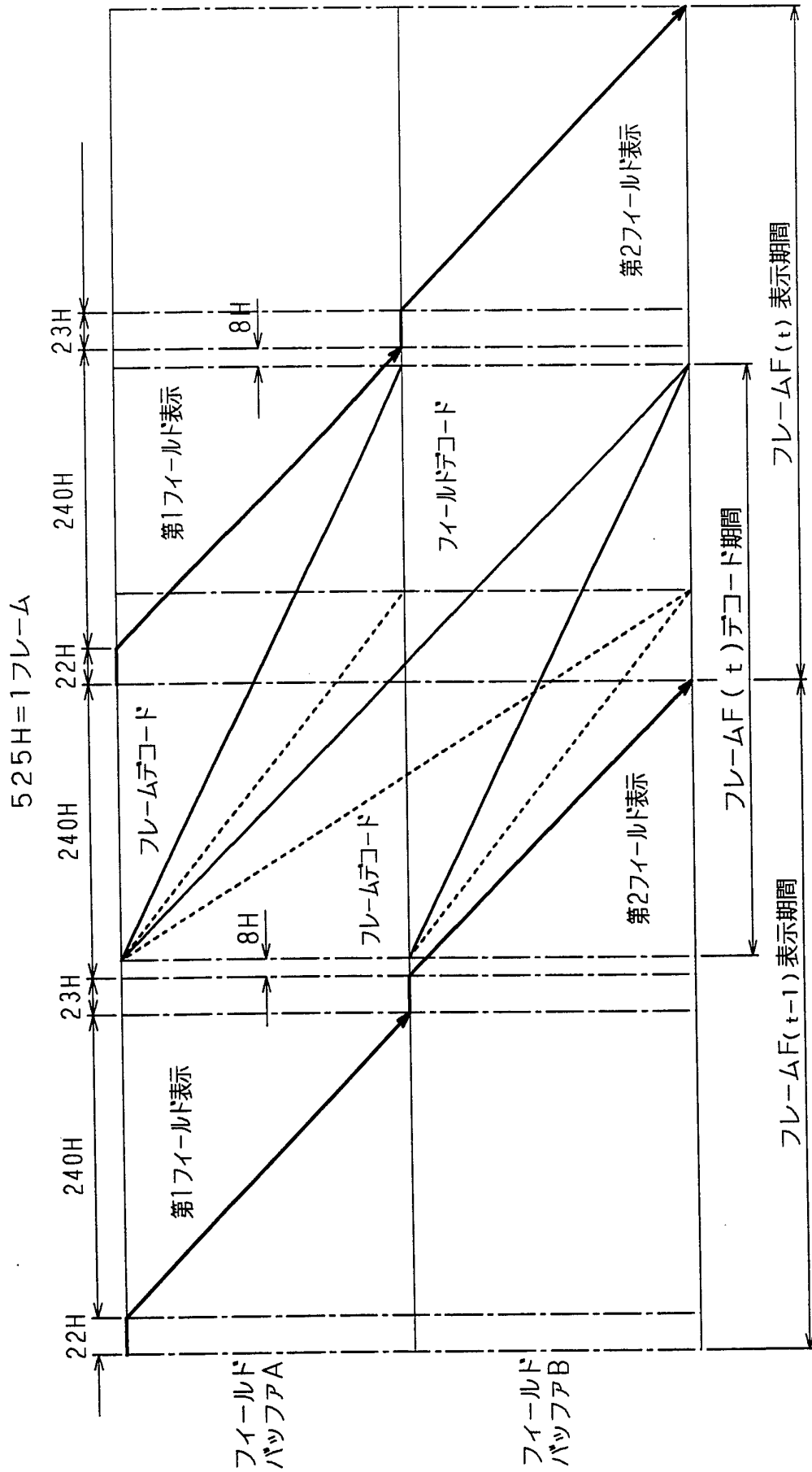


FIG. 9

10/25

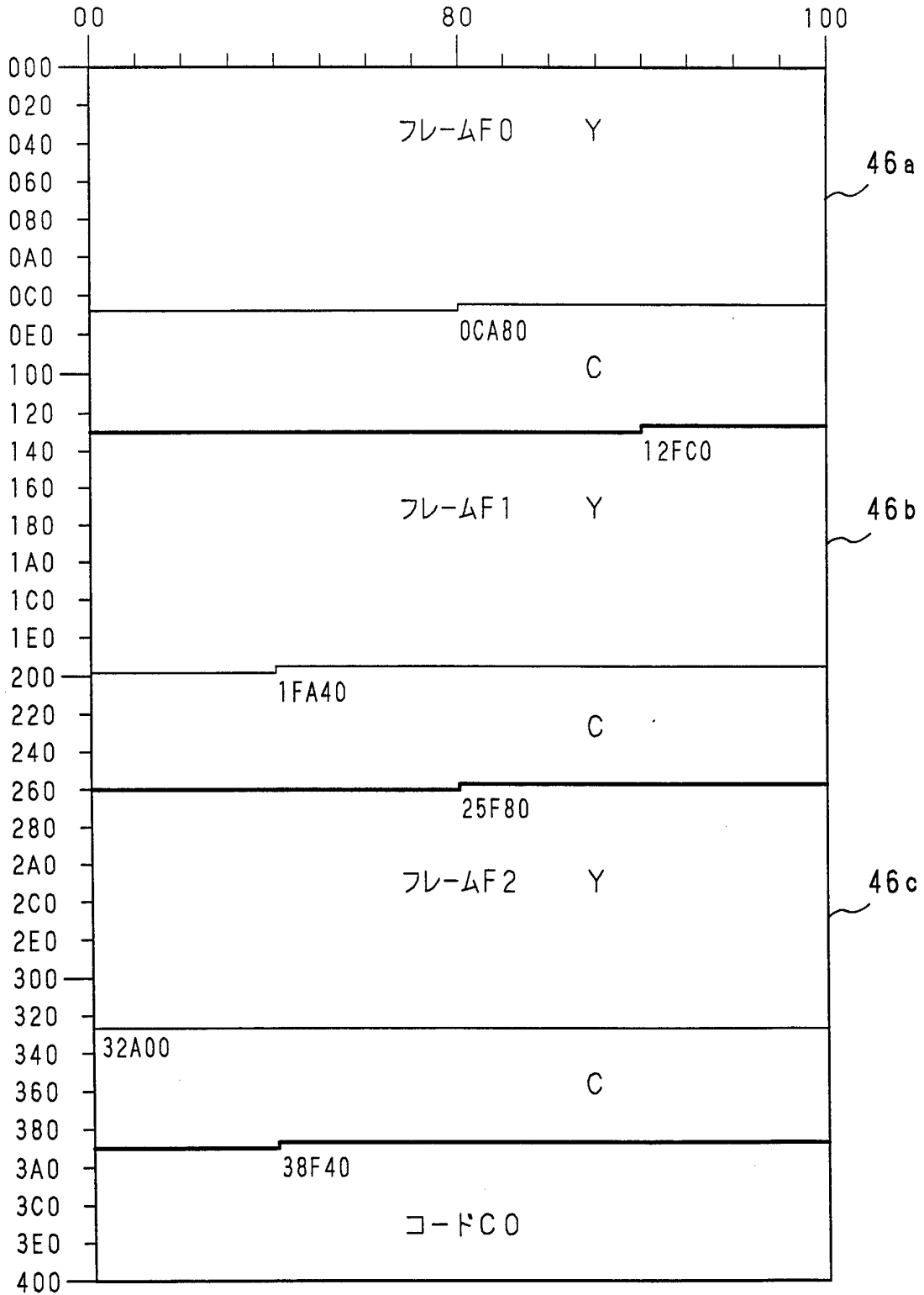
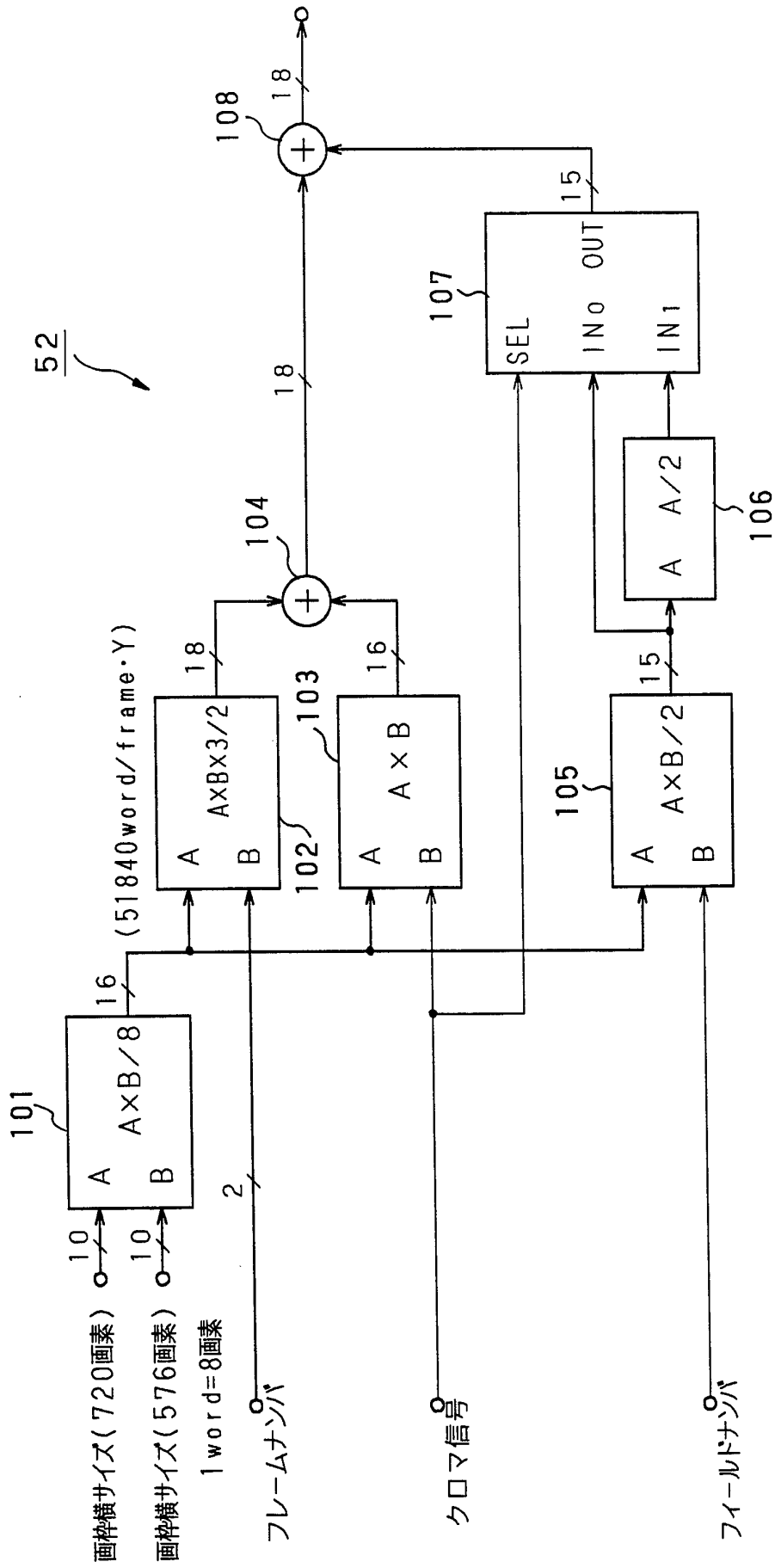


FIG. 10



52

FIG. 11

12/25

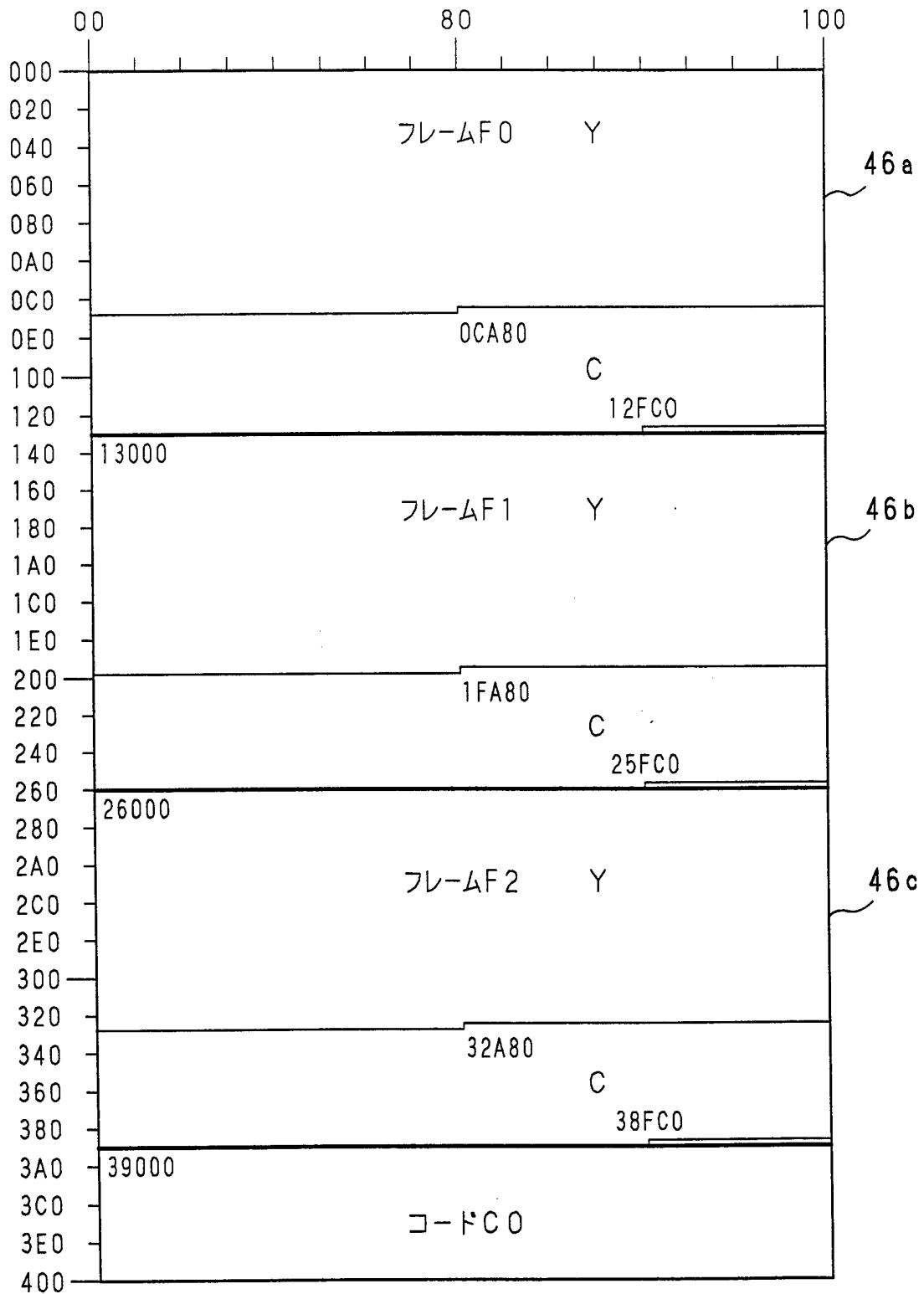


FIG. 12

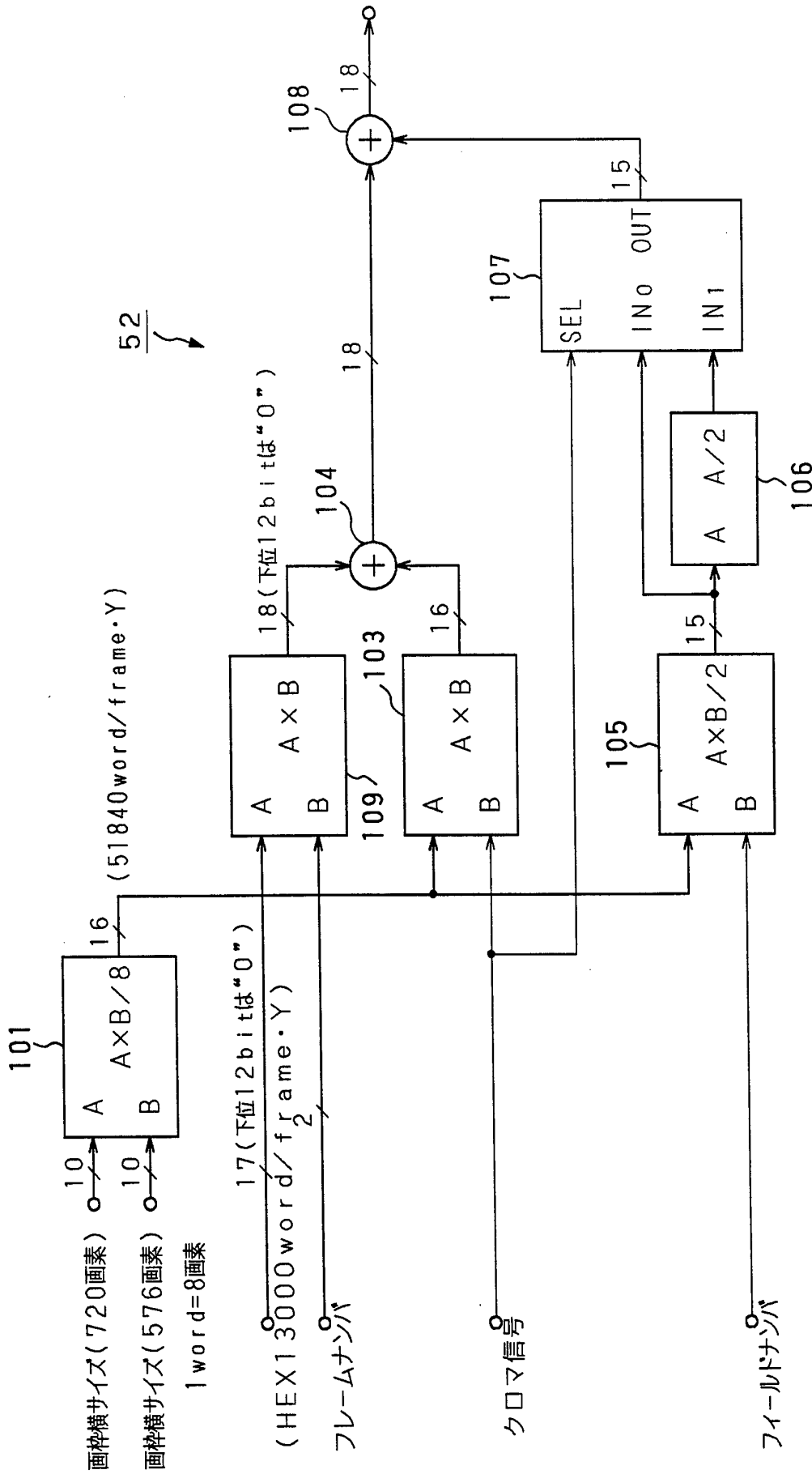


FIG. 13

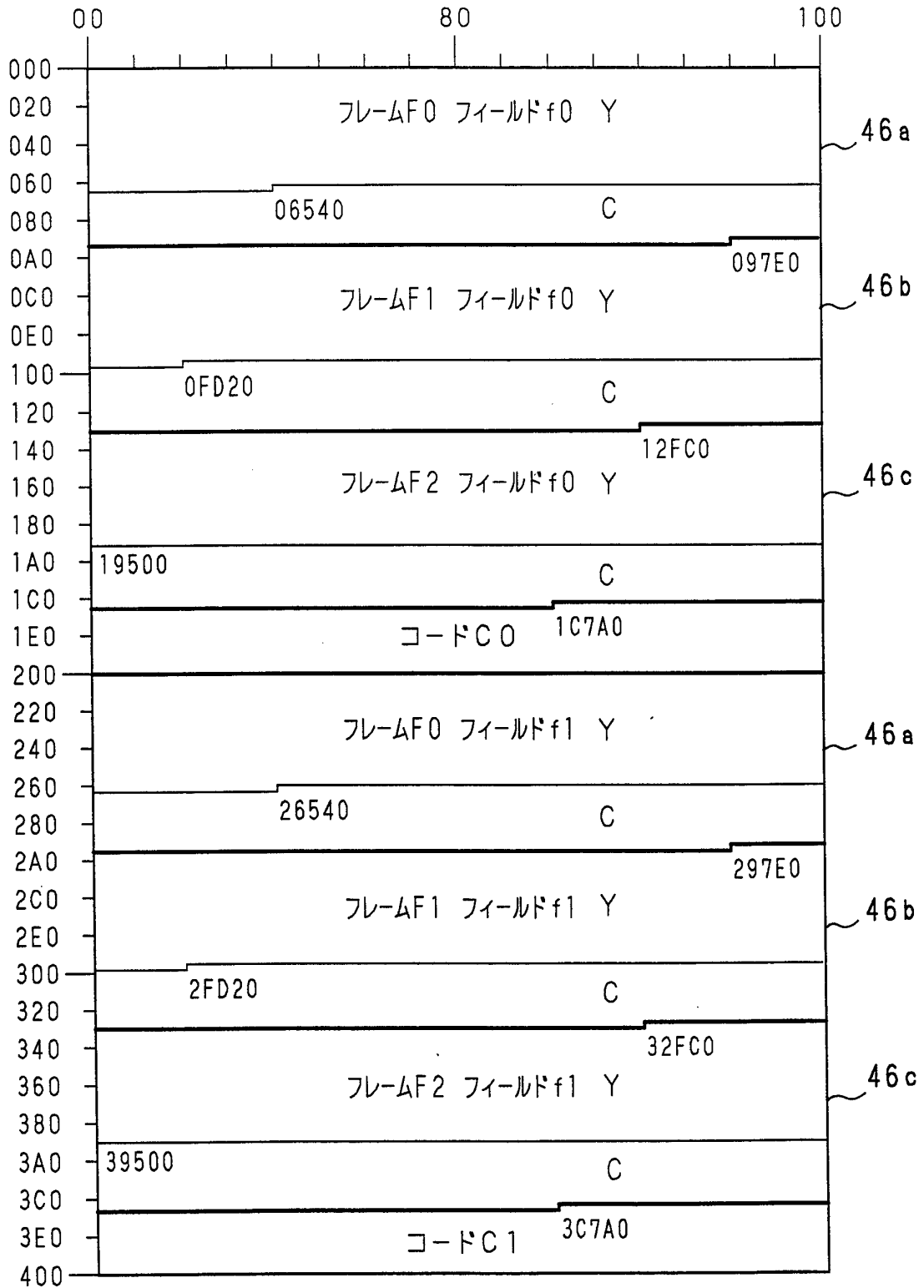


FIG. 14

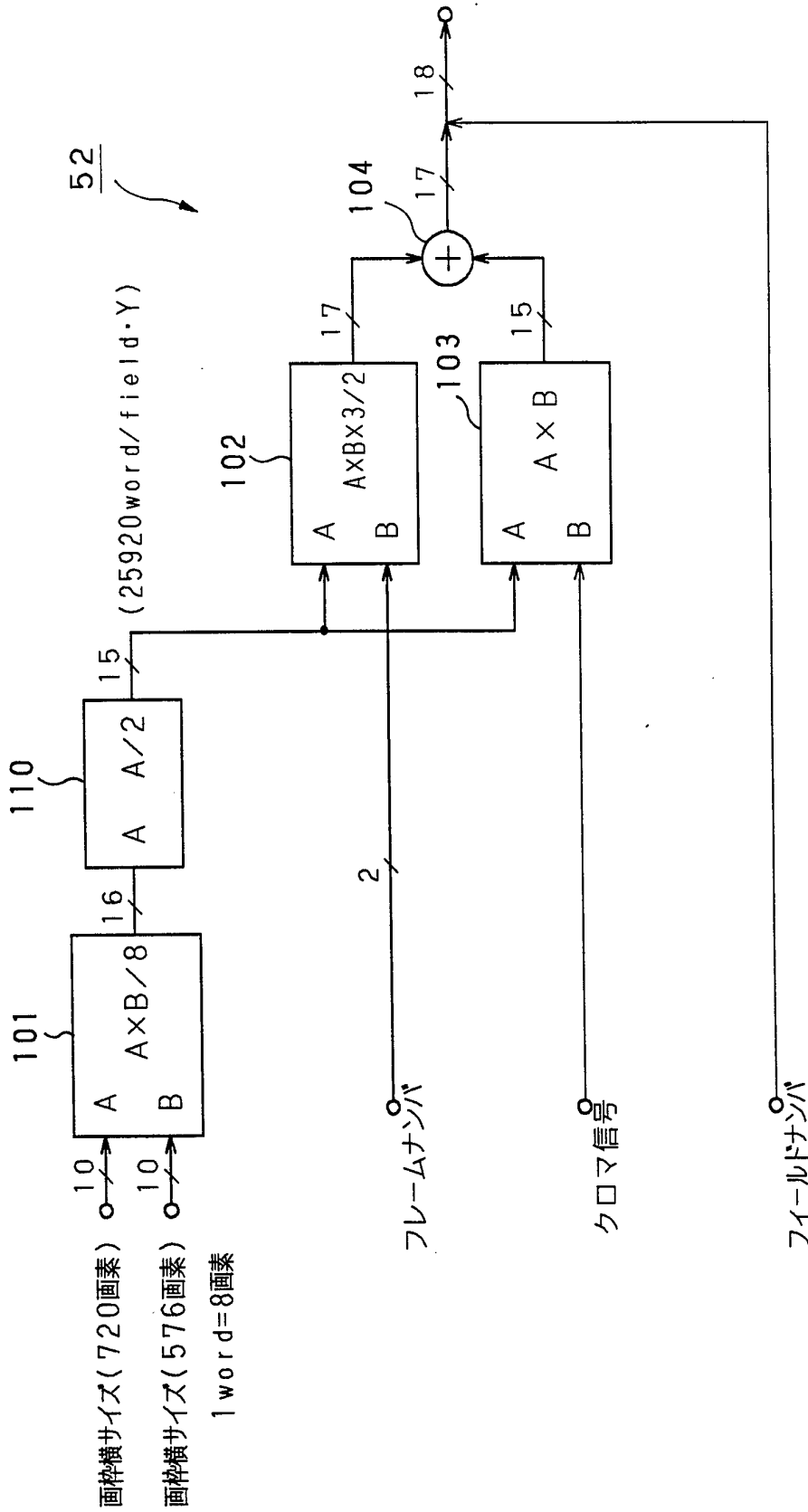


FIG. 15

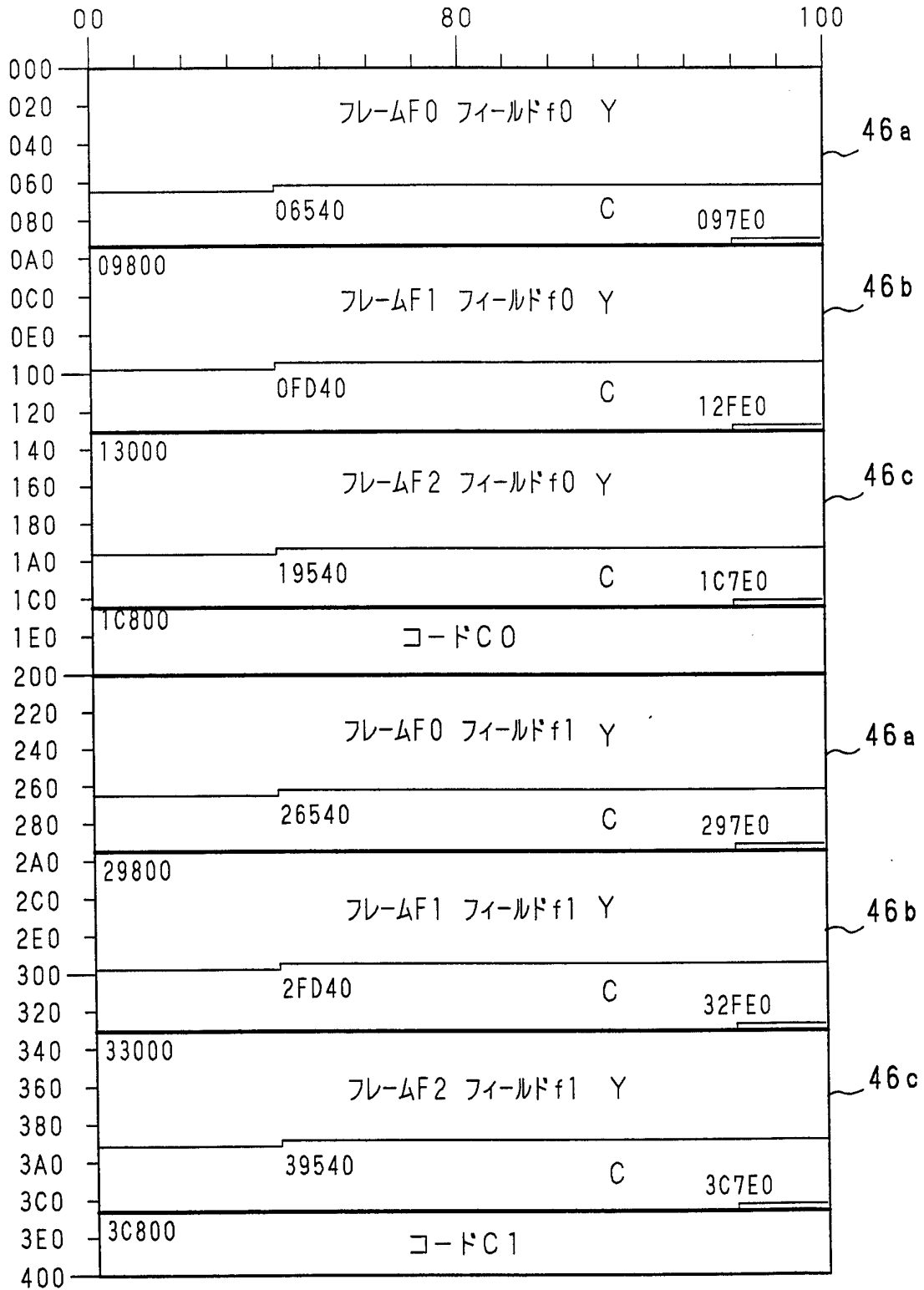


FIG. 16

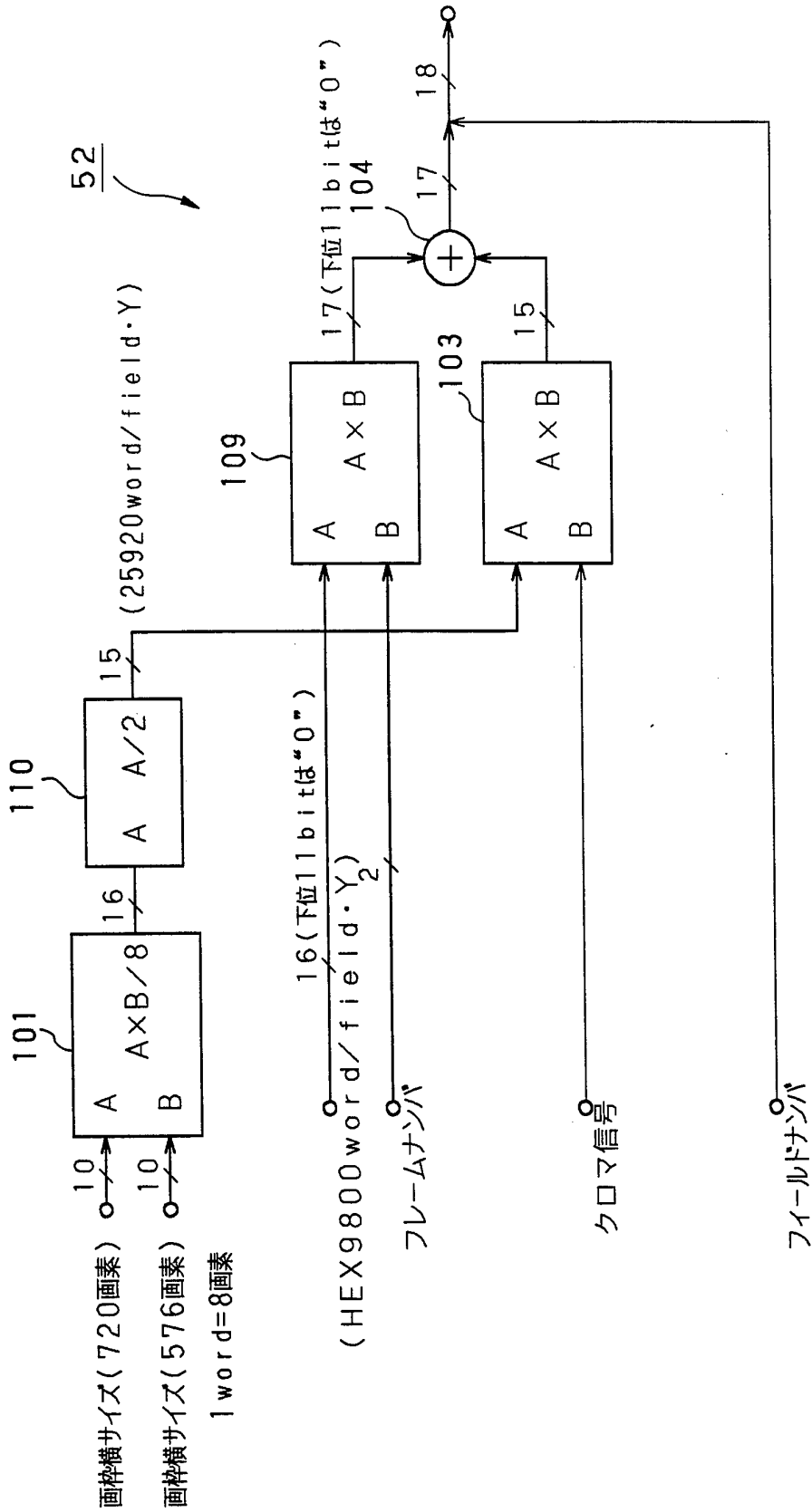


FIG. 17

18/25

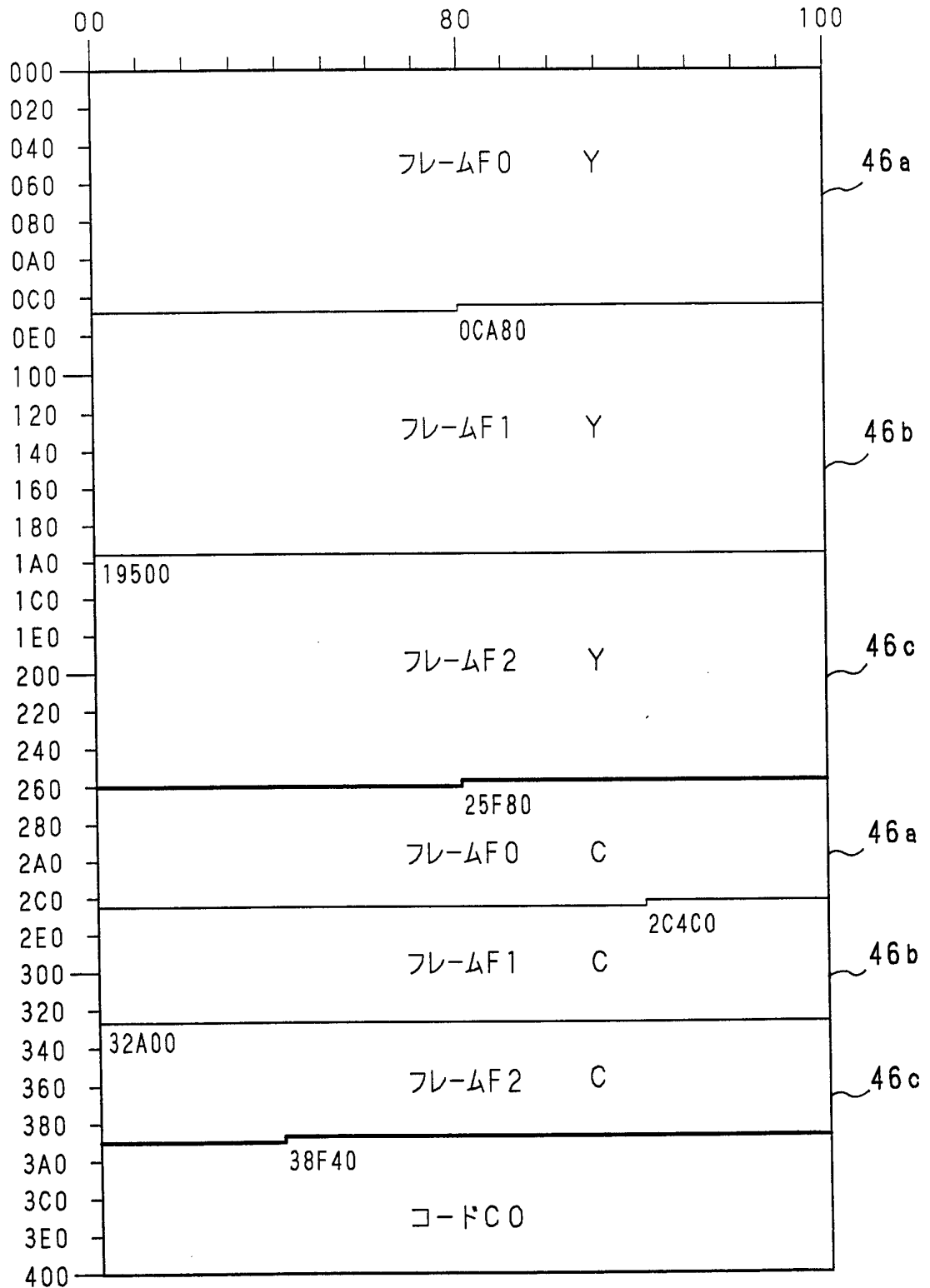


FIG. 18

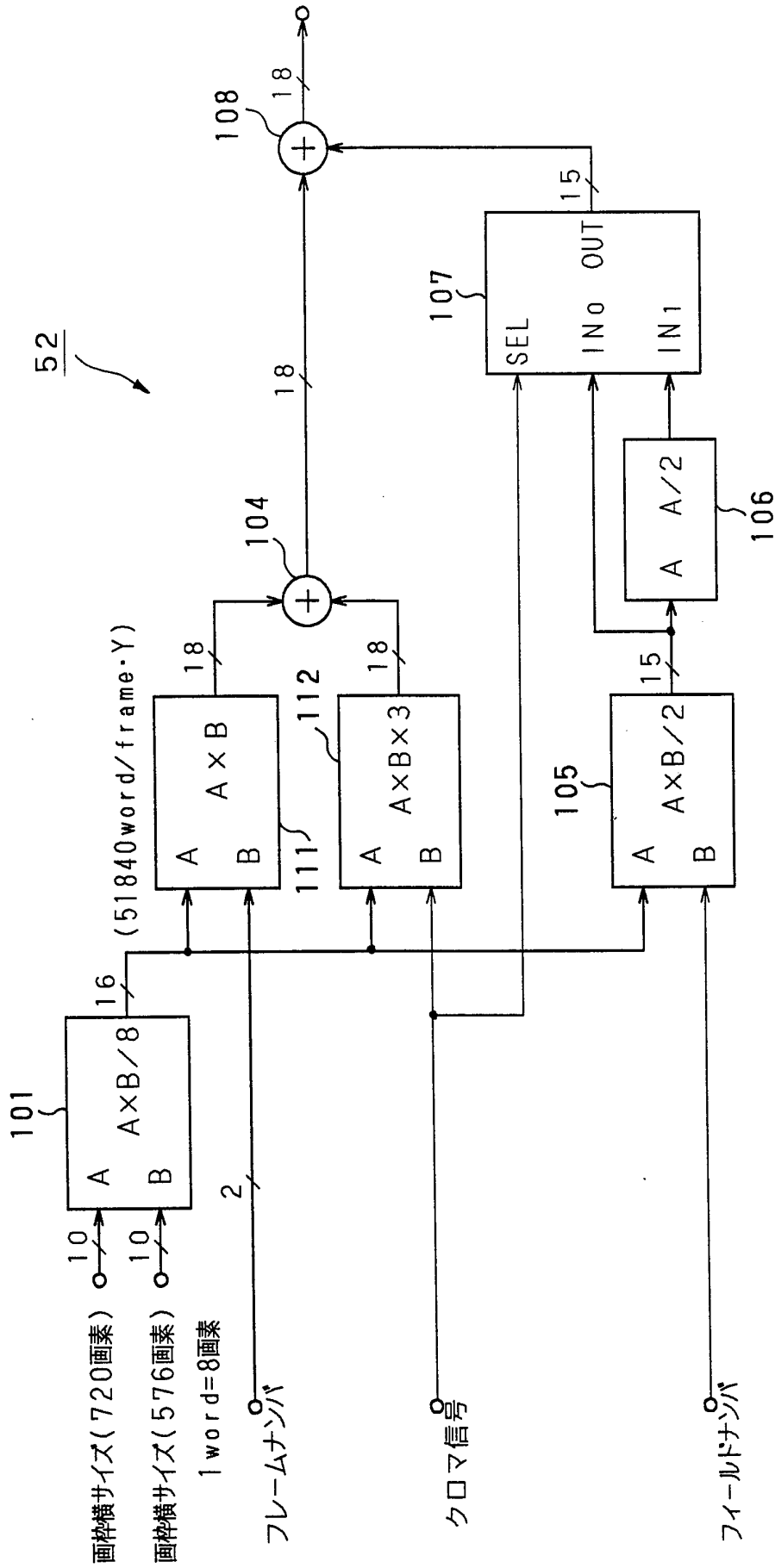


FIG. 19

20/25

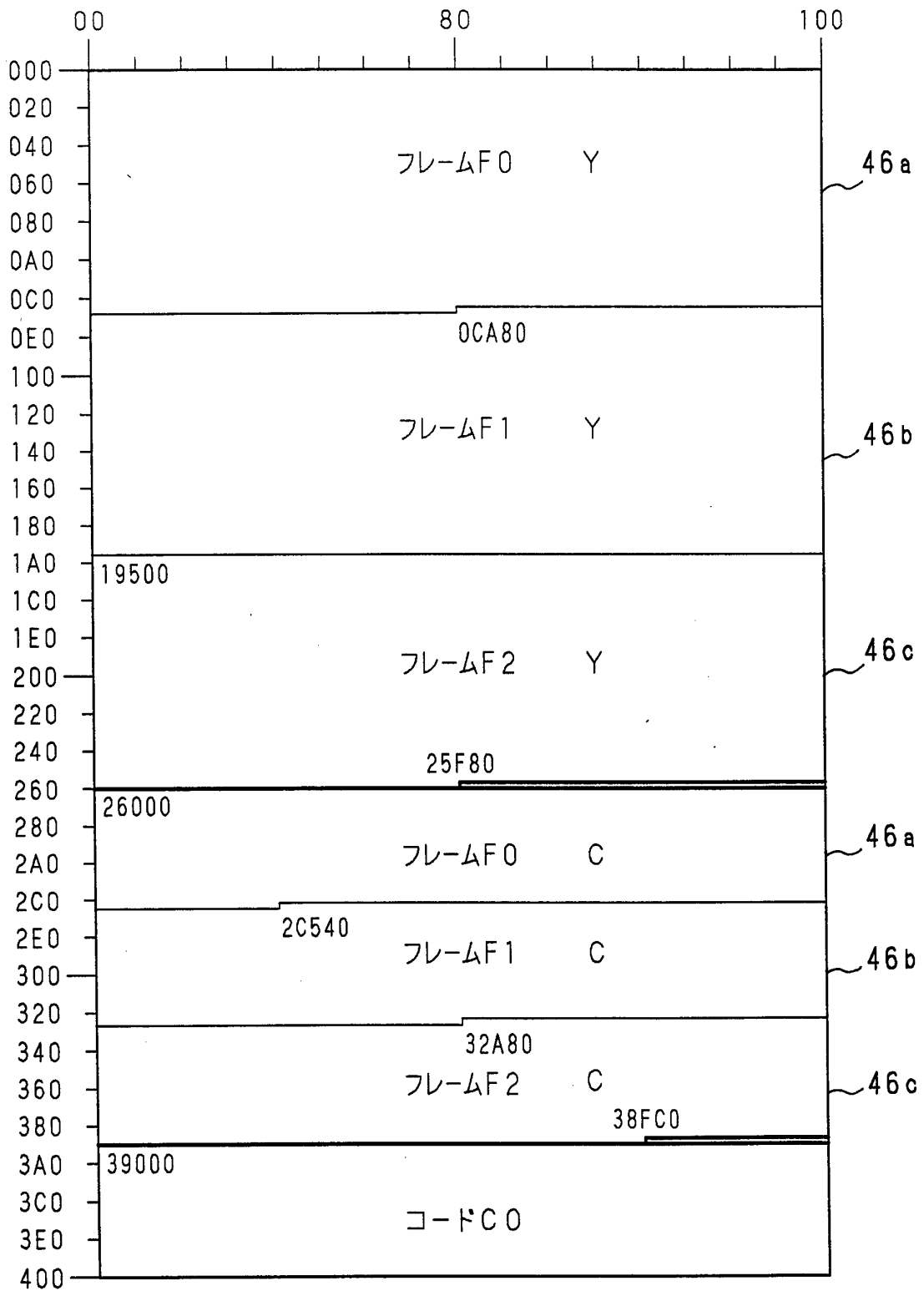


FIG. 20

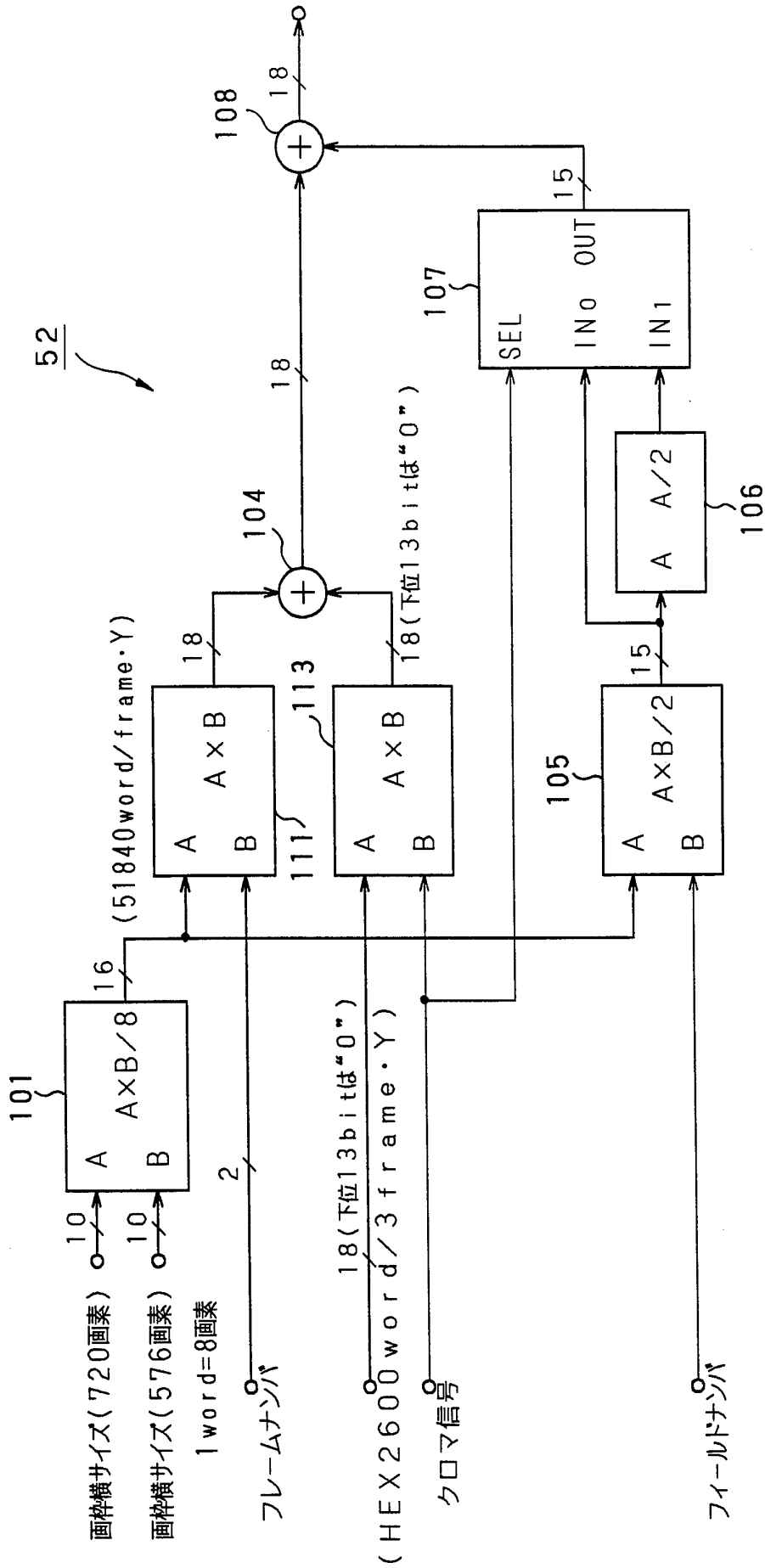


FIG. 21

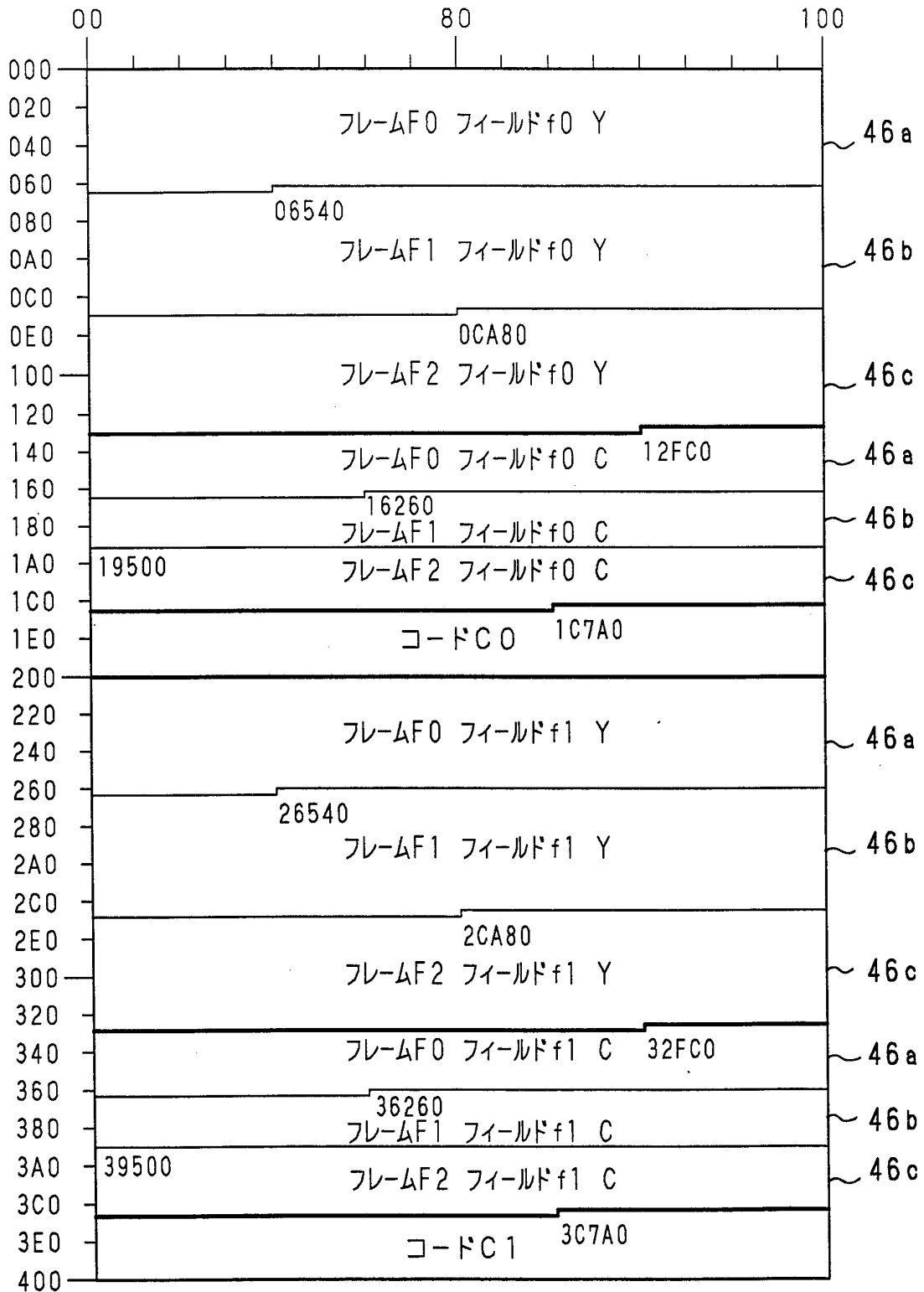


FIG. 22

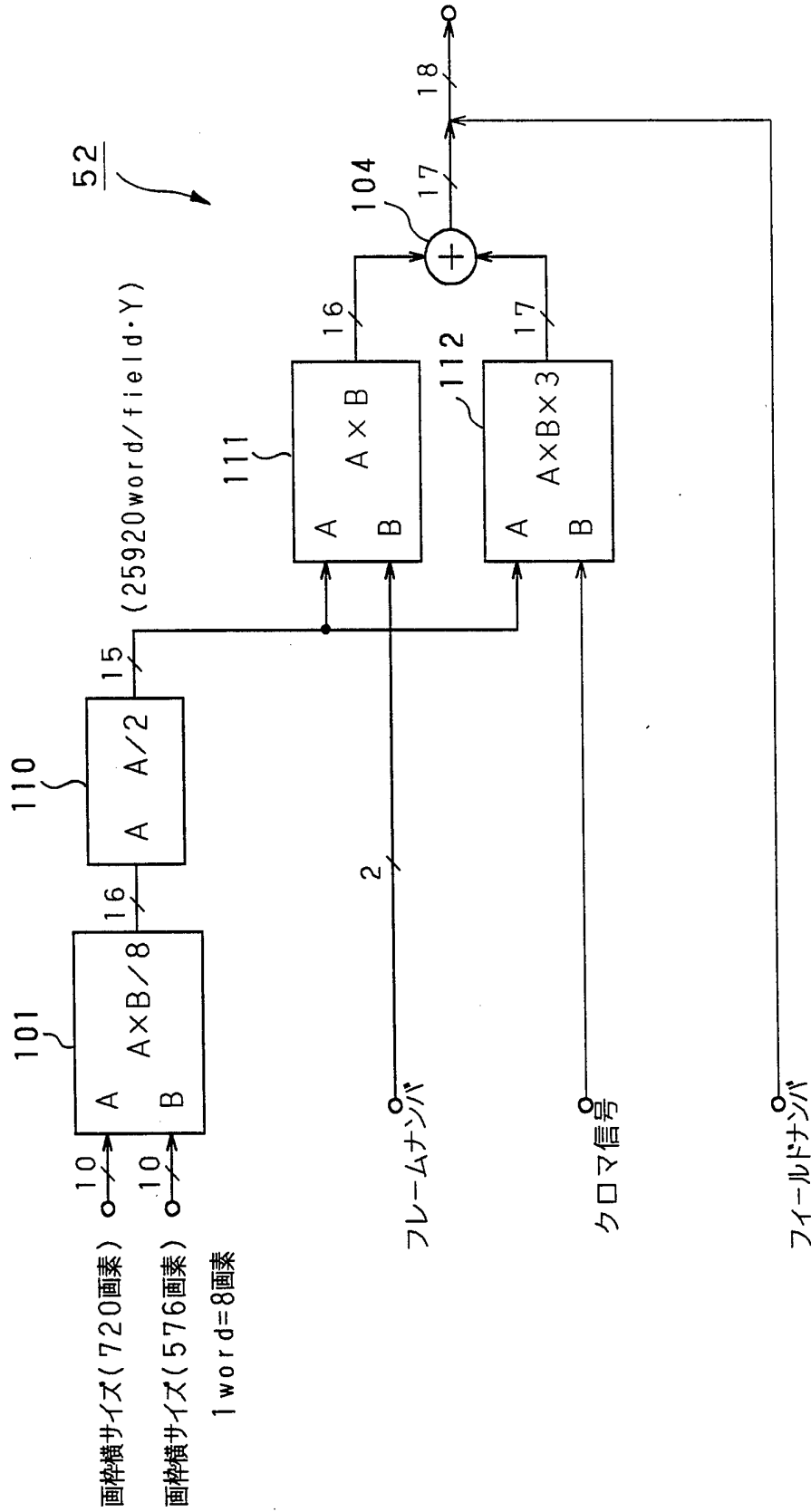


FIG. 23

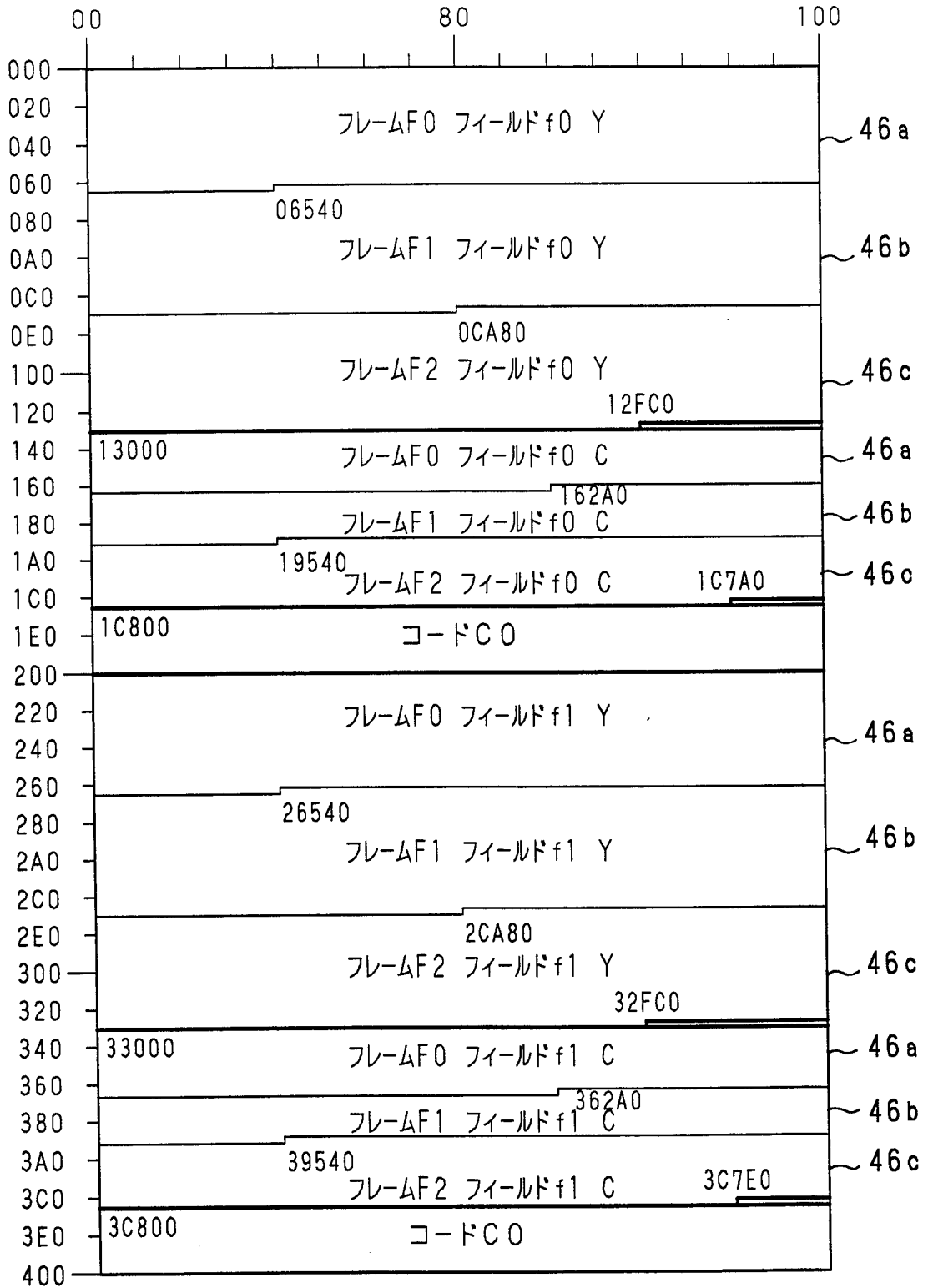


FIG. 24

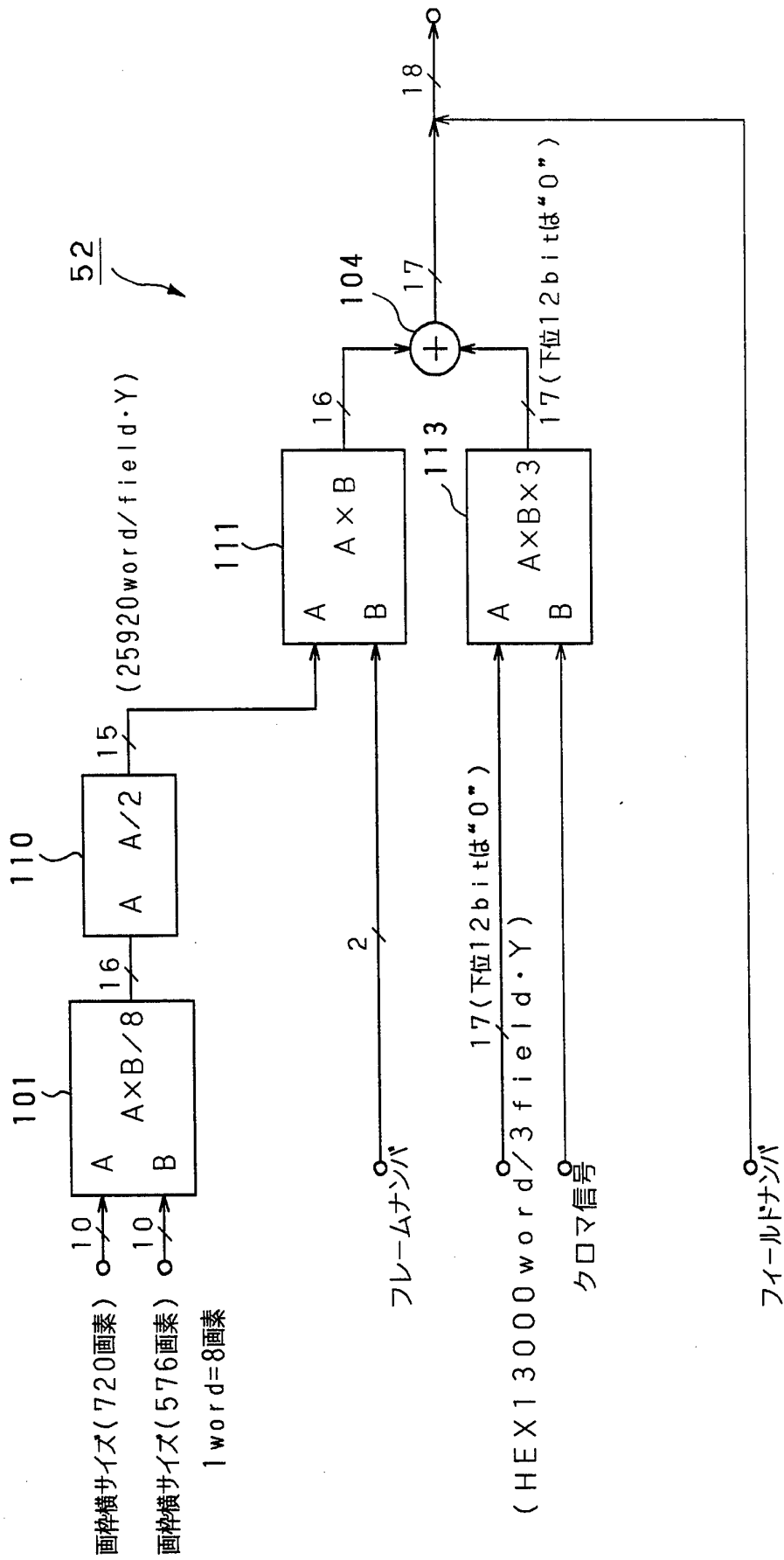


FIG. 25

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP94/01045

A. CLASSIFICATION OF SUBJECT MATTER Int. Cl ⁵ H04N7/137 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl ⁵ H04N7/13, H04N7/133, H04N7/137 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926 - 1994 Kokai Jitsuyo Shinan Koho 1971 - 1994 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, A, 2-200084 (Victor Co., of Japan, Ltd.), August 8, 1990 (08. 08. 90), Fig. 1, (Family: none)	1-12
Y	Hiroshi Yasuda (auther) "International Standard of Multi-media Coding", June 30, 1991 (30. 06. 91), Maruzen, Pages 126 to 142	1-12
A	JP, A, 62-137983 (Fujitsu Ltd.), June 20, 1987 (20. 06. 87), Figs. 1, 2, (Family: none)	1-12
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>		
Date of the actual completion of the international search September 2, 1994 (02. 09. 94)		Date of mailing of the international search report September 27, 1994 (27. 09. 94)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.		Authorized officer Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))						
Int. Cl⁸ H04N7/137						
B. 調査を行った分野						
調査を行った最小限資料 (国際特許分類 (IPC))						
Int. Cl⁸ H04N7/13, H04N7/133, H04N7/137						
最小限資料以外の資料で調査を行った分野に含まれるもの						
<table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">日本国実用新案公報</td> <td style="width: 50%; text-align: right;">1926-1994年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td style="text-align: right;">1971-1994年</td> </tr> </table>			日本国実用新案公報	1926-1994年	日本国公開実用新案公報	1971-1994年
日本国実用新案公報	1926-1994年					
日本国公開実用新案公報	1971-1994年					
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)						
C. 関連すると認められる文献						
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号				
Y	JP, A, 2-200084 (日本ビクター株式会社), 8. 8月. 1990 (08. 08. 90), 第1図 (ファミリーなし)	1-12				
Y	安田 浩編「マルチメディア符号化の国際標準」, 30. 6月. 1991 (30. 06. 91), 丸善, 第126-142ページ	1-12				
A	JP, A, 62-137983 (富士通株式会社),	1-12				
<input checked="" type="checkbox"/> C類の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。						
<p>* 引用文献のカテゴリー</p> <p>「A」 特に関連のある文献ではなく、一般的技术水準を示すもの</p> <p>「E」 先行文献ではあるが、国際出願日以後に公表されたもの</p> <p>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</p> <p>「O」 口頭による開示、使用、展示等に言及する文献</p> <p>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」 同一パテントファミリー文献</p>						
国際調査を完了した日	国際調査報告の発送日					
02. 09. 94	27.09.94					
名称及びあて先	特許庁審査官 (権限のある職員)	5 C 4 2 2 8				
日本国特許庁 (ISA/JP)	鈴木康仁 印					
郵便番号100	電話番号 03-3581-1101 内線	3543				
東京都千代田区霞が関三丁目4番3号						

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	<p>20. 6月. 1987 (20. 06. 87), 第1, 第2 図 (ファミリーなし)</p>	