



**Assinado
Digitalmente**

REPÚBLICA FEDERATIVA DO BRASIL
MINISTÉRIO DA ECONOMIA
INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL

CARTA PATENTE Nº PI 1100829-6

O INSTITUTO NACIONAL DA PROPRIEDADE INDUSTRIAL concede a presente PATENTE DE INVENÇÃO, que outorga ao seu titular a propriedade da invenção caracterizada neste título, em todo o território nacional, garantindo os direitos dela decorrentes, previstos na legislação em vigor.

(21) Número do Depósito: PI 1100829-6

(22) Data do Depósito: 18/02/2011

(43) Data da Publicação Nacional: 16/10/2012

(51) Classificação Internacional: H03M 13/11.

(30) Prioridade Unionista: US 12/707,766 de 18/02/2010.

(54) Título: MÉTODO E APARELHO PARA FORNECER CODIFICAÇÃO E DECODIFICAÇÃO DE VERIFICAÇÃO DE PARIDADE DE BAIXA DENSIDADE (LDPC)

(73) Titular: HUGHES NETWORK SYSTEMS, LLC. Endereço: 11717 EXPLORATION LANE, GERMANTOWN MD 20876, ESTADOS UNIDOS DA AMÉRICA(US)

(72) Inventor: MUSTAFA EROZ; LIN-NAN LEE.

Prazo de Validade: 10 (dez) anos contados a partir de 23/02/2021, observadas as condições legais

Expedida em: 23/02/2021

Assinado digitalmente por:

Liane Elizabeth Caldeira Lage

Diretora de Patentes, Programas de Computador e Topografias de Circuitos Integrados

15 de Novembro
REPÚBLICA FEDERATIVA DO BRASIL
de 1889

Relatório Descritivo da Patente de Invenção para
**"MÉTODO E APARELHO PARA FORNECER CODIFICAÇÃO E
DECODIFICAÇÃO DE VERIFICAÇÃO DE PARIDADE DE BAIXA
DENSIDADE (LDPC)".**

Antecedentes da Invenção

[0001] Os sistemas de comunicação empregam codificação para garantir uma comunicação confiável através de canais de comunicação ruidosos. Estes canais de comunicação apresentam uma capacidade fixa que pode ser expressa em termos de bits por símbolo em certa relação de sinal para ruído (SNR), definindo um limite teórico superior (conhecido como o limite de Shannon). Como resultado, o projeto de codificação tem por objetivo alcançar taxas que se aproximam deste limite de Shannon. Uma de tais classes de códigos que se aproximam do limite de Shannon são os códigos de Verificação de Paridade de Baixa Densidade (LDPC).

[0002] Tradicionalmente, os códigos LDPC não têm sido muito utilizados devido a uma série de inconvenientes. Uma desvantagem é que a técnica de codificação LDPC é altamente complexa. A codificação de um código LDPC usando sua matriz geradora requereria armazenar uma matriz não esparsa muito grande. Além disso, os códigos LDPC exigem grandes blocos para serem eficazes e, conseqüentemente, mesmo que as matrizes de verificação de paridade dos códigos LDPC sejam esparsas, armazenar essas matrizes é problemático.

[0003] Desde uma perspectiva de implementação, uma série de desafios são enfrentados. Por exemplo, o armazenamento é uma razão importante pela qual os códigos LDPC não se tornaram comuns na prática. Além disso, um dos principais desafios na implementação do código LDPC foi como conseguir a conexão de rede entre vários sistemas de processamento (nós) no decodificador. Além disso, a

carga computacional no processo de decodificação, especificamente as operações de nó de verificação, coloca um problema. Portanto, existe a necessidade de um sistema de comunicação que empregue processos de codificação e decodificação LDPC simples. Há também a necessidade de utilizar códigos LDPC de forma eficiente para suportar as altas taxas de dados, sem a introdução de maior complexidade. Há também uma necessidade de melhorar o desempenho de codificadores e decodificadores LDPC. Há também uma necessidade para minimizar os requisitos de armazenamento para implementar a codificação LDPC. Existe uma maior necessidade para um esquema que simplifique a comunicação entre nós de processamento no decodificador LDPC.

Algumas Modalidades Exemplificativas

[0004] Estas e outras necessidades são tratadas pela presente invenção, em que são providas várias abordagens para códigos de codificação e decodificação estruturada de Verificação de Paridade de Baixa Densidade (LDPC).

[0005] De acordo com um aspecto de uma modalidade exemplificativa, um método compreende acessar informação de armazenamento de memória representando uma matriz de verificação de paridade estruturada de códigos de Verificação de Paridade de Baixa Densidade (LDPC). A informação é organizada em forma de tabela, de tal forma que cada linha representa ocorrências de valor um dentro de uma primeira coluna de um grupo de colunas da matriz de verificação de paridade, as linhas correspondem a grupos de colunas da matriz de verificação de paridade. Também, colunas subsequentes dentro de cada um dos grupos são derivadas de acordo com uma operação predeterminada. Ainda mais é produzido um sinal codificado LDPC com base na informação armazenada representando a matriz de verificação de paridade. Os acumuladores de bit de paridade são

inicializados a zero e o primeiro bit de informação no $j^{\text{ésimo}}$ grupo de M bits de informação é acumulado no $j^{\text{ésimo}}$ acumulador de bit de paridade se a $j^{\text{ésima}}$ entrada na $(jM)^{\text{ésima}}$ coluna da matriz de verificação de paridade é 1, onde $j=0,1,2,3,\dots,k_{ldpc}/M-1$, sendo os restantes $(M-1)$ bits de informação $m=jM+1, jM+2, jM+3,\dots, (j+1)M-1$ do $j^{\text{ésimo}}$ grupo acumulados nos acumuladores de bit de paridade de acordo a $\{x+m \bmod M \times q\} \bmod (n_{ldpc} - k_{ldpc})$, em que x denota o endereço do acumulador de bit de paridade correspondendo ao primeiro bit, jM , no grupo, e $q = \frac{n_{ldpc} - k_{ldpc}}{M}$ é uma constante dependente da taxa de código, e depois que todos os bits de informação são esgotados, são executadas operações iniciando com $i=1$ de acordo a $p_i = p_i \oplus p_{i-1}$, $i=1,2,\dots,n_{ldpc} - k_{ldpc} - 1$, em que o conteúdo final de p_i , $i=0,1,\dots,n_{ldpc} - k_{ldpc} - 1$ é igual ao bit de paridade p_i .

[0006] De acordo com outro aspecto de uma modalidade exemplificativa, um aparelho compreende uma memória que é configurada para armazenar informação representando uma matriz estruturada de verificação de paridade de códigos de Verificação de Paridade de Baixa Densidade (LDPC). A informação é organizada em forma de tabela, em que cada linha representa ocorrências de valores um dentro de uma primeira coluna de um grupo de colunas da matriz de verificação de paridade. Também, as linhas correspondem a grupos de colunas da matriz de verificação de paridade, onde colunas subsequentes dentro de cada um dos grupos são derivadas de acordo com uma operação predeterminada. O aparelho também compreende circuitria acoplada à memória e configurada para produzir um sinal codificado LDPC usando a informação armazenada representando a matriz de verificação de paridade. Os acumuladores de bit de paridade são inicializados a zero e o primeiro bit de informação no $j^{\text{ésimo}}$ grupo de M bits de informação é acumulado no $j^{\text{ésimo}}$ acumulador

de bit de paridade se a $j^{\text{ésima}}$ entrada na $(jM)^{\text{ésima}}$ coluna da matriz de verificação de paridade é 1, onde $j=0,1,2,3,\dots,k_{ldpc}/M-1$, sendo os restantes $(M-1)$ bits de informação $m=jM+1, jM+2, jM+3,\dots, (j+1)M-1$ do $j^{\text{ésimo}}$ grupo acumulados nos acumuladores de bit de paridade de acordo a $\{x+m \bmod M \times q\} \bmod (n_{ldpc} - k_{ldpc})$, em que x denota o endereço do acumulador de bit de paridade correspondendo ao primeiro bit, jM , no grupo, e $q = \frac{n_{ldpc} - k_{ldpc}}{M}$ é uma constante dependente da taxa de código, e depois que todos os bits de informação são esgotados, são executadas operações iniciando com $i=1$ de acordo a $p_i = p_i \oplus p_{i-1}$, $i=1,2,\dots,n_{ldpc} - k_{ldpc} - 1$, em que o conteúdo final de p_i , $i=0,1,\dots,n_{ldpc} - k_{ldpc} - 1$ é igual ao bit de paridade p_i .

[0007] De acordo com outro aspecto de uma modalidade exemplificativa, um método compreende acessar a informação de borda de armazenamento de memória associada com uma matriz estruturada de verificação de paridade utilizada para gerar sinal codificado de Verificação de Paridade de Baixa Densidade (LDPC). A informação de borda representa a relação entre nós de bit e nós de verificação, e é armazenada de acordo com um esquema predeterminado que permite a recuperação simultânea de um conjunto de informações de borda. Ainda mais, é produzido um sinal decodificado correspondendo ao sinal codificado LDPC com base na informação de borda armazenada.

[0008] De acordo com outro aspecto de uma modalidade exemplificativa, um método compreende acessar a informação de borda de armazenamento de memória e uma informação de probabilidade *a posteriori* associada a uma matriz estruturada de verificação de paridade utilizada para gerar sinal codificado de Verificação de Paridade de Baixa Densidade (LDPC). A informação de

borda representa a relação entre nós de bit e nós de verificação, e são armazenadas de acordo com um esquema predeterminado que permite a recuperação simultânea de um conjunto de informações de borda. Ainda mais, é produzido um sinal decodificado correspondendo ao sinal codificado LDPC com base na borda armazenada e uma informação de probabilidade *a posteriori*.

[0009] Ainda outros aspectos, características e vantagens da presente invenção são facilmente aparentes a partir da seguinte descrição detalhada, simplesmente ilustrando uma série de modalidades e implementações particulares, incluindo a melhor maneira considerada para a realização da presente invenção. A presente invenção também é capaz de outras e diferentes modalidades, e os seus vários detalhes podem ser modificados em diversos aspectos óbvios, todos, sem se afastar do espírito e escopo da presente invenção. Correspondentemente, o desenho e a descrição devem ser considerados como de natureza ilustrativa, e não como restritiva.

Breve Descrição dos Desenhos

[00010] A presente invenção é ilustrada através de exemplo, e não por meio de limitação, nas figuras dos desenhos que acompanham nos quais numerais de referência similares se referem a elementos similares e nos quais:

A figura 1 é um diagrama de um sistema de comunicações configurado para utilizar códigos de Verificação de Paridade de Baixa Densidade (LDPC), de acordo com uma modalidade exemplificativa;

As figuras 2A-2D são diagramas de codificadores LDPC exemplificativos implantado no transmissor da figura 1 e processos de codificação exemplificativos de acordo com várias modalidades exemplificativas;

A figura 3 é um diagrama de um receptor exemplificativo no

sistema da figura 1, de acordo com uma modalidade exemplificativa;

A figura 4 é um diagrama de uma matriz esparsa de verificação de paridade, de acordo com uma modalidade exemplificativa;

A figura 5 é um diagrama de um gráfico bipartido de um código LDPC da matriz da figura 4, de acordo com uma modalidade exemplificativa;

A figura 6 é um diagrama de uma submatriz de uma matriz esparsa de verificação de paridade, em que a submatriz contém valores de verificação de paridade restrita à região triangular inferior, de acordo com uma modalidade exemplificativa;

As figuras 7A-7C são, respectivamente, um diagrama de uma modulação de deslocamento de fase em quadratura (QPSK), um 8-PSK, e um esquema de modulação de amplitude e modulação de deslocamento de fase (16-APSK), respectivamente, cada um dos quais pode ser utilizado no sistema da figura 1, de acordo com uma modalidade exemplificativa;

As figuras 8A e 8B são fluxogramas de processos para computar mensagens enviadas entre os nós de verificação e os nós de bit usando, respectivamente, uma abordagem para a frente e para trás e um esquema (LBD) de decodificação aperfeiçoada de confiança em camadas, de acordo com várias modalidades exemplificativas;

AS figuras 9A-9C são diagramas das interações entre os nós de verificação e os nós de bit em um processo de decodificação, de acordo com uma modalidade exemplificativa;

A figura 10 é um gráfico ilustrando os resultados de simulação para o esquema de LBD aperfeiçoada, de acordo com uma modalidade exemplificativa;

A figura 11 é um gráfico que mostra os resultados de simulação de códigos LDPC gerados em conformidade com as várias

modalidades exemplificativas;

As figuras 12A e 12B são diagramas da borda superior e a borda inferior, respectivamente, da memória organizada para suportar o acesso estruturado como para realizar aleatoriedade na codificação LDPC, de acordo com uma modalidade exemplificativa;

As figuras 13A-13D são diagramas de matriz de verificação de paridade, gráfico bipartido, RAM de borda superior, e RAM de borda inferior, respectivamente, para suportar acesso estruturado para realizar a aleatoriedade na codificação/decodificação LDPC, de acordo com uma modalidade exemplificativa;

As figuras 14A-14C são diagramas da borda, *a posteriori*, e defasada *a posteriori*, respectivamente, da memória organizada para suportar a decodificação LDPC, de acordo com uma modalidade exemplificativa.

As figuras 15A-15C são gráficos que mostram os resultados da simulação de códigos LDPC gerados em conformidade com as várias modalidades exemplificativas, e

A figura 16 é um diagrama de um sistema de computador que pode executar os processos de codificação e decodificação de códigos LDPC, de acordo com modalidades da presente invenção.

Descrição das Modalidades Preferidas

[00011] São descritos, um sistema, método e software para eficientemente codificar e decodificar códigos estruturados de Verificação de Paridade de Baixa Densidade (LDPC). Na descrição a seguir, para fins de explicação, inúmeros detalhes específicos são estabelecidos no sentido de prover um conhecimento aprofundado da presente invenção. É evidente, no entanto, a um perito na técnica que a presente invenção pode ser praticada sem esses detalhes específicos ou com uma disposição equivalente. Em outros casos, estruturas bem conhecidas e aparelhos são mostrados em forma de

diagrama de blocos, no sentido de evitar desnecessariamente obscurecer a presente invenção.

[00012] A figura 1 é um diagrama de um sistema de comunicações configurado para utilizar códigos de Verificação de Paridade de Baixa Densidade (LDPC), de acordo com uma modalidade. Um sistema de comunicação digital 100 inclui um transmissor 101 que gera formas de onda do sinal através de um canal de comunicação 103 para um receptor 105. Neste sistema de comunicações discreto 100, o transmissor 101 tem uma fonte da mensagem que produz um conjunto discreto de mensagens possíveis, cada uma das possíveis mensagens tem uma forma de onda do sinal correspondente. Essas formas de onda de sinal são atenuadas, ou alteradas, pelo canal de comunicação 103. Para combater o ruído do canal 103, são utilizados os códigos LDPC.

[00013] Os códigos LDPC que são gerados pelo transmissor 101 permitem uma implementação de alta velocidade, sem incorrer em qualquer perda de desempenho. Estes códigos estruturados LDPC saídos do transmissor 101 evitam a atribuição de um pequeno número de nós de verificação para os nós de bit já vulnerável a erros no canal, em virtude do esquema de modulação (por exemplo, a modulação de deslocamento de fase em quadratura (QPSK), modulação de de deslocamento de fase em quadratura deslocado (OQPSK), modulação de deslocamento de fase 8-PSK, modulação de amplitude e deslocamento de fase (16-APSK), etc.)

[00014] Tais códigos LDPC têm um algoritmo de decodificação paralelizável (ao contrário dos códigos turbo), o qual vantajosamente envolve operações simples, tais como adição, comparação e tabela de pesquisa. Além disso, códigos LDPC projetados cuidadosamente não apresentam qualquer sinal de piso de erro.

[00015] De acordo com uma modalidade, o transmissor 101 gera,

usando uma técnica de codificação relativamente simples, os códigos LDPC com base em matrizes de verificação de paridade (os quais facilitam o acesso eficiente de memória durante a decodificação) para se comunicar com o receptor 105. O transmissor 101 emprega códigos LDPC que podem superar códigos concatenados turbo + RS (Reed-Solomon), desde que o comprimento do bloco seja suficientemente grande.

[00016] As figuras 2A são diagramas de um codificador LDPC exemplificativo implantado no transmissor da figura 1, de acordo com várias modalidades exemplificativas. Conforme ilustrado na figura 2A, um transmissor 200 pode ser equipado com um codificador LDPC 203 que aceita a entrada de uma fonte de informação 201 e produz fluxo codificado de maior redundância adequada para o processamento de correção de erros no receptor 105. A fonte de informação 201 pode gerar sinais k de um alfabeto discreto, X . Códigos LDPC podem ser especificados com matrizes de verificação de paridade. Por outro lado, os códigos de codificação LDPC podem requerer, em geral, especificação das matrizes geradoras. Mesmo que seja possível a obtenção de matrizes geradoras a partir de matrizes de verificação de paridade usando a eliminação de Gauss, a matriz resultante não é mais esparsa e armazenar um grande matriz geradora pode ser complexo. O codificador 203 gera sinais do alfabeto Y para um modulador 205 usando uma técnica de codificação simples que faz uso da matriz verificação de paridade através da imposição de estrutura sobre a matriz de verificação de paridade. De acordo com certas modalidades, uma restrição pode ser colocada sobre a matriz de verificação de paridade restringindo certa parte da matriz a ser triangular. A construção de uma tal matriz de verificação de paridade é descrita mais pormenorizadamente na figura 6. Uma tal restrição pode resultar em perda de desempenho insignificante e, portanto, constitui

um compromisso atrativo.

[00017] O modulador 205 mapeia as mensagens codificadas do codificador 203 para formas de onda de sinal que são transmitidas a uma antena de transmissão 207, que emite essas formas de onda através do canal de comunicação 103. Assim, as mensagens codificadas são moduladas e distribuídas para uma antena de transmissão 207. Em uma modalidade exemplificativa, a modulação pode incluir modulação de deslocamento de fase em quadratura (QPSK), modulação de deslocamento de fase em quadratura deslocada (OQPSK), 8-PSK, e/ou 16 de modulação de amplitude e deslocamento de fase (16-APSK). As transmissões desde a antena transmissora 207 se propagam para um receptor, como discutido abaixo.

[00018] O codificador LDPC 203 sistematicamente codifica um bloco de informações de tamanho k_{ldpc} , $i = (i_0, i_1, \dots, i_{k_{ldpc}-1})$ em uma palavra-código de tamanho n_{ldpc} . $\mathbf{c} = (i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$ A transmissão da palavra-código inicia na dada ordem i_0 e termina com $p_{n_{ldpc}-k_{ldpc}-1}$. De acordo com certas modalidades, para códigos LDPC podem ser definidas três diferentes taxas de código: 1/2, 2/3 e 4/5. Também, para cada taxa de código 1/2, 2/3 e 4/5, podem ser definidos 22 diferentes tamanhos de bloco codificados: 720, 960, 1200, 1440, 1680, 1920, 2160, 2400, 2640, 2880, 3120, 3360, 3600, 3840, 4080, 4320, 4560, 4800, 5040, 5280, 5520 e 5760 bits codificados, correspondentes a 3 até 24 slots. Além disso, estoura mais de 24 slots podem ser obtidos por vários códigos de codificação LDPC menor de "quase igual" tamanhos. Dentre estes 22 tamanhos de blocos, oito deles correspondem aos códigos LDPC mãe, os quais incluem 720, 960, 1440, 2160, 2880, 3600, 4320 e 5760 blocos de bits. Os outros 14 códigos pode ser derivados a partir dos códigos mãe pelo encurtamento e

perfuração, como discutido abaixo.

[00019] De acordo com uma modalidade exemplificativa, o processo de encurtamento e perfuração pode ser explicado em relação à figura 2C. No exemplo, para o processo de encurtamento, XS bits iniciando do índice $XS_{\text{início}}$ no bloco de entrada são fixados a 0 antes de codificar (pela etapa 221). Após a codificação, esses bits são omitidos da palavra-código resultante antes da transmissão (pelas etapas 223 e 225). Adicionalmente ou alternativamente, para o processo de perfuração, os bits de paridade seguintes a XP não são transmitidos, $P_0, P_{XP_{\text{período}}}, P_{2XP_{\text{período}}}, \dots, P_{(XP-1)XP_{\text{período}}}$ onde $XP_{\text{período}}$ é um parâmetro dependente de código (pela etapa 227).

[00020] Para cada tamanho de bloco que não é o tamanho de código mãe, os parâmetros relacionados ao encurtamento e perfuração, bem como os códigos mãe são apresentados na Tabela 1 abaixo. Note que se $K_{\text{mãe}}$ e $N_{\text{mãe}}$ denotam o número de bits não codificados e codificados do código mãe, respectivamente, para o código derivado:

$$K = K_{\text{mãe}} - XS,$$

$$N = N_{\text{mãe}} - XS - XP.$$

[00021] Aqui, K e N denotam o número de bits não codificados e codificados do código derivado, respectivamente.

Parâmetros Relacionados a Encurtamento e Perfuração					
Taxa/Tamanho de Bloco	XS	$XS_{\text{início}}$	XP	$XP_{\text{período}}$	Código Mãe
1/2 1200	120	0	120	6	1/2 1440
1/2 1680	240	0	240	4	1/2 2160
1/2 1920	120	0	120	9	1/2 2160
1/2 2400	240	0	240	4	1/2 2880
1/2 2640	120	0	120	12	1/2 2880
1/2 3120	240	0	240	7	1/2 3600
1/2 3360	120	0	120	15	1/2 3600
1/2 3840	240	0	240	9	1/2 4320
1/2 4080	120	0	120	18	1/2 4320
1/2 4560	600	0	600	3	1/2 5760
1/2 4800	480	0	480	3	1/2 5760

Parâmetros Relacionados a Encurtamento e Perfuração					
Taxa/Tamanho de Bloco	XS	XS _{início}	XP	XP _{período}	Código Mãe
1/2 5040	360	0	360	8	1/2 5760
1/2 5280	240	0	240	12	1/2 5760
1/2 5520	120	0	120	24	1/2 5760
2/3 1200	160	480	80	6	2/3 1440
2/3 1680	320	720	160	3	2/3 2160
2/3 1920	160	720	80	9	2/3 2160
2/3 2400	320	960	160	6	2/3 2880
2/3 2640	160	960	80	12	2/3 2880
2/3 3120	320	1200	160	7	2/3 3600
2/3 3360	160	1200	80	15	2/3 3600
2/3 3840	320	1440	160	9	2/3 4320
2/3 4080	160	1440	80	18	2/3 4320
2/3 4560	800	1920	400	3	2/3 5760
2/3 4800	640	1920	320	3	2/3 5760
2/3 5040	480	1920	240	8	2/3 5760
2/3 5280	320	1920	160	7	2/3 5760
2/3 5520	160	1920	80	24	2/3 5760
4/5 1200	192	288	48	6	4/5 1440
4/5 1680	384	1104	96	4	4/5 2160
4/5 1920	192	432	48	9	4/5 2160
4/5 2400	384	576	96	6	4/5 2880
4/5 2640	192	576	48	12	4/5 2880
4/5 3120	384	720	96	7	4/5 3600
4/5 3360	192	720	48	15	4/5 3600
4/5 3840	384	864	96	9	4/5 4320
4/5 4080	192	864	48	18	4/5 4320
4/5 4560	960	1152	240	4	4/5 5760
4/5 4800	768	1152	192	6	4/5 5760
4/5 5040	576	1152	144	8	4/5 5760
4/5 5280	384	1152	96	12	4/5 5760
4/5 5520	192	1152	48	24	4/5 5760

Tabela 1

[00022] Nesta modalidade exemplificativa, para cada código mãe LDPC, o grau de distribuição de nós bit é apresentado na Tabela 2 abaixo, onde N denota o número total de nós de bits, isto é, tamanho do bloco codificado. Para cada código, todos os nós de verificação, exceto um têm o mesmo grau, ou seja,

$$d_c = 7 \text{ para a taxa de } 1/2, d_c = 11 \text{ para a taxa de } 2/3, \text{ e } d_c =$$

20 para a taxa de 4/5. O nó de verificação restante tem um grau menor.

Grau de Distribuição de Nós de Bit								
Taxa	8	7	6	5	4	3	2	1
1/2			N/4		N/4		N/2 - 1	1
2/3	N/6				N/6		N/3 - 1	1
4/5			2N/5			2N/5	N/5 - 1	1

Tabela 2

[00023] De acordo com certas modalidades, a tarefa do codificador LDPC 203 é determinar $n_{ldpc} - k_{ldpc}$ bits de paridade $(p_0, p_1, \dots, p_{n_{ldpc} - k_{ldpc} - 1})$ para cada bloco de k_{ldpc} bits de informação, $(i_0, i_1, \dots, i_{k_{ldpc} - 1})$. Em uma modalidade exemplificativa, por exemplo, quando os códigos LDPC com taxas de código 1/2, 2/3 e 4/5 para os tamanhos de bloco codificados 720, 960, 1200, 1440, 1680, 1920, 2160, 2400, 2640, 2880, 3120, 3360, 3600, 3840, 4080, 4320, 4560, 4800, 5040, 5280, 5520 e 5760 bits codificados devem ser gerados, o procedimento pode ser o seguinte. Primeiramente, os bits de paridade são inicializados; $p_0 = p_1 = p_2 = \dots = p_{n_{ldpc} - k_{ldpc} - 1} = 0$. O primeiro acumulador de bit de informação, i_0 , é em endereços especificados de bit de paridade na primeira linha das Tabelas 3 a 26. Por exemplo, para a taxa de 2/3 e bloco codificado 720 (Tabela 3), resultam os seguintes:

$$p_{83} = p_{83} \oplus i_0$$

$$p_{117} = p_{117} \oplus i_0$$

$$p_{156} = p_{156} \oplus i_0$$

$$p_{169} = p_{169} \oplus i_0$$

$$p_{231} = p_{231} \oplus i_0$$

$$p_{126} = p_{126} \oplus i_0$$

$$p_{112} = p_{112} \oplus i_0$$

$$p_{106} = p_{106} \oplus i_0$$

[00024] (Todas as adições estão no campo de Galois (2) (GF(2))).

[00025] Então, para os próximos $M-1$ bits de informação, $i_m, m=1,2,\dots,M-1$, esses bits são acumulados em endereços de bit de paridade, $\{x+m \bmod M \times q\} \bmod (n_{ldpc} - k_{ldpc})$, onde x denota o endereço do acumulador de bit de paridade correspondente ao primeiro bit i_0 , M é o número de colunas na borda da RAM (Tabela 44), e $q = \frac{n_{ldpc} - k_{ldpc}}{M}$. Continuando com o exemplo, $M = 30$ e $q = 8$ para a taxa de código $2/3$ e tamanho de bloco codificado 720. A título de exemplo, para o bit de informação i_1 , as seguintes operações são executadas:

$$p_{91} = p_{91} \oplus i_1$$

$$p_{125} = p_{125} \oplus i_1$$

$$p_{164} = p_{164} \oplus i_1$$

$$p_{177} = p_{177} \oplus i_1$$

$$p_{239} = p_{239} \oplus i_1$$

$$p_{134} = p_{134} \oplus i_1$$

$$p_{120} = p_{120} \oplus i_1$$

$$p_{114} = p_{114} \oplus i_1$$

[00026] Para o $(M+1)^{\text{primeiro}}$ bit de informação i_M , os endereços dos acumuladores de bit de paridade são dados na segunda linha das Tabelas 3 a 26. De maneira similar os endereços dos acumuladores de bit de paridade para os seguintes $M-1$ bits de informação $i_m, m = M+1, M+2, \dots, 2M-1$ são obtidos por meio da fórmula, $\{x+m \bmod M \times q\} \bmod (n_{ldpc} - k_{ldpc})$, onde x denota o endereço do acumulador de bit de paridade, correspondente ao bit de informação i_M , isto é, as entradas na segunda linha da Tabelas 3-26. De maneira similar, para cada grupo de bits de informação M novo, uma nova linha de quadros 3 a 26 são usados para localizar os endereços dos acumuladores bit de paridade.

[00027] Depois de todos os bits de informação estão esgotados, os

bits de paridade finais são obtidos como segue. Primeiro, as seguintes operações são executadas, iniciando com $i=1$

$$p_i = p_i \oplus p_{i-1}, \quad i = 1, 2, \dots, n_{ldpc} - k_{ldpc} - 1.$$

[00028] O conteúdo final de p_i , $i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ é igual ao bit de paridade p_i .

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado 720)
83 117 156 169 231 126 112 106
120 169 106 27 188 213 22 159
160 121 106 203 196 141 174 135
64 137 226 91 180 85 166 7
82 7 198 148
134 24 9 83
149 160 1 151
74 203 116 13
206 12 101
200 45 98
16 235 165
167 25 171
2 83 33
8 174 207
36 170 207
73 172 86

Tabela 3

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado 960)
52 293 211 106 128 87 286 89
224 273 74 99 28 301 142 311
160 201 210 123 252 165 198 183
296 105 10 283 244 317 302 263
289 168 207 267
167 170 141 156
270 266 240 171
89 28 237 158
113 67 118
66 160 22
144 269 180
53 59 121
36 183 238
171 140 314
271 168 42
153 173 31

Tabela 4

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado 1440)
140 296 319 355 373 182 329 266
144 169 426 155 348 381 78 87
120 169 242 371 292 13 286 95
280 449 10 371 396 405 78 15
317 42 380 336
254 233 301 60
251 175 218 120
465 147 390 407
387 273 287
120 279 97
404 22 283
323 256 453
182 77 449
90 20 48
466 415 301
474 228 350

Tabela 5

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado 2160)
458 368 73 243 357 298 305 695
375 511 575 629 186 130 624 561
297 284 204 637 10 623 195 436
300 433 110 712 401 618 379 608
710 700 390 535 73 478 524 641
456 554 363 400 174 463 249 575
228 542 556 493
30 684 581 225
195 134 61 82
461 45 387 244
91 128 71 246
439 212 274 359
476 394 234
171 501 391
327 528 41
186 62 253
513 295 157
661 152 196
16 490 710
239 257 96
687 710 408
525 160 18
671 331 370
101 68 695

Tabela 6

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado2880)

689 581 139 306 45 371 886 576
 864 596 6 651 693 810 770 281
 270 557 325 275 561 672 196 22
 620 324 77 312 851 642 917 480
 375 88 57 746 364 910 527 644
 753 823 360 921 218 411 908 190
 327 111 217 269 888 307 914 934
 785 439 682 171 60 686 959 308
 79 103 568 563
 337 312 523 352
 906 492 471 800
 250 867 303 860
 287 619 702 706
 262 430 9 941
 293 225 244 626
 629 918 697 381
 145 371 102
 597 575 280
 464 618 388
 509 844 631
 525 123 362
 611 638 271
 26 433 548
 485 745 726
 561 742 125
 754 318 457
 864 219 632
 354 688 116
 523 425 552
 935 147 735
 956 807 610
 421 60 142

Tabela 7

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado3600)

157 563 346 756 65 524 238 859
 133 475 1007 791 420 858 76 301
 284 200 701 389 119 1155 823 1078
 812 853 194 459 500 415 346 448
 381 418 343 1048 452 724 87 169
 402 105 410 511 534 417 676 883
 762 170 553 957 559 618 276 41
 2 505 486 607 308 389 110 251
 1052 834 570 871 69 1124 923 1102
 760 445 906 167 68 792 573 254
 684 999 752 981

442 651 372 1113
 366 204 230 25
 1160 426 171 768
 909 61 798 10
 369 60 174 167
 59 915 728 356
 655 456 997 967
 37 755 113 1045
 142 443 934 297
 930 1156 502
 597 452 760
 439 725 889
 1093 1100 48
 377 511 752
 330 817 1155
 239 1006 823
 522 725 95
 871 813 30
 92 539 1164
 504 545 707
 141 714 38
 923 874 369
 623 904 541
 340 756 382
 273 661 1195
 194 29 931
 1008 1178 687
 326 18 927
 246 488 976

Tabela 8

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado 4320)

1029 1059 593 574 702 1161 695 1357
 1081 1333 648 1179 898 1266 88 924
 914 633 5 924 1123 291 191 48
 113 1434 11 1094 102 337 695 504
 348 286 209 712 85 207 748 1340
 653 203 1365 377 983 1436 1308 962
 1228 319 680 1114 1070 39 307 45
 1375 416 1095 982 917 1281 912 434
 355 165 527 513 36 655 86 530
 313 556 630 1112 1306 851 904 666
 44 487 166 565 335 521 699 272
 1177 1228 1301 630 10 59 326 639
 601 1326 1065 1142
 107 1124 1074 1374
 469 1262 508 867
 525 588 827 209

1105 123 1383 1037
 960 992 129 1397
 1075 810 1015 1167
 244 427 1272 786
 44 560 88 787
 362 565 688 1365
 1066 622 1192 674
 727 802 1100 1342
 296 801 120
 1147 453 1019
 800 1332 1139
 776 478 1249
 1002 1252 862
 91 178 1375
 375 385 682
 1095 51 285
 744 187 1343
 178 371 415
 1119 1325 1332
 688 873 494
 295 1150 1182
 122 733 137
 572 981 589
 672 1242 914
 534 417 277
 1288 1070 68
 268 1202 884
 461 1295 642
 335 1384 926
 1433 821 27
 97 1156 732
 1299 1278 593

Tabela 9

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 - Tamanho de Bloco Codificado 5760)

956 226 1821 1871 298 767 474 759
 199 742 1600 1277 660 1377 145 482
 426 300 1141 614 179 1853 1325 1737
 602 658 545 1692 708 1146 131 283
 1380 557 1578 525 1552 500 1167 594
 1907 1319 757 86 1774 238 76 1841
 1428 1568 1071 800 875 102 928 791
 1021 1503 1654 1747 1688 1329 910 1393
 1473 1754 1215 709 1463 295 118 1262
 1216 1614 1717 869 769 661 703 1025
 1221 932 1345 1510 943 1367 590 333
 259 246 1694 1861 592 551 501 778
 1774 98 459 1122 405 83 1466 1186

1542 1072 1405 176 731 704 1609 1115
1320 1803 454 276 247 1748 1899 1630
612 1755 879 1836
695 1118 967 297
1436 30 1222 200
454 926 349 1747
1825 1853 262 1060
1306 50 705 38
1017 1079 516 705
556 1170 624 1143
1370 1533 54 801
51 1483 647 25
1659 1673 764 477
1754 222 858 310
1703 514 692 1381
1578 1769 211 103
1112 378 54 1139
1050 710 670
711 221 1575
1908 101 1705
1006 1085 14
1593 499 1201
1603 1372 74
1214 514 1415
1788 55 393
1102 835 557
513 165 1911
1695 193 990
320 822 1469
518 1260 1266
662 679 65
737 883 1030
642 138 202
97 1539 293
1254 1316 87
238 971 1427
1073 384 1348
447 1502 247
398 997 1467
580 354 1388
236 418 1011
110 656 1583
1291 126 769
849 1756 89
1206 1771 1654
942 99 92
634 226 1559

Tabela 10

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 720)
75 126 40 130 137 104
108 132 7 70 35 95
81 57 97 40 20 125
63 142 128
117 73 110
21 85 125
63 100 83
120 142 134
0 94 113
141 24 70 94 20 143
96 30 43 1 47 104
39 123 13 31 89 65

Tabela 11

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 960)
90 169 14 33 76 59
108 127 8 177 154 119
126 85 116 63 142 11
108 1 86 117 184 191
174 37 44 159 124 23
36 73 20 147 28 41
76 54 47
147 142 121
176 163 41
170 52 1
156 135 122
18 105 113
159 26 155
95 62 163
24 83 7
166 135 187
66 22 62
186 39 58
90 67 110 39 178 107
6 163 104 159 16 71
48 145 98 63 76 173
102 25 104 177 160 155
150 7 110 189 124 113
144 25 80 117 22 71

Tabela 12

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 1440)
264 211 242 129 16 119
48 205 80 63 244 263
216 157 266 117 34 23
138 157 62 69 184 191

54 271 242 255 88 275
 84 145 128 219 268 89
 127 262 59
 148 60 122
 80 24 61
 27 250 11
 75 18 103
 278 147 5
 63 224 95
 201 7 56
 213 217 286
 42 8 190
 42 23 154
 42 73 143
 84 109 86 63 262 233
 126 19 110 207 262 149
 210 121 248 279 4 227
 264 217 176 99 268 113
 108 103 284 225 262 17
 42 205 14 129 262 5

Tabela 13

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 2160)

281 315 114 116 176 342
 362 150 317 33 131 280
 431 137 422 154 68 176
 53 391 168 258 17 139
 188 69 199 0 57 38
 219 108 429 335 414 385
 234 323 180 309 39 56
 162 3 340 189 214 359
 408 9 30
 221 305 174
 341 208 410
 202 272 267
 378 165 395
 4 383 377
 228 15 35
 356 86 223
 79 225 194
 91 314 254
 366 393 251
 338 181 425
 79 29 152
 84 72 125
 372 63 256
 43 204 422
 390 59 200 429 351 265

408 118 106 173 68 305
16 233 390 415 219 244
106 251 428 70 311 216
82 413 59 342 337 76
114 357 215 352 174 425
138 83 12 373 287 24
1 50 203 252 85 239

Tabela 14

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 2880)
--

111 270 437 502 215 181
115 18 330 442 508 57
201 182 392 492 206 124
189 451 399 501 403 32
200 229 331 351 294 55
263 94 539 298 378 475
362 562 320 395 357 540
452 399 202 419 449 393
541 128 462 256 527 206
165 533 465
29 163 494
388 102 474
361 183 11
355 539 347
69 565 162
160 473 76
432 508 35
117 527 385
556 514 422
556 289 534
385 572 3
66 303 14
29 364 514
95 58 411
90 209 222
279 188 292
459 182 359
47 64 413 399 402 275
63 35 345 454 32 353
317 307 34 440 315 112
45 191 352 60 120 151
290 192 503 509 474 52
490 313 123 299 206 345
198 370 265 221 363 7
558 496 166 185 132 8
351 424 436 527 96 430

Tabela 15

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 3600)
76 283 600 479 262 505
293 236 203 12 711 181
666 76 24 687 283 527
339 302 389 571 618 659
38 469 340 151 555 34
248 637 466 352 497 571
429 706 259 96 459 378
297 40 656 282 119 682
506 573 228 649 329 702
38 272 81 305 138 154
62 632 93 267 563 172
336 133 650 557 692 309
358 271 456
263 435 533
655 660 29
356 115 160
692 100 396
313 435 57
267 16 575
370 383 398
554 524 221
210 517 585
438 157 10
170 522 333
611 426 28
423 185 78
141 196 602
17 558 250
420 485 668
351 166 129
576 309 235
146 339 348
379 604 23
313 319 694
601 188 611
697 446 464
70 460 23 530 342 627
661 268 10 434 300 3
612 376 351 150 29 287
503 15 326 25 257 680
359 29 342 391 214 108
223 25 131 162 458 29
693 594 574 48 524 343
645 375 106 479 678 408
92 213 691 88 204 221
109 92 165 226 52 698
697 415 704 309 496 158
361 315 689 427 572 513

Tabela 16

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 4320)

67 837 44 354 141 632
292 816 309 137 515 334
709 598 186 77 169 430
398 551 661 99 329 15
752 230 687 837 554 57
308 303 181 138 190 512
646 202 184 382 535 143
440 281 158 673 434 518
329 561 164 854 712 411
45 470 274 759 90 331
50 273 858 732 447 455
835 257 816 72 415 251
444 609 690 263 388 3
299 44 189 403 484 567
592 331 252 621 721 626
688 324 456 251 44 765
529 783 541
290 560 542
447 792 530
365 753 436
356 161 445
402 805 278
852 799 149
376 599 101
55 240 524
3 331 862
35 140 184
752 811 202
425 444 679
606 731 326
105 234 35
598 585 810
118 175 145
255 506 806
62 825 464
585 594 451
27 581 567
430 722 179
391 195 228
206 165 381
760 480 423
774 748 185
26 337 720
746 189 689
636 120 676
306 831 40
267 124 301

148 485 219
428 157 595 505 575 282
598 201 151 484 627 96
551 148 169 184 845 611
513 688 585 371 855 414
734 139 696 404 252 341
496 577 149 164 339 285
238 827 336 339 631 38
533 738 641 633 463 36
519 767 641 624 748 585
421 848 385 356 747 376
732 222 490 200 406 658
45 410 498 286 135 655
502 152 78 273 13 75
546 122 357 550 120 571
514 362 572 479 155 358
642 389 90 220 749 591

Tabela 17

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 - Tamanho de Bloco Codificado 5760)
--

389 1050 43 678 88 303
988 1112 642 633 59 92
196 260 661 696 74 1098
375 444 435 540 1 542
9 673 1149 388 66 797
1013 404 516 1096 82 811
780 161 190 661 883 745
620 594 79 742 441 435
838 59 501 129 403 117
1139 557 973 110 67 654
44 1132 15 859 885 513
1147 900 748 563 757 927
690 835 1117 477 1010 651
742 587 230 170 748 132
688 1127 1040 413 6 16
886 29 14 593 20 998
540 904 605 932 1115 591
882 1120 533 697 1112 611
976 629 194
799 762 578
577 96 66
203 751 141
365 269 201
549 25 880
217 336 788
146 664 849
893 498 1119
862 490 978

727 203 717
162 946 1131
1093 824 614
332 982 325
661 604 868
764 1097 603
36 1001 549
774 746 623
384 1028 856
774 381 889
627 261 731
47 97 1045
621 1062 325
1025 208 240
693 734 291
160 932 427
994 619 848
1127 74 44
923 431 318
935 887 1059
970 984 730
696 21 418
266 684 96
358 797 717
602 877 325
184 782 625
1033 304 1094 562 1031 361
566 715 198 975 365 519
268 1109 294 662 287 478
13 419 213 575 842 748
918 363 549 1004 578 408
644 188 128 508 828 844
1009 1101 243 44 426 580
200 858 241 89 119 294
305 64 560 284 675 847
925 916 740 18 1151 1113
90 669 470 1037 733 863
509 937 514 852 792 51
1023 73 245 1138 404 571
780 1034 473 641 676 739
802 963 1102 372 553 173
619 44 844 977 384 249
687 727 81 300 448 636
867 1048 277 891 1056 139

Tabela 18

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 720)

207 174 209 139 68 88
270 136 45 188 329 145
13 335 136 6 213 20
161 74 339 307
30 262 39 212
282 19 124 275

Tabela 19

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 960)

424 467 351 278 130 273
138 208 267 420 457 470
387 230 264 237 68 346
450 148 62 67 5 225
213 471 123 289
159 412 221 434
136 479 246 148
448 65 213 239

Tabela 20

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 1440)
--

414 469 23 658 559 440
13 322 153 338 220 539
567 661 680 386 259 347
207 511 215 469 536 420
83 295 133 280 363 378
713 453 579 307 234 676
148 471 150 633
509 417 524 696
681 360 306 281
674 130 544 629
252 326 10 461
72 122 488 562

Tabela 21

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 2160)
--

297 811 822 736 708 943
786 553 17 33 889 496
1010 1062 726 681 597 911
911 71 753 446 49 854
717 1046 935 440 228 1
116 572 295 736 517 419
164 80 651 1055 264 493
937 221 845 537 1014 925
472 934 172 1016 122 900

787 1045 113 1071
270 784 605 590
766 5 50 426
316 146 664 581
929 722 251 201
324 184 193 60
436 81 412 342
867 688 819 114
1 453 688 63

Tabela 22

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 2880)
--

101 1400 91 580 236 1044
486 1368 512 230 845 573
1160 993 303 140 278 717
646 922 1087 148 542 23
1249 393 1151 1375 903 86
1062 1298 1341 622 392 300
1055 107 950 526 196 1387
48 1325 1143 124 1197 598
875 552 728 175 826 111
708 469 262 1129 723 850
501 570 1081 1058 455 712
1145 1172 228 1302 729 637
836 781 323 1360
720 712 36 138
1220 1375 1185 457
689 115 1298 1372
537 995 1167 906
1039 678 1301 1058
71 1001 481 1178
1042 987 203 832
1086 1090 1059 785
365 1000 133 624
819 954 523 781
795 401 210 1171

Tabela 23

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 3600)
--

1615 11 1423 653 1242 3
1164 1604 22 270 1067 941
1065 266 40 831 1452 502
1090 1742 345 1123 1309 1293
667 278 947 473 193 1038
1416 1546 358 1344 1081 288
1457 1238 680 1725 1426 1378
130 323 181 1307 1019 616

1401 355 1794 1360 906 1368
 175 133 250 1119 1767 963
 69 1115 156 1216 34 682
 330 113 1399 608 1324 860
 897 270 1384 42 887 858
 1684 1358 553 1015 1614 819
 681 864 1366 1205 540 638
 1085 1323 1189 1110
 1287 912 1128 779
 1473 645 944 1669
 1315 554 1031 1229
 434 154 515 1321
 374 1745 203 97
 620 1537 339 589
 321 839 962 1507
 921 165 1331 478
 1571 1466 92 309
 1010 1266 1152 897
 2 929 1291 380
 176 832 1228 1442
 1166 1648 787 366
 1501 952 1676 417

Tabela 24

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 4320)

175 41 262 1037 621 1340
 2050 2108 353 875 522 896
 1948 281 1659 346 198 451
 1837 321 608 367 1763 1750
 1128 1444 1043 601 674 1352
 1410 931 2146 191 383 2007
 140 562 1734 2136 2075 1162
 879 708 609 37 2135 544
 1785 1320 854 1714 1370 1222
 169 312 386 1840 743 194
 1393 319 1007 1724 1001 1082
 1791 600 1761 569 1306 638
 1028 1403 2133 1507 868 106
 1610 1752 1194 915 1006 121
 1891 1497 1025 1556 113 2019
 116 1407 1021 455 1665 103
 745 1911 1398 1056 1492 1713
 396 64 1710 10 2149 1290
 2089 767 308 1383
 1637 110 1437 18
 2090 1374 66 135
 28 588 1760 157
 1205 1607 186 835

1047 1512 1697 699
 489 590 1458 2082
 980 1269 265 1281
 2 449 1917 631
 2152 1888 360 1316
 1000 396 927 910
 1639 1972 1002 2053
 773 1871 991 901
 728 1379 1204 799
 2030 1411 1438 869
 1509 1204 927 1417
 1130 1087 912 293
 900 1922 2067 736

Tabela 25

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 - Tamanho de Bloco Codificado 5760)

991 2656 114 1713 234 760
 883 1301 934 346 2155 1420
 2443 2775 1617 1593 159 199
 477 646 1667 1713 199 2737
 2741 2673 1810 14 120 2234
 1578 2252 185 1589 691 951
 954 1090 1065 1344 4 1350
 26 1700 2872 987 177 2031
 567 2277 2248 1348 1618 1892
 678 1088 555 291 2685 2702
 1874 107 1258 696 2667 1780
 976 1578 1289 597 1115 2225
 1509 1488 212 1836 1082 1066
 2092 157 1240 296 980 313
 956 1798 952 806 707 8
 2845 1391 2453 295 179 1602
 1694 95 2617 1135 840 2655
 117 2827 41 2147 2218 1321
 198 2869 1414 227 2148 2161
 2257 282 818 1179 2178 1817
 1023 96 749 2841 725 709
 2323 1646 2017 701 2838 2277
 454 1851 304 1697 1800 1863
 2567 990 46 44 1603 961
 175 2194 2443 2183
 2198 2302 308 445
 126 2026 2569 62
 2234 80 6 1463
 911 1687 1890 16
 2275 1495 2345 2761
 1887 832 1464 194
 820 2002 2582 375

1231 2864 1161 347
2120 1243 2461 450
1526 2479 146 2618
1010 2389 1718 2592
1103 517 1420 2112
47 829 814 2835
2494 777 2861 510
1265 924 893 8
1230 125 299 1703
2753 1547 1228 2307
1389 2451 756 1991
1965 2149 8 1596
2061 1136 2380 2211
2724 2110 161 1740
2868 284 656 628
2508 1614 2052 332

Tabela 26

[00029] A figura 2B mostra um codificador LDPC utilizado com um codificador de Bose Chaudhuri Hocquenghem (BCH) 209 e um intercalador 211, de acordo com outra modalidade exemplificativa. Sob este cenário, os códigos gerados pelo codificador LDPS 203 e o BCH 209, pode ter um código concatenado BCH externo. Além disso, a saída do codificador LDPC pode ser intercalada por bito usando o intercalador 211. Em uma modalidade exemplificativa, o intercalador 211 pode ser um intercalador de bloco. Alternativamente, o intercalador 211 pode ser um elemento opcional no transmissor e ao invés pode ser usado um intercalador em um receptor (tal como o receptor 105) para intercalar entrada do decodificador. Adicionalmente, uma decodificador de verificação de redundância cíclica codificador (CRC) (não mostrado) pode ser conectado ao codificador BCH 209 de tal forma que a detecção de erros pode ser feita usando códigos de verificação de redundância cíclica (CRC).

[00030] Continuando com este cenário, o codificador LDPC 203 sistematicamente codifica um bloco de informações de tamanho k_{ldpc} , $\mathbf{i} = (i_0, i_1, \dots, i_{k_{ldpc}-1})$, sobre uma palavra de código de tamanho n_{ldpc} , $\mathbf{c} = (i_0, i_1, \dots, i_{k_{ldpc}-1}, p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$. A transmissão da palavra-

chave começa na ordem dada a partir de i_0 e termina com $p_{n_{ldpc}-k_{ldpc}-1}$. De acordo com certas modalidades, um outro conjunto de códigos LDPC podem ser definidos. Por exemplo, os parâmetros de código LDPC (n_{ldpc}, k_{ldpc}) , de acordo com essas modalidades exemplificativas, são apresentados na Tabela 27 abaixo.

Parâmetros de código LDPC (n_{ldpc}, k_{ldpc})		
Taxa de Código	Comprimento de Bloco LDPC Não Codificado k_{ldpc}	Comprimento de Bloco LDPC Codificado n_{ldpc}
1/4	16200	64800
1/3	21600	64800
2/5	25920	64800
1/2	32400	64800
3/5	38880	64800
2/3	43200	64800
3/4	48600	64800
4/5	51840	64800
5/6	54000	64800
8/9	57600	64800
9/10	58320	64800

Tabela 27

[00031] De acordo com esta modalidade exemplificativa, o codificador LDPC 203 determina $n_{ldpc} - k_{ldpc}$ bits de paridade $(p_0, p_1, \dots, p_{n_{ldpc}-k_{ldpc}-1})$ para cada bloco de bits de informação k_{ldpc} , $(i_0, i_1, \dots, i_{k_{ldpc}-1})$. similar às modalidades acima referidas, o procedimento pode ser o seguinte. Primeiramente, os bits de paridade são inicializados; $p_0 = p_1 = p_2 = \dots = p_{n_{ldpc}-k_{ldpc}-1} = 0$. O primeiro bit de informação i_0 , são acumulados em endereços de bit de paridade especificados na primeira linha das Tabelas 28 a 38. Por exemplo, para a taxa de 9/10 (Tabela 28), resultam os seguintes:

$$p_{853} = p_{853} \oplus i_0$$

$$p_{2958} = p_{2958} \oplus i_0$$

$$p_{3632} = p_{3632} \oplus i_0$$

$$p_{4515} = p_{4515} \oplus i_0$$

[00032] (Todas as adições estão em GF(2)).

[00033] Então, para os próximos 359 bits de informação $i_m, m=1,2,\dots,359$, esses bits são acumulados em endereços bit de

paridade $\{x + m \bmod 360\} - \left\{ \frac{x + m \bmod 360}{360} - \frac{x}{360} \right\} \times 360$, onde x denota o

endereço do acumulador de bit de paridade correspondente ao primeiro bit i_0 . A título de exemplo, para o bit de informação i_1 , as seguintes operações são executadas:

$$p_{854} = p_{854} \oplus i_1$$

$$p_{2959} = p_{2959} \oplus i_1$$

$$p_{3633} = p_{3633} \oplus i_1$$

$$p_{4516} = p_{4516} \oplus i_1$$

[00034] Para o 361^{ésimo} bit de informação i_{360} , os endereços dos acumuladores de bit de paridade é dado na segunda linha das tabelas 28 a 38. De maneira similar os endereços dos acumuladores de bit de paridade para os seguintes 359 bits de informação $i_m, m=361,362,\dots,719$ são obtidos usando a fórmula,

$\{x + m \bmod 360\} - \left\{ \frac{x + m \bmod 360}{360} - \frac{x}{360} \right\} \times 360$ onde x denota o endereço do

acumulador de bit de paridade ou seja, correspondente ao bit de informação i_{360} , isto é, as entradas na segunda linha das tabelas 28 a 38. De maneira similar, para cada grupo de 360 bits de informação nova, uma nova linha das Tabelas 28 a 38 são utilizadas para localizar os endereços dos acumuladores de bit de paridade.

[00035] Depois que todos os bits de informação estão esgotados, as seguintes operações são realizadas sequencialmente, onde $M =$

360,

$$p_M = p_M \oplus p_0$$

$$p_{2M} = p_{2M} \oplus p_M$$

$$p_{3M} = p_{3M} \oplus p_{2M}$$

$$\vdots \quad \quad \quad \vdots$$

$$p_{n_{ldpc}-k_{ldpc}-M} = p_{n_{ldpc}-k_{ldpc}-M} \oplus p_{n_{ldpc}-k_{ldpc}-2M}$$

$$p_1 = p_1 \oplus p_{n_{ldpc}-k_{ldpc}-M}$$

$$p_{M+1} = p_{M+1} \oplus p_1$$

$$p_{2M+1} = p_{2M+1} \oplus p_{M+1}$$

$$\vdots \quad \quad \quad \vdots$$

$$p_{n_{ldpc}-k_{ldpc}-M+1} = p_{n_{ldpc}-k_{ldpc}-M+1} \oplus p_{n_{ldpc}-k_{ldpc}-2M+1}$$

$$p_2 = p_2 \oplus p_{n_{ldpc}-k_{ldpc}-M+1}$$

$$p_{M+2} = p_{M+2} \oplus p_2$$

$$p_{2M+2} = p_{2M+2} \oplus p_{M+2}$$

$$\vdots \quad \quad \quad \vdots$$

$$p_{n_{ldpc}-k_{ldpc}-M+2} = p_{n_{ldpc}-k_{ldpc}-M+2} \oplus p_{n_{ldpc}-k_{ldpc}-2M+2}$$

$$p_3 = p_3 \oplus p_{n_{ldpc}-k_{ldpc}-M+2}$$

$$p_{M+3} = p_{M+3} \oplus p_3$$

$$p_{2M+3} = p_{2M+3} \oplus p_{M+3}$$

$$\vdots \quad \quad \quad \vdots$$

$$p_{n_{ldpc}-k_{ldpc}-M+3} = p_{n_{ldpc}-k_{ldpc}-M+3} \oplus p_{n_{ldpc}-k_{ldpc}-2M+3}$$

$$\vdots \quad \quad \quad \vdots \quad \quad \quad \vdots$$

$$\vdots \quad \quad \quad \vdots \quad \quad \quad \vdots$$

$$p_{M-1} = p_{M-1} \oplus p_{n_{ldpc}-k_{ldpc}-2}$$

$$p_{2M-1} = p_{2M-1} \oplus p_{M-1}$$

$$p_{3M-1} = p_{3M-1} \oplus p_{2M-1}$$

: : :

$$p_{n_{ldpc}-k_{ldpc}-1} = p_{n_{ldpc}-k_{ldpc}-1} \oplus p_{n_{ldpc}-k_{ldpc}-M-1}$$

[00036] O conteúdo final de p_i , $i = 0, 1, \dots, n_{ldpc} - k_{ldpc} - 1$ é igual ao bit de paridade p_i .

Endereço de Acumuladores de Bit de Paridade (Taxa 9/10 – Tamanho de Bloco Codificado 64800)
853 2958 3632 4515
1434 4116 4989 5634
956 4019 4864 5826
2532 4509 5262 6167
739 1530 4498 5247
3702 4931 5465 6270
1120 2178 3845 5151
860 1124 3462 5411
369 3339 4144 4846
122 2027 3691 5416
262 1354 2338 4093
1573 1950 2733 3244
540 4585 6053 6153
1500 2589 3263 5842
126 535 2167 2851
450 1639 2380 3010
2123 3229 5049 5772
234 1833 3121 6332
3837 5603 6118
1508 3146 3403
233 447 2661
407 1040 6302
1453 4073 6091
2498 3347 6253
2019 3356 4664
753 1184 4888
882 2521 3870
476 2255 2523
3997 4593 5914
1455 2130 2958
84 4217 4371
1407 3850 4794
160 2118 6164
2949 4691 5226
1111 5043 5621
2186 5370 5596
3093 5233 6382
340 3265 5540
278 1666 1883

154 1203 3583
1946 3000 6258
2010 3644 5852
1546 2436 5506
765 3582 4362
1566 2642 5023
1120 4415 6217
1274 4777 5663
2607 4905 5329
429 741 2271
419 2861 3227
595 4276 4577
855 4269 5322
2182 3654 5979
3710 4137 5946
875 4259 5751
305 2387 6465
1039 2552 4422
473 1567 2876
86 433 6038
771 2242 4226
2298 4312 5160
151 1104 5223
584 4865 6443
1351 2789 5736
1104 4867 5210
1551 3806 4771
5682 6074 6155
1678 4509 5883
2934 3723 4530
2155 3451 3623
2012 2913 3395
2081 3019 3550
269 604 1918
2397 2735 3571
247 1410 4047
788 1906 4585
2993 3783 5318
2392 3527 4509
1829 4402 5626
796 3206 5660
406 812 3768
3663 4160 5625
3042 4219 4996
1176 2485 4699
271 360 4695
1415 3372 5921
5159 6118 6466
1699 2861 6151

1581 5066 6060
1482 2649 6313
2270 3658 6419
550 2114 3514
415 5165 5735
2775 3277 5182
1622 2345 3570
2865 3643 4519
2632 3685 4527
2226 3972 5927
1311 5722 6001
1602 4026 6106
3009 5053 5448
813 1800 2910
1551 2026 3139
517 1223 4953
0 4828 6461
1132 4040 6223
274 745 4778
319 807 4625
1745 1977 5221
296 1451 6474
607 4594 6054
2034 2210 3466
1701 3223 5633
3605 4513 4818
3209 4817 5696
1063 1404 4558
1015 2736 4760
3199 3921 5773
162 871 2135
71 5698 6079
4010 5377 6332
367 3524 5046
2345 2666 3410
2505 2523 3646
1425 4183 6203
459 1102 4163
229 1479 5965
197 671 2247
2221 5136 5542
1092 3353 6170
3140 3789 5437
382 1455 3090
815 4661 6000
2845 4675 6184
2412 2802 5612
1452 4546 6320
2628 2888 5147

362 3915 5810
3442 3666 4755
2054 4036 5025
305 3562 4123
4106 4836 5096
796 1152 2096
958 1329 2122
4439 5432 5802
1689 2298 3816
45 3141 3295
3912 5161 5712
1440 2996 6050
2533 3702 4119
4193 5468 5890
129 1298 4574
3187 3438 4264
1085 1892 4442
457 2552 3594
1340 2466 2781
160 659 2182
641 1612 1826
1063 5226 6345
2011 4735 5207
853 4933 6426
966 4754 6250

Tabela 28

Endereço de Acumuladores de Bit de Paridade (Taxa 8/9 – Tamanho de Bloco Codificado 64800)
2049 2756 3671 5395
2062 4593 6161 6519
3594 3660 5409 6024
4566 5595 5783 7088
2197 4281 6587 7010
2107 2430 3117 5274
2090 3237 3762 3961
1606 2603 6401 6537
309 1180 1760 3760
126 1009 5264 5809
300 558 2285 2525
3021 5282 5418 6419
2923 3450 6423 6635
0 1408 2588 4524
582 2368 4008 5411
957 1214 1503 6914
1321 3344 4555 4994
998 1792 4319 4966
519 4925 5921 7124
534 873 3499 4697

578 945 4712 6370
1890 2785 5021 6703
68 3981 5697 6062
354 1841 2857 3267
350 2675 4109 6496
396 4311 4365 5334
5100 5520 6718 6953
1670 2251 2968 4645
1438 2267 3362 3781
840 4252 4440 4835
2117 2756 3263 6959
2397 4592 4930 6336
180 1834 2941 5811
1075 1265 3295 5046
371 949 1704 3804
712 2402 6678 7163
2996 5227 5939 6174
1314 3045 6029 6180
1357 1588 3946 5524
1619 3630 5642 7165
523 1284 5809 6374
1037 2350 3499 5006
450 754 3228 5304
61 1511 3994 5371
5008 5057 5920 7067
872 5505 6243 7060
1950 4250 5059 6284
1530 2449 3873 5981
3594 3941 3993 4476
1071 2100 2959 4081
1408 1503 3668 5595
62 4403 4904 6819
248 650 4973 6699
1177 3464 4504 5642
6 1346 3086 5537
2525 4542 6832 6995
2044 2426 2980 6815
1641 2695 3699 6351
2480 2723 6032 6942
562 2056 2600 3465
311 2303 4701
112 5234 5635
530 1388 4324
2156 4941 6375
1339 2518 6760
2549 3803 6776
975 2190 3459
1270 2712 6091
2633 4075 4591

717 6263 6666
3794 4948 5802
852 1759 5613
1440 5404 7008
2904 3916 4213
3488 5772 6874
212 2011 6308
923 1557 2032
3060 4041 5161
3026 4568 7013
370 3262 5202
1896 6264 7194
3276 4049 5925
79 550 1582
4867 5376 6999
2703 3553 6995
827 2135 2502
325 4289 5840
1194 3917 4961
3327 4281 5699
1756 2340 2602
1487 2239 4541
202 719 5449
2560 2886 4884
459 5990 6597
742 2046 3944
976 4567 5244
2933 4619 5259
3805 5495 6748
1398 6213 6480
1343 3228 6435
4830 6779 7088
1327 1676 5259
340 488 1702
2811 3854 5534
30 1837 5582
579 785 3869
2899 3333 3628
785 2657 4541
971 2749 6480
597 4445 5355
299 1437 2441
2085 4247 6375
1145 4488 6912
1833 3292 4959
3963 6561 7162
2443 3112 4950
1670 3499 4106
5338 6060 6278

3220 5837 6120
2292 5674 6110
352 2557 7127
655 1431 3892
950 3789 5468
2165 5720 6598
367 2196 7138
4333 5153 6322
1579 2361 4996
1325 2123 5720
317 1513 4311
1286 1693 4722
3066 5803 6995
2888 5376 6535
1875 2817 6013
2553 4671 6228
961 1839 4361
4104 5800 6762
233 3178 4110
800 3507 4766
3539 3669 5388
585 3512 6134
1666 4308 5458
112 4239 6625
110 3973 5250
3298 4395 6336
2354 3379 3711
210 459 1563
2426 3198 6308
1786 3216 6566
586 2233 6149
3278 3784 4918
1167 1843 6728
1411 3084 4696
1165 2050 4655
2147 5642 5955
2827 4333 5671
1021 5092 5872
620 768 6058
2583 5111 6915
3860 4766 7032
876 2834 7114

Tabela 29

Endereço de Acumuladores de Bit de Paridade (Taxa 5/6 – Tamanho de Bloco Codificado 64800)
214 1287 3599 6203 6732 8430 9194 9395 9980
1994 2299 4496 4929 5365 5467 5843 6676 8669
2304 2633 3344 4927 5414 6989 7952 9334 9950

1189 1789 2261 2650 3036 4827 6167 7373 9965
992 1133 2522 3853 4977 5278 7483 8206 9230
53 3258 3647 6282 7168 7432 7961 10198 10799
549 1014 1300 4660 4859 7493 7834 8428 10330
435 1379 2897 3293 6178 7642 8384 8661 9720
1844 2609 3924 4101 4912 5290 8307 9089 9411
32 3899 4047 4952 5210 7160 7800 7944 10479
501 1282 1612 5682 6026 8191 9819 10430 10516
556 4506 5254 5500 7675 8450 9389 10255 10701
1723 4051 5530 6927 7833 8298 9041 10424 10643
188 1424 2420 3365 5047 6245 6615 7521 8232
265 1072 1787 2257 4495 5961 6198 9058 9402
236 1138 1815 2696 3214 5306 6634 8592 10173
529 1184 3160 5116 5730 6119 6497 8182 8536
43 922 1479 3406 3836 4130 8455 10196 10528
692 5108 5734 6146 8897 9105 9662 9961 10742
632 3323 4475 5450 7253 8169 9288 9731 10628
4 936 1597 3475 4654 4998 5410 6786 8141
18 424 2199 3817 5917 6701 6847 9168 9436
1669 1947 4208 5007 5857 7067 7850 8740 10008
1951 2758 3548 3619 6060 7068 7628 8800 10408
1606 1858 3799 4297 4433 6323 9927 10420 10647
741 2877 3077 3893 5825 6438 7156 7234 9368
2737 3159 4054 5831 6498 7157 7276 7571 8910
376 908 1908 2462 3031 3988 4464 7283 8778
987 1902 2379 2543 2951 4319 7857 8643 9520
966 1719 2014 2473 3225 4552 6774 8760 9544
5031 6470 10479
5483 7147 8908
2987 4043 9531
2490 3786 8463
2641 3703 8786
342 4576 8364
2894 5906 7978
2212 2892 3662
30 1264 6077
5087 6982 8946
699 5800 10701
627 4350 7062
747 2198 4497
1539 8017 9640
2146 6630 10573
60 4159 6739
428 5711 9203
6650 9315 10101
5298 7993 10192
2031 2726 8602
1553 6178 9771
1964 5248 5667

745 6339 9929
1088 3316 9783
880 7367 9536
4840 7763 9250
3429 7754 10209
2690 4781 7598
1422 4058 7546
1441 3387 7262
3064 3941 4027
1166 2919 4966
214 1688 6563
4848 7445 8724
1085 8334 9687
7210 8968 10531
1380 1992 3748
7145 8003 10575
4408 8357 9875
278 3029 3784
277 2495 8171
5166 6104 8529
4799 5228 9084
5391 5830 9757
3315 5989 6217
3276 5475 9632
7014 9320 10243
823 8272 10248
783 7690 9959
2816 3970 8732
2794 4387 6479
3324 6192 7225
1701 4453 5609
810 9036 10384
637 6817 7056
2303 2754 10582
1793 2269 7771
2105 4256 5584
702 2057 7844
692 6581 9446
2820 6317 8314
958 1639 6298
2814 3558 7028
4275 5027 5715
6036 7021 9687
4642 5440 6751
3192 3867 4810
992 5736 8424
1756 6605 9514
1819 4087 4950
2113 7082 9867

1763 3762 4068
4360 8056 9032
656 5807 8379
3064 4655 8930
2877 3320 9505
1255 9232 9761
3708 5287 9219
2182 6351 8801
968 6048 8826
1867 7725 9908
2935 7539 8128
323 607 10701
83 3287 5241
352 6761 10091
1140 5277 10408
655 7334 10660
1278 7271 8113
2515 7564 10307
2183 7827 10788
739 6672 7442
2430 8693 9658
211 788 10694
1188 6340 10064
3273 6890 9455
5164 8796 9938
619 1487 9872
577 6316 9134
2929 4828 5650
3536 7557 8995
1445 6562 7647
3770 5525 7910
3883 4543 9429
248 4857 10091
768 1997 2820
2180 2996 8401
2239 3521 6476
3987 4687 10188
90 6658 8634
1100 3621 3977
3969 7344 10605
1473 7069 10558
2917 5784 8427
1816 5508 8015
2823 7668 9330
428 2534 6106
1431 1909 4632
4542 5877 10409
5075 8151 9244
5127 7046 8018

Tabela 30

Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 – Tamanho de Bloco Codificado 64800)
1817 3054 3488 3751 6890 9140 10502 11378 11868 12275 12936
89 1422 2236 4571 7578 7924 8512 9841 11152 11710 12163
1594 1810 5237 5879 8395 8758 9026 9510 10850 11269 12504
95 2174 3644 6691 7843 8008 8793 9672 9822 10706 11883
476 913 1307 4253 4779 7094 7769 8067 11781 12260 12888
468 1587 2359 2574 3003 4914 5729 6998 8109 10577 12728
63 955 3518 4330 4813 6145 6717 8288 11362 12139 12398
3574 5338 5719 6564 7926 9411 9738 10573 11384 12585 12653
80 1484 3563 3641 5022 8702 9886 10212 11794 12028 12872
437 982 4635 5280 5971 6780 9604 10377 10863 11315 12260
2194 3066 3302 3898 4234 5128 5486 7405 10533 12046 12837
46 1156 2937 4281 4490 5381 5479 6007 6387 9396 11775
188 2285 3734 4624 6268 6829 7001 8405 10446 12400 12783
346 668 925 4282 5327 7520 7817 9313 10570 11825 11996
1467 2279 3713 4516 5065 6797 7107 8644 9652 10181 12218
1578 3175 3572 3728 6761 7874 8342 10059 10108 11367 11823
980 2624 4486 4915 5812 6862 7858 9215 10201 10922 11261
1268 1932 2258 3530 4265 6280 6919 7770 8412 10225 10875
1616 2859 9569
640 1570 6438
1087 2148 7242
1103 3185 10259
375 1316 8620
998 9881 10833
807 2869 9225
4067 6069 9030
2052 2650 10005
3972 5589 7258
5823 8891 9002
4846 6300 8921
5721 8655 10955
2046 3235 8170
698 2007 8170
2859 5824 7244
2550 5723 7215
4847 6343 7305
2105 6124 11240
1124 1938 3181
6289 6924 10699
1686 8088 12123
3064 10067 11948
6393 7637 9716
3215 9559 10253
3615 8261 12704

3857 5906 12451
6657 8720 10939
331 2123 7912
623 6582 12185
4308 5148 7350
474 4404 7275
8141 8758 12871
1452 5399 11009
2705 10291 10869
856 2785 12538
1254 3656 6705
1332 7476 11775
2496 5237 12796
830 8732 9436
4501 9115 11855
747 2833 10559
4825 9111 10709
3322 4838 7631
3334 5714 8624
1625 2248 10401
2220 9932 11602
153 4580 12491
6877 9144 9766
3275 4178 11366
4784 6097 7097
4223 5572 8471
329 5500 8464
409 6085 11403
976 4542 12885
1314 7136 9557
876 3109 10866
5194 5950 12311
1729 1990 4996
5868 9658 11497
2492 3252 4058
3266 5373 11134
1518 9489 11357
1319 2447 7169
2443 9842 12756
6948 8482 10132
5548 10188 11787
5055 7735 8385
399 7891 10182
2872 5928 11928
8103 8467 11981
333 11709 12110
1778 5003 10559
4284 6383 12297
1384 7374 11087

3119 3240 8171
1057 11199 12906
5564 8692 12291
8086 8824 11655
4431 5009 7525
2024 2709 7894
7349 8668 10028
143 9918 10502
136 3778 4492
715 4125 6553
3704 6505 10477
3836 5737 6592
2652 6152 9059
1985 3081 9000
611 6229 9123
5299 5444 9951
2537 9840 10862
2410 10471 11971
10221 11129 11718
9313 11077 12924
4733 6403 8554
3461 7033 10336
4815 6292 11823
5173 6984 7388
1728 3079 7734
242 2085 3327
2018 3217 9375
7067 10017 12906
3270 8294 11412
7757 12061 12664
3172 8248 12497
523 3999 4708
5994 8202 8401
498 4083 11935
4557 5092 6119
871 1887 12341
4612 7572 8164
2333 8759 11268
4449 9350 10409
6610 8814 10553
2219 6761 9503
1041 1336 1635
2607 4127 12437
640 1047 6570
1246 1558 2530
5689 6006 11652
1141 6211 9170
91 7545 8808
3618 7244 10595

292 3726 11289 3855 5480 9570

Tabela 31

Endereço de Acumuladores de Bit de Paridade (Taxa 3/4 – Tamanho de Bloco Codificado 64800)
1760 5736 6289 7119 10593 11012 11496 12025 13422 14631 15154 15673
164 1100 2695 3317 3653 4302 7667 11415 11619 13880 15436 16050 1798 4091 6449 7366 7671 10967 12595 13629 13966 14443 15223 15611
257 3408 3732 4255 6895 7345 7743 8849 9020 9850 10986 13188 70 1455 2981 3365 4050 5044 6202 10072 10204 11606 12669 14768 3442 3685 3992 4326 4898 6793 8840 10582 14008 15061 15727 16033 2719 2917 3500 7784 7966 9057 9474 10303 13882 14234 14619 15245 358 1409 4373 6036 6255 7719 8372 9901 11377 12136 14297 15856 1310 2865 3153 3872 5675 8007 8333 10705 12144 12744 13726 14361 856 3445 3922 5407 6218 7163 7747 8997 10762 10825 12929 13859 891 1579 1912 2609 5373 5670 7097 9162 9678 9912 10356 15425 625 1387 3199 5183 6621 8984 9526 10345 11699 12574 14743 15124 1742 1987 2391 4667 6117 7258 8405 9868 12463 12994 13483 14267 358 594 1887 2555 8155 9537 9885 10328 12711 13234 14450 15773 860 2486 2800 4768 5233 6000 6722 7266 9136 9652 10100 14784 498 5911 8999 5609 11076 12022 2133 9167 15546 8543 12322 15688 3797 10622 12643 5701 9273 13284 2080 6582 13468 2213 7188 14413 661 1020 15912 811 10657 13443 4141 8200 14159 4339 12968 14909 8170 12226 13434 1073 2241 13160 1128 1835 6989 2931 12449 14377 153 2987 11746 687 11918 15905 5921 9434 11859 2516 5393 11701 1329 12412 14801 5762 7932 8496 702 2276 6428 4360 8416 8830 4849 11516 15858 1666 4913 15031

5088 7537 10862
4535 4923 7243
4802 6622 11323
6523 11319 12635
6176 11036 14971
3326 3995 12286
1763 2765 5759
4840 7736 13622
13588 14213 15892
3018 4027 12553
3025 5092 11688
4289 6084 10428
2367 7460 11358
6209 7415 8678
1617 4863 10623
8931 10797 13847
7259 8904 14244
1409 11923 12890
6304 12408 13132
41 7821 13459
6022 10056 13846
8363 11395 16119
7065 15388 15794
5891 8064 11461
5695 9159 15426
2329 4675 16050
2041 12119 15695
5499 9713 15791
655 10137 11619
1896 4703 14660
5204 6886 10810
5133 10666 13767
2828 3812 11725
10934 14068 14604
2360 9460 14878
8060 9050 12993
303 14652 14887
6859 8555 15203
3667 7971 9209
3906 6498 11984
2997 9700 12935
115 7751 8359
2058 3573 10188
648 1315 13058
602 9890 12654
988 1778 9843
2564 3529 6744
972 4602 6484
807 1302 4343

4196 6634 13931
5962 12749 15238
9661 11863 15553
5675 11586 15637
1167 12382 13040
7 5049 9141
8139 9994 11767
3401 7610 13054
541 8910 13153
5173 8362 14231
3018 6572 10557
5245 8559 16096
663 1594 12876
3325 4490 12417
2573 14222 16104
2466 3120 13939
2240 4656 15279
717 3102 12604
734 4505 14156
1152 1815 5691
1126 12352 15553
3594 10949 11900
2275 6381 10326
99 10188 13327
2655 14519 15909
991 1850 12173
7052 10172 13789
6056 6395 15366
3907 6202 12054
4804 11472 13436
7146 7900 14798
3674 8102 9375
4077 7423 11380
306 11199 14687
2879 7603 14956
1569 3781 9492
1663 6808 14985
4897 5766 10659
4086 7472 7992
4868 9749 13476
7079 8892 14719
2029 8392 8642
949 9330 10964
9296 10742 11015
5686 7483 9968

Tabela 32

Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 – Tamanho de Bloco Codificado 64800)

186 2705 11911 14746 14866 19054 20583
589 2493 5010 12476 14348 15395 19934
3080 4591 7819 10713 18428 18772 20882
2768 4190 4529 5656 7331 18496 20932
2339 3987 5445 6511 15705 16316 16766
1295 2179 11422 12912 13250 18457 20138
4303 6701 8649 11078 11809 14451 17240
3942 7841 8254 8668 9925 18788 19387
1418 9303 10257 14548 15808 17149 20716
777 6711 10002 10711 12550 17952 18446
1581 2148 5630 6397 8165 15108 16517
1173 1911 4755 8232 11675 12224 14445
2573 5706 7295 13171 13467 15691 20519
544 3371 3803 9894 10663 13295 17349
2903 9162 11813 12604 13528 15554 16639
1885 10990 12657 13183 13956 15403 17674
4435 5234 7142 8315 16582 17274 17470
945 2640 5938 6344 7639 10356 19633
3557 4866 9995 18249 19954 20391 21054
603 2541 4772 5153 7110 7471 8080
1765 4778 10022 11673 12545 17802 19483
980 1173 4386 9288 15145 17227 20934
200 3139 5585 6068 11242 13092 19481
6282 7238 7979 10200 14602 17038 20545
8869 10185 10856 11403 13791 15670 19237
3489 6615 11829 14125 16528 17782 20100
632 1062 4084 7445 9718 18831 21283
3541 3991 10093 16067 19007 19373 20621
3384 6000 6869 8715 10800 11910 16145
2052 8353 9453 11515 16036 18212 21519
6028 7063 7740
2917 5857 16345
5223 8453 11937
6444 9067 18083
9142 13670 20123
2370 5200 16404
823 1854 18333
6791 12202 18118
2373 10455 19524
1234 11042 11405
493 12359 19781
1448 14380 16865
5050 6343 21344
10604 14808 17544
8482 15289 18443
8993 16807 20689
1520 13400 14306

12731 14799 15930
12550 13324 14361
7113 14024 19136
3193 7614 12672
14982 17679 20412
4557 17527 20284
314 15256 20920
1516 9522 13718
3911 9656 13870
180 8572 15928
3848 9380 19334
186 20241 21301
3762 17533 21593
2500 8094 20116
4822 15317 17920
4883 7241 19226
1513 17294 18444
13197 14416 21397
6420 13981 14678
118 3981 8018
3655 8742 16735
1978 6412 15584
9679 12837 20027
15535 17421 21258
1206 16712 21219
2491 4233 6564
7971 10528 11712
10592 12847 16156
5295 13708 16655
6070 15542 17706
5712 5981 8432
1408 1968 2251
2617 3499 15856
15339 18614 18850
2724 4249 10874
3092 9614 11876
1048 10613 14312
5129 18541 19036
8603 11165 20068
938 1263 17272
7272 14649 15341
3111 14296 18913
8459 11613 17541
10334 10899 12365
396 4594 7000
7656 9120 10070
12079 13628 15008
16480 18347 19548
2082 20174 20525

3912 4927 12697
13030 13930 20406
5566 19268 20942
6576 11255 13410
152 17852 20802
1562 15044 17236
216 7491 13354
3128 6493 7054
1448 9525 17085
14307 15029 21560
5360 13103 21047
9305 9901 10103
3306 5451 7165
709 12054 16399
3800 4646 12177
2824 3523 15961
900 16239 19378
6314 11295 19778
10055 10113 12317
4530 19691 20332
10923 12532 18027
644 7838 9011
5932 8840 20595
7870 8667 18005

Tabela 33

Endereço de Acumuladores de Bit de Paridade (Taxa 3/5 – Tamanho de Bloco Codificado 64800)
11321 12093 14740 17157 17595 20195 23259 24646
11 2432 8805 10373 12516 15842 19698 24066
135 2803 4080 10491 16241 16758 17748 19867
2099 2993 10236 13026 13786 14200 17299 19957
75 2778 6647 8553 10132 13861 23999 24170
1658 3252 4357 6701 7187 13646 19015 25712
2001 4424 10467 11353 12918 16937 21896 22829
6358 7559 10402 14888 15995 17271 20484 22169
2000 4467 7863 9989 14311 16241 23410 24873
1361 3974 5222 10532 10984 17694 20378 25468
1544 7077 10921 12059 19923 22020 24017 24988
3513 14006 14377 16519 21006 21755 23229 25366
15 1247 7113 8215 13179 21142 23839 25245
5640 6141 7024 7418 10598 11979 12587 14298
1945 6827 9994 11500 11888 17446 21492 25439
7773 9202 9531 11080 15728 16419 18092 23716
407 18370 18793 20991 21559 22401 23755 24267
902 3720 4773 6030 11856 15252 19226 20853
1761 4079 12622 13351 16895 19802 23716 25765
1097 3637 6487 11788 12644 13436 17822 25663
1140 2231 3054 5975 11667 12902 13310 23022

4542 4795 15063 17421 17990 18608 21208 25716
5957 8403 11533 16178 16590 19337 21936 22010
939 5012 8468 11512 13595 18980 23151 25171
5857 8639 12470 18486 18782 19268 20531 25158
2945 5413 7244 12571 18305 18658 22658 23030
8975 9144 9984 13118 15061 19436 20308 22959
1462 7201 7652 9076 16674 18216 24160 24593
2183 2870 8206 9391 15293 22608 23163 24181
2498 4728 5065 8998 10844 15172 19603 21473
5105 8919 9457 15378 16040 17164 19450 22550
2858 3726 4027 8058 9458 13970 15544 22251
541 924 5642 6425 7937 14699 15484 21840
378 3495 7676 9280 14688 20727 21482 24745
9837 14747 14931 15632 18040 19755 20574 24585
588 857 3129 3258 3613 5087 5545 6154
8203 12127 12848
14077 15922 24447
2906 21236 22074
2092 4829 17082
4295 5675 18564
1681 15114 24211
341 12877 20467
323 17818 18380
9271 14655 22658
1471 13161 13320
289 8845 25307
533 15353 21423
3142 11533 20028
1933 3693 4375
7338 19500 21282
10422 11066 24968
1343 7027 18665
1356 7515 14602
6284 17691 20657
3297 10391 24693
11426 20934 23813
19342 19725 21530
10923 16535 23406
4889 24913 25283
5050 10818 12236
7074 19102 21017
5886 16748 25712
5584 6358 22353
10354 13346 15312
3375 9935 25495
4997 11522 15270
4468 18734 25869
9392 17056 22069
2236 7876 22925

4640 6011 8753
10020 21852 25599
7363 8030 24591
6288 6865 20673
4130 5835 19386
3051 10706 20518
3768 6484 23644
15847 18340 20440
2115 14190 18267
14639 16843 19917
10055 23506 24520
6818 12446 15040
1243 5642 22144
3829 13321 13867
10510 19526 22746
628 15857 16637
18343 20836 23351
849 3411 22968
9062 17694 18998
6660 8542 13719
2757 8726 11729
8089 10673 20091
1691 8446 21849
9096 14789 21754
14137 18816 22399
893 2430 24423
4109 13856 17456
8280 12805 24063
488 12106 12282
2457 9509 15757
9411 11511 16932
11352 16346 23973
5377 16529 24978
782 5090 7808
13317 15836 23080
7847 12471 15669
2543 13225 17284
2661 17549 23285

Tabela 34

Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 – Tamanho de Bloco Codificado 64800)
3111 10821 12690 21446 21936 22833 27169 29136 31422
3864 7321 13358 14931 17859 19350 22505 22724 29342
1776 4735 5405 6757 10722 14671 22344 26656 29357
459 5147 14564 15500 22996 23742 25375 27615 30450
39 2020 2938 7612 12329 15698 15902 25163 31344
6647 8249 14871 15478 22091 23395 24971 28606 31269

2922 10356 13860 14238 22025 23586 26446 27232 31239
5436 6084 8594 10547 12720 14591 16454 26434 32185
2710 7917 10870 11726 12755 14599 24958 27996 28218
486 4934 5284 12406 14723 17460 23403 29725 30963
347 1169 3982 8271 8662 15028 18174 25459 31413
876 1312 2565 7422 10788 11931 16541 18283 23574
90 7129 8288 10792 12326 19925 20242 23116 30201
6470 13138 14268 17835 20001 20315 22200 25985 27855
1112 12000 12355 12793 13064 14036 28038 29518 30365
5814 8048 8312 9008 13571 16110 26199 31241 31486
3042 4178 5196 10280 14074 19558 24789 29667 31873
1454 5389 7107 7543 7862 16024 16626 17490 28242
2044 5054 10355 10824 11440 12775 15710 16297 27461
6029 9526 11735 22611 24555 26819 28137 28825 31324
1021 5580 6702 7823 18869 19850 21862 28725 29352
5706 6585 8712 11948 21714 26302 27152 27420 28364
2404 3906 4797 6227 8259 10754 14230 28897 30151
2240 9684 12342 15800 17252 19282 20858 23539 27301
4538 5033 5728 13970 16527 17614 19575 29978 32092
2354 7290 9783 13771 15981 22928 28083 30097 32322
135 2737 7742 9051 9599 16013 18075 24173 31256
1056 9731 11337 15201 21705 22111 22331 25134 27614
3390 11099 13353 18555 20915 23865 25697 29332 30761
3330 4535 16747 16939 18532 18954 20854 21064 21406
11022 12187 15275
3883 8843 22303
17714 21104 27550
3562 13705 20167
329 3338 16387
11592 18421 30914
6566 17134 26143
24607 26923 29562
4806 8465 15423
1088 30544 31855
1832 3806 27250
7337 20964 21323
18580 22620 29095
13386 21101 32396
13262 25229 30015
10150 12199 25755
3556 18602 30378
3905 8082 24259
17251 18773 24705
6133 8450 17854
1074 9896 26078
11372 23996 25612
9603 28654 29625
4304 16791 20819
3161 8835 24541

15186 16924 27847
8957 9805 26249
13286 20209 30933
10413 18729 29543
5912 28899 30687
2479 17644 20863
1901 6239 9157
1524 19166 25761
6363 15526 19685
14219 15047 20662
15079 17594 19410
25330 27868 32037
793 7156 19618
20323 21339 23201
2358 5863 9534
4079 9184 22987
4490 16838 24186
11175 11670 28552
4137 18732 25266
11812 19809 23870
1430 9775 26754
11447 18070 21285
1686 4676 23221
9096 25011 28651
619 23154 26495
1731 30544 30849
24449 26990 32018
2085 2668 19271
612 4434 19612
13258 13475 25651
2546 16649 23874
18224 23943 26533
454 24290 32166
7013 21848 31936
7119 17485 20152

Tabela 35

Endereço de Acumuladores de Bit de Paridade (Taxa 2/5 – Tamanho de Bloco Codificado 64800)
3297 6933 9162 10693 13628 16986 21668 24076 27719 34685 36422 37739
4652 4971 7019 11188 11972 14893 22173 25272 30894 31959 32110 32910
33 2031 3088 5881 6560 7368 12348 15738 19440 25780 29541 36439 4838 5721 20883 21606 22567 22986 24682 25476 28059 28329 32101 34721
3910 5188 6809 7103 8947 15790 17739 20635 23085 25564 29622 33785
754 7097 11883 13104 26248 29038 30443 32405 34759 35136 37093

37672
1707 16575 18649 19982 22302 22594 24413 24650 24863 27001
30158 35491
11590 14788 17345 18420 25603 26066 27769 29284 32938 34185
37362 38026
1191 5551 6047 6440 7220 19670 23562 24767 28850 29605 34642
36747
73 3562 4812 5485 10606 17058 18823 19886 23862 33399 35836
38303
148 1992 5102 10987 15393 18180 20481 20736 26419 28466 31129
33882
1557 3055 3864 9232 16927 17532 20398 21135 23488 28675 37064
37164
2299 3015 7708 8554 10042 13328 18143 18530 19261 27909 34018
37935
847 3011 10137 10590 16671 18094 22798 23767 26705 28042 30499
37945
7459 10256 13212 15953 18091 18994 19811 21830 24229 27062
30608 31698
4291 7727 9723 11579 14429 17901 19968 21353 21669 24945 26048
37260
8562 10389 14937 18581 19549 25603 26485 27174 27436 31927
35525 35984
313 8332 10393 15540 17894 19646 23002 27585 29791 31986 34296
36379
1702 2421 2618 12062 16028 16335 16941 17977 29478 30317 31110
34407
2160 5891 12839 14343 19004 19409 21422 25504 26798 29009 31299
36959
4274 6690 11683 12511 16512 19286 21483 23227 23800 30618 34963
38195
4201 8747 9890 23136 23655 25057 28985 31586 33091 35202 35524
35802
672 8275 9499 11040 12791 13807 28193 30610 33814 35232 36151
38784
474 1284 2527 4342 6449 8196 9405 11420 13704 14180 14622 15412
2624 29511 30469
6464 9577 23494
5287 12022 37078
2430 27323 29341
11446 16533 21979
1515 4931 15026
14283 28529 37489
6187 8185 38253
3590 12342 38608
4265 24259 25368
4430 9081 33466
3617 35591 35696
6589 14391 19353

442 5510 29991
4540 9738 10838
3668 24706 26339
1068 34334 38759
9514 13852 14717
8103 28428 38419
32505 37656 38114
1273 15352 21066
731 16322 36602
1316 8670 31632
1883 13552 17631
21987 24366 34050
1975 7839 12747
5878 33159 36329
8921 14451 22488
15497 25044 36004
22413 28126 32363
7540 12285 14033
13658 16177 31025
33068 33557 38569
7758 10893 21031
11470 22993 34436
10747 13227 28666
11552 20439 30092
2727 9297 26837
399 26517 33759
3340 20692 36108
15419 20712 27403
13303 16716 23361
26065 32482 33457
8336 19015 20421
15940 17475 32359
12953 21349 30059
5348 16562 31348
26830 31400 32657

Tabela 36

Endereço de Acumuladores de Bit de Paridade (Taxa 1/3 – Tamanho de Bloco Codificado 64800)
2157 7955 9237 12284 15020 21866 26422 34666 37352 37649 40586 41640
2448 14737 15550 16081 17094 17625 20941 25888 28556 30985 37172 37835
15 8525 11078 14053 16293 19293 24791 26407 27582 39222 40665 42625
1375 3933 17007 22218 26176 29045 33156 34027 35634 36351 37899 38537
3834 4701 5234 11773 12241 15776 22750 25325 31725 34901 37942 39619

131 7591 10089 17781 28087 28457 29129 34492 34839 37106 38744
40179
436 13828 15551 17812 18220 19395 21501 21626 27152 27767 38852
40888
540 11011 11679 20209 21034 22605 25164 27269 29337 30522 31373
36883
2543 3173 7364 8241 9312 9758 17052 17964 30221 31992 34465
38515
5215 5805 11147 12748 21633 22899 23290 23728 24307 33389 36827
40040
6286 10490 11914 13545 20483 26178 27262 30138 32686 33700
39563 42394
467 1041 2435 11535 12476 13551 18023 18376 23405 30912 35507
42404
2199 3140 7331 8280 10562 12024 25005 25275 29030 30212 36319
38314
2154 6304 7076 8838 9473 20932 23170 26489 28564 32024 42165
42929
1799 3518 5196 8564 9091 11222 12922 23435 24958 26673 36880
40908
7283 8671 12840 14171 17366 20117 26736 30930 33455 40993 41143
42874
296 4975 5566 8182 8757 9456 28414 29216 34949 38307 40102 43111
6916 7794 10169 14680 15377 15966 20826 21311 22927 32352 39039
42681
976 1259 1729 2864 5589 10515 13418 16261 20645 29477 31036
32960
4158 4535 6826 13129 16597 18952 19609 23900 29625 35992 36644
42109
3832 31315 35811
14289 33747 34952
3565 5878 27411
1024 26178 41783
18863 27617 35897
18834 30626 36715
10201 34187 41196
7800 19919 34976
3510 26951 32912
24819 25731 29630
2703 25366 32046
23853 25668 32622
4294 16030 37743
9417 12037 18132
6190 16478 29644
11516 23198 36470
1792 13080 20405
5570 22207 23944
7082 19308 32227
14027 15050 32862

9767 15020 34431
3168 24560 37568
4416 19904 21514
4088 22431 28406
16894 28072 38951
4452 30580 41428
4884 16851 33758
6736 32730 39284
6101 39673 41788
13079 39346 41111
11346 15217 33923
20796 22368 36184
14741 30445 40480
13894 17431 27939
35318 39772 41661
18691 19729 24200
15454 31656 42660
1386 6793 24331
9893 22002 31360
2069 18590 19794

Tabela 37

Endereço de Acumuladores de Bit de Paridade (Taxa 1/4 – Tamanho de Bloco Codificado 64800)
407 1429 6319 18004 18662 20568 23535 24031 28882 36124 38892 41880
4223 5536 10333 16475 20735 20954 25347 26862 32235 36257 42827 48304
8161 11446 13040 13661 19722 24632 27008 29029 32746 40449 42030 45883
9899 12505 13916 18635 22605 25914 32903 39146 39661 40372 44350 45823
8074 11266 13787 15452 21319 25518 25892 26799 40269 41320 41665 48438
1489 8464 9203 15278 16613 18235 26387 29744 31948 32293 35378 46447
122 1365 4344 7853 8453 24475 25034 28298 28718 35347 36473 40014
2485 4555 12437 18736 20994 23449 30387 33800 35867 36980 43101 46693
1654 3284 5191 11122 13092 16366 22522 22933 28511 29977 37120 38428
2362 6555 10708 12679 14474 20301 22230 29510 38500 39610 43175 48173
3678 5189 17724 19148 26279 27265 30034 33819 37195 42327 46261 47137
572 4115 7440 9690 11879 14861 15577 22163 32927 43761 46260 46925
3504 9628 10218 10694 11795 20016 23062 24390 31075 31419 33120

43388	1065 1994 2867 3148 5022 6019 7191 8667 12009 14190 16097 17095 17594 21917 27700 27977 30813 33953 34373 34911 35152 37725
38153 38708	7292 31185 42413 2710 25038 27784 35910 36713 48159 24092 36740 38594 6108 10842 34900 14373 16000 24603 1065 17856 27441 3072 33982 43211 210 14879 19713 6222 16708 31602 15679 22926 29610 18859 32651 37802 2010 5677 21606 19985 35082 47221 6656 37684 44496 12919 14510 42727 13439 21553 47800 9340 40814 43721 6892 8839 31686 11896 34323 47500 26624 33369 44968 20262 26137 43948 3892 9900 29429 4740 39439 45622 39274 41553 47703 30819 41225 44970 7879 28439 45392 17023 17635 44279 30598 40951 45118 19335 23107 45091

Tabela 38

[00037] Nesta modalidade exemplificativa, o código BCH externo pode ser um corretor de erros de 12 bits, com $n_{bch} = k_{bch} + 192$. É observado que $n_{bch} = k_{ldpc}$.

[00038] O polinômio gerador do codificador BCH 209 corretor de erro t é obtido pela multiplicação dos primeiros t polinômios na lista a seguir da Tabela 39:

$g_1(x)$	$1 + x^2 + x^3 + x^5 + x^{16}$
$g_2(x)$	$1 + x + x^4 + x^5 + x^6 + x^8 + x^{16}$
$g_3(x)$	$1 + x^2 + x^3 + x^4 + x^5 + x^7 + x^8 + x^9 + x^{10} + x^{11} + x^{16}$
$g_4(x)$	$1 + x^2 + x^4 + x^6 + x^9 + x^{11} + x^{12} + x^{14} + x^{16}$
$g_5(x)$	$1 + x + x^2 + x^3 + x^5 + x^8 + x^9 + x^{10} + x^{11} + x^{12} + x^{16}$
$g_6(x)$	$1 + x^2 + x^4 + x^5 + x^7 + x^8 + x^9 + x^{10} + x^{12} + x^{13} + x^{14} + x^{15} + x^{16}$
$g_7(x)$	$1 + x^2 + x^5 + x^6 + x^8 + x^9 + x^{10} + x^{11} + x^{13} + x^{15} + x^{16}$
$g_8(x)$	$1 + x + x^2 + x^5 + x^6 + x^8 + x^9 + x^{12} + x^{13} + x^{14} + x^{16}$
$g_9(x)$	$1 + x^5 + x^7 + x^9 + x^{10} + x^{11} + x^{16}$
$g_{10}(x)$	$1 + x + x^2 + x^5 + x^7 + x^8 + x^{10} + x^{12} + x^{13} + x^{14} + x^{16}$
$g_{11}(x)$	$1 + x^2 + x^3 + x^5 + x^9 + x^{10} + x^{11} + x^{12} + x^{13} + x^{16}$
$g_{12}(x)$	$1 + x + x^5 + x^6 + x^7 + x^9 + x^{11} + x^{12} + x^{16}$

Tabela 39

[00039] O codificador BCH de bits de informação

$m = (m_{k_{bch}-1}, m_{k_{bch}-2}, \dots, m_1, m_0)$ sobre uma palavra de código

$$c = (m_{k_{bch}-1}, m_{k_{bch}-2}, \dots, m_1, m_0, d_{n_{bch}-k_{bch}-1}, d_{n_{bch}-k_{bch}-2}, \dots, d_1, d_0)$$

é obtido da seguinte forma. A mensagem polinomial

$$m(x) = m_{k_{bch}-1}x^{k_{bch}-1} + m_{k_{bch}-2}x^{k_{bch}-2} + \dots + m_1x + m_0$$

é multiplicada por $x^{n_{bch}-k_{bch}}$. Em seguida, $m(x)$ é dividida por $g(x)$. Com

$$d(x) = d_{n_{bch}-k_{bch}-1}x^{n_{bch}-k_{bch}-1} + \dots + d_1x + d_0 \quad \text{como o restante, o}$$

polinômio de palavra de código é definido da seguinte forma:

$$c(x) = x^{n_{bch}-k_{bch}}m(x) + d(x).$$

Continuando com essa modalidade exemplificativa, a saída do codificador LDPC 203 pode ser intercalado por bit com o intercalador 211. De acordo com certas modalidades, o processo de intercalação pode ser realizado por modulações 8-PSK e/ou 16-APSP. Os dados podem ser escritos em série no intercalador 211 em forma de coluna (de cima para baixo), e pode ser lido em série em forma de linha (da esquerda para a direita, exceto para o caso de taxa de 3/5 8-PSK onde os dados são lidos da direita para a esquerda).

A configuração do intercalador 211 para cada formato de modulação pode ser vista na Tabela 40.

Estrutura de Intercalador de Bit			
Modulação	Linhas (para $n_{ldpc} = 64800$)	Linhas (para $n_{ldpc} = 16200$)	Colunas
8 - PSK	21600	5400	3
16 - APSK	16200	4050	4

Tabela 40

[00040] A figura 2D é um fluxograma do processo de codificação LDPC como discutido acima, de acordo com uma modalidade exemplificativa. Na etapa 231 bits de informação são recebidos e códigos LDPC são gerados na etapa 233. Note-se que a estrutura dos códigos LDPC (decorrentes da concepção da matriz de verificação de paridade) permite um processo de decodificação eficiente, em razão do que engenhos de computação paralela podem ser utilizados. De acordo com uma certa modalidade, o código LDPC pode ser gerados código BCH externo e também pode conter um código CRC. Na etapa 235, os bits codificados são alterados pelo intercalador 211, conforme descrito acima. Em seguida os códigos são modulados pela etapa 237 e são transmitidos no canal de comunicação.

[00041] Os códigos LDPC acima, em uma modalidade exemplificativa, podem ser usados para uma variedade de aplicações de vídeo digital, tais como a transmissão de pacotes MPEG (Grupo Especializado de Imagens Móveis).

[00042] A figura 3 é um diagrama de um receptor configurado para operar no sistema da figura 1, de acordo com uma modalidade exemplificativa. No lado da recepção, um receptor 300 inclui uma antena 301 que recebe as ondas emitidas pelo canal 103. O receptor fornece um demodulador 303 que executa a demodulação do sinal recebido, por exemplo, um transmissor 200. Após a demodulação, os sinais recebidos são encaminhados a um decodificador 305, que tenta reconstruir as mensagens fonte originais, gerando mensagens, X' , em

conjunto com um gerador métrico de bits 307. De acordo com certas modalidades, o decodificador 305 pode empregar M engenhos paralelos 309 para, de forma eficiente decodificar os sinais recebidos. A título de exemplo, M pode corresponder aos agrupamentos de M nós de bit para processamento; esta abordagem paralela é descrita com mais detalhes posteriormente. Em uma modalidade exemplificativa, o demodulador 303, de acordo com o gerador métrico de bits 307 pode fornecer probabilidades *a priori* de relações de probabilidade de registro de bits codificados.

[00043] É considerado que os acima transmissor 200 e receptor 300 podem ser implantados dentro de um único terminal sem fio, em cujo caso pode ser compartilhado um sistema de antena comum. O terminal sem fio, por exemplo, pode ser configurado para operar dentro de uma comunicação por satélite, um sistema de celular, rede de área local sem fio (WLAN), etc.

[00044] Para apreciar as vantagens oferecidas pelas presentes modalidades, é instrutivo examinar como são gerados os códigos LDPC, como discutido na figura 4.

[00045] A figura 4 é um diagrama de uma matriz esparsa de verificação de paridade, de acordo com uma modalidade exemplificativa. Códigos LDPC são longos códigos de bloco linear, com matriz de paridade de verificação esparsa $H_{(n-k) \times n}$. Normalmente, o comprimento do bloco, n, varia de milhares a dezenas de milhares de bits. Por exemplo, uma matriz de verificação de paridade de um código LDPC de comprimento $n = 8$ e taxa $1/2$ é mostrado na figura 4. O mesmo código pode ser equivalentemente representado pelo gráfico bipartido, pela figura 5.

[00046] A figura 5 é um diagrama de um gráfico bipartido de um código LDPC da matriz da figura 4. Equações de verificação de paridade implicam em que para cada nó de verificação, a soma (em

GF (Campo Galois) (2)) de todos os nós de bit adjacentes é igual a zero. Como visto na figura, nós de bit ocupam o lado esquerdo do gráfico e são associados com um ou mais nós de verificação, de acordo com uma relação predeterminada. Por exemplo, correspondendo ao nó de verificação, a seguinte expressão existe $n_1 + n_4 + n_5 + n_8 = 0$ em relação aos nós de bit.

[00047] Voltando para o receptor 300, o decodificador LDPC 305 é considerado um decodificador de passar mensagens, em que o decodificador 305 tem como objetivo encontrar os valores de nós de bit. Para realizar essa tarefa, nós de bit e nós de verificação se comunicam iterativamente uns com os outros. A natureza desta comunicação é descrita abaixo. Dos nós de verificação para os nós de bit, cada nó de verificação fornece a um nó de bit pouco adjacente uma estimativa ("opinião") sobre o valor do nó de bit com base nas informações provenientes de outros nós de bit adjacentes. Por exemplo, no exemplo acima, se a soma de $n_4 + n_5 + n_8$ se "parece" com 0 para m_1 , então, m_1 indicaria a n_1 que o valor de n_1 acredita-se ser 0 (uma vez que $n_1 + n_4 + n_5 + n_8 = 0$), de outro modo, m_1 indicaria que o valor de n_1 acredita-se ser 1. Além disso, para a decodificação de decisão suave, é adicionada uma medida de confiabilidade.

[00048] Desde os nós de bits para os nós de verificação, cada nó de bit retransmite para um nó de verificação adjacente uma estimativa sobre o seu próprio valor com base na realimentação vindo dos seus outros nós de verificação adjacentes. No exemplo acima n_1 tem apenas dois nós de verificação adjacentes m_1 e m_3 . Se a realimentação de m_3 para n_1 indica que o valor de n_1 é provavelmente 0, então n_1 notificaria m_1 que uma estimativa do próprio valor de n_1 é 0. Para o caso no qual o nó de bit tem pouco mais do que dois nós de verificação adjacentes, o nó de bit realiza uma votação majoritária

(decisão suave) sobre a realimentação vindo dos seus outros nós de verificação adjacentes antes de comunicar aquela decisão ao nó de verificação com que se comunica. O processo é repetido até que todos os nós de bit são considerados corretos (isto é, todas as equações de verificação de paridade são satisfeitas), ou até um número máximo predeterminado de iterações seja atingido, por meio do que é declarada uma falha de decodificação.

[00049] A figura 6 é um diagrama de uma submatriz de uma matriz esparsa de verificação de paridade, em que a submatriz contém valores de verificação de paridade restrita à região triangular inferior, de acordo com uma modalidade exemplificativa. Como descrito anteriormente, o codificador 203 (da figura 2) pode empregar uma técnica de codificação simples, restringindo os valores da área triangular inferior da matriz verificação de paridade. De acordo com uma modalidade exemplificativa, a restrição imposta à matriz de verificação de paridade é da forma:

$$H_{(n-k) \times n} = [A_{(n-k) \times k} \ B_{(n-k) \times (n-k)}] \quad ,$$

onde B é triangular inferior.

[00050] Qualquer bloco de informação $\mathbf{i} = (i_0, i_1, \dots, i_{k-1})$ pode ser codificado para uma palavra de código $\mathbf{c} = (i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$ usando $H\mathbf{c}^T = \mathbf{0}$, e recursivamente resolvendo para bits de paridade; por exemplo,

$$a_{00}i_0 + a_{01}i_1 + \dots + a_{0,k-1}i_{k-1} + p_0 = 0 \Rightarrow \text{Solve } p_0 \quad ,$$

$$a_{10}i_0 + a_{11}i_1 + \dots + a_{1,k-1}i_{k-1} + b_{10}p_0 + p_1 = 0 \Rightarrow \text{Solve } p_1$$

e similarmente para $p_2, p_3, \dots, p_{n-k-1}$.

[00051] As figuras 7A-7C ilustram, respectivamente, os diagramas de QPSK, esquemas de modulação 8-PSK, e 16-APSK, que podem ser usados no sistema da figura 1, de acordo com várias modalidades exemplificativas. Em uma modalidade exemplificativa, onde são

usadas as taxas de código $1/2$, $2/3$ e $4/5$ para os tamanhos de bloco codificados 720, 960, 1200, 1440, 1680, 1920, 2160, 2400, 2640, 2880, 3120, 3360, 3600, 3840, 4080, 4320, 4560, 4800, 5040, 5280, 5520 e 5760 bits codificados, o esquema de modulação QPSK da figura 7A pode ser utilizado. De acordo com esta modalidade exemplificativa, a saída demodulada I/Q do demodulador 303 do receptor 305 pode ser primeiro multiplicada por uma constante e, em seguida, quantificada para um número inteiro mais próximo entre uma faixa predeterminada, por exemplo, -15 e +15. Em uma modalidade exemplificativa, pode-se supor que o símbolo QPSK livre de ruído está no círculo unitário.

[00052] Além disso, de acordo com certas modalidades, os esquemas de modulação QPSK, 8-PSK, e 16-APSK das figuras 7A-7C podem ser usados para códigos LDPC com taxas de código de $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ e $9/10$ com o tamanho do bloco de código 64800. Em uma modalidade exemplificativa, para bits de QPSK $2i$ e $2i + 1$ determinam o $i^{\text{ésimo}}$ símbolo QPSK, onde $i = 0, 1, 2 \dots (N/2) - 1$ e N é o tamanho do bloco LDPC codificado. Alternativamente ou cumulativamente, para 8-PSK, os bits $3i$, $3i + 1$, e $3i + 2$ da saída do intercalador 211 da figura 2B determinam o $i^{\text{ésimo}}$ símbolo 8-PSK, onde $i = 0, 1, 2, \dots, (N/3) - 1$ e N é o tamanho do bloco LDPC codificado (exceto taxa de $3/5$). Para a taxa de $3/5$, os bits $3i + 2$, $3i + 1$, $3i$ da saída do intercalador 211 da figura 2B determinam o $i^{\text{ésimo}}$ símbolo 8-PSK. Também, para 16 APSK, os bits $4i$, $4i + 1$, $4i + 2$ e $4i + 3$ da saída de intercalador determinam o $i^{\text{ésimo}}$ símbolo 16-APSK, onde $i = 0, 1, 2, \dots, (N/4) - 1$ e N é o tamanho do bloco LDPC codificado.

[00053] De acordo com certas modalidades, diferentes processos de decodificação podem ser usados. Em uma modalidade exemplificativa, pode ser usado um processo de decodificação, de acordo com mapeamento de Gray. Neste exemplo, as mensagens

enviadas a partir dos nós de bit são inicializados, os nós de verificação são atualizados, os nós de bits são atualizados, a informação de probabilidade *a posteriori* é produzida, é feita uma determinação de se todas as equações de verificação de paridade são satisfeitas, e uma decisão difícil é produzida. Caso contrário, a atualização de nó de verificação, atualização de nó de bit, e produção de uma informação de probabilidade *a posteriori* são repetidas. Alternativamente, um processo de decodificação, de acordo com mapeamento não Gray pode ser usado tais que informação de probabilidade pode ser mudada para frente e para trás (iterativamente) entre o decodificador 305 e o gerador métrico de bit 307 (da figura 3) durante o processo de decodificação. Neste exemplo, depois de inicialização e atualização do nó de verificação uma informação de probabilidade *a posteriori* é produzida e se todas as equações de verificação de paridade são satisfeitas, é produzida decisão difícil. Caso contrário, métricas de bit e entrada de canal são rederivadas, nó de bit é atualizado, e repete o processo de decodificação com a atualização dos nós de verificação.

[00054] A figura 8A é um fluxograma de um processo para a computação de mensagens enviadas entre os nós de verificação e os nós de bit usando uma abordagem para a frente e para trás, de acordo com uma modalidade exemplificativa. O processo 800 da figura 8A é explicado com referência aos diagramas das figuras 9A-9C. Após um processo de inicialização (que, por exemplo, pode ser executado de acordo com a figura 9A), os nós de verificação podem ser atualizados com base nas mensagens recebidas (que, por exemplo, podem ser executadas em conformidade com a figura 9B). Para um nó de verificação com bordas adjacentes d_c , a computação de d_c ($d_c - 1$) e inúmeras funções $g(.,.)$ são executadas. No entanto, a abordagem para frente e para trás pode reduzir a complexidade da computação a quase $3d_c$ (por exemplo, $3(d_c - 2)$, no qual $d_c - 1$ variáveis são

armazenadas.

[00055] Referindo-se à figura 9B, as mensagens chegando ao nó de verificação k desde nós de bit adjacentes d_c são denotados por $v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{d_c} \rightarrow k}$. É desejado que as mensagens saindo do NE de verificação k de volta aos nós de bit adjacentes d_c sejam denotadas por $w_{k \rightarrow n_1}, w_{k \rightarrow n_2}, \dots, w_{k \rightarrow n_{d_c}}$.

[00056] Sob a abordagem para frente e para trás, para computar estas mensagens saindo, variáveis à frente, f_1, f_2, \dots, f_{d_c} , são definidas como segue:

$$\begin{aligned} f_1 &= v_{1 \rightarrow k} \\ f_2 &= g(f_1, v_{2 \rightarrow k}) \\ f_3 &= g(f_2, v_{3 \rightarrow k}) \\ &\vdots \\ f_{d_c} &= g(f_{d_c-1}, v_{d_c \rightarrow k}) \end{aligned}$$

[00057] Na etapa 801, essas variáveis para a frente são computadas (o que pode ser executado em quase um ciclo de relógio d_c), e armazenados, pela etapa 803.

[00058] Do mesmo modo, as variáveis para trás, b_1, b_2, \dots, b_{d_c} são definidas pelo que segue:

$$\begin{aligned} b_{d_c} &= v_{d_c \rightarrow k} \\ b_{d_c-1} &= g(b_{d_c}, v_{d_c-1 \rightarrow k}) \\ &\vdots \\ b_1 &= g(b_2, v_{1 \rightarrow k}) \end{aligned}$$

[00059] Na etapa 805, essas variáveis para trás são então computadas (o que pode ser executado em quase um ciclo de relógio d_c). Depois disso, as mensagens saindo são computadas, como na etapa 807, baseado nas variáveis à frente armazenadas e as variáveis para trás computadas. As mensagens saindo são calculadas da seguinte forma (o que pode ser executado em quase um ciclo de relógio d_c):

$$\begin{aligned} w_{k \rightarrow 1} &= b_2 \\ w_{k \rightarrow i} &= g(f_{i-1}, b_{i+1}) \quad i = 2, 3, \dots, d_c - 1 \\ w_{k \rightarrow d_c} &= f_{d_c-1} \end{aligned}$$

[00060] Com esta abordagem, apenas as variáveis para a frente, f_2, f_3, \dots, f_{dc} são requeridas para serem armazenadas. Como as variáveis para trás b_i são computadas, as mensagens saindo, $w_{k \rightarrow i}$, são simultaneamente computadas, assim negando a necessidade de armazenamento das variáveis para trás.

[00061] A carga de computação pode ser melhorada ainda mais usando uma abordagem melhorada de decodificação de confiança em camadas (LDB), como discutido a seguir. Em uma modalidade exemplificativa, o uso da abordagem LBD pode melhorar a técnica de decodificação melhorando a convergência por cerca da metade das iterações da decodificação de confiança padrão (SBD), portanto, aumentando a velocidade de decodificação por quase 2. Além disso, as melhorias discutidas abaixo em relação à figura 8B podem aumentar ainda mais a velocidade da abordagem LBD por outro fator de quase 2,5 simplificando a função $g(\dots)$.

[00062] A figura 8B é um fluxograma do processo para a computação de mensagens enviadas entre os nós de verificação e os nós de bits usando a abordagem melhorada de decodificação de confiança em camadas (LDB), de acordo com uma modalidade exemplificativa. Na modalidade exemplificativa da figura 8B, uma função $g(\dots)$ simplificada é calculada o que diminui o ciclo de relógio da abordagem para a frente e para trás da figura 8A de quase $3d_c$ ciclos de relógio para d_c ciclos de relógio.

[00063] Referindo-se à figura 9B, as mensagens entrando para o nó de verificação k desde d_c nós de bits adjacentes são denotados por $v_{n_1 \rightarrow k}, v_{n_2 \rightarrow k}, \dots, v_{n_{dc} \rightarrow k}$. É desejável que as mensagens saindo sejam calculadas a partir do nó de verificação k para trás para os nós de bits d_c adjacentes; essas mensagens enviadas são denotadas por $w_{k \rightarrow n_1}, w_{k \rightarrow n_2}, \dots, w_{k \rightarrow n_{dc}}$. Sob a abordagem LBD melhorada, um primeiro mínimo dos valores absolutos das mensagens chegando é de-

terminado, pela etapa 811, como segue:

$$|v_{n_p \rightarrow k}| = \min \left\{ |v_{n_1 \rightarrow k}|, |v_{n_2 \rightarrow k}|, \dots, |v_{n_{d_c} \rightarrow k}| \right\}$$

[00064] Além disso, um segundo mínimo dos valores absolutos das mensagens chegando é determinado, pela etapa 813, como segue:

$$x = \text{second min} \left\{ |v_{n_1 \rightarrow k}|, |v_{n_2 \rightarrow k}|, \dots, |v_{n_{d_c} \rightarrow k}| \right\}$$

[00065] Na etapa 815, um sinal das mensagens chegando é determinada como segue:

$$s = \text{sign}(v_{n_1 \rightarrow k}) \times \text{sign}(v_{n_2 \rightarrow k}) \times \dots \times \text{sign}(v_{n_{d_c} \rightarrow k})$$

[00066] Depois disso, as mensagens saindo são computadas, como na etapa 817, baseado nas variáveis determinadas, de acordo com uma modalidade exemplificativa. As mensagens saindo são calculadas como segue:

$$w_{k \rightarrow n_p} \cong x \times s \times \text{sign}(v_{n_p \rightarrow k})$$

$$w_{k \rightarrow n_i} \cong |v_{n_p \rightarrow k}| \times s \times \text{sign}(v_{n_i \rightarrow k}) \quad i = 1, 2, \dots, p-1, p+1, \dots, d_c$$

[00067] Alternativamente, as mensagens chegando podem ser computadas, como pela etapa 817, com base nas variáveis determinadas, de acordo com outra modalidade exemplificativa, como segue:

$$w_{k \rightarrow n_p} \cong (x-1) \times s \times \text{sign}(v_{n_p \rightarrow k}) \quad \text{if } x \geq 1$$

$$w_{k \rightarrow n_i} \cong (|v_{n_p \rightarrow k}| - 1) \times s \times \text{sign}(v_{n_i \rightarrow k}) \quad i = 1, 2, \dots, p-1, p+1, \dots, d_c \quad \text{if } |v_{n_p \rightarrow k}| \geq 1$$

[00068] Com base no processo exemplificativo 810 da modalidade da figura 8B, a computação das mensagens saindo podem ser realizados em d_c ciclos de relógio.

[00069] A mensagem chegando $v_{n_i \rightarrow k} \quad i = 1, 2, \dots, d_c$ pode ser computada com base em probabilidades *a posteriori* e a mensagem saindo, como segue:

$$v_{n_i \rightarrow k} = a_i - w_{k \rightarrow n_i} \quad i = 1, 2, \dots, d_c$$

[00070] Além disso, as probabilidades *a posteriori* podem ser atualizadas, depois que as mensagens saídas são computadas, como segue:

$$a_i = v_{n_i \rightarrow k} + w_{k \rightarrow n_i} \quad i = 1, 2, \dots, d_c$$

[00071] Esses dois processos normalmente podem levar d_c ciclos de relógio cada. No entanto, em uma modalidade exemplificativa, dois somadores podem ser usado para esses processos de modo que cada um pode ser executado em $d_c/2$ ciclos de relógio e, portanto, diminuir o tempo de interação total de

[00072] $5d_c$ para $2d_c$ ciclos de relógio. Assim, o uso da LBD melhorada melhora a velocidade de decodificação da LBD padrão por um fator de 2,5.

[00073] A figura 10 é um gráfico ilustrando resultados de simulação para o esquema de LBD sem função g (..), simplificada, com função g (..) simplificada com melhoria, e com função g (..) sem melhoria, de acordo com uma modalidade exemplificativa. As simulações são realizadas para um código LDPC com uma taxa de código de 5/6, com 16 APSK, e com tamanho de bloco codificado 64800. Note-se que o desempenho do esquema de LBD sem simplificação e do esquema de LBD com simplificação e com melhorias estão próximos, embora a velocidade do esquema LBD com a simplificação e com melhorias é quase 2,5 vezes maior do que o esquema LBD sem simplificação. Ainda mais, a figura 10 ilustra como as melhorias na simplificação da função (..) g pode melhorar o desempenho global do esquema de LBD melhorada.

[00074] A figura 11 é um gráfico que mostra resultados de simulação de códigos LDPC para as taxas de código 1/2, 2/3 e 4/5 para os tamanhos de bloco codificado de 720, 960, 1200, 1440, 1680, 1920, 2160, 2400, 2640, 2880, 3120, 3360, 3600, 3840, 4080, 4320, 4560, 4800, 5040, 5280, 5520 e 5760 bits codificados gerados em

conformidade com as várias modalidades exemplificativas. Em particular, a figura 11 mostra o desempenho dos códigos LDPC de ponto fixo com 50 iterações decodificadoras. Existem duas abordagens gerais para realizar as interconexões entre os nós de verificação e nós de bit: (1) uma abordagem totalmente paralela, e (2) uma abordagem parcialmente paralela. Na arquitetura totalmente paralela, todos os nós e suas interconexões são fisicamente implementadas. A vantagem desta arquitetura é a velocidade.

[00075] A arquitetura totalmente paralela, entretanto, pode envolver uma maior complexidade na realização de todos os nós e suas conexões. Portanto, com arquitetura totalmente paralela, um bloco de tamanho menor pode ser requerido a reduzir a complexidade. Nesse caso, para a mesma frequência de relógio, pode resultar uma redução proporcional na produtividade e alguma degradação no desempenho FER *versus* Es/No.

[00076] A segunda abordagem para implementação de códigos LDPC é fisicamente realizar apenas um subconjunto do número total de nós e usar apenas este número limitado de nós "físicos" para processar todos os nós "funcionais" do código. Mesmo que as operações do decodificador LDPC possam ser extremamente simples e possam ser realizadas em paralelo, o desafio adicional no projeto é a forma como a comunicação é estabelecida entre os nós de bit e os nós de verificação "aleatoriamente distribuídos". O decodificador 305 (da figura 3), de acordo com uma modalidade, endereça este problema acessando memória de uma forma estruturada, para realizar um código aparentemente aleatório. Esta abordagem é explicada com respeito às figuras 12A e 12B.

[00077] As figuras 12A e 12B são diagramas da borda superior e da borda inferior, respectivamente, da memória organizada para apoiar o acesso estruturado como para realizar aleatoriedade na codificação

LDPC, de acordo com uma modalidade exemplificativa. O acesso estruturado pode ser alcançado sem comprometer o desempenho de um código totalmente aleatório, focando na geração da matriz de verificação de paridade. Em geral, uma matriz de verificação de paridade pode ser especificada pelas conexões dos nós de verificação com os nós de bit. Por exemplo, os nós de bit podem ser divididos em grupos de um tamanho fixo, o qual para fins ilustrativos é M . Em um exemplo, M é o número de engenhos de computação paralela. Adicionalmente, assumindo que os nós de verificação conectados ao primeiro nó de bit de grau 3, por exemplo, são numerados como a , b e c , então os nós de verificação conectados ao segundo nó de bit são numerados como $a+p$, $b+p$ e $c+p$, os nós de verificação conectados ao terceiro nó de bit são numerados como $a+2p$, $b+2p$, $c+2p$, etc, onde $p = (\text{número de nós de verificação})/M$. Para o próximo grupo de nós de bit M , os nós de verificação conectados ao primeiro nó de bit são diferentes de a , b , c , de modo que com uma escolha adequada de p , todos os nós de verificação têm o mesmo grau. Uma busca aleatória pode ser realizada sobre as constantes livres de tal forma que o código LDPC resultante é de ciclo 4 e ciclo 6 livre. De acordo com uma modalidade exemplificativa, devido às características estruturais da matriz de verificação de paridade, a informação de borda pode ser armazenada para permitir o acesso simultâneo a um grupo de valores de borda relevantes durante a decodificação. Em outras palavras, a abordagem, de acordo com certas modalidades, facilita o acesso de memória durante o processamento de nó de verificação e nó de bit. Os valores das bordas no gráfico bipartido podem ser armazenados em um meio de armazenamento, tal como memória de acesso aleatório (RAM). Note-se que para um código LDPC verdadeiramente aleatório durante o processamento de nó de verificação e de nó de bit, os valores das bordas necessitariam ser acessados, um a um, de forma

aleatória. No entanto, tal esquema de acesso convencional seria demasiado lento para um aplicativo de dados de alta velocidade. A memória RAM das figuras 12A e 12B são organizados de uma forma, por meio da qual um grande grupo de bordas relevantes pode ser buscado em um ciclo de relógio, portanto, esses valores são colocados "juntos" na memória, segundo um esquema ou disposição predeterminada. Observa-se que, na atualidade, mesmo com um código verdadeiramente aleatório, para um grupo de nós de verificação (e respectivamente nós de bit), as bordas relevantes podem ser colocadas lado a lado na RAM, mas então as bordas relevantes adjacentes a um grupo de nós de bit (respectivamente nós de verificação) serão espalhados aleatoriamente na RAM. Portanto, a "união", sob o enfoque atual, decorre da concepção das matrizes de verificação de paridade em si. Ou seja, a concepção de matriz de verificação garante que as bordas relevantes para um grupo de nós de verificação e nós de bit são simultaneamente colocados juntos na RAM.

[00078] Como ilustrado nas figuras 12A e 12B, cada caixa contém o valor de uma borda, que é de múltiplos bits (por exemplo, 6 bits). A borda da RAM, de acordo com uma modalidade exemplificativa, é conceitualmente dividida em duas partes, borda superior da RAM 1201 (figura 12A) e borda inferior da RAM 1203 (figura 12B). A borda inferior da RAM 1303 contém as bordas entre os nós de bit de grau 2, por exemplo, (ou 1 para um único nó de bit) e nós de verificação. A borda superior da RAM 1201 contém as bordas entre os nós de bit de grau superior a 2 e nós de verificação. Portanto, de acordo com uma modalidade exemplificativa, para cada nó de verificação, duas bordas adjacentes são armazenadas na memória RAM inferior 1203, e o resto das bordas são armazenadas na borda superior da RAM 1201. Em uma modalidade exemplificativa, um grupo de nós de bit M e nós de

verificação M é processado em um tempo. De acordo com outra modalidade exemplificativa, para o processamento do nó de verificação M , $q = d_c - 2$ linhas consecutivas da borda superior da RAM 1201 e duas linhas consecutivas da borda inferior da RAM 1203 são acessadas, cujo valor de d_c pode depender da taxa de código. Nesta modalidade exemplificativa, $d_c = 7, 11$ e 20 para as taxas de $1/2, 2/3$ e $4/5$, respectivamente. Para o processamento de nó de bit, se o grupo de nós de bit M são nós de bit de paridade, suas margens estão localizadas em duas fileiras consecutivas da borda inferior da RAM 1303. Se os nós são nós de bit de informação com grau $d_v > 2$, suas margens estão localizadas em algumas linhas d_v da borda superior da RAM 1201. O endereço dessas linhas d_v pode ser armazenado na memória não volátil, como Memória Somente de Leitura (ROM). As bordas em uma das linhas correspondem às primeiras bordas de nós de bit M , as bordas em outra linha correspondem às segundas bordas de nós de bit M , etc. Ainda mais, para cada linha, o índice da coluna da borda que pertence ao primeiro nó de bit no grupo de M pode também ser armazenado em ROM. As bordas que correspondem ao segundo, terceiro, etc. nós de bit seguem o índice da coluna de início de um modo "enrolado". Por exemplo, se a $j^{\text{ésima}}$ borda na linha pertence ao primeiro nó de bit, então a $(j + 1)^{\text{ésima}}$ borda pertence ao segundo nó de bit, a $(j + 2)^{\text{ésima}}$ borda pertence ao terceiro nó de bit, ..., e a $(j - 1)^{\text{ésima}}$ borda pertence ao $M^{\text{ésimo}}$ nó de bit .

[00079] Com a organização mostrada nas figuras 12A e 12B, a velocidade de acesso à memória é grandemente aumentada durante a codificação LDPC.

[00080] As figuras 13A-13D são diagramas de matriz de verificação de paridade, gráfico bipartido, borda superior da RAM, e borda inferior da RAM, respectivamente, para apoiar o acesso estruturado como para realizar aleatoriedade na codificação LDPC, de acordo com uma

modalidade exemplificativa. Essa codificação LDPC exemplificativa pode ser empregada para códigos DVB-S2 para uma taxa de $2/3$ e comprimento de

código de $N = 18$.

[00081] A figura 13A ilustra uma matriz esparsa de verificação de paridade 1301 de um código LDPC, de acordo com uma modalidade exemplificativa e a figura 13B ilustra o correspondente gráfico bipartido 1.303 do código LDPC da matriz 1301. Nesta modalidade exemplificativa, todos exceto um nó de verificação tem grau $d_c = 8$ e $M = 3$ nós são processados em paralelo. A disposição da superior da RAM 1305 é ilustrada na figura 13C e a disposição da borda inferior da RAM 1307 é ilustrada na figura 13D. Nesta modalidade exemplificativa, os nós de verificação são particionados em grupos de $M = 3$ $\{0,2,4\}$ e $\{1,3,5\}$. Não há necessidade de armazenar os grupos uma vez que os engenhos de computação não se importam quais nós são processados. Para o primeiro grupo, $d_c - 2 = 6$ bordas adjacentes são $e_0 e_1 e_2 e_3 e_4 e_5 e_{12} e_{13} e_{14} e_{15} e_{16} e_{17} e_{24} e_{25} e_{26} e_{27} e_{28} e_{29}$. Todas as bordas acima são armazenados nas primeiras 6 linhas da borda superior da RAM 1305. Portanto, é necessário apenas que aquelas seis linhas sejam aplicadas. Além disso, em cada linha o $j^{\text{ésimo}}$ elemento pertence ao $j^{\text{ésimo}}$ nó de verificação do grupo. As bordas adjacentes restantes são $e_{36} e_{39} e_{40} e_{44}$. Estas bordas restantes são armazenadas nas duas primeiras linhas da borda inferior da RAM 1307. Similar ao caso da borda superior da RAM 1305, em cada linha o $j^{\text{ésimo}}$ elemento pertence ao $j^{\text{ésimo}}$ nó de verificação do grupo. Estrutura similar existe para o outro grupo de nós de verificação. Portanto, o que diz respeito ao processamento de nó de verificação, não há necessidade de qualquer armazenamento ROM. Simplesmente, linhas consecutivas de borda da RAM são acessados e dentro de cada linha, sabe-se exatamente onde encontrar a borda

para um nó de verificação específico no grupo.

[00082] Além disso, nós de bit de grau $d_v > 2$ são particionados em grupos de

$M = 3$: $\{0,1,2\}$, $\{3,4,5\}$, $\{6,7,8\}$, $\{9,10,11\}$. Nós de bit do primeiro grupo têm grau 3 e suas bordas adjacentes são $e_0 e_{14} e_{19} e_{12} e_{26} e_{31} e_2 e_7 e_{24}$. Todas estas bordas podem aparecer na borda superior da RAM 1305, ou seja, linhas indexadas 0, 2 e 7. Estes índices de linha podem ser armazenados na ROM. A linha 0 carrega $e_0 e_{12} e_{24}$; a linha 2 carrega $e_2 e_{14} e_{26}$ e a linha 7 carrega $e_7 e_{19} e_{31}$. Similar ao caso do nó de verificação, cada linha carrega uma borda adjacente por nó de bit. Por outro lado, não podem estar em perfeita ordem, como no caso de nós de verificação. Em outras palavras, o $j^{\text{ésimo}}$ elemento em cada linha não pertence necessariamente ao $j^{\text{ésimo}}$ nó. No entanto, como já foi explicado anteriormente, se o $j^{\text{ésimo}}$ elemento pertence ao primeiro nó de bit, então, o elemento $(j + 1)^{\text{primeiro}}$ pertence ao segundo bit, o elemento $(j + 2)^{\text{segundo}}$ pertence ao terceiro nó de bit. etc, e, finalmente o $(j - 1)^{\text{primeiro}}$ elemento pertence ao $M^{\text{ésimo}}$ nó de bit (em uma maneira de deslocamento de tonel). Portanto, tudo que é necessitado ser armazenados em ROM é o índice j de cada linha que pertence ao primeiro nó de bit no grupo. Neste exemplo, pode-se notar que para a linha indexada 0, e_0 pertence ao primeiro nó de bit (daí $j = 0$); para a linha indexada 2, e_{14} pertence ao primeiro nó de bit (daí $j = 1$) e para a linha indexada 7, e_{19} pertence ao primeiro nó de bit (daí $j = 1$). Portanto, a primeira parte da nossa Tabela de ROM lê 0/0 2/1 7/1. Passando por outros grupos de forma similar, seguindo a tabela de ROM podem ser obtidos

0/0 2/1 7/1

1/2 6/2 8/0

4/1 9/0 11/2

3/0 5/2 10/1

[00083] Seguindo com este exemplo, nós de bit de grau $d_v = 2$ podem ser divididos nos seguintes grupos: $\{12,14,16\}$, $\{13,15,17\}$. Pode-se verificar que as bordas adjacentes de cada grupo ocorrem em duas fileiras consecutivas da borda inferior da RAM 1307 e, além disso, em cada linha o $j^{\text{ésimo}}$ elemento pertence ao $j^{\text{ésimo}}$ nó de bit no grupo (exceto para o último grupo onde o $j^{\text{ésimo}}$ elemento da linha inferior e o elemento $(j+1)\text{mod}M$ da linha superior pertencem ao mesmo nó de bit). Portanto, para este caso também não há necessidade para armazenamento de ROM.

[00084] A seguir, um esquema de decodificação para códigos LDPC com taxas de código $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ e $9/10$ com tamanho de bloco codificado 64800, de acordo com uma modalidade exemplificativa, é descrito, de acordo com as figuras 14A-14C.

[00085] Como mencionado anteriormente a respeito de códigos LDPC com taxas de código $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ e $9/10$ com tamanho de bloco codificado 64.800, para esquema de modulação QPSK, a saída de demodulação I/Q pode ser multiplicada por uma constante (quantificada para o número inteiro mais próximo entre -15 e +15), e pode ser ainda mais alimentada ao decodificador LDPC.

[00086] Na modalidade exemplificativa, de acordo com os códigos LDPC com taxas de código de $1/4$, $1/3$, $2/5$, $1/2$, $3/5$, $2/3$, $3/4$, $4/5$, $5/6$, $8/9$ e $9/10$ com o tamanho do bloco de código 64800, nós de verificação podem ter grau d . Mais especificamente, todos os nós de verificação no gráfico bipartido de código (como ilustrado, por exemplo, na figura 9B) têm grau d (isto é, eles têm d bordas adjacentes), exceto o primeiro nó de verificação, que tem grau $d-1$.

[00087] Portanto, existem $(N-K)d-1$ bordas. Estas bordas são denotadas por $e_1, e_2, e_3, \dots, e_{d-1}, e_{d+1}, \dots, e_{(N-K)d}$. Aqui $e_1, e_2, e_3, \dots, e_d$

e_1 , denotam as bordas adjacentes ao primeiro nó de verificação, e_{d+1} , e_{d+2} , e_{d+3} , ..., e_{2d} denotam as bordas adjacentes ao segundo nó de verificação, etc. Além disso, $b_0, b_1, b_2, \dots, b_{N-1}$ denota valores de uma probabilidade *a posteriori* para todos os bits de código LDPC ($N = 64800$ para códigos longos e $N = 16200$ para códigos curtos).

[00088] As figuras 14A-14C são diagramas da borda, *a posteriori*, e deslocada *a posteriori*, respectivamente, da memória organizada para apoiar a decodificação LDPC, de acordo com uma modalidade exemplificativa. Em um exemplo, o processo de decodificação baseado nas figuras 14A-14C é realizado de acordo com os códigos LDPC com taxas de código de $1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9$ e $9/10$, com tamanho de bloco codificado 64800. No entanto, é contemplado que outras as taxas de códigos e tamanhos de bloco possam ser utilizados.

[00089] De acordo com certas modalidades, os valores de borda e os valores de probabilidade *a posteriori*, como discutido acima, podem ser dispostos no meio de armazenamento de borda (tal como uma memória de acesso aleatório (RAM)) 1401 da figura 14A e um meio de armazenamento *a posteriori* (como memória de acesso aleatório (RAM)) 1403 da figura 14B, respectivamente.

[00090] De acordo com uma modalidade exemplificativa, as primeiras d linhas da borda da RAM 1401 podem carregar as bordas adjacentes ao primeiro grupo de M nós de verificação. Além disso, as próximas d linhas da borda da RAM 1401 podem carregar as bordas adjacentes ao segundo grupo de nós de verificação M , etc. Além disso, em cada linha da borda da RAM 1401, o elemento na i ésima coluna carrega a borda adjacente ao i ésimo nó de verificação em um grupo de nós de verificação M . É observado que não há nenhum valor de borda para a entrada x na borda da RAM 1401. Em um exemplo, 9 bits podem ser alocados para a borda da RAM 1401. Além disso, a

borda da RAM 1401 pode ser inicializada com todas as entradas zero. Além disso, a RAM *a posteriori* 1403 inclui valores de probabilidade *a posteriori* e em um exemplo, 10 bits são alocados para as entradas da RAM *a posteriori* 1403. A RAM *a posteriori* 1403 pode, inicialmente, ser preenchida com as entradas soft de decodificador LDPC, que, por exemplo, pode ser de 6 bits. Conforme as iterações do decodificador, por exemplo, descodificador 303, são executadas, os novos valores de uma probabilidade *a posteriori* para cada bit codificado substitui o valor prévio na RAM *a posteriori* 1403.

[00091] De acordo com esta modalidade exemplificativa, o decodificador LDPC, como o decodificador 303 da figura 3, pode processar M nós de verificação em paralelo. Na modalidade exemplificativa de códigos LDPC com taxas de código de 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9, e 9/10, com tamanho de bloco codificado 64800, M = 360. Para o primeiro grupo de M nós de verificação, o decodificador lê as primeiras d linhas da borda da RAM 1401 e um certo conjunto de d linhas desde RAM *a posteriori* 1403. Além disso, para cada linha da RAM *a posteriori* 1403, as entradas são circularmente deslocadas para a esquerda um certo número de vezes antes que elas estejam alinhadas com o conteúdo da borda da RAM 1401. A figura 14C ilustra uma deslocada RAM *a posteriori* 1405 com os elementos das linhas d circularmente deslocadas de acordo com uma modalidade exemplificativa. As d mensagens de entrada para o *i*ésimo nó de verificação são então formadas como segue:

$$v_k = b_{jid+k} - e_{id+k} \quad k = 1, 2, \dots, d.$$

[00092] As mensagem de saída do *i*ésimo nó de verificação também é computado como segue:

$$z \equiv \min\{|v_1|, |v_2|, \dots, |v_d|\}, \text{ seja } z = |v_p|, \text{ para algum } p$$

$$x \equiv \text{segundo min}\{|v_1|, |v_2|, \dots, |v_d|\},$$

$$s \equiv \text{sinal}(v_1) \times \text{sinal}(v_2) \times \dots \times \text{sinal}(v_d)$$

[00093] Também, define $t \equiv 2$ para taxa de código 1/4 e para todas as outras taxas de código. A mensagem de saída do $i^{\text{ésimo}}$ nó de verificação para d nós de bit é computada como segue:

$$w_p = (x-1) \times s \times \text{sign}(v_p) \text{ se } x \geq 1, \text{ de outra forma } w_p = 0$$

$$w_k = (z-t) \times s \times \text{sign}(v_k) \quad k = 1, 2, \dots, p-1, p+1, \dots, d \text{ se } z \geq 1, \text{ de outra forma } w_k = 0$$

[00094] Depois que todos os M nós de verificação são processados em paralelo, os valores w_k , $k = 1, 2, \dots, Md$, substituem e_k na borda da RAM 1401. Além disso, os valores *a posteriori* atualizados são computados por $v_k + w_k$ e substituí os antigos valores *a posteriori* na RAM *a posteriori* 1403. Note-se que, os novos valores *a posteriori* necessitam ser deslocados circularmente de volta pela mesma quantidade antes de serem escritos de volta à memória. Também, é observado que o primeiro nó de verificação tem um menor grau (número de entradas) do que os outros nós de verificação.

[00095] As figuras 15A-15C são gráficos que mostram os resultados da simulação de códigos LDPC gerados em conformidade com as várias modalidades exemplificativas. Em particular, as figuras 15A-15C ilustram o desempenho dos códigos LDPC com QPSK, 8-PSK e 16 APSK para diferentes taxas de código.

[00096] Os processos para codificação e decodificação estruturada de códigos de Verificação de Paridade de Baixa Densidade (LDPC) que são descritos neste documento podem ser implementados via software, hardware (por exemplo, processador geral, chip de Processamento de Sinal Digital (DSP), um Circuito Integrado de Aplicação Específica (ASIC), Conjuntos de Portas Programáveis de Campo (FPGAs), etc), firmware ou uma combinação dos mesmos. Tal hardware exemplificativo para realizar as funções descritas é detalhado abaixo.

[00097] A figura 16 ilustra hardware de computação (por exemplo,

sistema de computador) 1600 no qual uma modalidade de acordo com a invenção pode ser implementada. O sistema de computador 1600 inclui um barramento 1601 ou outro mecanismo de comunicação para comunicar informação e um ou mais processadores (um dos quais é mostrado) 1603 acoplado ao barramento 1601 para processamento de informação. O sistema de computador 1600 também inclui memória principal 1605, tal como uma memória de acesso aleatório (RAM) ou outro dispositivo de armazenamento dinâmico, acoplada ao barramento 1601 para armazenar informações e instruções a serem executadas pelo processador 1603. A memória principal 1605 também pode ser usada para armazenar variáveis temporárias ou outras informações intermediárias durante a execução de instruções pelo processador 1603. O sistema de computador 1600 pode ainda incluir uma memória apenas para leitura (ROM) 1607 ou outro dispositivo de armazenamento estático acoplado ao barramento 1601 para armazenar informação estática e instruções para o processador 1603. Um dispositivo de armazenamento 1609, tal como um disco magnético ou disco óptico, é acoplado ao barramento 1601 para persistentemente armazenar informação e instruções.

[00098] O sistema de computador 1600 pode ser acoplado por meio do barramento 1601 a uma tela 1611, tal como um tubo de raios catódicos (CRT), monitor de cristal líquido, tela de matriz ativa, ou tela de plasma, para exibir informações para um usuário de computador. Um dispositivo de entrada 1613, como um teclado, incluindo teclas alfanuméricas e outras, é acoplado ao barramento 1601 para comunicar informação e seleções de comando para o processador 1603. Outro tipo de dispositivo de entrada de usuário é um controle de cursor 1615, como um mouse, um trackball ou teclas de direção de cursor, para comunicar informações de direção e seleções de comando para o processador 1603 e para ajustar o movimento do

cursor na tela 1611.

[00099] De acordo com uma modalidade da invenção, os processos aqui descritos são realizados pelo sistema de computador 1600, em resposta ao processador 1603 executando um conjunto de instruções contidas na memória principal 1605. Tais instruções podem ser lidas dentro da memória principal 1605 desde outro meio legível por computador, como o dispositivo de armazenamento 1609. A execução do arranjo de instruções contidas na memória principal 1605 faz com que o processador 1603 realize as etapas do processo descritas neste documento. Um ou mais processadores em um arranjo de multiprocessamento também podem ser empregados para executar as instruções contidas na memória principal 1605. Em modalidades alternativas, pode ser usado circuito hardwired em substituição ou em combinação com instruções de software para implementar a modalidade da invenção. Assim, as modalidades da invenção não estão limitados a qualquer combinação específica de circuitos de hardware e software. O sistema de computador 1600 também inclui uma interface de comunicação 1617 acoplada ao barramento 1601. A interface de comunicação 1617 proporciona um acoplamento de comunicação bidirecional de dados a uma ligação de rede 1619 conectada a uma rede local 1621. Por exemplo, a interface de comunicação 1617 pode ser uma linha de assinante digital (DSL) ou cartão de modem, uma rede digital de serviços integrados (ISDN) de cartão, um modem a cabo, um modem, telefone ou qualquer outra interface de comunicação para fornecer uma conexão de comunicação de dados para um tipo correspondente de linha de comunicação. Como outro exemplo, a interface de comunicação 1617 pode ser um cartão de rede de área local (LAN) (por exemplo, Ethernet TM ou um modelo de rede de transferência assíncrona (ATM)) para proporcionar uma conexão de comunicação de dados a uma LAN compatível.

Ligações sem fio também podem ser implementadas. Em qualquer uma de tais implementações, a interface de comunicação 1617 envia e recebe sinais elétricos, eletromagnéticos ou óticos que transportam dados de fluxos digitais representando vários tipos de informação. Além disso, a interface de comunicação 1617 pode incluir dispositivos de interface de periféricos, tais como Barramento Serial Universal (USB), uma interface PCMCIA (Associação Internacional de cartão de Memória de Computador), etc. Embora uma única interface de comunicação 1617 seja retratada na figura 16, várias interfaces de comunicação também podem ser empregadas.

[000100] A ligação de rede 1619 normalmente fornece comunicação de dados através de uma ou mais redes para outros dispositivos de dados. Por exemplo, a ligação de rede 1619 pode fornecer uma conexão através da rede local 1621 para um computador principal 1623, que tem ligação a uma rede 1625 (por exemplo, uma rede de área ampla (WAN) ou a rede de comunicação de dados de pacote global, agora comumente referida como a "Internet") ou a equipamento de dados operado por um provedor de serviços. Tanto a rede local 1621 quanto a rede 1625 usam sinais elétricos, eletromagnéticos, ou óticos para transmitir informações e instruções. Os sinais através de diferentes redes e os sinais sobre a ligação de rede 1619 e através da interface de comunicação 1617, os quais comunicam dados digitais com o sistema de computador 1600, são formas exemplificativas de ondas portadoras dando suporte as informações e instruções. O sistema de computador 1600 pode enviar mensagens e receber dados, incluindo código do programa, através da(s) rede(s), a ligação de rede 1619, ea interface de comunicação 1617. No exemplo da Internet, um servidor (não mostrado) pode transmitir o código solicitado pertencente a um programa de aplicação para implementar uma modalidade da invenção, através da rede 1625, a rede local 1621

e a interface de comunicação 1617. O processador 1603 pode executar o código transmitido enquanto sendo recebido e/ou armazenado o código no dispositivo de armazenamento 1609, ou outro armazenamento não volátil, para execução posterior. Desta maneira, o sistema de computador 1600 pode obter o código de aplicação na forma de uma onda portadora.

[000101] O termo "meio legível de computador" como usado neste documento refere-se a qualquer meio de comunicação que participa fornecendo instruções para o processador 1603 para a execução. Tal meio pode assumir muitas formas, incluindo mas não limitado a meio de armazenamento legível por computador ((ou não transitório) -isto é, meios não voláteis e meios voláteis), e meios de transmissão. Meios não voláteis incluem, por exemplo, discos óticos ou magnéticos, tais como o dispositivo de armazenamento 1609. Meios voláteis incluem memória dinâmica, como a memória principal 1605. Meios de transmissão incluem cabos coaxiais, fios de cobre e fibra ótica, incluindo os fios que compreendem o barramento 1601. Meios de transmissão também podem assumir a forma de ondas acústicas, óticas ou eletromagnéticas, tais como aqueles gerados durante e comunicações de dados via frequência de rádio (RF) e infravermelho (IR). As formas mais comuns de meios legíveis por computador incluem, por exemplo, um disquete, um disco flexível, disco rígido, fita magnética, qualquer outro meio magnético, um CD-ROM, fitas de papel CDRW, DVD, qualquer outro meio ótico, cartões perfurados, folhas de marca ótica, qualquer outro meio físico, com padrões de furos ou outros indícios opticamente identificáveis, uma memória RAM, uma PROM, e EPROM, uma FLASH-EPROM, qualquer outro chip ou cartucho de memória, uma onda portadora, ou qualquer outro meio do qual um computador pode ler. Várias formas de meios legíveis por computador podem estar envolvidos no fornecimento de instruções de

um processador para execução. Por exemplo, as instruções para a realização de pelo menos parte das modalidades da invenção podem inicialmente ser carregadas em um disco magnético de um computador remoto. Em tal cenário, o computador remoto carrega as instruções na memória principal e envia as instruções em uma linha telefônica usando um modem. Um modem de um sistema de computador local recebe os dados na linha telefônica e utiliza um transmissor infravermelho para converter os dados em um sinal infravermelho e transmitir o sinal infravermelho para um dispositivo de computação portátil, como um assistente pessoal digital (PDA) ou um laptop. Um detector de infravermelho do dispositivo de computação portátil recebe as informações e instruções suportadas pelo sinal infravermelho e coloca os dados em um barramento. O barramento transporta os dados para a memória principal, a partir da qual um processador recupera e executa as instruções. As instruções recebidas pela memória principal podem, opcionalmente, ser armazenadas no dispositivo de armazenamento, antes ou depois da execução pelo processador.

[000102] Embora certas modalidades e implementações exemplificativas tenham sido aqui descritas, outras modalidades e alterações serão evidentes a partir desta descrição. Correspondentemente, a invenção não se limita a tais modalidades, mas sim ao amplo escopo das reivindicações apresentadas e várias modificações óbvias e arranjos equivalentes.

REIVINDICAÇÕES

1. Método **caracterizado pelo** fato de que compreende:

acessar informação de armazenamento de memória representando uma matriz de verificação de paridade estruturada predeterminada de código de Verificação de Paridade de Baixa Densidade (LDPC) para codificar bits de informação, sendo a informação que representa a matriz de verificação de paridade estruturada organizada em forma de tabela, onde cada linha representa uma ocorrência de valores dentro de uma respectiva coluna da matriz de verificação de paridade, em que as colunas da matriz de verificação de paridade são determinadas com base nas respectivas fileiras da informação tabular, e

codificar, por um codificador (203), os bits de informação, e produzir um sinal codificado LDPC que compreende os bits de informação codificados,

em que a codificação compreende:

inicializar a zero os acumuladores de bit de paridade,

acumular um primeiro bit de informação no $j^{\text{ésimo}}$ grupo de M bits de informação em um $i^{\text{ésimo}}$ acumulador de bit de paridade se a $i^{\text{ésima}}$ entrada na $(jM)^{\text{ésima}}$ coluna da matriz de verificação de paridade é 1, onde $j = 0, 1, 2, 3, \dots, k_{ldpc}/M - 1$,

acumular os restantes $(M-1)$ bits de informação $m = jM + 1, jM + 2, jM + 3, \dots$

$(j + 1)M - 1$ do $j^{\text{ésimo}}$ grupo nos acumuladores de bit de paridade de acordo a

$\{x + m \bmod M * q\} \bmod (n_{ldpc} - k_{ldpc})$ em que x denota o endereço do acumulador de bit de paridade correspondendo ao primeiro bit, jM , no grupo, e $q = \frac{n_{ldpc} - k_{ldpc}}{M}$ é uma constante dependente da taxa de código, em que n_{ldpc} é um comprimento do bloco LDPC codifi-

cado, e k_{ldpc} é um comprimento do bloco LDPC não codificado, e
 depois que todos os bits de informação são esgotados, rea-
 lizar operações, iniciando com $i=1$ de acordo com

$$\begin{aligned}
 p_M &= p_M \oplus p_0 \\
 p_{2M} &= p_{2M} \oplus p_M \\
 p_{3M} &= p_{3M} \oplus p_{2M} \\
 &\vdots \\
 &\vdots \\
 &\vdots \\
 p_{n_{ldpc} - k_{ldpc} - M} &= p_{n_{ldpc} - k_{ldpc} - M} \oplus p_{n_{ldpc} - k_{ldpc} - 2M} \\
 p_1 &= p_1 \oplus p_{n_{ldpc} - k_{ldpc} - M} \\
 p_{M+1} &= p_{M+1} \oplus p_1 \\
 p_{2M+1} &= p_{2M+1} \oplus p_{M+1} \\
 &\vdots \\
 &\vdots \\
 &\vdots \\
 p_{n_{ldpc} - k_{ldpc} - M + 1} &= p_{n_{ldpc} - k_{ldpc} - M + 1} \oplus p_{n_{ldpc} - k_{ldpc} - 2M + 1} \\
 p_2 &= p_2 \oplus p_{n_{ldpc} - k_{ldpc} - M + 1} \\
 p_{M+2} &= p_{M+2} \oplus p_2 \\
 p_{2M+2} &= p_{2M+2} \oplus p_{M+2} \\
 &\vdots \\
 &\vdots \\
 &\vdots \\
 p_{n_{ldpc} - k_{ldpc} - M + 2} &= p_{n_{ldpc} - k_{ldpc} - M + 2} \oplus p_{n_{ldpc} - k_{ldpc} - 2M + 2} \\
 p_3 &= p_3 \oplus p_{n_{ldpc} - k_{ldpc} - M + 2} \\
 p_{M+3} &= p_{M+3} \oplus p_3 \\
 p_{2M+3} &= p_{2M+3} \oplus p_{M+3} \\
 &\vdots \\
 &\vdots \\
 &\vdots \\
 p_{n_{ldpc} - k_{ldpc} - M + 3} &= p_{n_{ldpc} - k_{ldpc} - M + 3} \oplus p_{n_{ldpc} - k_{ldpc} - 2M + 3} \\
 &\vdots \\
 &\vdots \\
 &\vdots
 \end{aligned}$$

$$p_{M-1} = p_{M-1} \oplus p_{n_{idpc} - k_{idpc} - 2}$$

$$p_{2M-1} = p_{2M-1} \oplus p_{M-1}$$

$$p_{3M-1} = p_{3M-1} \oplus p_{2M-1}$$

$$\begin{array}{ccc} \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \end{array}$$

$$p_{n_{idpc} - k_{idpc} - 1} = p_{n_{idpc} - k_{idpc} - 1} \oplus p_{n_{idpc} - k_{idpc} - M - 1}$$

em que o conteúdo final de p_i , $i = 0, 1, \dots (n_{idpc} - k_{idpc} - 1)$ é igual ao bit de paridade p_i .

2. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que $M = 360$.

3. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que o tamanho de bloco codificado n_{idpc} é 64800, as taxas de código são 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9, e 9/10, respectivamente.

4. Método, de acordo com a reivindicação 3, **caracterizado pelo** fato de que a informação tabular que representa a matriz de verificação de paridade estruturada compreende uma das Tabelas 25 a 35 (abaixo), em que os índices de 1's no índice de coluna $j * M$, ($j = 0, 1, 2, 3, \dots k_{idpc}/360 - 1$) da matriz de verificação de paridade são dados na j ésima fileira de acordo com a uma Tabela, e em que k_{idpc} está associado a um comprimento dos fluxos de bit;

Tabela 25: Endereço de Acumuladores de Bit de Paridade (Taxa 9/10 – Tamanho de Bloco Codificado 64800)

853 2958 3632 4515
1434 4116 4989 5634
956 4019 4864 5826
2532 4509 5262 6167
739 1530 4498 5247
3702 4931 5465 6270
1120 2178 3845 5151
860 1124 3462 5411
369 3339 4144 4846
122 2027 3691 5416
262 1354 2338 4093

1573 1950 2733 3244
540 4585 6053 6153
1500 2589 3263 5842
126 535 2167 2851
450 1639 2380 3010
2123 3229 5049 5772
234 1833 3121 6332
3837 5603 6118
1508 3146 3403
233 447 2661
407 1040 6302
1453 4073 6091
2498 3347 6253
2019 3356 4664
753 1184 4888
882 2521 3870
476 2255 2523
3997 4593 5914
1455 2130 2958
84 4217 4371
1407 3850 4794
160 2118 6164
2949 4691 5226
1111 5043 5621
2186 5370 5596
3093 5233 6382
340 3265 5540
278 1666 1883
154 1203 3583
1946 3000 6258
2010 3644 5852
1546 2436 5506
765 3582 4362
1566 2642 5023
1120 4415 6217
1274 4777 5663
2607 4905 5329
429 741 2271
419 2861 3227
595 4276 4577
855 4269 5322
2182 3654 5979
3710 4137 5946
875 4259 5751

305 2387 6465
1039 2552 4422
473 1567 2876
86 433 6038
771 2242 4226
2298 4312 5160
151 1104 5223
584 4865 6443
1351 2789 5736
1104 4867 5210
1551 3806 4771
5682 6074 6155
1678 4509 5883
2934 3723 4530
2155 3451 3623
2012 2913 3395
2081 3019 3550
269 604 1918
2397 2735 3571
247 1410 4047
788 1906 4585
2993 3783 5318
2392 3527 4509
1829 4402 5626
796 3206 5660
406 812 3768
3663 4160 5625
3042 4219 4996
1176 2485 4699
271 360 4695
1415 3372 5921
5159 6118 6466
1699 2861 6151
1581 5066 6060
1482 2649 6313
2270 3658 6419
550 2114 3514
415 5165 5735
2775 3277 5182
1622 2345 3570
2865 3643 4519
2632 3685 4527
2226 3972 5927
1311 5722 6001

1602 4026 6106
3009 5053 5448
813 1800 2910
1551 2026 3139
517 1223 4953
0 4828 6461
1132 4040 6223
274 745 4778
319 807 4625
1745 1977 5221
296 1451 6474
607 4594 6054
2034 2210 3466
1701 3223 5633
3605 4513 4818
3209 4817 5696
1063 1404 4558
1015 2736 4760
3199 3921 5773
162 871 2135
71 5698 6079
4010 5377 6332
367 3524 5046
2345 2666 3410
2505 2523 3646
1425 4183 6203
459 1102 4163
229 1479 5965
197 671 2247
2221 5136 5542
1092 3353 6170
3140 3789 5437
382 1455 3090
815 4661 6000
2845 4675 6184
2412 2802 5612
1452 4546 6320
2628 2888 5147
362 3915 5810
3442 3666 4755
2054 4036 5025
305 3562 4123
4106 4836 5096
796 1152 2096

958 1329 2122
4439 5432 5802
1689 2298 3816
45 3141 3295
3912 5161 5712
1440 2996 6050
2533 3702 4119
4193 5468 5890
129 1298 4574
3187 3438 4264
1085 1892 4442
457 2552 3594
1340 2466 2781
160 659 2182
641 1612 1826
1063 5226 6345
2011 4735 5207
853 4933 6426
966 4754 6250

Tabela 26: Endereço de Acumuladores de Bit de Paridade (Taxa 8/9
– Tamanho de Bloco Codificado 64800)

2049 2756 3671 5395
2062 4593 6161 6519
3594 3660 5409 6024
4566 5595 5783 7088
2197 4281 6587 7010
2107 2430 3117 5274
2090 3237 3762 3961
1606 2603 6401 6537
309 1180 1760 3760
126 1009 5264 5809
300 558 2285 2525
3021 5282 5418 6419
2923 3450 6423 6635
0 1408 2588 4524
582 2368 4008 5411
957 1214 1503 6914
1321 3344 4555 4994
998 1792 4319 4966
519 4925 5921 7124
534 873 3499 4697
578 945 4712 6370
1890 2785 5021 6703

68 3981 5697 6062
354 1841 2857 3267
350 2675 4109 6496
396 4311 4365 5334
5100 5520 6718 6953
1670 2251 2968 4645
1438 2267 3362 3781
840 4252 4440 4835
2117 2756 3263 6959
2397 4592 4930 6336
180 1834 2941 5811
1075 1265 3295 5046
371 949 1704 3804
712 2402 6678 7163
2996 5227 5939 6174
1314 3045 6029 6180
1357 1588 3946 5524
1619 3630 5642 7165
523 1284 5809 6374
1037 2350 3499 5006
450 754 3228 5304
61 1511 3994 5371
5008 5057 5920 7067
872 5505 6243 7060
1950 4250 5059 6284
1530 2449 3873 5981
3594 3941 3993 4476
1071 2100 2959 4081
1408 1503 3668 5595
62 4403 4904 6819
248 650 4973 6699
1177 3464 4504 5642
6 1346 3086 5537
2525 4542 6832 6995
2044 2426 2980 6815
1641 2695 3699 6351
2480 2723 6032 6942
562 2056 2600 3465
311 2303 4701
112 5234 5635
530 1388 4324
2156 4941 6375
1339 2518 6760
2549 3803 6776

975 2190 3459
1270 2712 6091
2633 4075 4591
717 6263 6666
3794 4948 5802
852 1759 5613
1440 5404 7008
2904 3916 4213
3488 5772 6874
212 2011 6308
923 1557 2032
3060 4041 5161
3026 4568 7013
370 3262 5202
1896 6264 7194
3276 4049 5925
79 550 1582
4867 5376 6999
2703 3553 6995
827 2135 2502
325 4289 5840
1194 3917 4961
3327 4281 5699
1756 2340 2602
1487 2239 4541
202 719 5449
2560 2886 4884
459 5990 6597
742 2046 3944
976 4567 5244
2933 4619 5259
3805 5495 6748
1398 6213 6480
1343 3228 6435
4830 6779 7088
1327 1676 5259
340 488 1702
2811 3854 5534
30 1837 5582
579 785 3869
2899 3333 3628
785 2657 4541
971 2749 6480
597 4445 5355

299 1437 2441
2085 4247 6375
1145 4488 6912
1833 3292 4959
3963 6561 7162
2443 3112 4950
1670 3499 4106
5338 6060 6278
3220 5837 6120
2292 5674 6110
352 2557 7127
655 1431 3892
950 3789 5468
2165 5720 6598
367 2196 7138
4333 5153 6322
1579 2361 4996
1325 2123 5720
317 1513 4311
1286 1693 4722
3066 5803 6995
2888 5376 6535
1875 2817 6013
2553 4671 6228
961 1839 4361
4104 5800 6762
233 3178 4110
800 3507 4766
3539 3669 5388
585 3512 6134
1666 4308 5458
112 4239 6625
110 3973 5250
3298 4395 6336
2354 3379 3711
210 459 1563
2426 3198 6308
1786 3216 6566
586 2233 6149
3278 3784 4918
1167 1843 6728
1411 3084 4696
1165 2050 4655
2147 5642 5955

2827 4333 5671
 1021 5092 5872
 620 768 6058
 2583 5111 6915
 3860 4766 7032
 876 2834 7114

Tabela 27: Endereço de Acumuladores de Bit de Paridade (Taxa 5/6 – Tamanho de Bloco Codificado 64800)

214 1287 3599 6203 6732 8430 9194 9395 9980
 1994 2299 4496 4929 5365 5467 5843 6676 8669
 2304 2633 3344 4927 5414 6989 7952 9334 9950
 1189 1789 2261 2650 3036 4827 6167 7373 9965
 992 1133 2522 3853 4977 5278 7483 8206 9230
 53 3258 3647 6282 7168 7432 7961 10198 10799
 549 1014 1300 4660 4859 7493 7834 8428 10330
 435 1379 2897 3293 6178 7642 8384 8661 9720
 1844 2609 3924 4101 4912 5290 8307 9089 9411
 32 3899 4047 4952 5210 7160 7800 7944 10479
 501 1282 1612 5682 6026 8191 9819 10430 10516
 556 4506 5254 5500 7675 8450 9389 10255 10701
 1723 4051 5530 6927 7833 8298 9041 10424 10643
 188 1424 2420 3365 5047 6245 6615 7521 8232
 265 1072 1787 2257 4495 5961 6198 9058 9402
 236 1138 1815 2696 3214 5306 6634 8592 10173
 529 1184 3160 5116 5730 6119 6497 8182 8536
 43 922 1479 3406 3836 4130 8455 10196 10528
 692 5108 5734 6146 8897 9105 9662 9961 10742
 632 3323 4475 5450 7253 8169 9288 9731 10628
 4 936 1597 3475 4654 4998 5410 6786 8141
 18 424 2199 3817 5917 6701 6847 9168 9436
 1669 1947 4208 5007 5857 7067 7850 8740 10008
 1951 2758 3548 3619 6060 7068 7628 8800 10408
 1606 1858 3799 4297 4433 6323 9927 10420 10647
 741 2877 3077 3893 5825 6438 7156 7234 9368
 2737 3159 4054 5831 6498 7157 7276 7571 8910
 376 908 1908 2462 3031 3988 4464 7283 8778
 987 1902 2379 2543 2951 4319 7857 8643 9520
 966 1719 2014 2473 3225 4552 6774 8760 9544
 5031 6470 10479
 5483 7147 8908
 2987 4043 9531
 2490 3786 8463
 2641 3703 8786

342 4576 8364
2894 5906 7978
2212 2892 3662
30 1264 6077
5087 6982 8946
699 5800 10701
627 4350 7062
747 2198 4497
1539 8017 9640
2146 6630 10573
60 4159 6739
428 5711 9203
6650 9315 10101
5298 7993 10192
2031 2726 8602
1553 6178 9771
1964 5248 5667
745 6339 9929
1088 3316 9783
880 7367 9536
4840 7763 9250
3429 7754 10209
2690 4781 7598
1422 4058 7546
1441 3387 7262
3064 3941 4027
1166 2919 4966
214 1688 6563
4848 7445 8724
1085 8334 9687
7210 8968 10531
1380 1992 3748
7145 8003 10575
4408 8357 9875
278 3029 3784
277 2495 8171
5166 6104 8529
4799 5228 9084
5391 5830 9757
3315 5989 6217
3276 5475 9632
7014 9320 10243
823 8272 10248
783 7690 9959

2816 3970 8732
2794 4387 6479
3324 6192 7225
1701 4453 5609
810 9036 10384
637 6817 7056
2303 2754 10582
1793 2269 7771
2105 4256 5584
702 2057 7844
692 6581 9446
2820 6317 8314
958 1639 6298
2814 3558 7028
4275 5027 5715
6036 7021 9687
4642 5440 6751
3192 3867 4810
992 5736 8424
1756 6605 9514
1819 4087 4950
2113 7082 9867
1763 3762 4068
4360 8056 9032
656 5807 8379
3064 4655 8930
2877 3320 9505
1255 9232 9761
3708 5287 9219
2182 6351 8801
968 6048 8826
1867 7725 9908
2935 7539 8128
323 607 10701
83 3287 5241
352 6761 10091
1140 5277 10408
655 7334 10660
1278 7271 8113
2515 7564 10307
2183 7827 10788
739 6672 7442
2430 8693 9658
211 788 10694

1188 6340 10064
 3273 6890 9455
 5164 8796 9938
 619 1487 9872
 577 6316 9134
 2929 4828 5650
 3536 7557 8995
 1445 6562 7647
 3770 5525 7910
 3883 4543 9429
 248 4857 10091
 768 1997 2820
 2180 2996 8401
 2239 3521 6476
 3987 4687 10188
 90 6658 8634
 1100 3621 3977
 3969 7344 10605
 1473 7069 10558
 2917 5784 8427
 1816 5508 8015
 2823 7668 9330
 428 2534 6106
 1431 1909 4632
 4542 5877 10409
 5075 8151 9244
 5127 7046 8018

Tabela 28: Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 – Tamanho de Bloco Codificado 64800)

1817 3054 3488 3751 6890 9140 10502 11378 11868 12275 12936
 89 1422 2236 4571 7578 7924 8512 9841 11152 11710 12163
 1594 1810 5237 5879 8395 8758 9026 9510 10850 11269 12504
 95 2174 3644 6691 7843 8008 8793 9672 9822 10706 11883
 476 913 1307 4253 4779 7094 7769 8067 11781 12260 12888
 468 1587 2359 2574 3003 4914 5729 6998 8109 10577 12728
 63 955 3518 4330 4813 6145 6717 8288 11362 12139 12398
 3574 5338 5719 6564 7926 9411 9738 10573 11384 12585 12653
 80 1484 3563 3641 5022 8702 9886 10212 11794 12028 12872
 437 982 4635 5280 5971 6780 9604 10377 10863 11315 12260
 2194 3066 3302 3898 4234 5128 5486 7405 10533 12046 12837
 46 1156 2937 4281 4490 5381 5479 6007 6387 9396 11775
 188 2285 3734 4624 6268 6829 7001 8405 10446 12400 12783
 346 668 925 4282 5327 7520 7817 9313 10570 11825 11996

1467 2279 3713 4516 5065 6797 7107 8644 9652 10181 12218
1578 3175 3572 3728 6761 7874 8342 10059 10108 11367 11823
980 2624 4486 4915 5812 6862 7858 9215 10201 10922 11261
1268 1932 2258 3530 4265 6280 6919 7770 8412 10225 10875
1616 2859 9569
640 1570 6438
1087 2148 7242
1103 3185 10259
375 1316 8620
998 9881 10833
807 2869 9225
4067 6069 9030
2052 2650 10005
3972 5589 7258
5823 8891 9002
4846 6300 8921
5721 8655 10955
2046 3235 8170
698 2007 8170
2859 5824 7244
2550 5723 7215
4847 6343 7305
2105 6124 11240
1124 1938 3181
6289 6924 10699
1686 8088 12123
3064 10067 11948
6393 7637 9716
3215 9559 10253
3615 8261 12704
3857 5906 12451
6657 8720 10939
331 2123 7912
623 6582 12185
4308 5148 7350
474 4404 7275
8141 8758 12871
1452 5399 11009
2705 10291 10869
856 2785 12538
1254 3656 6705
1332 7476 11775
2496 5237 12796
830 8732 9436

4501 9115 11855
747 2833 10559
4825 9111 10709
3322 4838 7631
3334 5714 8624
1625 2248 10401
2220 9932 11602
153 4580 12491
6877 9144 9766
3275 4178 11366
4784 6097 7097
4223 5572 8471
329 5500 8464
409 6085 11403
976 4542 12885
1314 7136 9557
876 3109 10866
5194 5950 12311
1729 1990 4996
5868 9658 11497
2492 3252 4058
3266 5373 11134
1518 9489 11357
1319 2447 7169
2443 9842 12756
6948 8482 10132
5548 10188 11787
5055 7735 8385
399 7891 10182
2872 5928 11928
8103 8467 11981
333 11709 12110
1778 5003 10559
4284 6383 12297
1384 7374 11087
3119 3240 8171
1057 11199 12906
5564 8692 12291
8086 8824 11655
4431 5009 7525
2024 2709 7894
7349 8668 10028
143 9918 10502
136 3778 4492

715 4125 6553
3704 6505 10477
3836 5737 6592
2652 6152 9059
1985 3081 9000
611 6229 9123
5299 5444 9951
2537 9840 10862
2410 10471 11971
10221 11129 11718
9313 11077 12924
4733 6403 8554
3461 7033 10336
4815 6292 11823
5173 6984 7388
1728 3079 7734
242 2085 3327
2018 3217 9375
7067 10017 12906
3270 8294 11412
7757 12061 12664
3172 8248 12497
523 3999 4708
5994 8202 8401
498 4083 11935
4557 5092 6119
871 1887 12341
4612 7572 8164
2333 8759 11268
4449 9350 10409
6610 8814 10553
2219 6761 9503
1041 1336 1635
2607 4127 12437
640 1047 6570
1246 1558 2530
5689 6006 11652
1141 6211 9170
91 7545 8808
3618 7244 10595
292 3726 11289
3855 5480 9570

<u>Tabela 29:</u> Endereço de Acumuladores de Bit de Paridade (Taxa 3/4 – Tamanho de Bloco Codificado 64800)										
15154	1760	5736	6289	7119	10593	11012	11496	12025	13422	14631
15673	164	1100	2695	3317	3653	4302	7667	11415	11619	13880
16050	1798	4091	6449	7366	7671	10967	12595	13629	13966	14443
15611	257	3408	3732	4255	6895	7345	7743	8849	9020	9850
14768	70	1455	2981	3365	4050	5044	6202	10072	10204	11606
16033	3442	3685	3992	4326	4898	6793	8840	10582	14008	15061
15245	2719	2917	3500	7784	7966	9057	9474	10303	13882	14234
15856	358	1409	4373	6036	6255	7719	8372	9901	11377	12136
14361	1310	2865	3153	3872	5675	8007	8333	10705	12144	12744
13859	856	3445	3922	5407	6218	7163	7747	8997	10762	10825
15124	891	1579	1912	2609	5373	5670	7097	9162	9678	9912
14267	625	1387	3199	5183	6621	8984	9526	10345	11699	12574
15773	1742	1987	2391	4667	6117	7258	8405	9868	12463	12994
	358	594	1887	2555	8155	9537	9885	10328	12711	13234
	860	2486	2800	4768	5233	6000	6722	7266	9136	9652
	498	5911	8999	5609	11076	12022	2133	9167	15546	8543
	3797	10622	12643	5701	9273	13284	2080	6582	13468	2213
	661	1020	15912	811	10657	13443	4141	8200	14159	4339
	8170	12226	13434	1073	2241	13160	1128	1835	6989	2931
	153	2987	11746							

687 11918 15905
5921 9434 11859
2516 5393 11701
1329 12412 14801
5762 7932 8496
702 2276 6428
4360 8416 8830
4849 11516 15858
1666 4913 15031
5088 7537 10862
4535 4923 7243
4802 6622 11323
6523 11319 12635
6176 11036 14971
3326 3995 12286
1763 2765 5759
4840 7736 13622
13588 14213 15892
3018 4027 12553
3025 5092 11688
4289 6084 10428
2367 7460 11358
6209 7415 8678
1617 4863 10623
8931 10797 13847
7259 8904 14244
1409 11923 12890
6304 12408 13132
41 7821 13459
6022 10056 13846
8363 11395 16119
7065 15388 15794
5891 8064 11461
5695 9159 15426
2329 4675 16050
2041 12119 15695
5499 9713 15791
655 10137 11619
1896 4703 14660
5204 6886 10810
5133 10666 13767
2828 3812 11725
10934 14068 14604
2360 9460 14878

8060 9050 12993
303 14652 14887
6859 8555 15203
3667 7971 9209
3906 6498 11984
2997 9700 12935
115 7751 8359
2058 3573 10188
648 1315 13058
602 9890 12654
988 1778 9843
2564 3529 6744
972 4602 6484
807 1302 4343
4196 6634 13931
5962 12749 15238
9661 11863 15553
5675 11586 15637
1167 12382 13040
7 5049 9141
8139 9994 11767
3401 7610 13054
541 8910 13153
5173 8362 14231
3018 6572 10557
5245 8559 16096
663 1594 12876
3325 4490 12417
2573 14222 16104
2466 3120 13939
2240 4656 15279
717 3102 12604
734 4505 14156
1152 1815 5691
1126 12352 15553
3594 10949 11900
2275 6381 10326
99 10188 13327
2655 14519 15909
991 1850 12173
7052 10172 13789
6056 6395 15366
3907 6202 12054
4804 11472 13436

7146 7900 14798
3674 8102 9375
4077 7423 11380
306 11199 14687
2879 7603 14956
1569 3781 9492
1663 6808 14985
4897 5766 10659
4086 7472 7992
4868 9749 13476
7079 8892 14719
2029 8392 8642
949 9330 10964
9296 10742 11015
5686 7483 9968

Tabela 30: Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 – Tamanho de Bloco Codificado 64800)

186 2705 11911 14746 14866 19054 20583
589 2493 5010 12476 14348 15395 19934
3080 4591 7819 10713 18428 18772 20882
2768 4190 4529 5656 7331 18496 20932
2339 3987 5445 6511 15705 16316 16766
1295 2179 11422 12912 13250 18457 20138
4303 6701 8649 11078 11809 14451 17240
3942 7841 8254 8668 9925 18788 19387
1418 9303 10257 14548 15808 17149 20716
777 6711 10002 10711 12550 17952 18446
1581 2148 5630 6397 8165 15108 16517
1173 1911 4755 8232 11675 12224 14445
2573 5706 7295 13171 13467 15691 20519
544 3371 3803 9894 10663 13295 17349
2903 9162 11813 12604 13528 15554 16639
1885 10990 12657 13183 13956 15403 17674
4435 5234 7142 8315 16582 17274 17470
945 2640 5938 6344 7639 10356 19633
3557 4866 9995 18249 19954 20391 21054
603 2541 4772 5153 7110 7471 8080
1765 4778 10022 11673 12545 17802 19483
980 1173 4386 9288 15145 17227 20934
200 3139 5585 6068 11242 13092 19481
6282 7238 7979 10200 14602 17038 20545
8869 10185 10856 11403 13791 15670 19237
3489 6615 11829 14125 16528 17782 20100

632 1062 4084 7445 9718 18831 21283
3541 3991 10093 16067 19007 19373 20621
3384 6000 6869 8715 10800 11910 16145
2052 8353 9453 11515 16036 18212 21519
6028 7063 7740
2917 5857 16345
5223 8453 11937
6444 9067 18083
9142 13670 20123
2370 5200 16404
823 1854 18333
6791 12202 18118
2373 10455 19524
1234 11042 11405
493 12359 19781
1448 14380 16865
5050 6343 21344
10604 14808 17544
8482 15289 18443
8993 16807 20689
1520 13400 14306
12731 14799 15930
12550 13324 14361
7113 14024 19136
3193 7614 12672
14982 17679 20412
4557 17527 20284
314 15256 20920
1516 9522 13718
3911 9656 13870
180 8572 15928
3848 9380 19334
186 20241 21301
3762 17533 21593
2500 8094 20116
4822 15317 17920
4883 7241 19226
1513 17294 18444
13197 14416 21397
6420 13981 14678
118 3981 8018
3655 8742 16735
1978 6412 15584
9679 12837 20027

15535 17421 21258
1206 16712 21219
2491 4233 6564
7971 10528 11712
10592 12847 16156
5295 13708 16655
6070 15542 17706
5712 5981 8432
1408 1968 2251
2617 3499 15856
15339 18614 18850
2724 4249 10874
3092 9614 11876
1048 10613 14312
5129 18541 19036
8603 11165 20068
938 1263 17272
7272 14649 15341
3111 14296 18913
8459 11613 17541
10334 10899 12365
396 4594 7000
7656 9120 10070
12079 13628 15008
16480 18347 19548
2082 20174 20525
3912 4927 12697
13030 13930 20406
5566 19268 20942
6576 11255 13410
152 17852 20802
1562 15044 17236
216 7491 13354
3128 6493 7054
1448 9525 17085
14307 15029 21560
5360 13103 21047
9305 9901 10103
3306 5451 7165
709 12054 16399
3800 4646 12177
2824 3523 15961
900 16239 19378
6314 11295 19778

10055 10113 12317
 4530 19691 20332
 10923 12532 18027
 644 7838 9011
 5932 8840 20595
 7870 8667 18005

Tabela 31: Endereço de Acumuladores de Bit de Paridade (Taxa 3/5
 – Tamanho de Bloco Codificado 64800)

11321 12093 14740 17157 17595 20195 23259 24646
 11 2432 8805 10373 12516 15842 19698 24066
 135 2803 4080 10491 16241 16758 17748 19867
 2099 2993 10236 13026 13786 14200 17299 19957
 75 2778 6647 8553 10132 13861 23999 24170
 1658 3252 4357 6701 7187 13646 19015 25712
 2001 4424 10467 11353 12918 16937 21896 22829
 6358 7559 10402 14888 15995 17271 20484 22169
 2000 4467 7863 9989 14311 16241 23410 24873
 1361 3974 5222 10532 10984 17694 20378 25468
 1544 7077 10921 12059 19923 22020 24017 24988
 3513 14006 14377 16519 21006 21755 23229 25366
 15 1247 7113 8215 13179 21142 23839 25245
 5640 6141 7024 7418 10598 11979 12587 14298
 1945 6827 9994 11500 11888 17446 21492 25439
 7773 9202 9531 11080 15728 16419 18092 23716
 407 18370 18793 20991 21559 22401 23755 24267
 902 3720 4773 6030 11856 15252 19226 20853
 1761 4079 12622 13351 16895 19802 23716 25765
 1097 3637 6487 11788 12644 13436 17822 25663
 1140 2231 3054 5975 11667 12902 13310 23022
 4542 4795 15063 17421 17990 18608 21208 25716
 5957 8403 11533 16178 16590 19337 21936 22010
 939 5012 8468 11512 13595 18980 23151 25171
 5857 8639 12470 18486 18782 19268 20531 25158
 2945 5413 7244 12571 18305 18658 22658 23030
 8975 9144 9984 13118 15061 19436 20308 22959
 1462 7201 7652 9076 16674 18216 24160 24593
 2183 2870 8206 9391 15293 22608 23163 24181
 2498 4728 5065 8998 10844 15172 19603 21473
 5105 8919 9457 15378 16040 17164 19450 22550
 2858 3726 4027 8058 9458 13970 15544 22251
 541 924 5642 6425 7937 14699 15484 21840
 378 3495 7676 9280 14688 20727 21482 24745
 9837 14747 14931 15632 18040 19755 20574 24585

588 857 3129 3258 3613 5087 5545 6154
8203 12127 12848
14077 15922 24447
2906 21236 22074
2092 4829 17082
4295 5675 18564
1681 15114 24211
341 12877 20467
323 17818 18380
9271 14655 22658
1471 13161 13320
289 8845 25307
533 15353 21423
3142 11533 20028
1933 3693 4375
7338 19500 21282
10422 11066 24968
1343 7027 18665
1356 7515 14602
6284 17691 20657
3297 10391 24693
11426 20934 23813
19342 19725 21530
10923 16535 23406
4889 24913 25283
5050 10818 12236
7074 19102 21017
5886 16748 25712
5584 6358 22353
10354 13346 15312
3375 9935 25495
4997 11522 15270
4468 18734 25869
9392 17056 22069
2236 7876 22925
4640 6011 8753
10020 21852 25599
7363 8030 24591
6288 6865 20673
4130 5835 19386
3051 10706 20518
3768 6484 23644
15847 18340 20440
2115 14190 18267

14639 16843 19917
 10055 23506 24520
 6818 12446 15040
 1243 5642 22144
 3829 13321 13867
 10510 19526 22746
 628 15857 16637
 18343 20836 23351
 849 3411 22968
 9062 17694 18998
 6660 8542 13719
 2757 8726 11729
 8089 10673 20091
 1691 8446 21849
 9096 14789 21754
 14137 18816 22399
 893 2430 24423
 4109 13856 17456
 8280 12805 24063
 488 12106 12282
 2457 9509 15757
 9411 11511 16932
 11352 16346 23973
 5377 16529 24978
 782 5090 7808
 13317 15836 23080
 7847 12471 15669
 2543 13225 17284
 2661 17549 23285

Tabela 32: Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 – Tamanho de Bloco Codificado 64800)

3111 10821 12690 21446 21936 22833 27169 29136 31422
 3864 7321 13358 14931 17859 19350 22505 22724 29342
 1776 4735 5405 6757 10722 14671 22344 26656 29357
 459 5147 14564 15500 22996 23742 25375 27615 30450
 39 2020 2938 7612 12329 15698 15902 25163 31344
 6647 8249 14871 15478 22091 23395 24971 28606 31269
 2922 10356 13860 14238 22025 23586 26446 27232 31239
 5436 6084 8594 10547 12720 14591 16454 26434 32185
 2710 7917 10870 11726 12755 14599 24958 27996 28218
 486 4934 5284 12406 14723 17460 23403 29725 30963
 347 1169 3982 8271 8662 15028 18174 25459 31413
 876 1312 2565 7422 10788 11931 16541 18283 23574

90 7129 8288 10792 12326 19925 20242 23116 30201
6470 13138 14268 17835 20001 20315 22200 25985 27855
1112 12000 12355 12793 13064 14036 28038 29518 30365
5814 8048 8312 9008 13571 16110 26199 31241 31486
3042 4178 5196 10280 14074 19558 24789 29667 31873
1454 5389 7107 7543 7862 16024 16626 17490 28242
2044 5054 10355 10824 11440 12775 15710 16297 27461
6029 9526 11735 22611 24555 26819 28137 28825 31324
1021 5580 6702 7823 18869 19850 21862 28725 29352
5706 6585 8712 11948 21714 26302 27152 27420 28364
2404 3906 4797 6227 8259 10754 14230 28897 30151
2240 9684 12342 15800 17252 19282 20858 23539 27301
4538 5033 5728 13970 16527 17614 19575 29978 32092
2354 7290 9783 13771 15981 22928 28083 30097 32322
135 2737 7742 9051 9599 16013 18075 24173 31256
1056 9731 11337 15201 21705 22111 22331 25134 27614
3390 11099 13353 18555 20915 23865 25697 29332 30761
3330 4535 16747 16939 18532 18954 20854 21064 21406
11022 12187 15275
3883 8843 22303
17714 21104 27550
3562 13705 20167
329 3338 16387
11592 18421 30914
6566 17134 26143
24607 26923 29562
4806 8465 15423
1088 30544 31855
1832 3806 27250
7337 20964 21323
18580 22620 29095
13386 21101 32396
13262 25229 30015
10150 12199 25755
3556 18602 30378
3905 8082 24259
17251 18773 24705
6133 8450 17854
1074 9896 26078
11372 23996 25612
9603 28654 29625
4304 16791 20819
3161 8835 24541
15186 16924 27847

8957 9805 26249
 13286 20209 30933
 10413 18729 29543
 5912 28899 30687
 2479 17644 20863
 1901 6239 9157
 1524 19166 25761
 6363 15526 19685
 14219 15047 20662
 15079 17594 19410
 25330 27868 32037
 793 7156 19618
 20323 21339 23201
 2358 5863 9534
 4079 9184 22987
 4490 16838 24186
 11175 11670 28552
 4137 18732 25266
 11812 19809 23870
 1430 9775 26754
 11447 18070 21285
 1686 4676 23221
 9096 25011 28651
 619 23154 26495
 1731 30544 30849
 24449 26990 32018
 2085 2668 19271
 612 4434 19612
 13258 13475 25651
 2546 16649 23874
 18224 23943 26533
 454 24290 32166
 7013 21848 31936
 7119 17485 20152

Tabela 33: Endereço de Acumuladores de Bit de Paridade (Taxa 2/5 – Tamanho de Bloco Codificado 64800)

3297 6933 9162 10693 13628 16986 21668 24076 27719 34685
36422 37739
4652 4971 7019 11188 11972 14893 22173 25272 30894 31959
32110 32910
33 2031 3088 5881 6560 7368 12348 15738 19440 25780 29541
36439
4838 5721 20883 21606 22567 22986 24682 25476 28059 28329

32101 34721
3910 5188 6809 7103 8947 15790 17739 20635 23085 25564 29622
33785
754 7097 11883 13104 26248 29038 30443 32405 34759 35136
37093 37672
1707 16575 18649 19982 22302 22594 24413 24650 24863 27001
30158 35491
11590 14788 17345 18420 25603 26066 27769 29284 32938 34185
37362 38026
1191 5551 6047 6440 7220 19670 23562 24767 28850 29605 34642
36747
73 3562 4812 5485 10606 17058 18823 19886 23862 33399 35836
38303
148 1992 5102 10987 15393 18180 20481 20736 26419 28466
31129 33882
1557 3055 3864 9232 16927 17532 20398 21135 23488 28675
37064 37164
2299 3015 7708 8554 10042 13328 18143 18530 19261 27909
34018 37935
847 3011 10137 10590 16671 18094 22798 23767 26705 28042
30499 37945
7459 10256 13212 15953 18091 18994 19811 21830 24229 27062
30608 31698
4291 7727 9723 11579 14429 17901 19968 21353 21669 24945
26048 37260
8562 10389 14937 18581 19549 25603 26485 27174 27436 31927
35525 35984
313 8332 10393 15540 17894 19646 23002 27585 29791 31986
34296 36379
1702 2421 2618 12062 16028 16335 16941 17977 29478 30317
31110 34407
2160 5891 12839 14343 19004 19409 21422 25504 26798 29009
31299 36959
4274 6690 11683 12511 16512 19286 21483 23227 23800 30618
34963 38195
4201 8747 9890 23136 23655 25057 28985 31586 33091 35202
35524 35802
672 8275 9499 11040 12791 13807 28193 30610 33814 35232
36151 38784
474 1284 2527 4342 6449 8196 9405 11420 13704 14180 14622
15412
2624 29511 30469
6464 9577 23494
5287 12022 37078
2430 27323 29341
11446 16533 21979

1515 4931 15026
14283 28529 37489
6187 8185 38253
3590 12342 38608
4265 24259 25368
4430 9081 33466
3617 35591 35696
6589 14391 19353
442 5510 29991
4540 9738 10838
3668 24706 26339
1068 34334 38759
9514 13852 14717
8103 28428 38419
32505 37656 38114
1273 15352 21066
731 16322 36602
1316 8670 31632
1883 13552 17631
21987 24366 34050
1975 7839 12747
5878 33159 36329
8921 14451 22488
15497 25044 36004
22413 28126 32363
7540 12285 14033
13658 16177 31025
33068 33557 38569
7758 10893 21031
11470 22993 34436
10747 13227 28666
11552 20439 30092
2727 9297 26837
399 26517 33759
3340 20692 36108
15419 20712 27403
13303 16716 23361
26065 32482 33457
8336 19015 20421
15940 17475 32359
12953 21349 30059
5348 16562 31348
26830 31400 32657

<u>Tabela 34:</u> Endereço de Acumuladores de Bit de Paridade (Taxa 1/3 – Tamanho de Bloco Codificado 64800)										
2157	7955	9237	12284	15020	21866	26422	34666	37352	37649	
40586	41640									
2448	14737	15550	16081	17094	17625	20941	25888	28556	30985	
37172	37835									
15	8525	11078	14053	16293	19293	24791	26407	27582	39222	
40665	42625									
1375	3933	17007	22218	26176	29045	33156	34027	35634	36351	
37899	38537									
3834	4701	5234	11773	12241	15776	22750	25325	31725	34901	
37942	39619									
131	7591	10089	17781	28087	28457	29129	34492	34839	37106	
38744	40179									
436	13828	15551	17812	18220	19395	21501	21626	27152	27767	
38852	40888									
540	11011	11679	20209	21034	22605	25164	27269	29337	30522	
31373	36883									
2543	3173	7364	8241	9312	9758	17052	17964	30221	31992	34465
38515										
5215	5805	11147	12748	21633	22899	23290	23728	24307	33389	
36827	40040									
6286	10490	11914	13545	20483	26178	27262	30138	32686	33700	
39563	42394									
467	1041	2435	11535	12476	13551	18023	18376	23405	30912	
35507	42404									
2199	3140	7331	8280	10562	12024	25005	25275	29030	30212	
36319	38314									
2154	6304	7076	8838	9473	20932	23170	26489	28564	32024	42165
42929										
1799	3518	5196	8564	9091	11222	12922	23435	24958	26673	36880
40908										
7283	8671	12840	14171	17366	20117	26736	30930	33455	40993	
41143	42874									
296	4975	5566	8182	8757	9456	28414	29216	34949	38307	40102
43111										
6916	7794	10169	14680	15377	15966	20826	21311	22927	32352	
39039	42681									
976	1259	1729	2864	5589	10515	13418	16261	20645	29477	31036
32960										
4158	4535	6826	13129	16597	18952	19609	23900	29625	35992	
36644	42109									
3832	31315	35811								
14289	33747	34952								
3565	5878	27411								
1024	26178	41783								

18863 27617 35897
 18834 30626 36715
 10201 34187 41196
 7800 19919 34976
 3510 26951 32912
 24819 25731 29630
 2703 25366 32046
 23853 25668 32622
 4294 16030 37743
 9417 12037 18132
 6190 16478 29644
 11516 23198 36470
 1792 13080 20405
 5570 22207 23944
 7082 19308 32227
 14027 15050 32862
 9767 15020 34431
 3168 24560 37568
 4416 19904 21514
 4088 22431 28406
 16894 28072 38951
 4452 30580 41428
 4884 16851 33758
 6736 32730 39284
 6101 39673 41788
 13079 39346 41111
 11346 15217 33923
 20796 22368 36184
 14741 30445 40480
 13894 17431 27939
 35318 39772 41661
 18691 19729 24200
 15454 31656 42660
 1386 6793 24331
 9893 22002 31360
 2069 18590 19794

Tabela 35: Endereço de Acumuladores de Bit de Paridade (Taxa 1/4 – Tamanho de Bloco Codificado 64800)

407	1429	6319	18004	18662	20568	23535	24031	28882	36124
38892	41880								
4223	5536	10333	16475	20735	20954	25347	26862	32235	36257
42827	48304								
8161	11446	13040	13661	19722	24632	27008	29029	32746	40449

42030 45883
9899 12505 13916 18635 22605 25914 32903 39146 39661 40372
44350 45823
8074 11266 13787 15452 21319 25518 25892 26799 40269 41320
41665 48438
1489 8464 9203 15278 16613 18235 26387 29744 31948 32293
35378 46447
122 1365 4344 7853 8453 24475 25034 28298 28718 35347 36473
40014
2485 4555 12437 18736 20994 23449 30387 33800 35867 36980
43101 46693
1654 3284 5191 11122 13092 16366 22522 22933 28511 29977
37120 38428
2362 6555 10708 12679 14474 20301 22230 29510 38500 39610
43175 48173
3678 5189 17724 19148 26279 27265 30034 33819 37195 42327
46261 47137
572 4115 7440 9690 11879 14861 15577 22163 32927 43761 46260
46925
3504 9628 10218 10694 11795 20016 23062 24390 31075 31419
33120 43388
1065 1994 2867 3148 5022 6019 7191 8667 12009 14190 16097
17095
17594 21917 27700 27977 30813 33953 34373 34911 35152 37725
38153 38708
7292 31185 42413
2710 25038 27784
35910 36713 48159
24092 36740 38594
6108 10842 34900
14373 16000 24603
1065 17856 27441
3072 33982 43211
210 14879 19713
6222 16708 31602
15679 22926 29610
18859 32651 37802
2010 5677 21606
19985 35082 47221
6656 37684 44496
12919 14510 42727
13439 21553 47800
9340 40814 43721
6892 8839 31686
11896 34323 47500
26624 33369 44968

20262 26137 43948
3892 9900 29429
4740 39439 45622
39274 41553 47703
30819 41225 44970
7879 28439 45392
17023 17635 44279
30598 40951 45118
19335 23107 45091

5. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que compreende ainda:

codificação de um sinal de entrada de acordo com códigos Bose Chaudhuri Hocquenghem (BCH), em que o sinal codificado LDPC de saída correspondente ao sinal de entrada representa um código tendo um código BCH externo e um código LDPC interno.

6. Método, de acordo com a reivindicação 5, **caracterizado pelo** fato de que o número de bits BCH redundantes é $n_{BCH} - k_{BCH} = 192$ e a capacidade de correção de erros do código BCH é 12 bits.

7. Método, de acordo com a reivindicação 1, **caracterizado pelo** fato de que compreende ainda:

intercalar o sinal codificado LDPC de saída usando um intercalador (211); e

modular o sinal codificado LDPC intercalado com base em esquema de modulação 8-PSK (Modulação de Deslocamento de Fase) ou 16-APSK (Modulação de Deslocamento de Fase de Amplitude),

em que a intercalação compreende escrever o sinal codificado LDPC dentro do intercalador (211) de tipo coluna e ler um sinal codificado de saída LDPC intercalado em linha, da esquerda para a direita, e

em que se um esquema de modulação 8-PSK é usado para uma taxa de código de 05/03, o sinal codificado de saída LDPC intercalado é lido da direita para a esquerda.

8. Aparelho **caracterizado pelo** fato de que compreende:

memória configurada para armazenar informação representando uma matriz de verificação de paridade estruturada predeterminada de código de Verificação de Paridade de Baixa Densidade (LDPC) para codificar bits de informação, sendo a informação que representa a matriz de verificação de paridade estruturada organizada em forma de tabela, onde cada linha representa uma ocorrência de valores dentro de uma respectiva coluna da matriz de verificação de paridade, em que as colunas da matriz de verificação de paridade são determinadas com base nas respectivas fileiras da informação tabular, e

um codificador (203) configurado para codificar os bits de informação, e para produzir um sinal codificado LDPC que compreende os bits de informação codificados,

em que a codificação compreende:

inicializar acumuladores de bit de paridade a zero,

acumular um primeiro bit de informação em um $j^{\text{ésimo}}$ grupo de M bits de informação em um $j^{\text{ésimo}}$ acumulador de bit de paridade se a $j^{\text{ésima}}$ entrada na $(jM)^{\text{ésima}}$ coluna da matriz de verificação de paridade for 1, onde $j = 0, 1, 2, 3, \dots, k_{ldpc}/M - 1$,

acumular os bits de informação $(M-1)$ restantes $m = jM + 1, jM + 2, jM + 3, \dots, (j + 1)M - 1$ do $j^{\text{ésimo}}$ grupo nos acumuladores de bit de paridade de acordo com $\{x + m \bmod M * q\} \bmod (n_{ldpc} - k_{ldpc})$, em que x denota o endereço do acumulador de bit de paridade correspondendo ao primeiro bit, jM , no grupo, e $q = \frac{n_{ldpc} - k_{ldpc}}{M}$ é uma constante dependente da taxa de código, em que n_{ldpc} é um comprimento do bloco LDPC codificado, e k_{ldpc} é um comprimento do bloco LDPC não codificado, e

depois que todos os bits de informação são esgotados, rea-

lizar operações, iniciando com $i = 1$ de acordo a,

$$p_M = p_M \oplus p_0$$

$$p_{2M} = p_{2M} \oplus p_M$$

$$p_{3M} = p_{3M} \oplus p_{2M}$$

$$\begin{array}{ccc} \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \end{array}$$

$$p_{n_{idpc} - k_{idpc} - M} = p_{n_{idpc} - k_{idpc} - M} \oplus p_{n_{idpc} - k_{idpc} - 2M}$$

$$p_1 = p_1 \oplus p_{n_{idpc} - k_{idpc} - M}$$

$$p_{M+1} = p_{M+1} \oplus p_1$$

$$p_{2M+1} = p_{2M+1} \oplus p_{M+1}$$

$$\begin{array}{ccc} \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \end{array}$$

$$\begin{aligned} p_{n_{idpc} - k_{idpc} - M + 1} \\ = p_{n_{idpc} - k_{idpc} - M + 1} \oplus p_{n_{idpc} - k_{idpc} - 2M + 1} \end{aligned}$$

$$p_2 = p_2 \oplus p_{n_{idpc} - k_{idpc} - M + 1}$$

$$p_{M+2} = p_{M+2} \oplus p_2$$

$$p_{2M+2} = p_{2M+2} \oplus p_{M+2}$$

$$\begin{array}{ccc} \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \end{array}$$

$$\begin{aligned} p_{n_{idpc} - k_{idpc} - M + 2} \\ = p_{n_{idpc} - k_{idpc} - M + 2} \oplus p_{n_{idpc} - k_{idpc} - 2M + 2} \end{aligned}$$

$$p_3 = p_3 \oplus p_{n_{idpc} - k_{idpc} - M + 2}$$

$$p_{M+3} = p_{M+3} \oplus p_3$$

$$p_{2M+3} = p_{2M+3} \oplus p_{M+3}$$

$$\begin{array}{ccc} \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \end{array}$$

$$\begin{aligned} p_{n_{idpc} - k_{idpc} - M + 3} \\ = p_{n_{idpc} - k_{idpc} - M + 3} \oplus p_{n_{idpc} - k_{idpc} - 2M + 3} \end{aligned}$$

$$\begin{array}{ccc} \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot \end{array}$$

$$p_{M-1} = p_{M-1} \oplus p_{n_{idpc} - k_{idpc} - 2}$$

$$p_{2M-1} = p_{2M-1} \oplus p_{M-1}$$

$$\begin{aligned}
 p_{3M-1} &= p_{3M-1} \oplus p_{2M-1} \\
 \vdots & \\
 \vdots & \\
 \vdots & \\
 p_{n_{ldpc} - k_{ldpc} - 1} &= p_{n_{ldpc} - k_{ldpc} - 1} \oplus p_{n_{ldpc} - k_{ldpc} - M - 1}
 \end{aligned}$$

em que o conteúdo final de $p_i, i = 0, 1, \dots, (n_{ldpc} - k_{ldpc} - 1)$ é igual ao bit de paridade p_i .

9. Aparelho, de acordo com a reivindicação 8, **caracterizado pelo** fato de que $M = 360$ e o tamanho de bloco codificado n_{ldpc} é 64800, as taxas de código são 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 e 9/10, respectivamente.

10. Aparelho, de acordo com a reivindicação 8, **caracterizado pelo** fato de que compreende ainda:

um transmissor Bose Chaudhuri Hocquenghem (BCH) configurado para codificar um sinal de entrada utilizando códigos BCH, em que o sinal LDPC codificado de saída correspondente ao sinal de entrada representa um código de tendo um código BCH externo e um código LDPC interno.

11. Aparelho, de acordo com a reivindicação 8, **caracterizado pelo** fato de que compreende ainda:

um intercalador (211) configurado para intercalar a saída LDPC codificada; e

um modulador (205) configurado para modular o sinal LDPC codificado intercalado com base em esquema de modulação 8-PSK (Modulação de Deslocamento de Fase) ou 16-APSK (Modulação de Deslocamento de Fase e Amplitude),

em que o intercalador (211) é configurado para escrever o sinal codificado LDPC em forma de coluna e ler um sinal codificado LDPC de saída intercalado em forma de linha, da esquerda para a direita, e em que um esquema de modulação 8-PSK é usado para uma taxa de código de 3/5, o sinal codificado LDPC de saída intercalado é

lido da direita para a esquerda.

12. Aparelho, de acordo com a reivindicação 8, **caracterizado pelo** fato de que a informação tabular representando a matriz de verificação de paridade estruturada compreende uma das Tabelas 25 a 35 (abaixo), em que os índices de fileira de 1's no índice de coluna $j * M$, ($j = 0, 1, 2, 3, \dots, k_{idpc}/360 - 1$) da matriz de verificação de paridade são dados na $j^{\text{ésima}}$ fileira de acordo com a uma Tabela, e em que k_{idpc} está associado a um comprimento dos fluxos de bit;

Tabela 25: Endereço de Acumuladores de Bit de Paridade (Taxa 9/10 – Tamanho de Bloco Codificado 64800)
853 2958 3632 4515
1434 4116 4989 5634
956 4019 4864 5826
2532 4509 5262 6167
739 1530 4498 5247
3702 4931 5465 6270
1120 2178 3845 5151
860 1124 3462 5411
369 3339 4144 4846
122 2027 3691 5416
262 1354 2338 4093
1573 1950 2733 3244
540 4585 6053 6153
1500 2589 3263 5842
126 535 2167 2851
450 1639 2380 3010
2123 3229 5049 5772
234 1833 3121 6332
3837 5603 6118
1508 3146 3403
233 447 2661
407 1040 6302
1453 4073 6091
2498 3347 6253
2019 3356 4664
753 1184 4888
882 2521 3870
476 2255 2523
3997 4593 5914
1455 2130 2958

84 4217 4371
1407 3850 4794
160 2118 6164
2949 4691 5226
1111 5043 5621
2186 5370 5596
3093 5233 6382
340 3265 5540
278 1666 1883
154 1203 3583
1946 3000 6258
2010 3644 5852
1546 2436 5506
765 3582 4362
1566 2642 5023
1120 4415 6217
1274 4777 5663
2607 4905 5329
429 741 2271
419 2861 3227
595 4276 4577
855 4269 5322
2182 3654 5979
3710 4137 5946
875 4259 5751
305 2387 6465
1039 2552 4422
473 1567 2876
86 433 6038
771 2242 4226
2298 4312 5160
151 1104 5223
584 4865 6443
1351 2789 5736
1104 4867 5210
1551 3806 4771
5682 6074 6155
1678 4509 5883
2934 3723 4530
2155 3451 3623
2012 2913 3395
2081 3019 3550
269 604 1918
2397 2735 3571

247 1410 4047
788 1906 4585
2993 3783 5318
2392 3527 4509
1829 4402 5626
796 3206 5660
406 812 3768
3663 4160 5625
3042 4219 4996
1176 2485 4699
271 360 4695
1415 3372 5921
5159 6118 6466
1699 2861 6151
1581 5066 6060
1482 2649 6313
2270 3658 6419
550 2114 3514
415 5165 5735
2775 3277 5182
1622 2345 3570
2865 3643 4519
2632 3685 4527
2226 3972 5927
1311 5722 6001
1602 4026 6106
3009 5053 5448
813 1800 2910
1551 2026 3139
517 1223 4953
0 4828 6461
1132 4040 6223
274 745 4778
319 807 4625
1745 1977 5221
296 1451 6474
607 4594 6054
2034 2210 3466
1701 3223 5633
3605 4513 4818
3209 4817 5696
1063 1404 4558
1015 2736 4760
3199 3921 5773

162 871 2135
71 5698 6079
4010 5377 6332
367 3524 5046
2345 2666 3410
2505 2523 3646
1425 4183 6203
459 1102 4163
229 1479 5965
197 671 2247
2221 5136 5542
1092 3353 6170
3140 3789 5437
382 1455 3090
815 4661 6000
2845 4675 6184
2412 2802 5612
1452 4546 6320
2628 2888 5147
362 3915 5810
3442 3666 4755
2054 4036 5025
305 3562 4123
4106 4836 5096
796 1152 2096
958 1329 2122
4439 5432 5802
1689 2298 3816
45 3141 3295
3912 5161 5712
1440 2996 6050
2533 3702 4119
4193 5468 5890
129 1298 4574
3187 3438 4264
1085 1892 4442
457 2552 3594
1340 2466 2781
160 659 2182
641 1612 1826
1063 5226 6345
2011 4735 5207
853 4933 6426
966 4754 6250

Tabela 26: Endereço de Acumuladores de Bit de Paridade (Taxa 8/9-
Tamanho de Bloco Codificado 64800)

2049 2756 3671 5395
2062 4593 6161 6519
3594 3660 5409 6024
4566 5595 5783 7088
2197 4281 6587 7010
2107 2430 3117 5274
2090 3237 3762 3961
1606 2603 6401 6537
309 1180 1760 3760
126 1009 5264 5809
300 558 2285 2525
3021 5282 5418 6419
2923 3450 6423 6635
0 1408 2588 4524
582 2368 4008 5411
957 1214 1503 6914
1321 3344 4555 4994
998 1792 4319 4966
519 4925 5921 7124
534 873 3499 4697
578 945 4712 6370
1890 2785 5021 6703
68 3981 5697 6062
354 1841 2857 3267
350 2675 4109 6496
396 4311 4365 5334
5100 5520 6718 6953
1670 2251 2968 4645
1438 2267 3362 3781
840 4252 4440 4835
2117 2756 3263 6959
2397 4592 4930 6336
180 1834 2941 5811
1075 1265 3295 5046
371 949 1704 3804
712 2402 6678 7163
2996 5227 5939 6174
1314 3045 6029 6180
1357 1588 3946 5524
1619 3630 5642 7165
523 1284 5809 6374
1037 2350 3499 5006
450 754 3228 5304
61 1511 3994 5371
5008 5057 5920 7067

872 5505 6243 7060
1950 4250 5059 6284
1530 2449 3873 5981
3594 3941 3993 4476
107121002959 4081
1408 1503 3668 5595
62 4403 4904 6819
248 650 4973 6699
1177 3464 4504 5642
6 1346 3086 5537
2525 4542 6832 6995
2044 2426 2980 6815
1641 2695 3699 6351
2480 2723 6032 6942
562 2056 2600 3465
3112303 4701
112 5234 5635
530 1388 4324
2156 4941 6375
1339 2518 6760
2549 3803 6776
975 2190 3459
1270 2712 6091
2633 4075 4591
71 7 6263 6666
3794 4948 5802
852 1759 5613
1440 5404 7008
2904 3916 4213
3488 5772 6874
212 2011 6308
923 1557 2032
3060 4041 5161
3026 4568 7013
370 3262 5202
1896 6264 7194
3276 4049 5925
79 550 1582
4867 5376 6999
2703 3553 6995
827 2135 2502
325 4289 5840
1194 3917 4961
3327 4281 5699
1756 2340 2602
1487 2239 4541
202 719 5449
2560 2886 4884
459 5990 6597

742 2046 3944
976 4567 5244
2933 4619 5259
3805 5495 6748
1398 6213 6480
1343 3228 6435
4830 6779 7088
1327 1676 5259
340 488 1702
2811 3854 5534
30 1837 5582
579 785 3869
2899 3333 3628
785 2657 4541
971 2749 6480
597 4445 5355
299 1437 2441
2085 4247 6375
1145 4488 6912
1833 3292 4959
3963 6561 7162
2443 3112 4950
1670 3499 4106
5338 6060 6278
3220 5837 6120
2292 5674 6110
352 2557 7127
655 1431 3892
950 3789 5468
2165 5720 6598
367 2196 7138
4333 5153 6322
1579 2361 4996
1325 2123 5720
317 1513 4311
1286 1693 4722
3066 5803 6995
2888 5376 6535
1875 2817 6013
2553 4671 6228
961 1839 4361
4104 5800 6762
233 3178 4110
800 3507 4766
3539 3669 5388
585 3512 6134
1666 4308 5458
112 4239 6625
110 3973 5250

3298 4395 6336
 2354 3379 3711
 210 459 1563
 2426 3198 6308
 1786 3216 6566
 586 2233 6149
 3278 3784 4918
 1167 1843 6728
 1411 3084 4696
 1165 2050 4655
 2147 5642 5955
 2827 4333 5671
 1021 5092 5872
 620 768 6058
 2583 5111 6915
 3860 4766 7032
 876 2834 7114

Tabela 27: Endereço de Acumuladores de Bit de Paridade (Taxa 5/6 – Tamanho de Bloco Codificado 64800)

214 1287 3599 6203 6732 8430 9194 9395 9980
 1994 2299 4496 4929 5365 5467 5843 6676 8669
 2304 2633 3344 4927 5414 6989 7952 9334 9950
 1189 1789 2261 2650 3036 4827 6167 7373 9965
 992 1133 2522 3853 4977 5278 7483 8206 9230
 53 3258 3647 6282 7168 7432 7961 10198 10799
 549 1014 1300 4660 4859 7493 7834 8428 10330
 435 1379 2897 3293 6178 7642 8384 8661 9720
 1844 2609 3924 4101 4912 5290 8307 9089 9411
 32 3899 4047 4952 5210 7160 7800 7944 10479
 501 1282 1612 5682 6026 8191 9819 10430 10516
 556 4506 5254 5500 7675 8450 9389 10255 10701
 1723 4051 5530 6927 7833 8298 9041 10424 10643
 188 1424 2420 3365 5047 6245 6615 7521 8232
 265 1072 1787 2257 4495 5961 6198 9058 9402
 236 1138 1815 2696 3214 5306 6634 8592 10173
 529 1184 3160 5116 5730 6119 6497 8182 8536
 43 922 1479 3406 3836 4130 8455 10196 10528
 692 5108 5734 6146 8897 9105 9662 9961 10742
 632 3323 4475 5450 7253 8169 9288 9731 10628
 4 936 1597 3475 4654 4998 5410 6786 8141
 18 424 2199 3817 5917 6701 6847 9168 9436
 1669 1947 4208 5007 5857 7067 7850 8740 10008
 1951 2758 3548 3619 6060 7068 7628 8800 10408
 1606 1858 3799 4297 4433 6323 9927 10420 10647
 741 2877 3077 3893 5825 6438 7156 7234 9368

2737 3159 4054 5831 6498 7157 7276 7571 8910
376 908 1908 2462 3031 3988 4464 7283 8778
987 1902 2379 2543 2951 4319 7857 8643 9520
966 1719 2014 2473 3225 4552 6774 8760 9544
5031 6470 10479
5483 7147 8908
2987 4043 9531
2490 3786 8463
2641 3703 8786
342 4576 8364
2894 5906 7978
2212 2892 3662
30 1264 6077
5087 6982 8946
699 5800 10701
627 4350 7062
747 2198 4497
1539 8017 9640
2146 6630 10573
60 4159 6739
428 5711 9203
6650 9315 10101
5298 7993 10192
2031 2726 8602
1553 6178 9771
1964 5248 5667
745 6339 9929
1088 3316 9783
880 7367 9536
4840 7763 9250
3429 7754 10209
2690 4781 7598
1422 4058 7546
1441 3387 7262
3064 3941 4027
1166 2919 4966
214 1688 6563
4848 7445 8724
1085 8334 9687
7210 8968 10531
1380 1992 3748
7145 8003 10575
4408 8357 9875
278 3029 3784

277 2495 8171
5166 6104 8529
4799 5228 9084
5391 5830 9757
3315 5989 6217
3276 5475 9632
7014 9320 10243
823 8272 10248
783 7690 9959
2816 3970 8732
2794 4387 6479
3324 6192 7225
1701 4453 5609
810 9036 10384
637 6817 7056
2303 2754 10582
1793 2269 7771
2105 4256 5584
702 2057 7844
692 6581 9446
2820 6317 8314
958 1639 6298
2814 3558 7028
4275 5027 5715
6036 7021 9687
4642 5440 6751
3192 3867 4810
992 5736 8424
1756 6605 9514
1819 4087 4950
2113 7082 9867
1763 3762 4068
4360 8056 9032
656 5807 8379
3064 4655 8930
2877 3320 9505
1255 9232 9761
3708 5287 9219
2182 6351 8801
968 6048 8826
1867 7725 9908
2935 7539 8128
323 607 10701
83 3287 5241

352 6761 10091
 1140 5277 10408
 655 7334 10660
 1278 7271 8113
 2515 7564 10307
 2183 7827 10788
 739 6672 7442
 2430 8693 9658
 211 788 10694
 1188 6340 10064
 3273 6890 9455
 5164 8796 9938
 619 1487 9872
 577 6316 9134
 2929 4828 5650
 3536 7557 8995
 1445 6562 7647
 3770 5525 7910
 3883 4543 9429
 248 4857 10091
 768 1997 2820
 2180 2996 8401
 2239 3521 6476
 3987 4687 10188
 90 6658 8634
 1100 3621 3977
 3969 7344 10605
 1473 7069 10558
 2917 5784 8427
 1816 5508 8015
 2823 7668 9330
 428 2534 6106
 1431 1909 4632
 4542 5877 10409
 5075 8151 9244
 5127 7046 8018

Tabela 28: Endereço de Acumuladores de Bit de Paridade (Taxa 4/5 – Tamanho de Bloco Codificado 64800)

1817 3054 3488 3751 6890 9140 10502 11378 11868 12275 12936
 89 1422 2236 4571 7578 7924 8512 9841 11152 11710 12163
 1594 1810 5237 5879 8395 8758 9026 9510 10850 11269 12504
 95 2174 3644 6691 7843 8008 8793 9672 9822 10706 11883
 476 913 1307 4253 4779 7094 7769 8067 1178112260 12888
 468 1587 2359 2574 3003 4914 5729 6998 8109 10577 12728

63 955 3518 4330 4813 6145 6717 8288 11362 12139 12398
3574 5338 5719 6564 7926 9411 9738 10573 11384 12585 12653
80 1484 3563 3641 5022 8702 9886 10212 11794 12028 12872
437 982 4635 5280 5971 6780 9604 10377 10863 11315 12260
2194 3066 3302 3898 4234 5128 5486 7405 10533 12046 12837
46 1156 2937 4281 4490 5381 5479 6007 6387 9396 11775
188 2285 3734 4624 6268 6829 7001 8405 10446 12400 12783
346 668 925 4282 5327 7520 7817 9313 10570 11825 11996
1467 2279 3713 4516 5065 6797 7107 8644 9652 10181 12218
1578 3175 3572 3728 6761 7874 8342 10059 10108 11367 11823
980 2624 4486 4915 5812 6862 7858 9215 10201 10922 11261
1268 1932 2258 3530 4265 6280 6919 7770 8412 10225 10875
1616 2859 9569
640 1570 6438
1087 2148 7242
1103 3185 10259
375 1316 8620
998 9881 10833
807 2869 9225
4067 6069 9030
2052 2650 10005
3972 5589 7258
5823 8891 9002
4846 6300 8921
5721 8655 10955
2046 3235 8170
698 2007 8170
2859 5824 7244
2550 5723 7215
4847 6343 7305
2105 6124 11240
1124 1938 3181
6289 6924 10699
1686 8088 12123
3064 10067 11948
6393 7637 9716
3215 9559 10253
3615 8261 12704
3857 5906 12451
6657 8720 10939
331 2123 7912
623 6582 12185
4308 5148 7350
474 4404 7275

8141 8758 12871
1452 5399 11009
2705 10291 10869
856 2785 12538
1254 3656 6705
1332 7476 11775
2496 5237 12796
830 8732 9436
4501 9115 11855
747 2833 10559
4825 9111 10709
3322 4838 7631
3334 5714 8624
1625 2248 10401
2220 9932 11602
153 4580 12491
6877 9144 9766
3275 4178 11366
4784 6097 7097
4223 5572 8471
329 5500 8464
409 6085 11403
976 4542 12885
1314 7136 9557
876 3109 10866
5194 5950 12311
1729 1990 4996
5868 9658 11497
2492 3252 4058
3266 5373 11134
1518 9489 11357
1319 2447 7169
2443 9842 12756
6948 8482 10132
5548 10188 11787
5055 7735 8385
399 7891 10182
2872 5928 11928
8103 8467 11981
333 11709 12110
1778 5003 10559
4284 6383 12297
1384 7374 11087
3119 3240 8171

1057 11199 12906
5564 8692 12291
8086 8824 11655
4431 5009 7525
2024 2709 7894
7349 8668 10028
143 9918 10502
136 3778 4492
715 4125 6553
3704 6505 10477
3836 5737 6592
2652 6152 9059
1985 3081 9000
611 6229 9123
5299 5444 9951
2537 9840 10862
2410 10471 11971
10221 11129 11718
9313 11077 12924
4733 6403 8554
3461 7033 10336
4815 6292 11823
5173 6984 7388
1728 3079 7734
242 2085 3327
2018 3217 9375
7067 10017 12906
3270 8294 11412
7757 12061 12664
3172 8248 12497
523 3999 4708
5994 8202 8401
498 4083 11935
4557 5092 6119
871 1887 12341
4612 7572 8164
2333 8759 11268
4449 9350 10409
6610 8814 10553
2219 6761 9503
1041 1336 1635
2607 4127 12437
640 1047 6570
1246 1558 2530

5689 6006 11652
 1141 6211 9170
 91 7545 8808
 3618 7244 10595
 292 3726 11289
 3855 5480 9570

Tabela 29: Endereço de Acumuladores de Bit de Paridade (Taxa 3/4 – Tamanho de Bloco Codificado 64800)

1463115154	1760	5736	6289	7119	10593	11012	11496	12025	13422
16050	164	1100	2695	3317	3653	4302	7667	11415	11619
15611	1798	409164497366	767110967	12595	13629	13966	14443	15223	
14768	257	3408	3732	4255	6895	7345	7743	8849	9020
16033	70	1455	2981	3365	4050	5044	6202	10072	10204
15245	3442	3685	3992	4326	4898	6793	8840	10582	14008
15856	2719	2917	3500	7784	7966	9057	9474	10303	13882
14361	358	1409	4373	6036	6255	7719	8372	9901	11377
13859	1310	2865	3153	3872	5675	8007	8333	10705	12144
15124	856	3445	3922	5407	6218	7163	7747	8997	10762
14267	891	1579	1912	2609	5373	5670	7097	9162	9678
15773	625	1387	3199	5183	662189849526	10345	11699	12574	14743
	1742	1987	23914667	6117	7258	8405	9868	12463	1299413483
	358	594	1887	2555	8155	9537	9885	10328	12711
	860	2486	2800	4768	5233	6000	6722	7266	9136
	498	5911	8999						
	5609	11076	12022						
	2133	9167	15546						
	8543	12322	15688						
	3797	10622	12643						
	5701	9273	13284						
	2080	6582	13468						
	2213	7188	14413						
	661	1020	15912						
	811	10657	13443						

4141 8200 14159
4339 12968 14909
8170 12226 13434
1073 2241 13160
1128 1835 6989
2931 12449 14377
153 2987 11746
687 11918 15905
5921 9434 11859
2516 5393 11701
1329 12412 14801
5762 7932 8496
702 2276 6428
4360 8416 8830
4849 11516 15858
1666 4913 15031
5088 7537 10862
4535 4923 7243
4802 6622 11323
6523 11319 12635
6176 11036 14971
3326 3995 12286
1763 2765 5759
4840 7736 13622
13588 14213 15892
3018 4027 12553
3025 5092 11688
4289 6084 10428
2367 7460 11358
6209 7415 8678
1617 4863 10623
8931 10797 13847
7259 8904 14244
1409 11923 12890
6304 12408 13132
41 7821 13459
6022 10056 13846
8363 11395 16119
7065 15388 15794
5891 8064 11461
5695 9159 15426
2329 4675 16050
2041 12119 15695
5499 9713 15791

655 10137 11619
1896 4703 14660
5204 6886 10810
5133 10666 13767
2828 3812 11725
10934 14068 14604
2360 9460 14878
8060 9050 12993
303 14652 14887
6859 8555 15203
3667 7971 9209
3906 6498 11984
2997 9700 12935
115 7751 8359
2058 3573 10188
648 1315 13058
602 9890 12654
988 1778 9843
2564 3529 6744
972 4602 6484
807 1302 4343
4196 6634 13931
5962 12749 15238
9661 11863 15553
5675 11586 15637
1167 12382 13040
7 5049 9141
8139 9994 11767
3401 7610 13054
541 8910 13153
5173 8362 14231
3018 6572 10557
5245 8559 16096
663 1594 12876
3325 4490 12417
2573 14222 16104
2466 3120 13939
2240 4656 15279
717 3102 12604
734 4505 14156
1152 1815 5691
1126 12352 15553
3594 10949 11900
2275 6381 10326

99 10188 13327
 2655 14519 15909
 991 1850 12173
 7052 10172 13789
 6056 6395 15366
 3907 6202 12054
 4804 11472 13436
 7146 7900 14798
 3674 8102 9375
 4077 7423 11380
 306 11199 14687
 2879 7603 14956
 1569 3781 9492
 1663 6808 14985
 4897 5766 10659
 4086 7472 7992
 4868 9749 13476
 7079 8892 14719
 2029 8392 8642
 949 9330 10964
 9296 10742 11015
 5686 7483 9968

Tabela 30: Endereço de Acumuladores de Bit de Paridade (Taxa 2/3 – Tamanho de Bloco Codificado 64800)

186 2705 11911 14746 14866 19054 20583
 589 2493 5010 12476 14348 15395 19934
 3080 4591781910713 18428 18772 20882
 2768 4190 4529 5656 7331 18496 20932
 2339 3987 5445 651115705 16316 16766
 1295 2179 11422 12912 13250 18457 20138
 4303 6701 8649 11078 11809 14451 17240
 3942 7841 8254 8668 9925 18788 19387
 1418 9303 10257 14548 15808 17149 20716
 777 6711 10002 10711 12550 17952 18446
 1581 2148 5630 6397 8165 15108 16517
 1173 1911 4755 8232 11675 12224 14445
 2573 5706 7295 13171 13467 15691 20519
 544 3371 3803 9894 10663 13295 17349
 2903 9162 11813 12604 13528 15554 16639
 1885 10990 12657 13183 13956 15403 17674
 4435 5234 7142 8315 16582 17274 17470
 945 2640 5938 6344 7639 10356 19633
 3557 4866 9995 18249 19954 20391 21054
 603 2541 4772 5153 7110 7471 8080

1765 4778 10022 11673 12545 17802 19483
980 1173 4386 9288 15145 17227 20934
200 3139 5585 6068 11242 13092 19481
6282 7238 7979 10200 14602 17038 20545
8869 10185 10856 11403 13791 15670 19237
3489 6615 11829 14125 16528 17782 20100
632 1062 4084 7445 9718 18831 21283
3541 3991 10093 16067 19007 19373 20621
3384 6000 6869 8715 10800 11910 16145
2052 8353 9453 11515 16036 18212 21519
6028 7063 7740
2917 5857 16345
5223 8453 11937
6444 9067 18083
9142 13670 20123
2370 5200 16404
823 1854 18333
6791 12202 18118
2373 10455 19524
1234 11042 11405
493 12359 19781
1448 14380 16865
5050 6343 21344
10604 14808 17544
8482 15289 18443
8993 16807 20689
1520 13400 14306
12731 14799 15930
12550 13324 14361
7113 14024 19136
3193 7614 12672
14982 17679 20412
4557 17527 20284
314 15256 20920
1516 9522 13718
3911 9656 13870
180 8572 15928
3848 9380 19334
186 20241 21301
3762 17533 21593
2500 8094 20116
4822 15317 17920
4883 7241 19226
1513 17294 18444

13197 14416 21397
6420 13981 14678
118 3981 8018
3655 8742 16735
1978 6412 15584
9679 12837 20027
15535 17421 21258
1206 16712 21219
2491 4233 6564
7971 10528 11712
10592 12847 16156
5295 13708 16655
6070 15542 17706
5712 5981 8432
1408 1968 2251
2617 3499 15856
15339 18614 18850
2724 4249 10874
3092 9614 11876
1048 10613 14312
5129 18541 19036
8603 11165 20068
938 1263 17272
7272 14649 15341
3111 14296 18913
8459 11613 17541
10334 10899 12365
396 4594 7000
7656 9120 10070
12079 13628 15008
16480 18347 19548
2082 20174 20525
3912 4927 12697
13030 13930 20406
5566 19268 20942
6576 11255 13410
152 17852 20802
1562 15044 17236
216 7491 13354
3128 6493 7054
1448 9525 17085
14307 15029 21560
5360 13103 21047
9305 9901 10103

3306 5451 7165
 709 12054 16399
 3800 4646 12177
 2824 3523 15961
 900 16239 19378
 6314 11295 19778
 10055 10113 12317
 4530 19691 20332
 10923 12532 18027
 644 7838 9011
 5932 8840 20595
 7870 8667 18005

Tabela 31: Endereço de Acumuladores de Bit de Paridade (Taxa 3/5 – Tamanho de Bloco Codificado 64800)

11321 12093 14740 17157 17595 20195 23259 24646
 11 2432 8805 10373 12516 15842 19698 24066
 135 2803 4080 10491 16241 16758 17748 19867
 2099 2993 10236 13026 13786 14200 17299 19957
 75 2778 6647 8553 10132 13861 23999 24170
 1658 3252 4357 6701 7187 13646 19015 25712
 2001 4424 10467 11353 12918 16937 21896 22829
 6358 7559 10402 14888 15995 17271 20484 22169
 2000 4467 7863 9989 14311 16241 23410 24873
 1361 3974 5222 10532 10984 17694 20378 25468
 1544 7077 10921 12059 19923 22020 24017 24988
 3513 14006 14377 16519 21006 21755 23229 25366
 15 1247 7113 8215 13179 21142 23839 25245
 5640 6141 7024 7418 10598 11979 12587 14298
 1945 6827 9994 11500 11888 17446 21492 25439
 7773 9202 9531 11080 15728 16419 18092 23716
 407 18370 18793 20991 21559 22401 23755 24267
 902 3720 4773 6030 11856 15252 19226 20853
 1761 4079 12622 13351 16895 19802 23716 25765
 1097 3637 6487 11788 12644 13436 17822 25663
 1140 2231 3054 5975 11667 12902 13310 23022
 4542 4795 15063 17421 17990 18608 21208 25716
 5957 8403 11533 16178 16590 19337 21936 22010
 939 5012 8468 11512 13595 18980 23151 25171
 5857 8639 12470 18486 18782 19268 20531 25158
 2945 5413 7244 12571 18305 18658 22658 23030
 8975 9144 9984 13118 15061 19436 20308 22959
 1462 7201 7652 9076 16674 18216 24160 24593
 2183 2870 8206 9391 15293 22608 23163 24181
 2498 4728 5065 8998 10844 15172 19603 21473

5105 8919 9457 15378 16040 17164 19450 22550
2858 3726 4027 8058 9458 13970 15544 22251
541 924 5642 6425 7937 14699 15484 21840
378 3495 7676 9280 14688 20727 21482 24745
9837 14747 14931 15632 18040 19755 20574 24585
588 857 3129 3258 3613 5087 5545 6154
8203 12127 12848
14077 15922 24447
2906 21236 22074
2092 4829 17082
4295 5675 18564
1681 15114 24211
341 12877 20467
323 17818 18380
9271 14655 22658
1471 13161 13320
289 8845 25307
533 15353 21423
3142 11533 20028
1933 3693 4375
7338 19500 21282
10422 11066 24968
1343 7027 18665
1356 7515 14602
6284 17691 20657
3297 10391 24693
11426 20934 23813
19342 19725 21530
10923 16535 23406
4889 24913 25283
5050 10818 12236
7074 19102 21017
5886 16748 25712
5584 6358 22353
10354 13346 15312
3375 9935 25495
4997 11522 15270
4468 18734 25869
9392 17056 22069
2236 7876 22925
4640 6011 8753
10020 21852 25599
7363 8030 24591
6288 6865 20673

4130 5835 19386
 3051 10706 20518
 3768 6484 23644
 15847 18340 20440
 2115 14190 18267
 14639 16843 19917
 10055 23506 24520
 6818 12446 15040
 1243 5642 22144
 3829 13321 13867
 10510 19526 22746
 628 15857 16637
 18343 20836 23351
 849 3411 22968
 9062 17694 18998
 6660 8542 13719
 2757 8726 11729
 8089 10673 20091
 1691 8446 21849
 9096 14789 21754
 14137 18816 22399
 893 2430 24423
 4109 13856 17456
 8280 12805 24063
 488 12106 12282
 2457 9509 15757
 9411 11511 16932
 11352 16346 23973
 5377 16529 24978
 782 5090 7808
 13317 15836 23080
 7847 12471 15669
 2543 13225 17284
 2661 17549 23285

Tabela 32: Endereço de Acumuladores de Bit de Paridade (Taxa 1/2 – Tamanho de Bloco Codificado 64800)

3111 10821 12690 21446 21936 22833 27169 29136 31422
 3864 732113358 1493117859 19350 22505 22724 29342
 1776 4735 5405 6757 10722 146712234426656 29357
 459 5147 14564 15500 22996 23742 25375 27615 30450
 39 2020 2938 7612 12329 15698 15902 25163 31344
 6647 8249 14871 15478 22091 23395 249712860631269
 2922 10356 13860 14238 22025 23586 26446 27232 31239
 5436 6084 8594 10547 12720 14591 16454 26434 32185

2710791710870117261275514599249582799628218
486 4934 5284 12406 14723 17460 23403 29725 30963
347 1169 3982 8271 8662 15028 18174 25459 31413
87613122565 742210788119311654118283 23574
90 7129 8288 10792 12326 19925 20242 23116 30201
6470 13138 14268 17835 200012031522200 25985 27855
1112 12000 12355 12793 13064 14036 28038 29518 30365
5814 8048 8312 9008 13571 16110 26199 31241 31486
3042 4178 5196 10280 14074 19558 24789 29667 31873
1454 5389 7107 7543 7862 16024 16626 17490 28242
2044 5054 10355 10824 11440 12775 15710 16297 27461
6029 9526 11735 22611 24555 26819 28137 28825 31324
1021 5580 6702 7823 18869 19850 21862 28725 29352
5706 6585 8712 11948 21714 26302 27152 27420 28364
2404 3906 4797 6227 8259 10754 14230 28897 30151
2240 9684 12342 15800 17252 19282 20858 23539 27301
4538 5033 5728 13970 16527 17614 19575 29978 32092
2354 7290 9783 13771 15981 22928 28083 30097 32322
135 2737 7742 9051 9599 16013 18075 24173 31256
1056 9731 11337 15201 21705 22111 22331 25134 27614
3390 11099 13353 18555 20915 23865 25697 29332 30761
3330 4535 16747 16939 18532 18954 20854 21064 21406
11022 12187 15275
3883 8843 22303
17714 21104 27550
3562 13705 20167
329 3338 16387
11592 18421 30914
6566 17134 26143
24607 26923 29562
4806 8465 15423
1088 30544 31855
1832 3806 27250
7337 20964 21323
18580 22620 29095
13386 21101 32396
13262 25229 30015
10150 12199 25755
3556 18602 30378
3905 8082 24259
17251 18773 24705
6133 8450 17854
1074 9896 26078
11372 23996 25612

9603 28654 29625
 4304 16791 20819
 3161 8835 24541
 15186 16924 27847
 8957 9805 26249
 13286 20209 30933
 10413 18729 29543
 5912 28899 30687
 2479 17644 20863
 1901 6239 9157
 1524 19166 25761
 6363 15526 19685
 14219 15047 20662
 15079 17594 19410
 25330 27868 32037
 793 7156 19618
 20323 21339 23201
 2358 5863 9534
 4079 9184 22987
 4490 16838 24186
 11175 11670 28552
 4137 18732 25266
 11812 19809 23870
 1430 9775 26754
 11447 18070 21285
 1686 4676 23221
 9096 25011 28651
 619 23154 26495
 1731 30544 30849
 24449 26990 32018
 2085 2668 19271
 612 4434 19612
 13258 13475 25651
 2546 16649 23874
 18224 23943 26533
 454 24290 32166
 7013 21848 31936
 7119 17485 20152

Tabela 33: Endereço de Acumuladores de Bit de Paridade (Taxa 2/5 – Tamanho de Bloco Codificado 64800)

37739	3297 6933 9162 10693 13628 16986 21668 24076 27719 34685 36422
32910	4652 4971701911188 11972 14893 22173 25272 30894 31959 32110

34721	33 2031 3088 5881 6560 7368 12348 15738 19440 25780 29541 36439 4838 5721 20883 21606 22567 22986 24682 25476 28059 28329 32101
33785	3910 5188 6809 7103 8947 15790 17739 20635 23085 25564 29622
37672	754 7097 11883 13104 26248 29038 30443 32405 34759 35136 37093
30158 35491	1707 16575 18649 19982 22302 22594 24413 24650 24863 27001
37362 38026	11590 14788 17345 18420 25603 26066 27769 29284 32938 34185
36747	1191 5551 6047 6440 7220 19670 23562 24767 28850 29605 34642
38303	73 3562 4812 5485 10606 17058 18823 19886 23862 33399 35836
33882	148 1992 5102 10987 15393 18180 20481 20736 26419 28466 31129
37164	1557 3055 3864 9232 16927 17532 20398 21135 23488 28675 37064
37935	2299 3015 7708 8554 10042 13328 18143 18530 19261 27909 34018
37945	847 3011 10137 10590 16671 18094 22798 23767 26705 28042 30499
30608 31698	7459 10256 13212 15953 18091 18994 19811 21830 24229 27062
37260	4291 7727 9723 11579 14429 17901 19968 21353 21669 24945 26048
35525 35984	8562 10389 14937 18581 19549 25603 26485 27174 27436 31927
36379	313 8332 10393 15540 17894 19646 23002 27585 29791 31986 34296
34407	1702 2421 2618 12062 16028 16335 16941 17977 29478 30317 31110
36959	2160 5891 12839 14343 19004 19409 21422 25504 26798 29009 31299
38195	4274 6690 11683 12511 16512 19286 21483 23227 23800 30618 34963
35802	4201 8747 9890 23136 23655 25057 28985 31586 33091 35202 35524
38784	672 8275 9499 11040 12791 13807 28193 30610 33814 35232 36151
	474 1284 2527 4342 6449 8196 9405 11420 13704 14180 14622 15412 2624 29511 30469 6464 9577 23494 5287 12022 37078 2430 27323 29341

11446 16533 21979
1515 4931 15026
14283 28529 37489
6187 8185 38253
3590 12342 38608
4265 24259 25368
4430 9081 33466
3617 35591 35696
6589 14391 19353
442 5510 29991
4540 9738 10838
3668 24706 26339
1068 34334 38759
9514 13852 14717
8103 28428 38419
32505 37656 38114
1273 15352 21066
731 16322 36602
1316 8670 31632
1883 13552 17631
21987 24366 34050
1975 7839 12747
5878 33159 36329
8921 14451 22488
15497 25044 36004
22413 28126 32363
7540 12285 14033
13658 16177 31025
33068 33557 38569
7758 10893 21031
11470 22993 34436
10747 13227 28666
11552 20439 30092
2727 9297 26837
399 26517 33759
3340 20692 36108
15419 20712 27403
13303 16716 23361
26065 32482 33457
8336 19015 20421
15940 17475 32359
12953 21349 30059
5348 16562 31348
26830 31400 32657

Tabela 34: Endereço de Acumuladores de Bit de Paridade (Taxa 1/3 – Tamanho de Bloco Codificado 64800)										
2157	7955	9237	12284	15020	21866	26422	34666	37352	37649	
40586	41640									
2448	14737	15550	16081	17094	17625	20941	25888	28556	30985	
37172	37835									
15	8525	11078	14053	16293	19293	24791	26407	27582	39222	
40665	42625									
1375	3933	17007	22218	26176	29045	33156	34027	35634		
36351	37899	38537								
38344	70152	34117	73122	41157	76227	50253	25317	25349	01379	42396
19										
13175	91100	89177	81280	87284	57291	29344	92348	39371	10638	744
40179										
436	13828	15551	17812	18220	19395	21501	21626	27152	27767	
38852	40888									
540	11011	11679	20209	21034	22605	25164	27269	29337	30522	
31373	36883									
2543	3173	7364	8241	9312	9758	17052	17964	30221	31992	34465
38515										
5215	5805	11147	12748	21633	22899	23290	23728	24307	33389	
36827	40040									
6286	10490	11914	13545	20483	26178	27262	30138	32686	33700	
39563	42394									
467	1041	2435	11535	12476	13551	18023	18376	23405	30912	
35507	42404									
2199	3140	7331	8280	10562	12024	25005	25275	29030	30212	36319
38314										
2154	6304	7076	8838	9473	20932	23170	26489	28564	32024	42165
42929										
1799	3518	5196	8564	9091	11222	12922	23435	24958	26673	36880
40908										
7283	8671	12840	14171	17366	20117	26736	30930	33455	40993	
41143	42874									
296	4975	5566	8182	8757	9456	28414	29216	34949	38307	40102
43111										
6916	7794	10169	14680	15377	15966	20826	21311	22927	32352	
39039	42681									
976	1259	1729	2864	5589	10515	13418	16261	20645	29477	31036
32960										
4158	4535	6826	13129	16597	18952	19609	23900	29625	35992	
36644	42109									
3832	31315	35811								
14289	33747	34952								
3565	5878	27411								
1024	26178	41783								

18863 27617 35897
 18834 30626 36715
 10201 34187 41196
 7800 19919 34976
 3510 26951 32912
 24819 25731 29630
 2703 25366 32046
 23853 25668 32622
 4294 16030 37743
 9417 12037 18132
 6190 16478 29644
 11516 23198 36470
 1792 13080 20405
 5570 22207 23944
 7082 19308 32227
 14027 15050 32862
 9767 15020 34431
 3168 24560 37568
 4416 19904 21514
 4088 22431 28406
 16894 28072 38951
 4452 30580 41428
 4884 16851 33758
 6736 32730 39284
 6101 39673 41788
 13079 39346 41111
 11346 15217 33923
 20796 22368 36184
 14741 30445 40480
 13894 17431 27939
 35318 39772 41661
 18691 19729 24200
 15454 31656 42660
 1386 6793 24331
 9893 22002 31360
 2069 18590 19794

Tabela 35: Endereço de Acumuladores de Bit de Paridade (Taxa 1/4 – Tamanho de Bloco Codificado 64800)

407 1429 6319 18004 18662 20568 23535 24031 28882 36124
 38892 41880
 4223 5536 10333 16475 20735 20954 25347 26862 32235 36257
 42827 48304
 8161 11446 13040 13661 19722 24632 27008 29029 32746 40449
 42030 45883

9899 12505 13916 18635 22605 25914 32903 39146 39661 40372
44350 45823
8074 11266 13787 15452 21319 25518 25892 26799 40269 41320
41665 48438
1489 8464 9203 15278 16613 18235 26387 29744 31948 32293
35378 46447
122 1365 4344 7853 8453 24475 25034 28298 28718 35347 36473
40014
2485 4555 12437 18736 20994 23449 30387 33800 35867 36980
43101 46693
1654 3284 5191 11122 13092 16366 22522 22933 28511 29977
37120 38428
2362 6555 10708 12679 14474 20301 22230 29510 38500 39610
43175 48173
3678 5189 17724 19148 26279 27265 30034 33819 37195 42327
46261 47137
572 4115 7440 9690 11879 14861 15577 22163 32927 43761 46260
46925
3504 9628 10218 10694 11795 20016 23062 24390 31075 31419
33120 43388
1065 1994 2867 3148 5022 6019 7191 8667 12009 14190 16097
17095
17594 21917 27700 27977 30813 33953 34373 34911 35152 37725
38153 38708
7292 31185 42413
2710 25038 27784
35910 36713 48159
24092 36740 38594
6108 10842 34900
14373 16000 24603
1065 17856 27441
3072 33982 43211
210 14879 19713
6222 16708 31602
15679 22926 29610
18859 32651 37802
2010 5677 21606
19985 35082 47221
6656 37684 44496
12919 14510 42727
13439 21553 47800
9340 40814 43721
6892 8839 31686
11896 34323 47500
26624 33369 44968
20262 26137 43948

3892 9900 29429
4740 39439 45622
39274 41553 47703
30819 41225 44970
7879 28439 45392
17023 17635 44279
30598 40951 45118
19335 23107 45091

13. Aparelho, de acordo com a reivindicação 12, **caracterizado pelo** fato de que $M = 360$ e o tamanho de bloco codificado n_{ldpc} é 64800, as taxas de código são 1/4, 1/3, 2/5, 1/2, 3/5, 2/3, 3/4, 4/5, 5/6, 8/9 e 9/10, respectivamente.

14. Aparelho, de acordo com a reivindicação 12, **caracterizado pelo** fato de que compreende ainda:

um transmissor Bose Chaudhuri Hocquenghem (BCH) configurado para codificar um sinal de entrada utilizando códigos BCH, em que o sinal LDPC codificado de saída correspondente ao sinal de entrada representa um código de tendo um código BCH externo e um código LDPC interno.

15. Aparelho, de acordo com a reivindicação 12, **caracterizado pelo** fato de que compreende ainda:

um intercalador (211) configurado para intercalar a saída LDPC codificada; e

um modulador (205) configurado para modular o sinal LDPC codificado intercalado com base em esquema de modulação 8-PSK (Modulação de Deslocamento de Fase) ou 16-APSK (Modulação de Deslocamento de Fase e Amplitude),

em que o intercalador (211) é configurado para escrever o sinal codificado LDPC em forma de coluna e ler um sinal codificado LDPC de saída intercalado em forma de linha, da esquerda para a direita, e em que um esquema de modulação 8-PSK é usado para uma taxa de código de 3/5, o sinal codificado LDPC de saída intercalado é lido da direita para a esquerda.

16. Método, de acordo com a reivindicação 4, **caracterizado pelo** fato de que compreende ainda:

codificação de um sinal de entrada de acordo com códigos Bose Chaudhuri Hocquenghem (BCH), em que o sinal codificado LDPC de saída correspondente ao sinal de entrada representa um código tendo um código BCH externo e um código LDPC interno.

17. Método, de acordo com a reivindicação 16, **caracterizado pelo** fato de que o número de bits BCH redundantes é $n_{BCH} - k_{BCH} = 192$ e a capacidade de correção de erros do código BCH é 12 bits.

18. Método, de acordo com a reivindicação 4, **caracterizado pelo** fato de que compreende ainda:

intercalar o sinal codificado LDPC de saída usando um intercalador (211); e

modular o sinal codificado LDPC intercalado com base em esquema de modulação 8-PSK (Modulação de Deslocamento de Fase) ou 16-APSK (Modulação de Deslocamento de Fase de Amplitude).,

em que a intercalação compreende escrever o sinal codificado LDPC dentro do intercalador (211) de tipo coluna e ler um sinal codificado de saída LDPC intercalado em linha, da esquerda para a direita, e

em que se um esquema de modulação 8-PSK é usado para uma taxa de código de 05/03, o sinal codificado de saída LDPC intercalado é lido da direita para a esquerda.

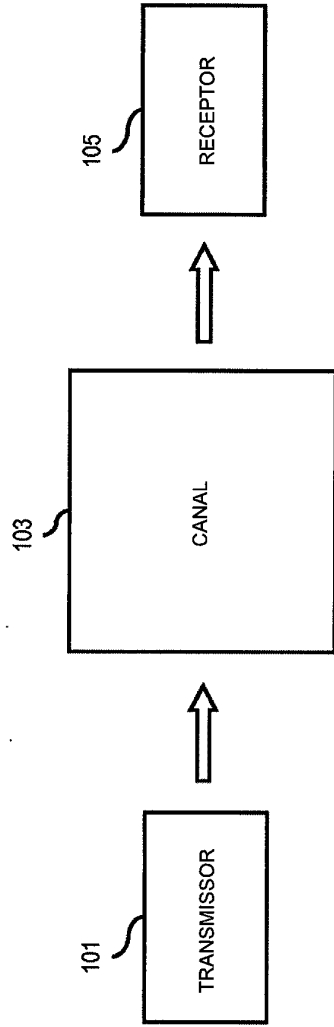


FIG. 1

100

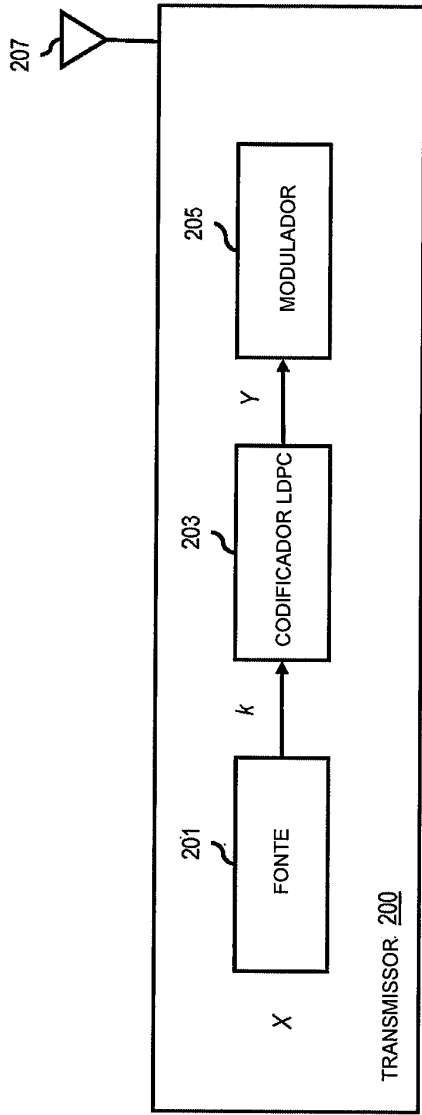


FIG. 2A

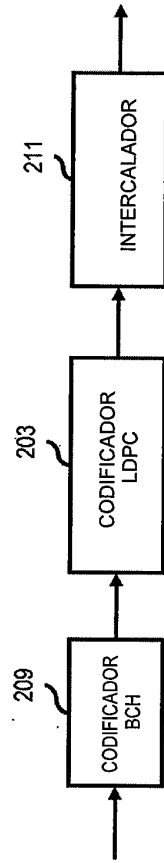


FIG. 2B

FIG. 2C

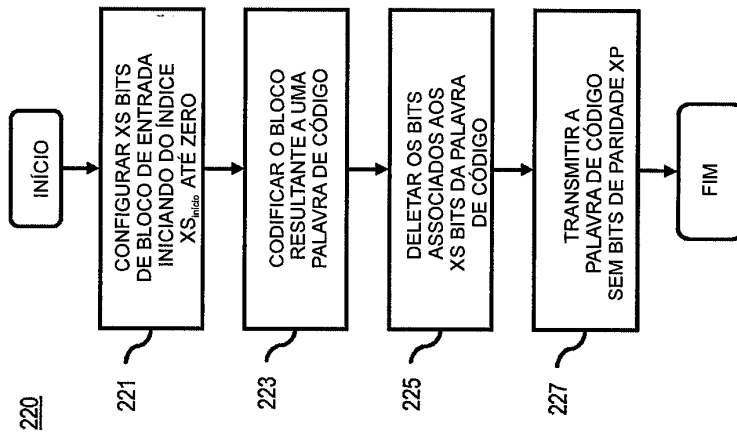
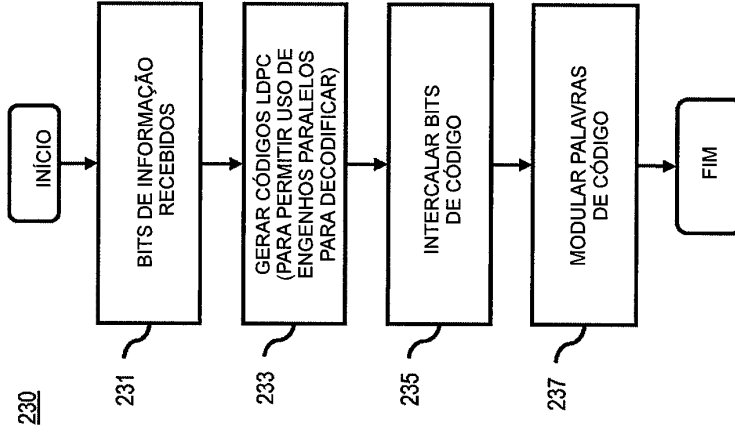


FIG. 2D



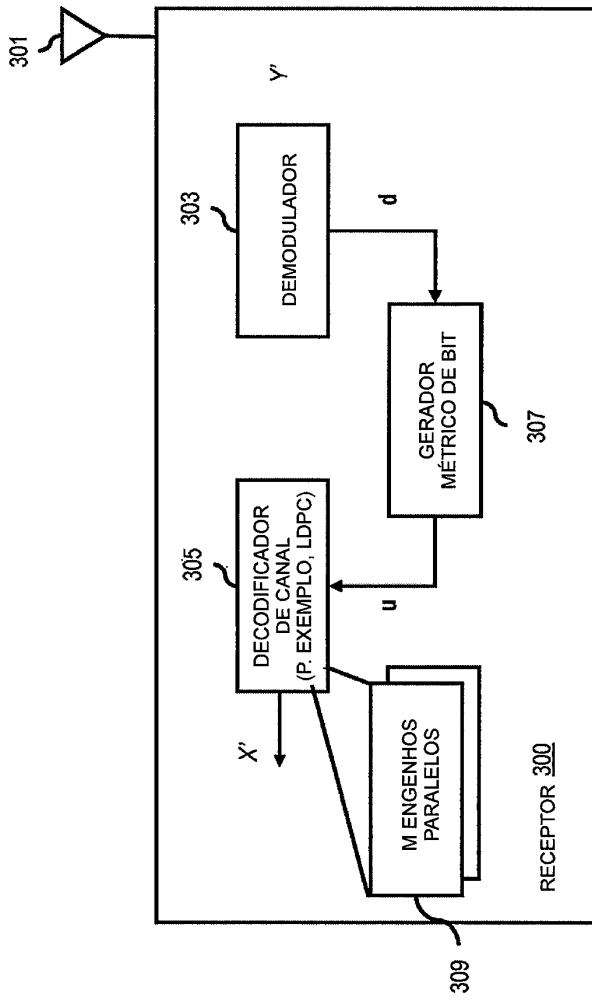


FIG. 3

FIG. 7A

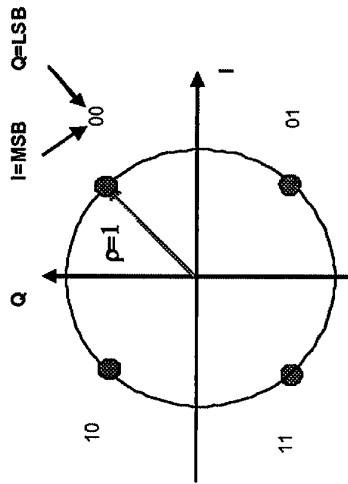


FIG. 7B

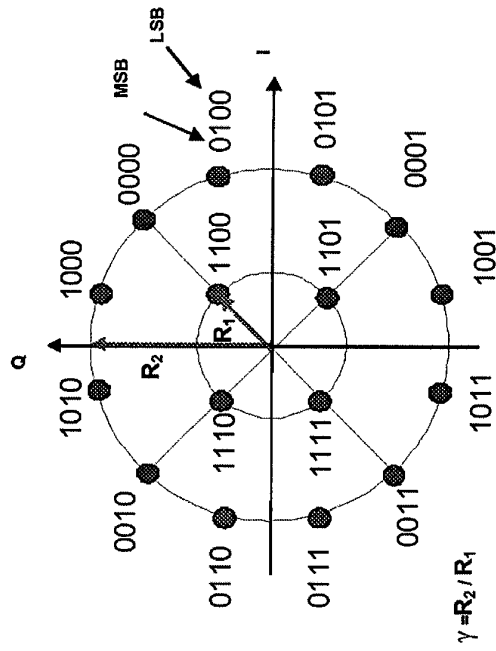
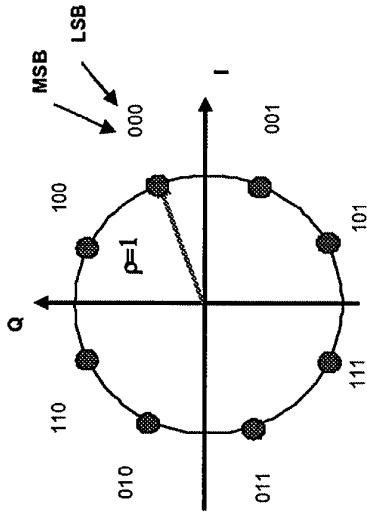


FIG. 7C

FIG. 8A

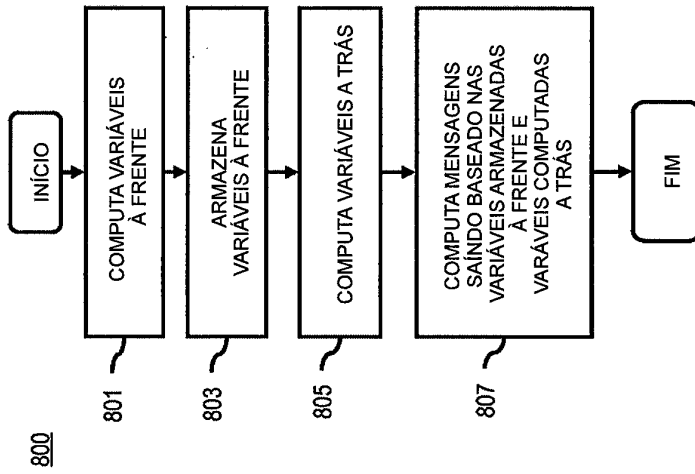
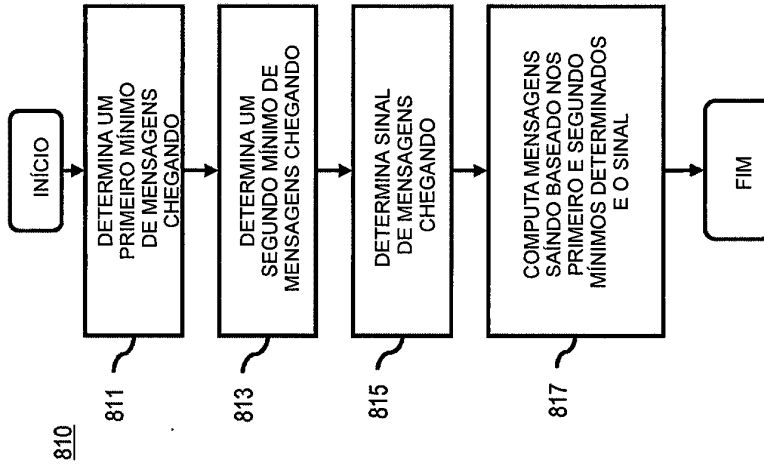


FIG. 8B



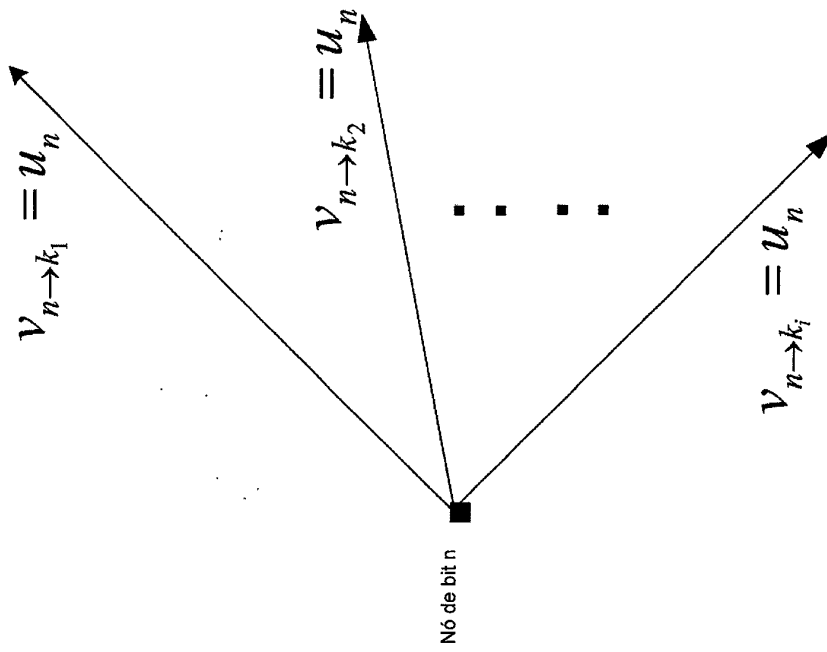


FIG. 9A

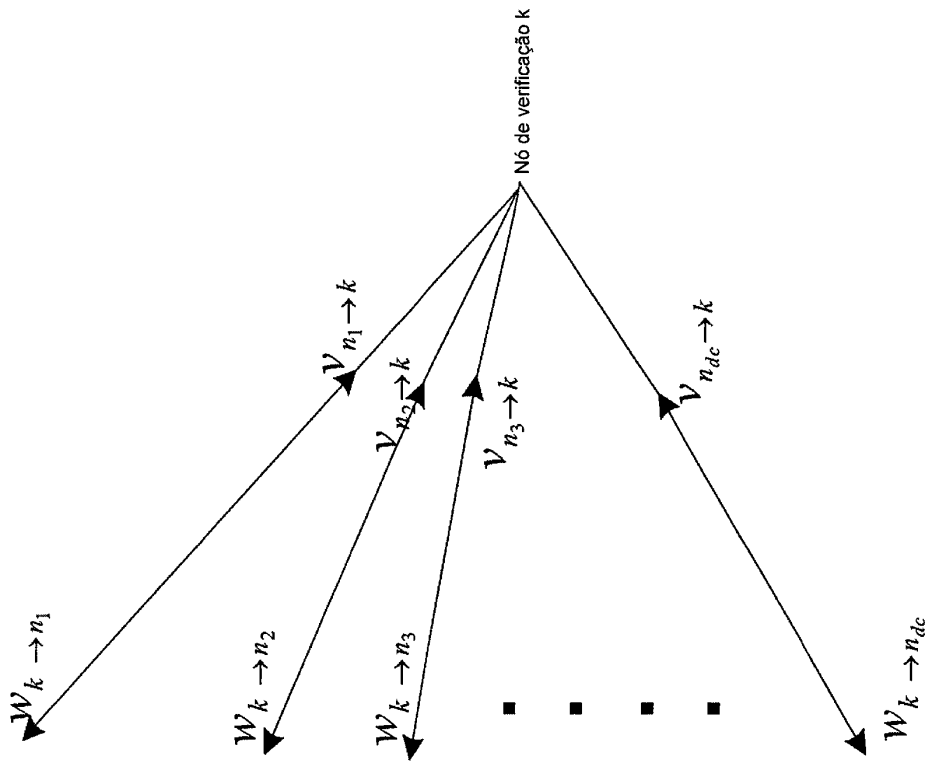


FIG. 9B

$$W_{k \rightarrow n_i} = g(V_{n_1 \rightarrow k}, V_{n_2 \rightarrow k}, \dots, V_{n_{i-1} \rightarrow k}, V_{n_{i+1} \rightarrow k}, \dots, V_{n_{dc} \rightarrow k})$$

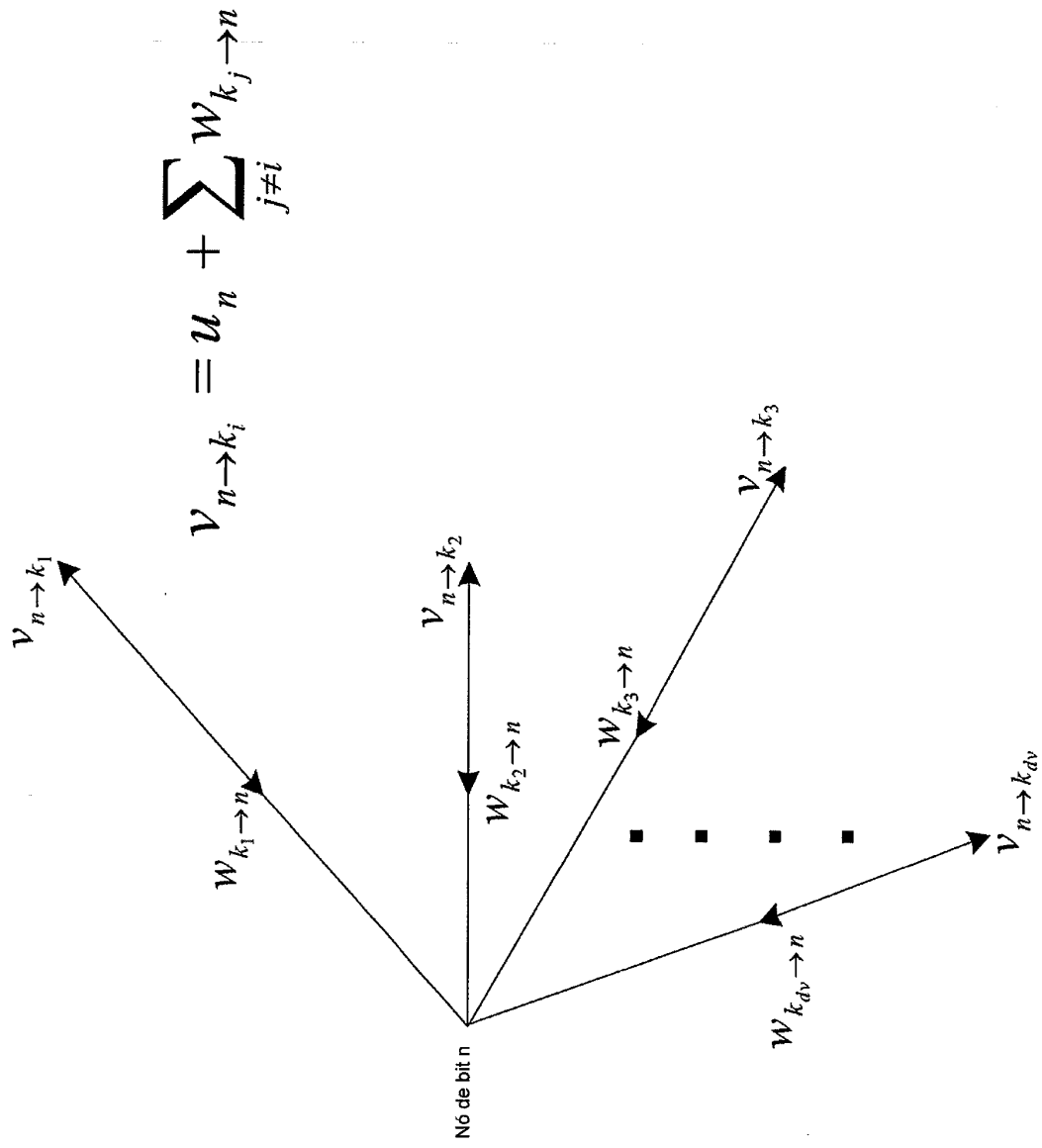


FIG. 9C

FIG. 10

1000

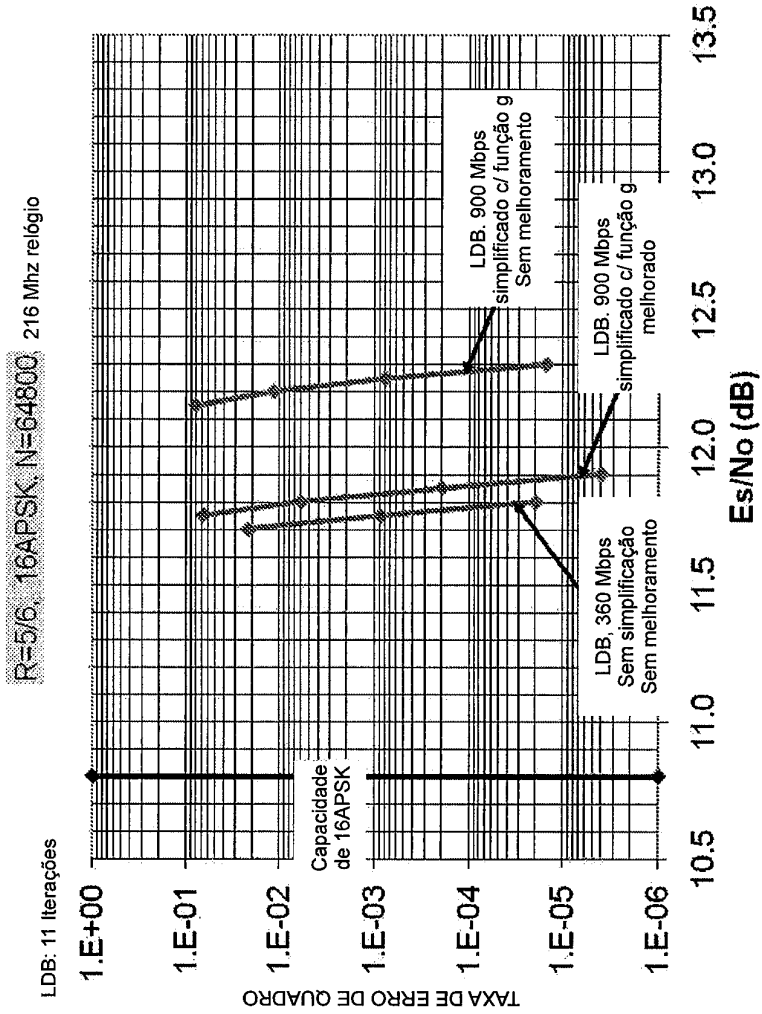


FIG. 11 1100

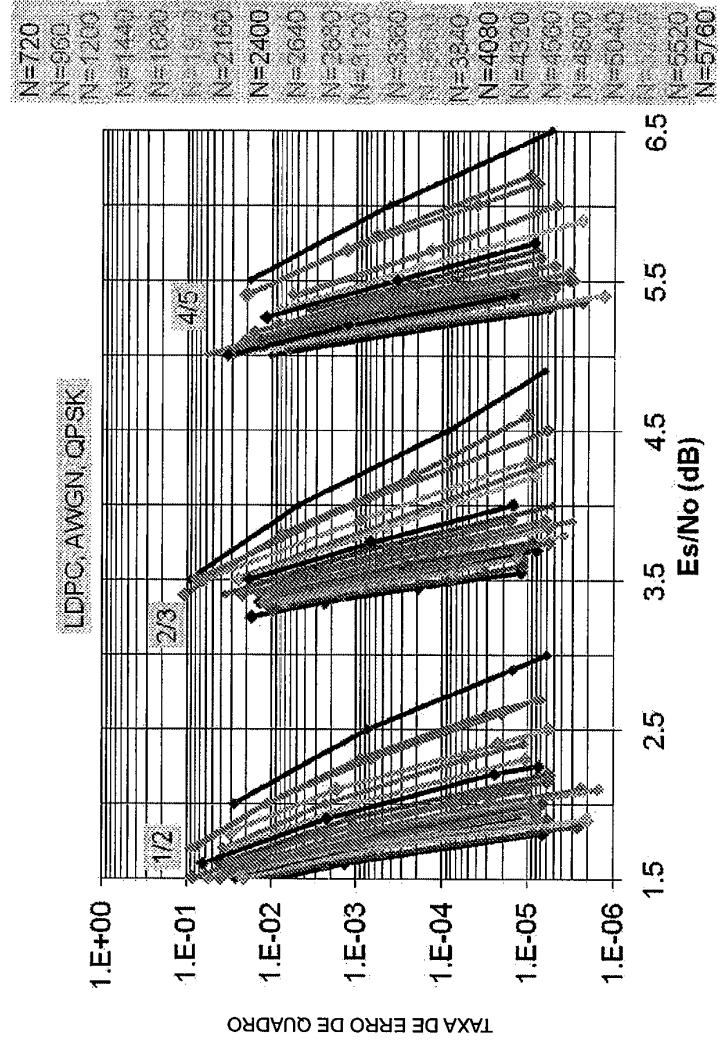


FIG. 12A

0	pq	(M-1) pq
1	pq+1	(M-1) pq+1
2	pq+2	(M-1) pq+2
3	pq+3	(M-1) pq+3
4	pq+4	(M-1) pq+4
⋮	⋮	⋮
q-1	(p+1)q-1	(M-1) pq-1
⋮	⋮	⋮
pq-1	2pq-1	Mpq-1

NÓ DE VERIFICAÇÃO
PROCESSANDO
ACESSO DE BORDA



1201

FIG. 12B

<p>NÓ DE VERIFICAÇÃO PROCESSANDO ACESSO DE BORDA</p>	x	Mpq+2p-1	Mpq+2(M-1) p-1
	Mpq	Mpq+2p	Mpq+2(M-1) p
	Mpq+1	Mpq+2p+1	Mpq+2(M-1) p+1
	Mpq+2	Mpq+2p+2	Mpq+2(M-1) p+2
	Mpq+3	Mpq+2p+3	Mpq+2(M-1) p+3
	⋮	⋮	⋮
Mpq+2p-2	Mpq+4p-2	Mpq+2Mp-2	

} NÓ DE BIT
 PROCESSANDO
 ACESSO DE BORDA

1203

FIG. 13A

$$H = \begin{bmatrix} 1 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 1 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \end{bmatrix}$$


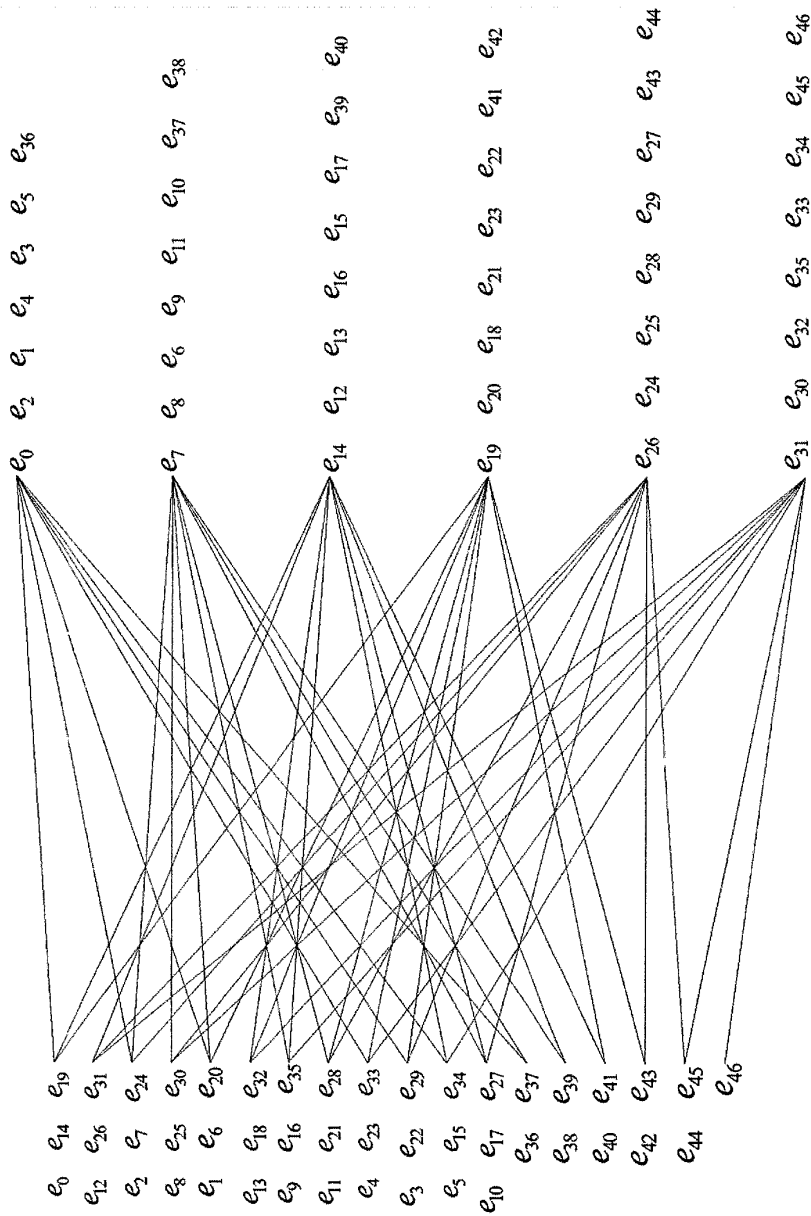
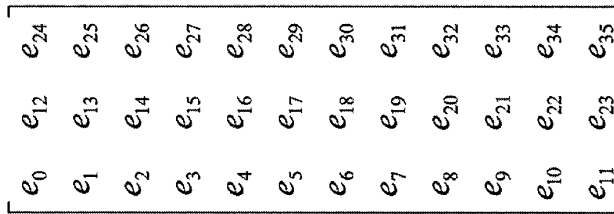
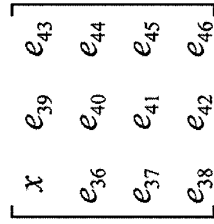
1301 

FIG. 13B





1305



1307

FIG. 13D

FIG. 13C

FIG. 14A

e_1	e_{d+1}	e_{2d+1}	$e_{(M-1)d+1}$
e_2	e_{d+2}	e_{2d+2}	$e_{(M-1)d+2}$
e_3	e_{d+3}	e_{2d+3}	$e_{(M-1)d+3}$
:	:	:	:
:	:	:	:
e_{d-1}	e_{2d-1}	e_{3d-1}	e_{Md-1}
x	e_{2d}	e_{3d}	e_{Md}
e_{Md+1}	$e_{(M+1)d+1}$	$e_{(M+2)d+1}$	$e_{(2M-1)d+1}$
e_{Md+2}	$e_{(M+1)d+2}$	$e_{(M+2)d+2}$	$e_{(2M-1)d+2}$
e_{Md+3}	$e_{(M+1)d+3}$	$e_{(M+2)d+3}$	$e_{(2M-1)d+3}$
:	:	:	:
:	:	:	:
$e_{(M+1)d-1}$	$e_{(M+2)d-1}$	$e_{(M+3)d-1}$	e_{2Md-1}
$e_{(M+1)d}$	$e_{(M+2)d}$	$e_{(M+3)d}$	e_{2Md}
:	:	:	:
:	:	:	:
:	:	:	:
$e_{(N-K-M)d+1}$	$e_{(N-K-M+1)d+1}$	$e_{(N-K-M+2)d+1}$	$e_{(N-K-1)d+1}$
$e_{(N-K-M)d+2}$	$e_{(N-K-M+1)d+2}$	$e_{(N-K-M+2)d+2}$	$e_{(N-K-1)d+2}$
:	:	:	:
:	:	:	:
$e_{(N-K-M+1)d-1}$	$e_{(N-K-M+2)d-1}$	$e_{(N-K-M+3)d-1}$	$e_{(N-K)d-1}$
$e_{(N-K-M+1)d}$	$e_{(N-K-M+2)d}$	$e_{(N-K-M+3)d}$	$e_{(N-K)d}$

1401



FIG. 14B

$$\begin{bmatrix} b_0 & b_1 & \dots & \dots & b_{M-1} \\ b_M & b_{M+1} & \dots & \dots & b_{2M-1} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ b_{N-M} & b_{N-M+1} & \dots & \dots & b_{N-1} \end{bmatrix}$$

1403

FIG. 14C

$$\begin{bmatrix} b_{j1} & b_{jd+1} & \dots & \dots & b_{j(M-1)d+1} \\ b_{j2} & b_{jd+2} & \dots & \dots & b_{j(M-1)d+2} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ b_{jd} & b_{jd} & \dots & \dots & b_{jMd} \end{bmatrix}$$

1405

FIG. 15A

1500

16APSK, N=64800, 225 Msps & 112.5 Msps, Relógio 216 Mhz

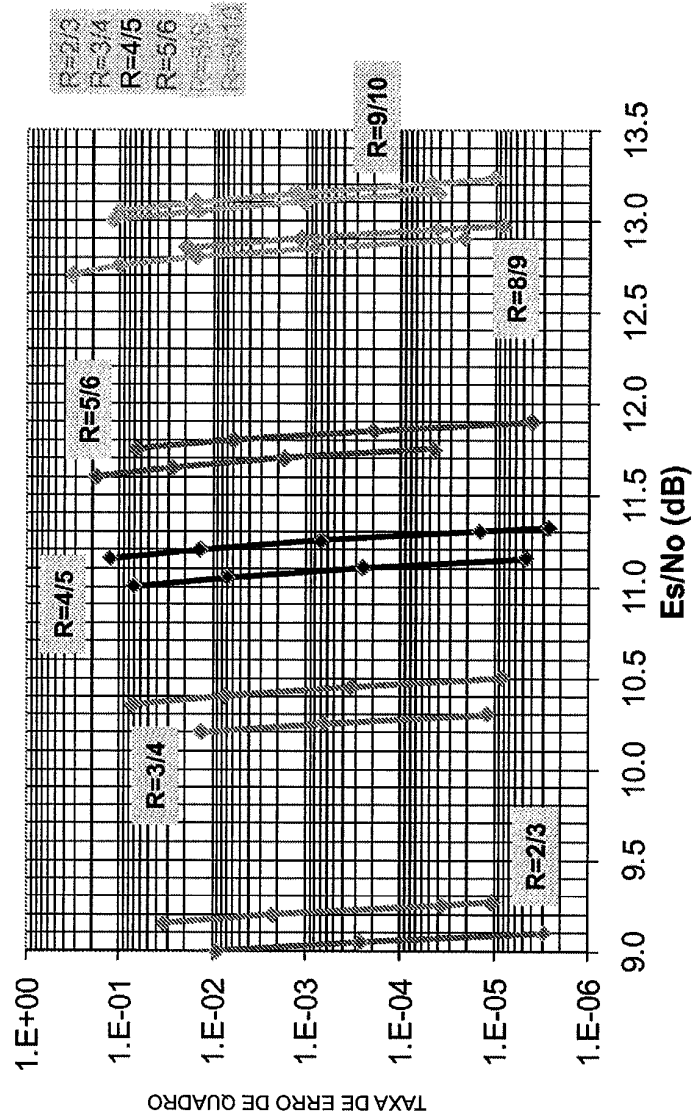


FIG. 15B

1510

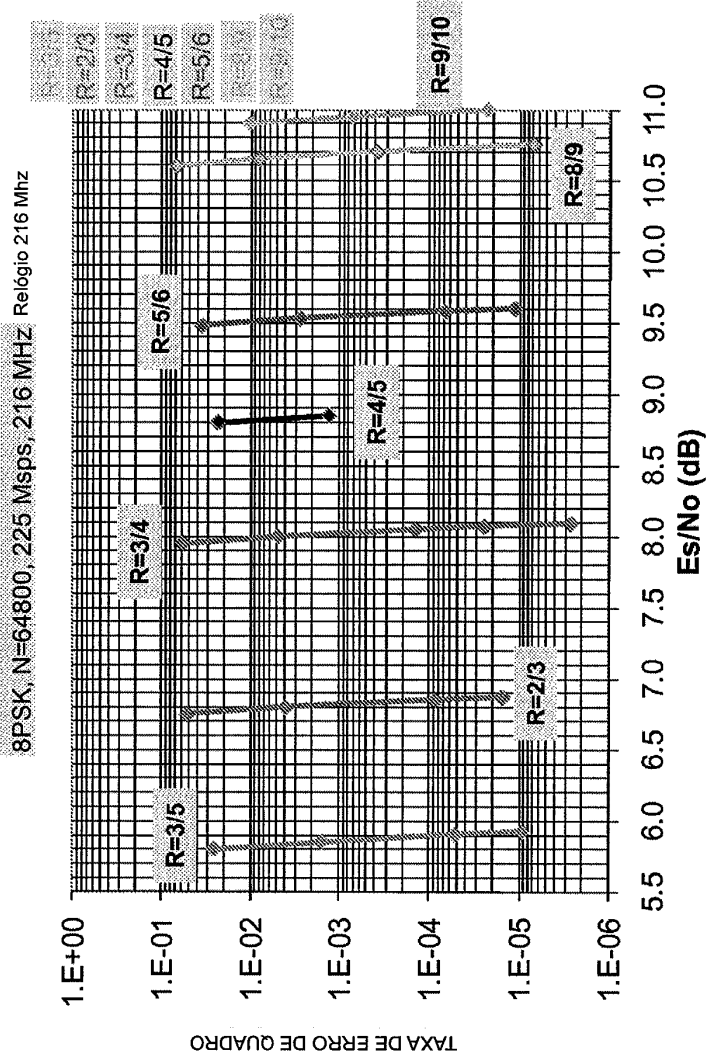
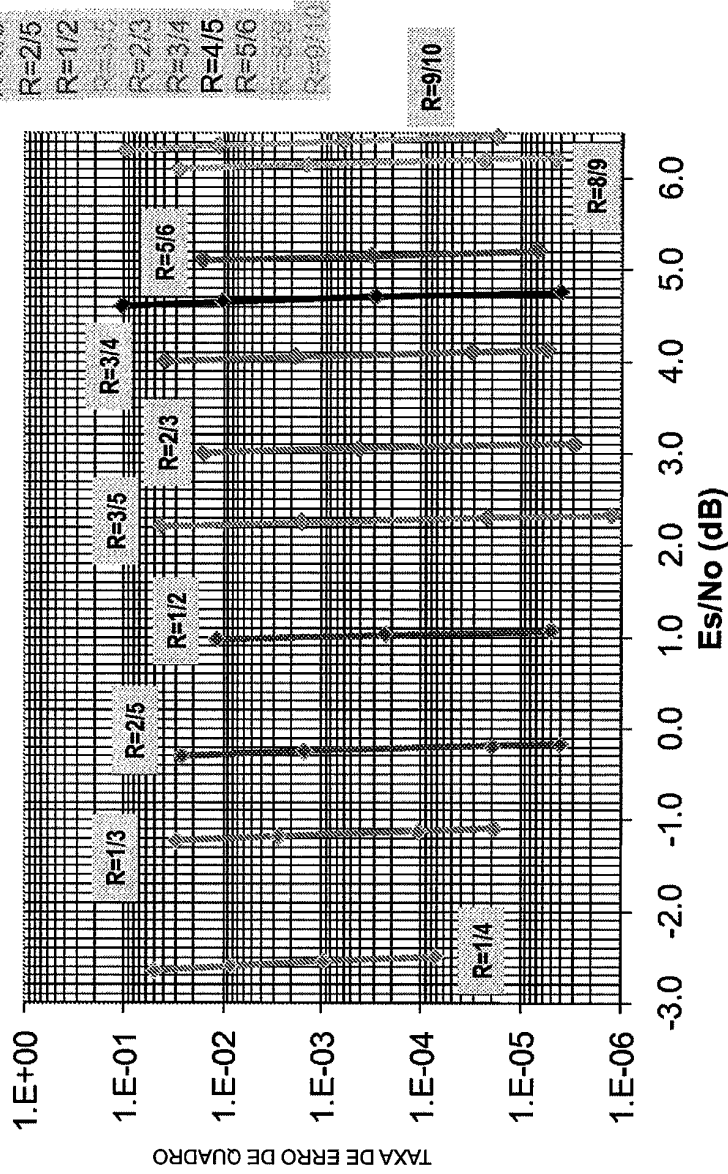


FIG. 15C

1520

QPSK, N=64800, 225 Msps, 216 MHz Relógio 216 Mhz



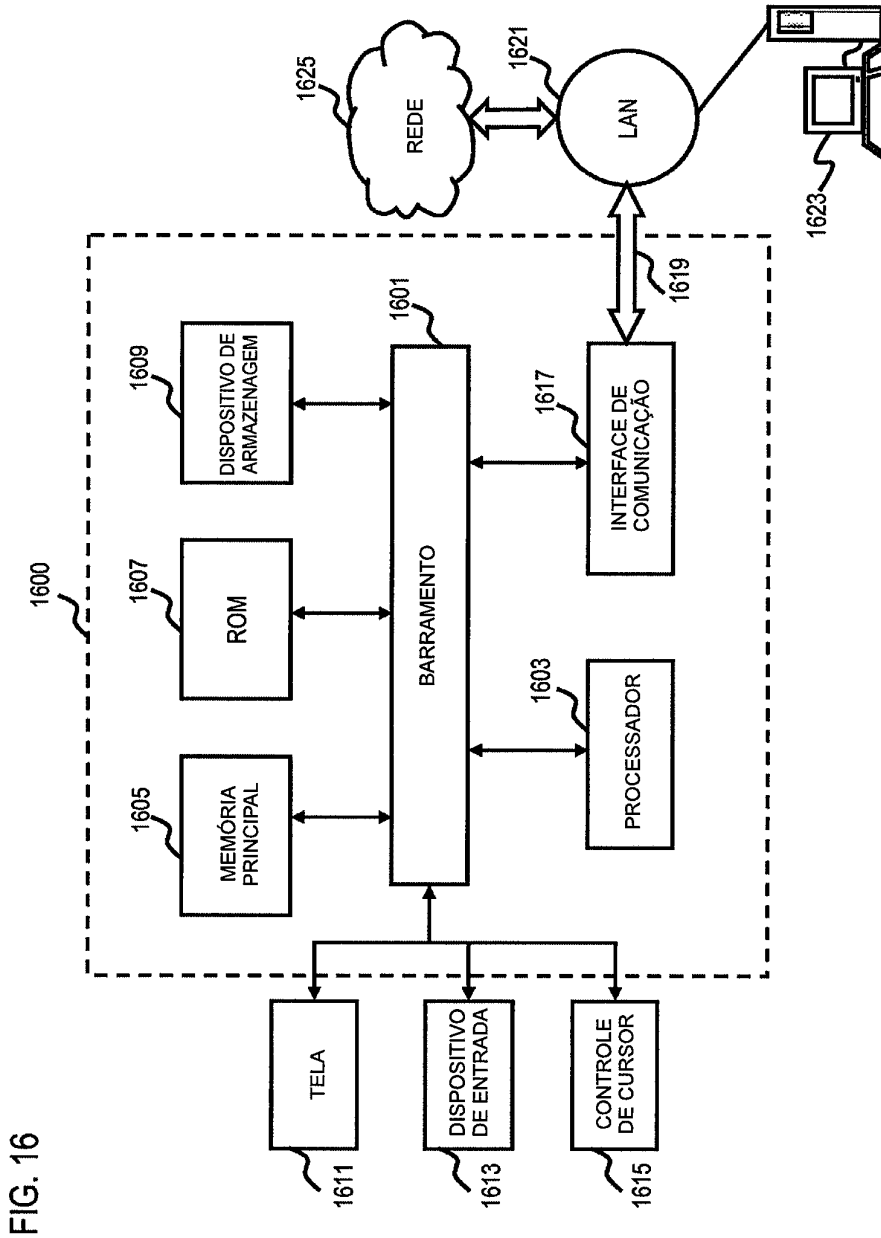


FIG. 16