

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ G11C 11/4074 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년01월24일 10-0545422 2006년01월16일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0031801 2003년05월20일	(65) 공개번호 (43) 공개일자	10-2003-0090535 2003년11월28일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2002-00144869 2002년05월20일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고

(72) 발명자 야마우치다다아키
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

마츠모토준코
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

오카모토다케오
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

스와마코토
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

이치구치테츠이치로
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

요네타니히데키
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

나가사와츠토무
일본도쿄도지요다쿠마루노우치2쵸메2반3고미쓰비시덴키가부시키가이샤내

티안징쥔
일본효코젠이타미시오기노1쵸메132다이오일렉트릭코포레이션내

(74) 대리인 김창세

심사관 : 안병일

(54) 반도체 장치

요약

전원 레벨 설정 신호 ZCMPE에 따라 고전압, 중간 전압 및 내부 전원 전압 등의 내부 전압의 발생 형태를 전환한다. 즉, 구체적으로, 외부 전원 전압 EXVDD의 전압 레벨이 낮은 경우에는, 비교 회로의 출력을 받는 전류 드라이브 트랜지스터(24)와 보조 드라이브 트랜지스터(31)를 강제적으로 도통 상태로 설정하여, 외부 전원 전압을 내부 전원선(10p) 상에 생성한다. 이 때, 비교 회로(23)의 비교 동작은 정지시킨다. 외부 전원 전압의 레벨이 높은 경우에는, 비교 회로를 능동화하고, 외부 전원 전압을 강압하여 주변 전원 전압 VDDP를 생성한다. 이에 따라, 외부 전원 전압 레벨에 따라 가장 알맞은 전압 레벨의 주변 전원 전압을 생성할 수 있다.

대표도

도 3

명세서

도면의 간단한 설명

- 도 1은 본 발명의 실시예 1에 따른 내부 전압 발생 회로의 구성을 개략적으로 나타내는 도면,
- 도 2는 도 1에 나타내는 기준 전압 발생 회로의 구성 일례를 나타내는 도면,
- 도 3은 도 1에 나타내는 주변 액티브 VDC 구성의 일례를 나타내는 도면,
- 도 4는 도 1에 나타내는 전압 레벨 설정 신호를 발생시키는 부분의 구성의 일례를 나타내는 도면,
- 도 5는 전압 레벨 설정 신호 발생부의 변경예의 구성을 개략적으로 나타내는 도면,
- 도 6은 도 1에 나타내는 어레이 액티브 VDC 및 입력 액티브 VDC 구성의 일례를 나타내는 도면,
- 도 7은 도 1에 나타내는 스탠바이 VDC 구성의 일례를 나타내는 도면,
- 도 8은 본 발명의 실시예 2에 따른 입력 회로의 구성을 나타내는 도면,
- 도 9는 도 8에 나타내는 입력 회로에 대한 전원 공급의 형태를 나타내는 도면,
- 도 10은 도 8에 나타내는 입력 회로에 대한 전원 공급의 형태를 나타내는 도면,
- 도 11은 본 발명의 실시예 3에 따른 내부 전압 발생부의 구성을 개략적으로 나타내는 도면,
- 도 12는 본 발명의 실시예 3의 변경예를 나타내는 도면,
- 도 13은 본 발명의 실시예 4에 따른 파워 컷 인에이블 신호 발생부의 구성을 개략적으로 나타내는 도면,
- 도 14는 도 13에 나타내는 파워 컷 인에이블 신호 발생부의 동작을 나타내는 신호 파형도,
- 도 15는 본 발명의 실시예 5에 따른 내부 상태 설정 신호 발생부의 구성을 나타내는 도면,
- 도 16은 본 발명의 실시예 6에 따른 어레이 액티브 VDC의 구성을 나타내는 도면,

도 17은 도 16에 나타내는 어레이 액티브 VDC의 동작을 나타내는 신호 파형도,

도 18은 본 발명의 실시예 6에 따른 어레이 액티브 VDC를 갖는 반도체 기억 장치의 주요부의 구성을 개략적으로 나타내는 도면,

도 19는 도 18에 나타내는 오버드라이브 제어 회로 구성의 일례를 나타내는 도면,

도 20은 본 발명의 실시예 6에 따른 중간 전압 발생부의 구성을 나타내는 도면,

도 21은 본 발명의 실시예 7에 따른 고전압 발생부의 구성을 나타내는 도면,

도 22는 도 21에 나타내는 고전압 발생 회로의 동작을 나타내는 신호 파형도,

도 23은 도 21에 나타내는 MOS 캐패시터의 단면 구조를 개략적으로 나타내는 도면,

도 24는 도 21에 나타내는 출력 게이트 제어 신호를 발생시키는 부분의 구성의 일례를 나타내는 도면,

도 25는 도 24에 나타내는 출력 게이트 제어 신호 발생부의 동작을 나타내는 신호 파형도,

도 26은 본 발명의 실시예 7에 따른 고전압 발생 회로의 변경예의 구성을 나타내는 도면,

도 27은 본 발명의 실시예 8에 따른 고전압 발생 회로의 구성을 개략적으로 나타내는 도면,

도 28은 본 발명의 실시예 8에 따른 고전압 발생 회로의 변경예의 구성을 나타내는 도면,

도 29는 본 발명의 실시예 8에 따른 고전압 발생 회로의 변경예 2의 구성을 나타내는 도면,

도 30은 도 29에 나타내는 접속 제어 신호 발생부의 구성을 개략적으로 나타내는 도면,

도 31은 도 30에 나타내는 부전압 발생 회로의 구성의 일례를 나타내는 도면,

도 32는 도 30에 나타내는 고전압 발생 회로의 구성의 일례를 나타내는 도면,

도 33은 본 발명의 실시예 9에 따른 고전압 발생 제어부의 구성을 나타내는 도면,

도 34는 본 발명의 실시예 9에 따른 고전압 발생 제어부의 변경예를 나타내는 도면,

도 35는 본 발명의 실시예 9에 있어서의 기준 전압 발생 회로의 구성의 일례를 나타내는 도면,

도 36은 종래의 반도체 기억 장치의 어레이부의 구성을 개략적으로 나타내는 도면,

도 37은 종래의 반도체 기억 장치 전체의 구성을 개략적으로 나타내는 도면이다.

도면의 주요 부분에 대한 부호의 설명

1 : 정전류 발생 회로

2p, 2s, 2i : 기준 전압 발생 회로

3a, 4a, 5 : 액티브 VDC

3s, 4s, 5s : 스태바이 VDC

12 : P채널 MOS 트랜지스터

20b, 20e, 20d : MOS 트랜지스터

23 : 비교 회로

24 : 전류 드라이브 트랜지스터

27, 31 : P채널 MOS 트랜지스터

26, 30 : 인버터

28 : N채널 MOS 트랜지스터

50, 60 : 비교 회로

51, 61 : 전류 드라이브 트랜지스터

10 : 내부 전원선

10i : 입력 전원선

10p : 주변 전원선

10s : 어레이 전원선

72, 78 : 입력 버퍼 회로

74, 80 : CMOS 인버터

82 : 레벨 변환 회로

84 : AND 회로

3 : 주변 전원 전압 발생 회로

5 : 입력 전원 전압 발생 회로

4 : 어레이 전원 전압 발생 회로

90, 93, 96, 98 : MOS 트랜지스터

102 : P채널 MOS 트랜지스터

110 : 주변 전원 투입 검출 회로

112 : 주변 회로

114 : 레벨 변환 회로

115 : CMOS 인버터

118 : 외부 전원 투입 검출 회로

120 : AND 회로

130 : 패드

131, 132 : 인버터

133, 135 : MOS 트랜지스터

134 : 인버터

141, 140, 146, 145 : P채널 MOS 트랜지스터

142, 143, 144 : N채널 MOS 트랜지스터

156 : 오버드라이브 제어 회로

SA : 센스 앰프

156a : 레벨 변환 회로

156b : 반전/지연 회로

156c : NAND 회로

170 : 중간 전압 발생 회로

180, 184, 191, 187 : 용량 소자

181, 182, 183, 185, 186, 190, 192, 189 : MOS 트랜지스터

188 : 용량 소자

240a, 240b, 240c, 235a, 235b, 242, 237 : 마스크 금속 배선

250~253 : 금속 스위치

245 : 배선

260~266 : MOS 트랜지스터

270 : OR 회로

302, 306 : 레벨 변환 회로

300 : 부전압 발생 회로

304 : 고전압 발생 회로

400 : 분압 회로

402 : 비교 회로

404 : 바이어스 보상 회로

406 : 링 오실레이터

408 : 제어 신호 발생 회로

420b, 420f, 420e, 420g : MOS 트랜지스터

420c, 420d : 저항 소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 내부 전압을 발생시키는 내부 전압 발생 회로를 내장하는 반도체 장치에 관한 것으로, 특히, 복수의 외부 전원 전압 및 복수의 인터페이스 사양에 대해서도, 외부 전원 전압에 따라 안정적으로 내부 전압을 생성할 수 있는 내부 전압 발생 회로에 관한 것이다.

도 36은 종래의 DRAM(dynamic random access memory)의 어레이부 구성을 개략적으로 나타내는 도면이다. 도 36에 있어서, 비트선 BL 및 ZBL과 워드선 WL의 교차부에 대응하여 메모리셀 MC가 배치된다. 도 36에 있어서는, 비트선 BL과 워드선 WL의 교차부에 대응하여 배치되는 메모리셀 MC를 대표적으로 나타낸다.

일반적으로, 메모리셀 어레이에 있어서는, 메모리셀 MC는 행렬 형상으로 배치되고, 각 메모리셀 행에 대응하여 워드선 WL이 배치된다. 또한, 각 메모리셀 열에 대응하여 비트선 BL 및 ZBL의 쌍이 배치된다. 비트선쌍의 한쪽 비트선과 워드선과의 교차부에 대응하여 메모리셀이 배치된다. 비트선 BL 및 ZBL에 상보 데이터가 전송된다.

메모리셀 MC는 전하의 형태로 정보를 기억하는 메모리 캐패시터 MQ와, 워드선 WL 상의 신호 전압에 따라 메모리셀 캐패시터 MQ를 대응하는 비트선 BL(또는 ZBL)에 결합하는 액세스 트랜지스터 MT를 포함한다. 액세스 트랜지스터 MT는, 통상, N채널 MOS 트랜지스터(절연 게이트형 전계 효과 트랜지스터)로 구성되고, 그 백게이트에 부(負)의 바이어스 전압 Vbb가 인가된다. 부의 바이어스 전압 Vbb를 액세스 트랜지스터 MT의 백게이트에 인가함으로써, 액세스 트랜지스터 MT의 임계값 전압의 안정화, 신호선과 기판 영역 사이의 기생 용량의 저감 및 액세스 트랜지스터 MT의 드레인/소스의 접합 용량의 저감을 도모한다.

비트선 BL 및 ZBL에 대하여, 스텔바이 상태 시에, 비트선 BL 및 ZBL을 비트선 프리차지 전압 Vbl 레벨로 프리차지하고, 또한 이퀄라이징하는 비트선 이퀄라이즈 회로 BPE와, 활성화 시, 비트선 BL 및 ZBL의 전압을 차동 증폭하고, 또한 래치하는 센스 앰프 SA가 마련된다.

이 센스 앰프 SA에 대하여, 센스 앰프 활성화 신호 /SAP의 활성화 시에 도통시키고, 센스 앰프 SA의 하이 레벨 전원 노드를, 어레이 전원 전압 Vdds를 전달하는 센스 전원선에 결합하는 센스 활성화 트랜지스터 ASPT와, 센스 앰프 활성화 신호 SAN의 활성화 시에 도통시키고, 활성화 시, 센스 앰프 SA의 로우 레벨 전원 노드를, 접지 전압 Vss를 전달하는 센스 접지선에 결합하는 센스 앰프 활성화 트랜지스터 ASNT가 마련된다.

비트선 이퀄라이즈 회로 BPE는 어레이 전원 전압 Vdds의 중간 전압 ($V_{dds}/2$)의 비트선 프리차지 전압 Vbl을 비트선 이퀄라이즈 지시 신호 BLEQ에 따라서, 비트선 BL 및 ZBL로 전달한다.

워드선 WL은, 선택 시, 어레이 전원 전압 Vdds보다도 높은 전압 레벨의 고전압 Vpp 레벨로 구동된다. 선택 워드선 WL을 고전압 Vpp 레벨로 구동함으로써, 메모리셀 MC의 액세스 트랜지스터 MT의 임계값 전압 손실을 수반하지 않고, 메모리 캐패시터 MQ의 기억 노드에 어레이 전원 전압 Vdds 레벨의 H 데이터를 저장한다.

메모리 캐패시터 MQ는 데이터를 기억하는 저장 노드와 대향하는 전극 노드(셀 플레이트 노드)에, 일정한 셀 플레이트 전압 Vcp를 받는다. 통상, 셀 플레이트 전압 Vcp도 비트선 프리차지 전압 Vbl과 마찬가지로 어레이 전원 전압 Vdds의 중간 전압 ($V_{dds}/2$)의 전압 레벨이다.

상술한 바와 같이, DRAM에서는, 각각 전압 레벨이 다른 복수 종류의 전압이 이용된다. 이들 복수 종류의 전압을 외부에서 발생시켜 DRAM에 인가하는 경우, 시스템의 규모가 커지고, 또한 외부 배선의 손실에 의해, 시스템 전체의 소비 전류도 증대한다. 또한, DRAM에서도, 전원 단자수가 증대하기 때문에, 그 패키지의 크기가 증대한다. 따라서, 일반적으로, 이들의 복수 종류의 전압은 DRAM 내부에서 생성된다.

도 37은 DRAM의 내부 전압에 관련되는 부분의 구성을 개략적으로 나타내는 도면이다. 도 37에 있어서, DRAM은 행렬 형상으로 배열하는 복수의 메모리셀(도 36의 메모리셀 MC)을 갖는 메모리셀 어레이(902)와, 외부로부터의 커맨드 CMD에 따라, 커맨드 CMD가 지정하는 동작 모드를 실현하기 위한 동작 제어 신호를 생성하는 제어 회로(904)와, 제어 회로(904)의 제어 하에 활성화되어, 외부로부터의 행어드레스 신호 RA에 따라서 메모리셀 어레이(902)의 어드레스 지정된 행에 대응하여 배치된 워드선을 선택 상태로 구동하기 위한 행 선택 회로(906)와, 제어 회로(904)에 의해 선택적으로 활성화되고, 활성화 시, 행 선택 회로(906)에 의해 선택된 행(行) 상의 메모리셀 데이터를 검지하여 증폭하고, 또한 래치하는 센스 앰프 그룹(908)과, 제어 회로(904)의 제어 하에 동작하고, 활성화 시, 외부로부터의 열 어드레스 신호 CA에 따라서 메모리셀 어레이(902)의 어드레스 지정된 열에 대응하는 메모리셀을 선택하는 열 선택 회로(910)와, 활성화 시, 외부 전원 전압 EXVDD에 따라서 각종 내부 전압 V_{pp} , V_{bb} , V_{bl} , V_{cp} , V_{dds} 및 V_d 에를 생성하는 내부 전압 발생 회로(900)를 포함한다.

내부 전압 발생 회로(900)로부터의 주변 전원 전압 V_d 에는 제어 회로(904) 및 행 선택 회로(906)로 인가된다. 내부 전압 발생 회로(900)로부터의 고전압 V_{pp} 는, 또한, 행 선택 회로(906)로 인가된다.

행 선택 회로(906)에 있어서는, 주변 전원 전압 V_d 에를 동작 전원 전압으로서 받는 행 디코더 회로에 의해 행 선택 신호가 생성되고, 이 행 선택 신호에 따라, 선택된 행에 대응하여 배치된 워드선으로, 워드 드라이버에 의해 고전압 V_{pp} 레벨의 워드선 선택 신호가 전달된다.

메모리셀 어레이(902)로는, 비트선 프리차지 전압 V_{bl} , 셀 플레이트 전압 V_{cp} 및 메모리셀 어레이(902)의 기판 영역에 인가되는 부의 바이어스 전압 V_{bb} 가 인가된다. 센스 앰프 그룹(908)으로는, 센스 전원선을 거쳐서 어레이 전원 전압 V_{dds} 가 동작 전원 전압으로서 인가된다.

열 선택 회로(910)로는, 통상, 주변 전원 전압 V_{ddp} 가 동작 전원 전압으로서 인가된다. 그러나, 이 열 선택 회로(910)가 출력하는 열 선택 신호가 어레이 전원 전압 V_{dds} 레벨이어도 좋다. 통상, 주변 전원 전압 V_d 에는 어레이 전원 전압 V_{dds} 보다도 높은 전압 레벨이다.

제어 회로(904) 등의 주변 회로를 주변 전원 전압 V_d 에에서 동작시키고, 또한 메모리셀 어레이(902)에 관련되는 센스 앰프 그룹(908)을 어레이 전원 전압 V_{dds} 에 따라 동작시킴으로써, 주변 회로를 고속 동작시켜 고속 액세스를 실현하고, 또한 메모리셀의 액세스 트랜지스터 및 메모리셀 캐패시터의 절연 내압을 보증하여 안정하게 데이터를 기억한다.

반도체 장치에 있어서는, 시스템 규모가 증대함에 따라서, 발열 등을 방지하기 위해서, 저 전력 소비가 강력히 요구된다. 특히, 전지를 전원으로 하는 휴대기기의 용도에 있어서는, 전지 수명의 관점에서도 소비 전류를 감소시켜야 한다. 특히, 데이터의 액세스가 실행되지 않는 스탠바이 상태는 실제로 데이터 처리가 행해지는 시간보다도 그 시간이 길고, 또한, DRAM에서는, 단지 데이터를 유지하는 것이 요구될 뿐이며, 이 스탠바이 상태 시의 소비 전류를 감소시키는 것이 강력히 요구된다.

이러한 스탠바이 상태 시의 소비 전류를 저감하는 하나의 방법으로서, 파워 다운 모드라는 동작 모드가 이용된다. 이 파워 다운 모드에 있어서는, 데이터 유지에 관계하지 않는 어드레스 입력 버퍼 회로 등에 있어서 동작 전원 전압의 공급을 정지한다. 이에 따라, 데이터 유지에 관계없는 회로의 직류 전류 경로를 차단하여, 회로의 리크 전류를 감소시켜, 소비 전류를 감소시킨다.

휴대기기 등의 용도에 있어서는, 최근, 또한 스탠바이 전력을 감소시키는 것이 요구되고, 이러한 초저(超低) 스탠바이 전류의 요구에 따라, 「딥 파워 다운 모드(deep power down mode)」라고 불리는 모드가 이용된다. 이 딥 파워 다운 모드 시에는, 내부 전압 발생 회로(900)의 내부 전압 발생 동작을 정지시킨다. 단, 파워 다운 모드는 외부로부터의 커맨드에 의해 설정되기 때문에, 커맨드 CMD를 받는 커맨드 디코더 등의 파워 다운 모드 해제에 관련되는 회로에는, 전원 전압이 인가된다.

이 딥 파워 다운 모드 지시가 인가되었을 때에는, 도 37에 도시하는 바와 같이, 제어 회로(904)로부터 파워 컷 신호 PCUT가 생성된다. 이 파워 컷 신호 PCUT는 주변 전원 전압 V_{ddp} 레벨의 신호이다. 외부 전원 전압 EXVDD로부터 내부 전압을

생성하는 회로의 동작을 정지시키기 위해서, 레벨 변환 회로(915)에 의해, 이 파워 컷 신호 PCUT는, 진폭이 외부 전원 전압 EXVDD 레벨의 파워 컷 인에이블 신호 PCUTe로 변환시킨다. 이 파워 컷 인에이블 신호 PCUTe는 행 선택 회로(906) 및 열 선택 회로(910) 등의 주변 회로에 인가되어, 각 주변 회로의 전류 경로가 차단된다.

이 파워 컷 인에이블 신호 PCUTe는 제어 회로(904) 내에서도 딥 파워 다운 모드에 관련되는 동작 제어를 실행하는 회로 이외의 부분에 인가되어, 그 전류 경로는 차단된다.

딥 파워 다운 모드 시에, 필요한 회로 부분 이외에 전류가 소비되지 않고, 또한 전류 경로를 차단함으로써, 리크 전류의 발생이 방지되어, 소비 전류를 크게 감소시킬 수 있다.

발명이 이루고자 하는 기술적 과제

DRAM은 다양한 시스템에서 이용되고 있다. 시스템에 있어서는, 전원 전압이 여러 가지 존재한다. 예컨대, 외부 전원 전압 EXVDD로서, 3.3V 및 2.5V가 있다. 또한, 인터페이스로서, LVTTTL 등의 외에, 1.8VIO 인터페이스가 있다. 이 1.8VIO 인터페이스에 있어서는, 외부 전원 전압은 2.5V 또는 3.3V이지만, 입력 신호의 진폭이 1.8V로 설정된다. VIH 및 VIL은 출력 전원 전압 VDDQ에 근거해서, 예컨대, 0.8VDDQ/0.2VDDQ로 설정된다.

DRAM에서, 이러한 각종 외부 전원 전압에 대하여 동일 회로 구성으로 내부 전압을 생성한 경우, 외부 전원 전압 레벨에 의해 내부 전압 발생 회로의 동작 조건이 다르기 때문에, 알맞은 전압 레벨의 내부 전압을 효율적으로 생성할 수가 없게 된다고 하는 문제가 발생한다.

또한, 개개의 외부 전원 전압 레벨 또는 인터페이스 사양에 따라 내부 전압 발생 회로를 설계한 경우, 단지 외부 전원 전압의 전압 레벨에 대응하기 때문에, 주요 내부 회로의 구성이 동일하며, 단지 내부 전압 발생 회로의 구성이 다른 복수 종류의 칩을 제작해야 하고, 제조 효율이 저하하여, 비용이 높아진다고 하는 문제가 발생한다.

따라서, 제품 관리 및 비용의 관점에서는, 마스터 공정에서 복수 종류의 외부 전원 전압/인터페이스에 대하여 공통 회로 부분을 제작하고, 마스크 배선 또는 본딩 패드의 전압 고정에 의해, 외부 전원 전압 레벨 또는 인터페이스 사양에 따른 내부 전압 발생 회로를 실현하는 것이 바람직하다.

본 발명의 목적은 외부 전원 전압 레벨 및 인터페이스 사양에 관계없이, 안정하게 내부 전압을 생성할 수 있는 반도체 장치를 제공하는 것이다.

본 발명의 다른 목적은 사용되는 외부 전원 전압 레벨에 따라 효율적으로 소망하는 전압 레벨의 내부 전압을 생성할 수 있는 반도체 장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 제 1 관점에 따른 반도체 장치는, 활성화 시, 기준 전압 발생 회로로부터의 기준 전압과 내부 전압을 비교하여, 해당 비교 결과에 따른 신호를 출력하는 비교 회로와, 이 비교 회로의 출력 신호에 따라, 내부 전압선에 전원 노드로부터 전압을 공급하여 내부 전압을 생성하는 드라이브 회로와, 내부 전압 레벨 설정 신호에 따라, 비교 회로의 비교 동작을 정지시키고, 그 출력 신호를 소정 전압 레벨로 고정하여 드라이브 회로를 항상 도통 상태로 설정하기 위한 비교 제어 회로와, 내부 전압 레벨 설정 신호에 따라 내부 전압선을 전원 노드에 결합하는 보조 트랜지스터를 포함한다.

본 발명의 제 2 관점에 따른 반도체 장치는 제 1 전원 전압을 동작 전원 전압으로서 받아, 모드 설정 신호에 응답해서 선택적으로 능동화되고, 외부 신호로부터 제 1 내부 신호를 생성하는 제 1 입력 회로와, 제 2 전원 전압을 동작 전원 전압으로서 받아, 모드 설정 신호에 응답해서 선택적으로 능동화되어, 외부 신호로부터 제 2 내부 신호를 생성하는 제 2 입력 회로와, 제 2 입력 회로로부터의 제 2 내부 신호를 제 1 전원 전압 레벨의 진폭 신호로 레벨 변환하여 제 3 내부 신호를 생성하는 레벨 변환 회로와, 제 1 전원 전압을 동작 전원 전압으로서 받아, 제 1 및 제 3 내부 신호에 따라, 내부 회로로 전달되는 제 4 내부 신호를 생성하는 입력 게이트 회로를 포함한다. 이 입력 게이트 회로는 제 1 및 제 2 입력 회로의 비능동화 시에는, 해당 비능동화된 입력 회로의 출력 신호에 따라 버퍼 회로로서 동작하고, 능동화된 레벨 변환 회로 또는 제 1 입력 회로의 출력 신호를 버퍼 처리한다.

본 발명의 제 3 관점에 따른 반도체 장치는 제 1 제어 신호를 받는 제 1 제어 신호 입력 노드와 제 1 내부 노드 사이에 접속되는 제 1 용량 소자와, 제 1 내부 노드의 전압 레벨에 따라, 제 2 및 제 3 내부 노드를 외부 전원 전압 레벨로 각각 프리차

지하는 제 2 및 제 3 트랜지스터와, 제 2 제어 신호를 입력하는 제 2 제어 신호 입력 노드와 제 2 내부 노드 사이에 접속되는 제 2 용량 소자와, 제 2 내부 노드의 전압 레벨에 따라 선택적으로 도통하고, 도통 시, 제 3 내부 노드와 출력 노드 사이에서 전하를 전달하는 출력 트랜지스터와, 외부 전원 노드의 전원 전압 및 제 1 내부 전압 노드의 전압을 동작 전원 전압으로서 받아, 제 3 제어 신호에 따라 제 4 내부 노드를 구동하는 드라이브 회로와, 제 4 내부 노드와 제 3 내부 노드 사이에 접속되는 제 3 용량 소자와, 제 4 용량 소자와, 제 5 제어 신호를 받는 제 4 제어 신호 입력 노드와 제 3 내부 노드 사이 및 제 4 제어 신호 입력 노드와 제 1 내부 전압 노드 사이 중 어느 한 쪽에 제 4 용량 소자를 선택적으로 또한 고정적으로 접속하는 배선을 구비한다.

드라이브 회로를 상시 도통 상태로 설정하고, 또한 보조 트랜지스터를 도통 상태로 설정함으로써, 내부 전압선으로의 공급 전류량을 증가시킬 수 있고, 외부 전원 노드가 내부 전압선에 결합되는 경우에, 안정하게 외부 전원 전압을 내부 전압선에 전달할 수 있다.

또한, 입력 회로에 있어서, 제 2 입력 회로의 출력 신호를 레벨 변환하여, 제 1 입력 회로의 출력 신호 및 레벨 변환 회로의 출력 신호에 따라 내부 신호를 생성함으로써, 입력 인터페이스가 다른 경우에도, 한쪽의 입력 회로를 능동화시킴으로써, 안정하게 내부 신호를 생성할 수 있다.

또한, 내부 전압을 생성하는 경우, 용량 소자를 병렬로 접속하여 전하를 공급함으로써, 외부 전압이 높은 경우에 있어서, 충분한 능력으로 전하를 공급할 수 있어, 소망하는 전압 레벨의 내부 전압을 안정하게 생성할 수 있다.

또한, 용량 소자를 이용하여 드라이브 회로의 양 동작 전원 전압 중 한쪽 전압 레벨을 변경함으로써, 용량 결합에 의해 2단계의 부스트 동작을 실행할 수 있고, 큰 전압 레벨 변화를 내부 노드에 생기게 할 수 있어, 외부 전원 전압 레벨이 낮은 경우에도, 안정하게 소망하는 전압 레벨의 내부 전압을 생성할 수 있다.

또한, 용량 소자의 접속을 변경 가능하게 설정함으로써, 외부 전원 전압 레벨에 따른 알맞은 능력으로 내부 전압을 발생하는 내부 전압 생성 회로를 실현할 수 있다.

본 발명의 상기 및 그 밖의 목적, 특징, 국면 및 이익 등은 첨부 도면을 참조로 하여 설명하는 이하의 상세한 실시예로부터 더욱 명백해질 것이다.

(실시예 1)

도 1은 본 발명의 실시예 1에 따른 내부 전압 발생 회로의 구성을 개략적으로 나타내는 도면이다. 이 도 1에 나타내는 내부 전압 발생 회로는 도 37에 나타내는 내부 전압 발생 회로(900)에 포함된다.

도 1에 있어서, 내부 전압 발생 회로는 정전류 ICST를 생성하는 정전류 발생 회로(1)와, 외부 전원 레벨 지정 신호 ZCMPE와 파워 컷 인에이블 신호 PCUTE를 받는 OR 회로(6)와, OR 회로(6)의 출력 신호를 제어 입력 DIS로 받아, OR 회로(6)의 출력 신호가 비활성 상태(L레벨)일 때 동작하고, 주변 기준 전압 Vrefp를 생성하는 주변 기준 전압 발생 회로(2p)와, 제어 입력 DIS에 인가되는 파워 컷 인에이블 신호 PCUTE의 비활성화 시 동작하여 어레이 기준 전압 Vrefs를 생성하는 어레이 기준 전압 발생 회로(2s)와, 제어 입력 DIS에 인가되는 파워 컷 인에이블 신호 PCUTE의 비활성화 시에 동작하여 입력 기준 전압 Vrefi를 생성하는 입력 기준 전압 발생 회로(2i)를 포함한다.

외부 전원 레벨 지정 신호 ZCMPE는 이 반도체 장치에 대하여 이용되는 외부 전원 전압 EXVDD의 전압 레벨에 따라 고정적으로 설정된다. 즉, 외부 전원 레벨 지정 신호 ZCMPE는 외부 전원 전압 EXVDD가, 예컨대, 2.5V로 낮은 경우에는, H레벨로 설정되고, 외부 전원 전압 EXVDD가, 예컨대, 3.3V로 높은 경우에는, L레벨로 설정된다. 이 외부 전원 레벨 지정 신호 ZCMPE는 마스크 배선 또는 본딩 패드의 전압 고정에 의해, 그 전압 레벨이 설정된다.

파워 컷 인에이블 신호 PCUTE는, 종래와 마찬가지로, 딥 파워 다운 모드가 지정되었을 때에 H레벨로 설정된다. 따라서, 딥 파워 다운 모드에 있어서는, 어레이 기준 전압 Vrefs, 주변 기준 전압 Vrefp 및 입력 기준 전압 Vrefi의 발생은 정지된다. 딥 파워 다운 모드 시에, 딥 파워 다운 모드를 해제하는 커맨드를 접수하여, 딥 파워 다운 모드 해제의 동작을 실행하는 회로를 동작시킬 필요가 있다. 이후에 설명하는 바와 같이, 딥 파워 다운 모드 시에는, 별도의 경로로부터 외부 전원 전압에 근거해서 주변 전원 전압을 생성하고, 이 딥 파워 다운 모드의 설정/해제에 관련되는 주변 제어 회로에 동작 전원 전압으로서 공급한다.

내부 전압 발생 회로는, 또한, 주변 기준 전압 V_{refp} 에 근거해서 주변 전원선(10p)에 주변 전원 전압 $VDDP$ 를 생성하는 주변 전원 회로(3)와, 어레이 기준 전압 V_{refs} 에 근거해서 어레이 전원선(10S) 상에 어레이 전원 전압(센스 전원 전압) $VDDS$ 를 생성하는 어레이 전원 회로(4)와, 입력 기준 전압 V_{refi} 에 근거해서 입력 전원 전압 $VDDI$ 를 입력 전원선(10i) 상에 생성하는 입력 전원 회로(5)를 포함한다.

주변 전원선(10p) 상의 주변 전원 전압 $VDDP$ 는 도 37에 나타내는 주변 전원 전압 V_{ddp} 에 대응해서, 주변 회로에 인가된다. 어레이 전원 전압 $VDDS$ 는 도 37에 나타내는 센스 전원 전압 V_{dds} 에 대응하여, 센스 앰프 그룹 등으로 인가된다. 입력 전원 전압 $VDDI$ 는 인터페이스 사양이, 예컨대, 1.8VIO 인터페이스일 때에 생성되어, 입력 회로 초단의 입력 버퍼로 동작 전원 전압으로서 인가된다. 출력 회로로는 출력 전원 전압 $VDDQ$ 가 출력 전용으로 외부로부터 인가된다.

주변 전원 회로(3)는 제어 입력 AIN 및 BIN에 인가되는 어레이 활성화 신호 ACT 및 외부 전원 레벨 지정 신호 ZCMPE에 응답하여 선택적으로 활성화되고, 활성화 시 주변 전원선(10p)에 주변 전원 전압 $VDDP$ 를 주변 기준 전압 V_{refp} 에 근거해서 생성하는 주변 액티브 VDC(강압 회로)(3a)와, 제어 입력 CIN에 인가되는 신호에 따라 선택적으로 활성화되어, 활성화 시, 주변 전원선(10p)에 주변 전원 전압 $VDDP$ 를 생성하는 주변 스탠바이 VDC(3s)를 포함한다.

주변 액티브 VDC(3a)는, 동작 시에는, 큰 전류 구동력으로 주변 전원선(10p)에 전류를 공급하고, 내부 동작에 의해 주변 전원 전압 $VDDP$ 가 소비되어도 그 전압 레벨을 소정 전압 레벨로 유지한다.

주변 스탠바이 VDC(3s)는, 동작 상태로 설정된 경우, 작은 전류 구동력으로 주변 전원선(10p) 상에 전류를 공급하고, 스탠바이 상태 시에 주변 전원 전압 $VDDP$ 가 리크 전류 등에 의해 그 전압 레벨이 저하하는 것을 방지한다.

이 주변 스탠바이 VDC(3s)의 제어 입력 CIN으로는, 주변 기준 전압 발생 회로(2p)와 마찬가지로, 외부 전원 레벨 지정 신호 ZCMPE와 파워 컷 인에이블 신호 PCUTE를 받는 OR 게이트(6)의 출력 신호가 인가된다. 이들 주변 액티브 VDC(3a) 및 주변 스탠바이 VDC(3s)는, 동작 시, 주변 기준 전압 V_{refp} 와 주변 전원 전압 $VDDP$ 를 비교하고, 그 비교 결과에 따라 외부 전원 노드로부터 주변 전원선(10p)으로 전류를 공급하고, 주변 전원 전압 $VDDP$ 를, 주변 기준 전압 V_{refp} 의 전압 레벨에 대응하는 전압 레벨로 유지한다.

주변 액티브 VDC(3a)는 제어 입력 AIN에 인가되는 어레이 활성화 신호 ACT가 활성화 상태에 있고, 또한 제어 입력 BIN에 인가되는 외부 전원 레벨 지정 신호 ZCMPE가 L레벨일 때에 활성화되어 주변 전원 전압 $VDDP$ 를 생성한다. 주변 스탠바이 VDC(3s)는 외부 전원 레벨 지정 신호 ZCMPE 및 파워 컷 인에이블 신호 PCUTE가 모두 L레벨일 때에 활성화되고, 메모리셀을 선택하는 액티브 사이클 및 메모리셀 선택 완료 후의 스탠바이 사이클 시에 동작하여, 주변 전원 전압 $VDDP$ 를 생성한다.

어레이 전원 회로(4)는 제어 입력 AIN에 인가되는 어레이 활성화 신호 ACT의 활성화 시에 동작하여, 어레이 전원 전압 $VDDS$ 와 어레이 기준 전압 V_{refs} 를 비교하고, 그 비교 결과에 따라 외부 전원 노드로부터 어레이 전원선(10S)으로 전류를 공급하는 어레이 액티브 VDC(4a)와, 제어 입력 CIN에 인가되는 파워 컷 인에이블 신호 PCUTE의 비활성화 시(L레벨일 때) 동작하여, 어레이 기준 전압 V_{refs} 와 어레이 전원 전압 $VDDS$ 의 비교 결과에 따라 외부 전원 노드로부터 어레이 전원선(10s)으로 전류를 공급하는 어레이 스탠바이 VDC(4s)를 포함한다.

어레이 전원 회로(4)에 대해서는, 외부 전원 레벨 지정 신호 ZCMPE는 인가되지 않는다. 외부 전원 전압 EXVDD가, 예컨대, 2.5V 및 3.3V여도, 어레이 전원 전압 $VDDS$ 는, 예컨대, 2.0V이며, 외부 전원 전압 EXVDD 중 어느 쪽의 전압 레벨에 대해서도 외부 전원 전압 EXVDD를 강압하여 어레이 전원 전압 $VDDS$ 를 생성해야 하기 때문이다.

입력 전원 회로(5)는 제어 입력 AIN에 인가되는 신호가 활성화 상태일 때 활성화되어, 입력 기준 전압 V_{refi} 와 입력 전원 전압 $VDDI$ 를 비교하고, 그 비교 결과에 따라 입력 전원선(10i)에 전류를 공급하는 입력 액티브 VDC(5a)와, 제어 입력 CIN에 인가되는 신호가 L레벨일 때에 활성화되고, 활성화 시, 입력 기준 전압 V_{refi} 와 입력 전원 전압 $VDDI$ 를 비교하고, 그 비교 결과에 따라 입력 전원선(10i)에 전류를 공급하는 입력 스탠바이 VDC(5s)를 포함한다.

입력 액티브 VDC(5a)로는, 어레이 활성화 신호 ACT와 모드 선택 신호 MLV를 받는 게이트 회로(7)의 출력 신호가 인가된다. 이 게이트 회로(7)는 어레이 활성화 신호 ACT가 H레벨이며, 또한 모드 선택 신호 MLV가 L레벨일 때에 H레벨의 신호를 출력한다. 모드 선택 신호 MLV는 L레벨일 때, 1.8VIO(인터페이스) 모드를 지정한다. 입력 스탠바이 VDC(5s)의 제어 입력 CIN으로는, 모드 선택 신호 MLV와 파워 컷 인에이블 신호 PCUTE를 받는 OR 게이트(8)의 출력 신호가 인가된다.

OR 회로(6, 8)와 게이트 회로(7)는 외부 전원 전압을 동작 전원 전압으로서 받아, 외부 전원 전압 레벨의 파워 컷 인에이블 신호 PCUTE 또는 모드 선택 신호 MLV에 따라 각각 제어 신호를 생성한다.

내부 전압 발생 회로는 모드 선택 신호 MLV를 반전하는 인버터(11)와, 인버터(11)의 출력 신호가 L레벨일 때에 도통하고, 주변 전원선(10p)과 입력 전원선(10i)을 전기적으로 접속하는 접속 게이트(12)를 더 포함한다. 도 1에 있어서는, 접속 게이트(12)는 P채널 MOS 트랜지스터로 구성된다. 그러나, 이 접속 게이트(12)는 CMOS 트랜스미션 게이트로 구성되어도 좋다.

즉, 모드 선택 신호 MLV가 L레벨일 때에는, 접속 게이트(12)는 비도통 상태이며, 주변 전원 전압 VDDP 및 입력 전원 전압 VDDI가 각각 별도로 생성된다. 한편, 모드 선택 신호 MLV가 H레벨로 되면, 접속 게이트(12)가 도통되고, 주변 전원선(10p)과 입력 전원선(10i)이 전기적으로 접속된다. 이 경우, 주변 전원 전압 VDDP가 입력 전원 전압 VDDI로서 이용된다 (입력 전원 회로(5)는 비동작 상태로 유지되기 때문임).

즉, 이 모드 설정 신호 MLV가 H레벨일 때에는, 인터페이스로서 LVTTL 모드가 지정되고, 모드 선택 신호 MLV가 L레벨일 때에는, 1.8VIO 모드가 지정된다. LVTTL 모드에 있어서, 입력 신호의 H레벨 VIH가 2.0V, L레벨 VIL이 0.8V이다. 한편, 1.8VIO 모드에 있어서, 입력 신호의 H레벨이 LVTTL레벨보다도 낮게 된다.

따라서, 이 모드 설정 신호 MLV가 L레벨로 설정되어 있는 경우에는, 입력 전원 회로(5)를 동작시키고, 1.8VIO 모드에 따른 입력 전원 전압 VDDI를 생성한다. 한편, 모드 설정 신호 MLV가 H레벨이며, LVTTL 모드를 지정하고 있는 경우에는, 입력 전원 전압 VDDI와 주변 전원 전압 VDDP를 동일 전압 레벨로서, 입력 전원 회로(5)의 동작을 정지한다. 이에 따라, LVTTL 모드 시의 소비 전력을 감소시킨다.

도 2는 도 1에 나타내는 기준 전압 발생 회로(2p, 2s, 2i)의 구성의 일 예를 나타내는 도면이다. 이들 기준 전압 발생 회로(2p, 2s, 2i)는 동일 구성을 갖기 때문에, 도 2에 있어서는, 하나의 기준 전압 발생 회로(2)를 대표적으로 나타낸다.

도 2에 있어서, 기준 전압 발생 회로(2)는 외부 전원 노드에 결합되어, 정전류 I0을 공급하는 정전류원(20a)과, 정전류원(20a)과 출력 노드(20f) 사이에 접속되고, 또한 그 게이트가 제어 입력 DIS에 접속되는 P채널 MOS 트랜지스터(20b)와, 출력 노드(20f)에 그 일단이 접속되는 저항 소자(20c)와, 저항 소자(20c)와 접지 노드 사이에 접속되고, 또한 그 게이트가 제어 입력 DIS에 접속되는 N채널 MOS 트랜지스터(20d)와, 출력 노드(20f)와 접지 노드 사이에 접속되고, 또한 그 게이트가 제어 입력 DIS에 접속되는 N채널 MOS 트랜지스터(20e)를 포함한다.

이 기준 전압 발생 회로(2)에 있어서, 제어 입력 DIS에 인가되는 신호가 L레벨일 때에는, MOS 트랜지스터(20b)가 도통 상태, MOS 트랜지스터(20e)가 비도통 상태이다. MOS 트랜지스터(20d)는 다이오드 모드로 동작하고, 도통 시, 그 임계값 전압의 절대값 V_{tp} 의 전압 강하를 생기게 한다. 이 MOS 트랜지스터(20d)를 이용하는 것에 의해 외부 전원 전압 EXVDD가 상승하고, MOS 트랜지스터(20d)의 소스 전위가 전압 V_{tp} 를 초과할 때까지, 출력 노드(20f)로부터의 전압 V_{ref} 를 외부 전원 전압 EXVDD에 따라 상승시킨다. 이에 따라, 외부 전원 투입 시에, 고속으로, 기준 전압 V_{ref} 의 전압 레벨을 상승시킨다.

따라서, 이 제어 입력 DIS에 인가되는 신호가 L레벨일 때에는, 출력 노드(20f)로부터의 기준 전압 V_{ref} 의 전압 레벨은 다음 식으로 부여된다.

$$V_{ref} = I_0 \cdot R + V_{tp}$$

단, R은 저항 소자(20c)의 저항값을 나타낸다.

제어 입력 DIS에 인가되는 제어 신호가 H레벨일 때에는, MOS 트랜지스터(20b)는 비도통 상태, MOS 트랜지스터(20e)는 도통 상태로 된다. 따라서, 이 경우에는, 정전류원(20a)으로부터의 전류 공급 경로가 차단되고, 기준 전압 V_{ref} 는 MOS 트랜지스터(20e)에 의해 접지 전압 레벨로 고정된다.

이 기준 전압 발생 회로(2)가 도 1에 나타내는 주변 기준 전압 발생 회로(2b)일 경우, 제어 입력 DIS에는, 외부 전원 레벨 지정 신호 ZCMPE가 인가된다. 이 외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때에는, 외부 전원 전압 EXVDD가, 예컨대, 2.5V이다. 이 경우에는, 후에 상세히 설명하는 바와 같이, 주변 전원 전압 VDDP는 외부 전원 전압 EXVDD와 동일 전

압 레벨로 설정된다. 따라서, 이 경우에는, 주변 기준 전압 V_{refp} 를 생성할 필요는 없고, 주변 기준 전압 발생 회로(2p)의 동작은 정지된다. 한편, 외부 전원 전압 EXVDD가, 예컨대, 3.3V일 경우에는, 외부 전원 레벨 지정 신호 ZCMPE는 L레벨로 설정되고, 그 주변 기준 전압 V_{refp} 에 따라 외부 전원 전압 EXVDD를 강압하여 주변 전원 전압 VDDP를 생성한다.

도 2에 나타내는 기준 전압 발생 회로(2)가 어레이 기준 전압 발생 회로(2s), 또는 입력 기준 전압 발생 회로(2i)일 경우에는, 제어 입력 DIS에 파워 컷 인에이블 신호 PCUTE가 인가된다. 따라서, 딥 파워 다운 모드 시에는, 이 파워 컷 인에이블 신호 PCUTE가 H레벨로 되어, 이들 어레이 기준 전압 발생 회로(2s) 및 입력 기준 전압 발생 회로(2i)의 기준 전압 발생 동작은 정지된다.

주변 기준 전압 발생 회로(2p)의 경우에는, 제어 입력 DIS에 OR 회로(6)의 출력 신호를 받고 있고, 외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때에는, 동작 모드에 관계없이 기준 전압 발생 동작은 정지되고, 주변 기준 전압 V_{refp} 는 접지 전압 레벨로 고정된다. 외부 전원 레벨 지정 신호 ZCMPE가 L레벨일 때에는, OR 회로(6)의 출력 신호가 파워 컷 인에이블 신호 PCUTE에 따라 H레벨로 되고, 딥 파워 다운 모드 시에는, 어레이 기준 전압 V_{refs} 및 입력 기준 전압 V_{refi} 와 마찬가지로 주변 기준 전압 V_{refp} 의 발생은 정지된다.

도 3은 도 1에 나타내는 주변 액티브 VDC(3a) 구성의 일례를 나타내는 도면이다. 도 3에 있어서, 주변 액티브 VDC(3a)는 주변 전원 전압 VDDP와 주변 기준 전압 V_{refp} 를 비교하는 비교 회로(23)와, 동작 시, 비교 회로(23)의 출력 신호에 따라 주변 전원선(10p)에 외부 전원 노드로부터 전류를 공급하는 전류 드라이브 트랜지스터(24)를 포함한다.

비교 회로(23)는 외부 전원 노드와 노드 ND1 사이에 접속되고, 또한 그 게이트가 노드 ND1에 접속되는 P채널 MOS 트랜지스터(23a)와, 노드 ND1과 노드 ND3의 사이에 접속되고, 또한 그 게이트로 주변 전원 전압 VDDP를 받는 N채널 MOS 트랜지스터(23c)와, 외부 전원 노드와 노드 ND2의 사이에 접속되며, 또한 그 게이트가 노드 ND1에 접속되는 P채널 MOS 트랜지스터(23b)와, 노드 ND2와 노드 ND3 사이에 접속되고, 또한 그 게이트로 기준 전압 V_{refp} 를 받는 N채널 MOS 트랜지스터(23d)와, 노드 ND3과 접지 노드 사이에 접속되며, 또한 그 게이트로 게이트 회로(25)의 출력 신호를 받는 N채널 MOS 트랜지스터(23e)를 포함한다.

MOS 트랜지스터(23a, 23b)는 커런트 미러 회로를 구성하고, MOS 트랜지스터(23a)를 흐르는 전류의 미러 전류가 MOS 트랜지스터(23b)를 거쳐서 흐른다. 미러비가 1인 경우에는, MOS 트랜지스터(23a, 23b)에는, 같은 크기의 전류가 흐른다.

MOS 트랜지스터(23c, 23d)는 주변 전원 전압 VDDP와 주변 기준 전압 V_{refp} 를 비교하는 차동단을 구성한다. MOS 트랜지스터(23e)는 이 비교 회로(23)의 전류원 트랜지스터로서 동작하고, 도통 시에, 이 비교 회로(23)의 비교 동작을 인에이블 상태로 하고, 비도통 상태일 때에는, 동작 전류의 경로를 차단하여, 이 비교 회로(23)의 비교 동작을 디스에이블 상태로 한다.

게이트 회로(25)는 제어 입력 AIN에 인가되는 어레이 활성화 신호 ACT와 제어 입력 BIN에 인가되는 외부 전원 레벨 지정 신호 ZCMPE를 받는다. 이 게이트 회로(25)는 어레이 활성화 신호 ACT가 H레벨이며, 또한 외부 전원 레벨 지정 신호 ZCMPE가 L레벨일 때에 H레벨의 신호를 출력한다. 따라서, 외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때에는, 게이트 회로(25)의 출력 신호는 L레벨로 고정되고, 이 비교 회로(23)는 그 비교 동작이 금지된다. 즉, 외부 전원 전압 EXVDD가, 예컨대, 2.5V로 낮은 경우에는, 이 외부 전원 레벨 지정 신호 ZCMPE가 H레벨로 설정되어, 비교 회로(23)의 비교 동작이 정지된다.

주변 액티브 VDC(3a)는, 또한, 제어 입력 BIN에 인가되는 외부 전원 레벨 지정 신호 ZCMPE를 받는 인버터(26)와, 인버터(26)의 출력 신호가 L레벨일 때 도통하고, 노드 ND1을 외부 전원 노드에 결합하는 P채널 MOS 트랜지스터(27)와, 제어 입력 AIN에 인가되는 어레이 활성화 신호 ACT와 제어 노드 BIN에 인가되는 외부 전원 레벨 지정 신호 ZCMPE를 받는 게이트 회로(32)의 출력 신호의 비활성화 시(L레벨일 때) 도통하고, 노드 ND2를 외부 전원 노드에 결합하는 P채널 MOS 트랜지스터(29)와, 제어 입력 DIN에 인가되는 외부 전원 레벨 지정 신호 ZCMPE를 받는 인버터(30)와, 인버터(30)의 출력 신호가 L레벨일 때 도통하고, 주변 전원선(10p)의 도통 시, 외부 전원 노드에 결합하는 P채널 MOS 트랜지스터(31)와, 제어 입력 BIN에 인가되는 외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때 도통하고, 도통 시, 노드 ND2를 접지 전압 레벨로 유지하는 N채널 MOS 트랜지스터(28)를 포함한다.

게이트 회로(32)는 어레이 활성화 신호 ACT가 H레벨이고, 또한 외부 전원 레벨 지정 신호 ZCMPE가 L레벨일 때에 H레벨의 신호를 출력한다.

외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때에는, 인버터(26, 30)의 출력 신호가 L레벨로 되어, MOS 트랜지스터(27, 31)가 도통한다. 또한, 게이트 회로(32)의 출력 신호가 H레벨로 되고, MOS 트랜지스터(29)가 비도통 상태로 되어, 노드 ND2가 외부 전원 노드로부터 분리된다. 또한, MOS 트랜지스터(28)가 도통 상태로 되어, 노드 ND2가 접지 전압 레벨로 고정된다.

이 상태에서는, 노드 ND1이 외부 전원 전압 레벨로 되어, MOS 트랜지스터(23a, 23b)는 오프 상태로 된다. 비교 회로(23)의 비교 동작은 록(lock)된다.

한편, 주변 전원선(10p)은 MOS 트랜지스터(31)를 거쳐서 외부 전원 노드에 결합되어, 주변 전원 전압 VDDP가 외부 전원 전압 EXVDD 레벨로 된다. 또한, 노드 ND2가 접지 전압 레벨로 유지되기 때문에, MOS 트랜지스터(24)가 도통 상태로 고정된다. 전류 드라이브 트랜지스터(24)만을 이용하여, 외부 전원 전압 EXVDD가 낮은 경우에, 외부 전원 노드와 주변 전원선(10p)을 직접 접속한 경우, 그 채널 저항에 의해서, 전압 강하가 발생하고, 주변 전원 전압 VDDP의 전압 레벨이 외부 전원 전압 EXVDD보다도 저하하여, 필요한 전압 레벨을 얻을 수 없다. 이 경우, 채널 저항을 저하시키기 위해서, 전류 드라이브 트랜지스터(24)의 크기(채널 폭과 채널 길이의 비)를 크게 한 경우, 외부 전원 레벨 지정 신호 ZCMPE가 L레벨일 때의 주변 액티브 VDC(3a)의 이득이 커지므로, 발진하기 쉽게 되어, 안정하게 주변 전원 전압 VDDP를 생성할 수가 없게 된다. 또한, 발진 동작을 억제하여, 비교 회로(23)의 응답성을 유지하기 위해서는, 이 비교 회로(23)의 각 트랜지스터의 전류 구동력(크기)을 크게 할 필요가 있어, 비교 회로(23)의 소비 전력이 증가한다고 하는 문제가 발생할 가능성이 있다.

MOS 트랜지스터(31)를 전류 드라이브 트랜지스터(24)와 별도로 마련하여, 외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때에만 MOS 트랜지스터(31)를 도통 상태로 하고, 주변 전원 전압 VDDP의 전압 레벨을 외부 전원 전압 EXVDD 레벨로 설정한다. 이 MOS 트랜지스터(31)의 크기가 크게 되어 있어도, 외부 전원 레벨 지정 신호 ZCMPE가 L레벨일 때에는, 이 MOS 트랜지스터(31)가 비도통 상태이며, 주변 액티브 VDC(3a)의 전류 발생 동작에는 영향을 미치지 않는다.

이에 따라, 전원 전압 EXVDD의 전압 레벨이, 예컨대, 2.5V로 낮은 경우에는, MOS 트랜지스터(24, 31)를 이용하여, 주변 전원 전압 VDDP를 확실하게 외부 전원 전압 EXVDD 레벨로 유지할 수 있다. 또한, 외부 전원 전압 EXVDD의 전압 레벨이 높은 경우에는, 전류 드라이브 트랜지스터(24)의 전류 구동에 의해, 안정하게 발진 동작을 생기게하는 일없이, 소망하는 전압 레벨의 주변 전원 전압 VDDP를 생성할 수 있다. 또한, 비교 회로(23)의 각 트랜지스터의 크기를 작게 할 수 있어, 소비 전류(동작 전류)를 감소시킬 수 있다.

또한, 비교 기준 전압 Vrefp는, 도 2에 도시하는 바와 같이, 외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때에는, 접지 전압 레벨이며, MOS 트랜지스터(23d)는 비도통 상태로 유지된다. 따라서, 이 외부 전원 레벨 지정 신호 ZCMPE가 H레벨일 때에, 노드 ND2가 접지 전압 레벨로 고정되어도, MOS 트랜지스터(27)로부터 MOS 트랜지스터(23c, 23d)를 거쳐서 접지 노드로 리크 전류가 흐르는 것을 방지할 수 있다.

주변 회로의 트랜지스터가, 전원 전압이 2.5V에서 그 동작 특성이 최적화되도록 설계되어 있는 경우, 3.3V의 외부 전원 전압 EXVDD에 대응하는 3.3V 제품을 제조하는 경우에는, 외부 전원 레벨 지정 신호 ZCMPE를 L레벨로 설정하고, 주변 액티브 VDC(3a)를 동작시켜, 외부 전원 전압 EXVDD를 강압하여, 2.5V 레벨의 주변 전원 전압 VDDP를 생성한다. 한편, 2.5V의 외부 전원 전압 EXVDD에 적용되는 2.5V 제품을 제조하는 경우에는, 이 외부 전원 레벨 지정 신호 ZCMPE를 H레벨로 설정하여, 주변 전원선(10p)과 외부 전원 노드를 직접 접속한다. 동일 회로 구성으로, 복수 종류의 외부 전원 전압에 대응하는 주변 전원 회로를 실현할 수 있다.

또, 외부 전원 레벨 지정 신호 ZCMPE가 L레벨일 때에는, MOS 트랜지스터(27, 28, 31)가 모두 비도통 상태이다. 이 경우에는, 어레이 활성화 신호 ACT가 H레벨로 되어 주변 회로가 동작할 때에, MOS 트랜지스터(23e)는 도통 상태, MOS 트랜지스터(29)가 비도통 상태로 되어, 비교 회로(23)가 동작하고, 전류 드라이브 트랜지스터(24)가 이 비교 회로(23)의 출력 신호에 따라 주변 전원선(10b)에 전류를 공급한다.

어레이 활성화 신호 ACT가 L레벨이라고 하면, MOS 트랜지스터(23e)가 비도통 상태, MOS 트랜지스터(31)가 도통 상태로 되고, 노드 ND2가 외부 전원 전압 EXVDD 레벨로 설정되어, 전류 드라이브 트랜지스터(24)가 비도통 상태로 된다.

도 4는 외부 전원 레벨 지정 신호 ZCMPE를 발생시키는 부분의 구성의 일 예를 나타내는 도면이다. 도 4에 있어서, 외부 전원 레벨 지정 신호 발생부는, 금속 배선(35a)에 의해 그 접속 경로가 외부 전원 노드 또는 접지 노드 중 어느 하나로 설정되는 금속 스위치(35)를 포함한다. 이 금속 스위치(35)의 접속 경로 설정에 의해, 외부 전원 레벨 지정 신호 ZCMPE의 전압 레벨이 고정적으로 설정된다. 이 금속 배선(35a)은 마스크 배선이며, 슬라이스 공정에 의해 형성된다. 도 4에 있어서는,

금속 배선(35a)이 외부 전원 노드에 결합되어, H레벨의 외부 전원 레벨 지정 신호 ZCMPE가 생성되는 상태를 일례로서 나타낸다. 따라서, 슬라이스 공정에 있어서, 이 금속 배선(35a)의 접속 경로를 설정함으로써, 동일 칩 구성의 DRAM을 이용하여, 3.3V 제품 및 2.5V 제품 등의 서로 다른 외부 전원 전압 레벨에 대응하는 제품을 제조할 수 있다.

도 5는 외부 전원 레벨 지정 신호 ZCMPE를 발생하는 부분의 다른 구성을 개략적으로 나타내는 도면이다. 도 5에 있어서, 외부 전원 레벨 지정 신호 발생부는 패드(40)와, 이 패드(40)의 전압 레벨에 따라 외부 전원 레벨 지정 신호 ZCMPE를 생성하는 ZCMPE 발생 회로(41)를 포함한다. ZCMPE 발생 회로(41)는, 패드(40)가 그 본딩 시에 외부 전원 전압 및 접지 전압 중 어느 하나로 설정되는지에 따라서, 그 내부 구성이 결정된다. 기본적으로, 이 ZCMPE 발생 회로(41)는 패드(40)의 전위를 래치하는 래치 회로를 포함한다. 즉, 이 ZCMPE 발생 회로(41)에 있어서는, 패드(40)는 외부 전원 노드 또는 접지 노드에 접속되든지, 또는 오픈 상태로 설정된다.

또한, 이 외부 전원 레벨 지정 신호 ZCMPE는 용단 가능한 링크 소자를 이용하여, 그 출력 신호의 전압 레벨이 설정되는 프로그램 회로로부터 생성되어도 좋다.

또, 외부 전원 레벨 지정 신호 ZCMPE는 그 H레벨이 외부 전원 전압 EXVDD 레벨이며, 도 3에 나타내는 인버터(26, 30)와 게이트 회로(32)는 외부 전원 전압 EXVDD를 동작 전원 전압으로서 받는다. 게이트 회로(25)는 주변 전원 전압 VDDP를 동작 전원 전압으로서 받아도 좋다.

도 6은 도 1에 나타내는 어레이 액티브 VDC(4a) 및 입력 액티브 VDC(5a) 구성의 일례를 나타내는 도면이다. 이들 어레이 액티브 VDC(4a) 및 입력 액티브 VDC(5a)는 동일 구성을 갖기 때문에, 도 6에 있어서는, 어레이 액티브 VDC(4a)의 구성을 나타내고, 입력 액티브 VDC(5a)의 구성 요소의 참조 부호를 괄호 내에 나타낸다.

도 6에 있어서, 어레이 액티브 VDC(4a)는 제어 입력 AIN에 인가되는 신호가 H레벨일 때 활성화되어, 어레이 전원선(10s) 상의 어레이 전원 전압 VDDs와 어레이 기준 전압 Vrefs를 비교하는 비교 회로(50)와, 비교 회로(50)의 출력 신호에 따라 외부 전원 노드로부터 어레이 전원선(10S)으로 전류를 공급하는 전류 드라이브 트랜지스터(51)와, 제어 입력 AIN에 인가되는 신호가 L레벨일 때에 도통하고, 전류 드라이브 트랜지스터(51)의 게이트 노드 ND4를 외부 전원 전압 EXVDD 레벨로 유지하는 P채널 MOS 트랜지스터(52)를 포함한다.

이 어레이 액티브 VDC(4a)의 구성에 있어서, 비교 회로(50)는 커런트 미러형 차동 증폭 회로로 구성되어, 제어 입력 AIN에 인가되는 신호가 H레벨일 때에, 비교 회로(50)의 비교 동작에 의해, 노드 ND4에 어레이 기준 전압 Vrefs와 어레이 전원 전압 VDDs의 차이에 따른 전압 레벨의 신호가 나타난다. 전류 드라이브 트랜지스터(51)가, 이 노드 ND4 상의 신호에 따라, 외부 전원 노드로부터 어레이 전원선(10S)으로 전류를 공급한다. 따라서, 이 구성에 있어서는, 어레이 전원 전압 VDDs는 어레이 기준 전압 Vrefs의 전압 레벨로 유지된다.

제어 입력 AIN에 인가되는 신호가 L레벨일 때에는, 비교 회로(50)에 있어서, 동작 전류가 흐르는 경로가 차단되어 비교 동작이 정지된다. 또한, MOS 트랜지스터(52)가 도통하고, 노드 ND4가 외부 전원 전압 EXVDD 레벨로 유지되어, 전류 드라이브 트랜지스터(51)가 비도통 상태로 된다. 따라서, 비교적 큰 전류 구동력을 갖는 어레이 액티브 VDC(4a)가, 내부 회로가 동작할 때(이후에 설명하는 바와 같이, 센스 동작 시)에 동작하여, 큰 전류 구동력으로 어레이 전원 전압 VDDs를 생성하여, 그 전압 레벨의 저하를 방지한다.

입력 액티브 VDC(5a)의 경우에는, 입력 전원선(10i) 상의 입력 전원 전압 VDDI와 입력 기준 전압 Vrefi의 차이에 따라 전류 드라이브 트랜지스터(51)가, 입력 전원선(10i)에 전류를 공급하여, 입력 기준 전압 Vrefi의 전압 레벨로 입력 전원 전압 VDDI의 전압 레벨을 설정한다.

어레이 액티브 VDC(4a)에서는, 제어 입력 AIN에 어레이 활성화 신호 ACT가 인가된다. 한편, 입력 액티브 VDC(5a)의 경우에는, 그 제어 입력 AIN에, 도 1에 나타내는 게이트 회로(7)의 출력 신호가 인가된다. 따라서, 모드 설정 신호 MLV가 H레벨로 설정되고 입력 인터페이스가 LVTTTL 모드로 설정된 경우에는, 이 입력 액티브 VDC(5a)의 동작은 정지된다. 이 상태에 있어서는, 입력 전원 전압 VDDI는, 도 1에 도시하는 바와 같이, 주변 전원 전압 VDDP와 동일 전압 레벨로 설정된다. 한편, 모드 설정 신호 MLV가 L레벨로 설정되고, 인터페이스 모드로서 1.8V_{I/O} 모드가 지정된 경우에는, 이 입력 액티브 VDC(5a)는 어레이 활성화 신호 ACT에 따라 선택적으로 활성화된다.

모드 셀렉트 신호 MLV는 외부 전원 레벨 지정 신호 ZCMPE와 마찬가지로, 마스크 배선 또는 본딩 패드의 선택적 와이어링에 의해, 그 전압 레벨이 설정된다.

또, 입력 기준 전압 Vrefi를 발생시키는 입력 기준 전압 발생 회로(2i)에서는, 그 제어 입력 DIS에는 파워 컷 인에이블 신호 PCUTE가 인가되고 있다. 그러나, 이 입력 기준 전압 발생 회로(2i)의 제어 입력 DIS에는, 파워 컷 인에이블 신호 PCUTE와 모드 설정 신호 MLV를 받는 게이트 회로의 출력 신호가 인가되어도 좋다. 즉, 모드 설정 신호 MLV가 H레벨로 설정되고, LVTTL 모드가 지정되었을 때에는, 입력 전원 전압 VDDI를 생성할 필요가 없기 때문에, 이 입력 기준 전압 발생 회로(2i)의 기준 전압 발생 동작을 정지시킨다. 이에 따라, 소비 전류를 감소시킬 수 있다. 이 입력 기준 전압 발생 회로(2i)의 제어 입력 DIS로 신호를 인가하는 게이트 회로로는, OR 회로를 이용하면 좋다.

도 7은 도 1에 나타내는 스탠바이 VDC(3s, 4s, 5s)의 구성의 일례를 나타내는 도면이다. 이들의 스탠바이 VDC(3s, 4s, 5s)는 동일 구성을 갖기 때문에, 도 7에 있어서, 하나의 스탠바이 VDC를 대표적으로 나타낸다. 도 7에 있어서, 스탠바이 VDC는 제어 입력 CIN에 인가되는 신호가 H레벨일 때에 활성화되고, 활성화 시, 기준 전압 Vref(Vrefi, Vrefp, Vrefs)와 전원 전압 VDD(VDDI, VDDP, VDDS)를 비교하는 비교 회로(60)와, 비교 회로(60)의 출력 신호에 따라 내부 전원선(10i, 10p, 10s) 상으로 전류를 외부 전원 노드로부터 공급하는 전류 드라이브 트랜지스터(61)와, 제어 입력 CIN에 인가되는 신호가 L레벨일 때 도통하고, 도통 시, 전류 드라이브 트랜지스터(61)의 게이트 전극 노드 ND5로 외부 전원 전압 EXVDD를 전달하는 P채널 MOS 트랜지스터(62)를 포함한다.

제어 입력 CIN으로는, 주변 스탠바이 VDC(3s)의 경우에는, 도 1에 나타내는 OR 게이트(6)의 출력 신호가 인가된다. 따라서, 주변 스탠바이 VDC(3s)의 경우에는, 파워 컷 인에이블 신호 PCUTa 및 외부 전원 레벨 지정 신호 ZCMPE가 모두 H레벨일 때에 활성화되고, 기준 전압 Vref와 내부 전원 전압 VDD의 차이에 근거해서 내부 전원 전압 VDD의 전압 레벨을 조정한다. 즉, 주변 스탠바이 VDC(3s)는, 외부 전원 전압이, 예컨대, 2.5V이며, 외부 전원 레벨 지정 신호 ZCMPE가 H레벨로 설정되는 경우에는, 그 동작을 정지하고, 또한 외부 전원 전압 EXVDD가 3.3V일 경우에는, 파워 컷 인에이블 신호 PCUTE가 활성화되면, 그 내부 전원 전압 발생 동작을 정지한다.

어레이 스탠바이 VDC(4s)의 경우에는, 이 제어 입력 CIN에는, 파워 컷 인에이블 신호 PCUTE가 인가된다. 따라서, 딥 파워 다운 모드 시에만, 이 어레이 스탠바이 VDC(4s)가 어레이 전원 전압 VDDS의 발생 동작을 정지한다.

입력 스탠바이 VDC(5s)의 경우에는, 제어 입력 CIN으로는 모드 설정 신호 MLV와 파워 컷 인에이블 신호 PCUTE를 받는 OR 게이트의 출력 신호가 인가된다. 따라서, LVTTL 모드가 지정되고, 모드 설정 신호 MLV가 H레벨일 때, 및 딥 파워 다운 모드 시에 파워 컷 인에이블 신호 PCUTE가 H레벨로 설정되면, 이 입력 스탠바이 VDC(5i)는 입력 전원 전압 VDDI의 발생 동작을 정지한다.

이상과 같이, 본 발명의 실시예 1에 따르면, 전원 레벨 지정 신호와 모드 설정 신호와 파워 컷 인에이블 신호에 따라 선택적으로 스탠바이 VDC 및 액티브 VDC를 능동화하고 있어, 각 동작 모드/외부 전원 전압 레벨에 따라 필요한 회로만을 동작시키고 있고, 소비 전력을 감소시켜 안정하게 필요한 전압 레벨의 내부 전원 전압을 생성할 수 있다.

특히, 주변 전원 회로에 있어서, 주변 전원 전압 VDDP를 전달하는 주변 전원선과 외부 전원 노드를, 외부 전원 전압이, 예컨대, 2.5V인 경우에 직접 연결하기 위한 전용 보조 드라이브 트랜지스터를 마련하고 있고, 비교 회로 출력에 응답하여 동작하는 전류 드라이브 트랜지스터의 채널 저항을 저하시키는 일없이, 주변 전원 전압을 외부 전원 전압 레벨로 설정할 수 있어, 이 외부 전원 전압이 3.3V일 때의 주변 전원 회로의 동작 특성에 악영향을 미치지 않고 안정하게 소망하는 전압 레벨의 주변 전원 전압을 생성할 수 있다.

또한, 이 1.8VIO 인터페이스 모드가 지정되었을 때에는, 입력 전원 전압을 발생시키는 회로의 동작을 정지시켜 주변 전원선과 입력 전원선을 접속하고 있고, 1.8VIO 인터페이스 모드 시의 소비 전력을 감소시켜, 필요로 하는 전압 레벨의 내부 전원 전압을 생성할 수 있다.

(실시예 2)

도 8은 본 발명의 실시예 2에 따른 입력 회로 구성의 일례를 나타내는 도면이다. 도 8에 있어서, 외부 신호로부터 내부 신호를 생성하는 신호 입력부에서, 주변 전원 전압 VDDP를 동작 전원 전압으로서 받는 입력 버퍼 회로(72)와, 입력 전원 전압 VDDI를 동작 전원 전압으로서 받는 입력 버퍼 회로(78)가 공통의 외부 신호 EXSG에 대하여 마련된다. 이들 입력 버퍼 회로(72, 78)를 택일적으로 인에이블하기 위해서, 입력 인에이블 신호 EN과 모드 설정 신호 MLV를 받는 게이트 회로(70, 76)가 마련된다.

게이트 회로(70)는 입력 인에이블 신호 EN 및 모드 설정 신호 MLV가 모두 H레벨일 때에, 입력 버퍼 회로(72)를 인에이블 상태로 한다. 게이트 회로(76)는 입력 인에이블 신호 EN이 H레벨이며, 또한 모드 설정 신호 MLV가 L레벨일 때에, 입력 버퍼 회로(78)를 인에이블 상태로 한다.

입력 버퍼 회로(72)는 주변 전원 노드와 내부 노드 ND10 사이에 직렬로 접속되는 P채널 MOS 트랜지스터(72a, 72b)와, 내부 노드 ND10과 접지 노드 사이에 병렬로 접속되는 N채널 MOS 트랜지스터(72c, 72d)를 포함한다.

MOS 트랜지스터(72a, 72d)의 게이트에 게이트 회로(70)의 출력 신호가 인가되고, MOS 트랜지스터(72b, 72c)의 게이트에 외부 신호 EXSG가 인가된다. 따라서, 이 입력 버퍼 회로(72)에서는, 게이트 회로(70)의 출력 신호가 H레벨일 때에는, 내부 노드 ND10이 MOS 트랜지스터(72d)에 의해 접지 전압 레벨로 고정된다. 게이트 회로(70)의 출력 신호가 L레벨일 때에는, MOS 트랜지스터(72d)가 비도통 상태, MOS 트랜지스터(72a)가 도통 상태로 되어, 외부 신호 EXSG를 반전한 신호가 노드 ND10으로 출력된다.

게이트 회로(70)의 출력 신호가 H레벨일 때에는, MOS 트랜지스터(72a)가 비도통 상태로 되고, 또한, MOS 트랜지스터(72d)가 도통 상태로 설정되어, 내부 노드 ND10이 접지 전압 레벨로 고정된다.

입력 버퍼 회로(78)는 입력 전원 노드와 내부 노드 ND11 사이에 직렬로 접속되는 P채널 MOS 트랜지스터(78a, 78b)와, 내부 노드 ND11과 접지 노드 사이에 병렬로 접속되는 N채널 MOS 트랜지스터(78c, 78d)를 포함한다. MOS 트랜지스터(78a, 78d)의 게이트에, 게이트 회로(76)의 출력 신호가 인가되고, MOS 트랜지스터(78b, 78c)의 게이트에 외부 신호 EXSG가 인가된다.

게이트 회로(76)는 인에이블 신호 EN이 H레벨이며, 또한 모드 설정 신호 MLV가 L레벨일 때에 L레벨의 신호를 출력한다.

이 입력 버퍼 회로(78)도 입력 버퍼 회로(72)와 마찬가지로, 게이트 회로(76)의 출력 신호가 L레벨일 때에, MOS 트랜지스터(78a)가 도통 상태, MOS 트랜지스터(78d)가 비도통 상태로 되어, 외부 신호 EXSG를 반전한 신호를 노드 ND11에 생성한다. 한편, 게이트 회로(76)의 출력 신호가 H레벨일 때에는, MOS 트랜지스터(78a)가 비도통 상태로 되고, MOS 트랜지스터(78d)가 도통 상태로 되어, 외부 신호 EXSG의 논리 레벨에 관계없이, 노드 ND11이 접지 전압 레벨로 고정된다.

입력 회로는 입력 버퍼 회로(72)의 출력 신호를 반전하는 CMOS 인버터(74)와, 입력 버퍼 회로(78)의 출력 신호를 반전하는 CMOS 인버터(80)와, 입력 버퍼(78)의 출력 신호와 인버터(80)의 출력 신호에 따라, 이 인버터(80)의 출력 신호를 진폭 주변 전원 전압 VDDP 레벨의 신호로 변환하는 레벨 변환 회로(82)와, CMOS 인버터(74)의 출력 신호와 레벨 변환 회로(82)의 출력 신호를 받아 내부 신호 INSG를 생성하는 AND 회로(84)를 포함한다.

CMOS 인버터(74)는 주변 전원 전압 VDDP를 동작 전원 전압으로서 받고, CMOS 인버터(80)는 입력 전원 전압 VDDI를 동작 전원 전압으로서 받는다. 레벨 변환 회로(82)는 주변 전원 전압 VDDP를 동작 전원 전압으로서 받고, AND 회로(84)는 주변 전원 전압 VDDP를 동작 전원 전압으로서 받는다.

레벨 변환 회로(82)는 주변 전원 노드와 노드 ND12 사이에 접속되고, 또한 그 게이트가 노드 ND13에 접속되는 P채널 MOS 트랜지스터(82a)와, 주변 전원 노드와 노드 ND13 사이에 접속되고, 또한 그 게이트가 노드 ND12에 접속되는 P채널 MOS 트랜지스터(82b)와, 노드 ND12와 접지 노드 사이에 접속되며, 또한 그 게이트에 CMOS 인버터(80)의 출력 신호를 받는 N채널 MOS 트랜지스터(82c)와, 노드 ND13과 접지 노드 사이에 접속되고, 또한 그 게이트로 입력 버퍼 회로(78)의 출력 신호를 받는 N채널 MOS 트랜지스터(82d)를 더 포함한다.

이 레벨 변환 회로(82)는 CMOS 인버터(80)의 출력 신호가 입력 전원 전압 VDDI의 H레벨일 때에, 주변 전원 전압 VDDP 레벨의 신호를 출력한다. CMOS 인버터(80)의 출력 신호가 L레벨(접지 전압 레벨)일 때에는, 입력 버퍼 회로(78)의 출력 신호가 입력 전원 전압 VDDI 레벨이며, MOS 트랜지스터(82d)가 도통하고, 레벨 변환 회로(82)의 출력 노드 ND13에는 L레벨의 신호가 출력된다. 따라서, 이 레벨 변환 회로(82)는 입력 버퍼 회로(78)의 L레벨의 출력 신호를 주변 전원 전압 레벨의 신호로 변환하여, H레벨 신호를 접지 전압 레벨의 신호로 변환한다.

AND 회로(84)는 CMOS 인버터(74)의 출력 신호와 레벨 변환 회로(82)의 출력 신호를 받는 NAND 게이트(84a)와, NAND 게이트(84a)의 출력 신호를 반전하여 내부 신호 INST를 생성하는 인버터(84b)를 포함한다.

이 AND 회로(84)에 의해, CMOS 인버터(74)의 출력 신호 및 레벨 변환 회로(82)의 출력 신호를 결합하여, 인에이블된 입력 버퍼 회로의 출력 신호에 대응하는 내부 신호 INSG를 생성한다.

입력 버퍼 회로(72, 78)는 모드 설정 신호 MLV에 따라서 택일적으로 인에이블 상태로 되고, 디스에이블 시에는 그 출력 신호는 접지 전압 레벨이다. CMOS 인버터(74) 및 레벨 변환 회로(82)는, 각각, 입력 버퍼 회로(72, 78)의 출력 신호를 반전하고 있다. 따라서, 디스에이블 상태의 입력 버퍼 회로의 출력 신호가 반전되어 AND 회로(84)로 인가되고, AND 회로(84)는 인에이블 상태로 된 입력 버퍼 회로의 출력 신호에 따라 내부 신호 INSG를 생성한다.

도 9는 모드 설정 신호 MLV가 H레벨이며, LVTTL 모드가 지정되었을 때의 입력 버퍼 회로와 내부 전압 발생 회로의 상태를 개략적으로 나타내는 도면이다. 이 모드 설정 신호 MLV가 H레벨일 때에는, LVTTL 모드가 지정되고, 입력 신호의 H레벨 VIH가 2.0V이며, 입력 신호의 L레벨 VIL이 0.8V이다. 이 경우, 도 1에 도시하는 바와 같이, 입력 전원 전압 발생 회로(5)는 디스에이블 상태로 설정되고, 주변 전원선(10p)이 입력 전원선(10i)에 결합된다. 입력 버퍼 회로(72)가 주변 전원 전압 VDDP를 동작 전원 전압으로서 받아 동작하고, 외부 신호에 따라 게이트 회로(84)를 거쳐서 내부 신호 INSG가 생성된다. 이 경우, 입력 버퍼 회로(78)는 디스에이블 상태이며, 그 출력 신호는 L레벨로 고정된다.

입력 버퍼 회로(72)에 있어서는, 이 주변 전원 전압 VDDP의 전압 레벨 2.5V에 따라 VIH/VIL에 대해 마진을 최적화한다. 이에 따라, LVTTL 모드의 입력 신호에 대하여 정확하게 내부 신호 INSG를 생성할 수 있다. 또한, 입력 전원 전압 발생 회로(5)의 동작을 정지시키고 있고, 소비 전류를 감소시킬 수 있다.

도 10은 모드 설정 신호 MLV가 L레벨일 때의 입력 버퍼 회로 및 내부 전압 발생 회로의 상태를 개략적으로 나타내는 도면이다. 이 모드 설정 신호 MLV가 L레벨일 때에는, 1.8VIO 인터페이스 모드가 지정된다. 이 모드에 있어서는, 입력 신호의 H레벨 VIH 및 L레벨 VIL은 LVTTL 모드의 그것보다도 낮다. 예컨대, 이 1.8VI/O 모드(1.8VIO 인터페이스 모드)에 있어서, 입력 신호의 H/L레벨 VIH/VIL은, 예컨대, 0.65VDDQ/0.35VDDQ 또는, 0.8VDDQ/0.2VDDQ로 설정된다. 여기서, VDDQ는 출력 회로에 인가되는 출력 전원 전압의 전압 레벨이며, 외부 전원 전압 레벨과 같은 전압 레벨이다. 주변 전원 전압 VDDP는 통상 2.5V이다.

따라서, 이 입력 버퍼(72)를 이용하여 1.8VI/O 모드로 동작시킨 경우, 이 입력 신호 레벨 VIH/VIL에 대한 마진이 다르고, 정확한, 입력 신호의 논리 레벨 판정을 행할 수 없어, 정확히 내부 신호 INSG를 생성할 수가 없게 된다(1.8VI/O 모드에서는, LVTTL 모드 시의 VIH/VIL보다도, 입력 신호의 논리 레벨의 기준값 VIH 및 VIL이 모두 낮다). 따라서, 이 1.8VI/O 모드 전용으로, 1.8V의 입력 전원 전압 VDDI를 생성하여 입력 버퍼 회로(78)를 동작시킨다. 이 경우, 입력 버퍼 회로(78)의 입력 논리 임계값을 그 1.8VI/O 모드의 VIH/VIL에 맞춰 최적화한다. 이 입력 버퍼 회로(78)의 출력 신호에 따라, 게이트 회로(84)를 거쳐서 내부 신호 INSG를 생성한다.

이 1.8VI/O 모드에 있어서는, 도 1에 나타내는 접속 게이트(12)가 비도통 상태이며, 주변 전원선(10p) 및 입력 전원선(10s)은 분리되어 있고, 주변 전원 전압 발생 회로(3) 및 입력 전원 전압 발생 회로(5)는 모두 주변 전원 전압 VDDP 및 입력 전원 전압 VDDI를 각각 주변 전원선(10p) 및 입력 전원선(10s)에 생성한다.

또, 주변 전원 전압 발생 회로(3)가 디스에이블 상태로 되는지, 인에이블 상태로 되는지의 여부는 외부 전원 레벨 지정 신호 ZCMPE에 따라 설정된다.

이상과 같이, 본 발명의 실시예 2에 따르면, LVTTL 모드 및 1.8VI/O 모드 전용으로 동작하는 입력 버퍼 회로를 각각 마련하고, 지정되는 인터페이스에 따라 선택적으로 이들 입력 버퍼 회로를 동작시킴으로써, 안정하게, 지정된 인터페이스 모드로 동작하는 입력 회로를 실현할 수 있다. 또한, LVTTL 모드 시에는, 입력 전원 전압 발생 회로의 동작을 정지시킴으로써, 소비 전력을 감소시킬 수 있다.

또, 입력 인에이블 신호 EN은 클럭 동기형 반도체 기억 장치일 경우에는, 내부 클럭 신호를 효과적으로 이용하여 내부 회로를 동작시키는 클럭 인에이블 신호 CKE에 상당한다. 이 반도체 장치에 있어서 입력 신호를 외부 신호에 따라 생성하는 것이 지정될 때에, 입력 인에이블 신호 EN이 활성화된다.

(실시예 3)

도 11은 본 발명의 실시예 3에 따른 내부 전압 발생부의 구성을 개략적으로 나타내는 도면이다. 도 11에 있어서, 주변 전원선(10p)에 대하여 주변 전원 전압 발생 회로(3)가 마련되고, 또한 입력 전원선(10i)에 대하여 입력 전원 전압 발생 회로(5)

가 마련된다. 어레이 전원선(10s)에 대해서는, 어레이 전원 전압 발생 회로(4)가 마련된다. 이들의 주변 전원 전압 발생 회로(3), 입력 전원 전압 발생 회로(5) 및 어레이 전원 전압 발생 회로(4)에 대하여, 파워 컷 인에이블 신호 PCUTE가 인가된다. 파워 다운 모드 시에는, 어레이 활성화 신호 ACT는 비활성 상태에 있기 때문에, 파워 컷 인에이블 신호 PCUTE가 H레벨로 설정된 경우에는, 주변 전원 전압 발생 회로(3), 입력 전원 전압 발생 회로(5) 및 어레이 전원 전압 발생 회로는, 그 내부 전원 전압 발생 동작을 정지한다(도 1 참조). 이들 주변 전원 전압 발생 회로(3), 입력 전원 전압 발생 회로(5) 및 어레이 전원 전압 발생 회로(4)의 구성은 앞선 도 1 내지 도 7에서 나타난 구성과 같다.

주변 전원선(10p)에 대하여, 파워 컷 인에이블 신호 PCUTE의 활성화 시 도통하고, 도통 시, 주변 전원선(10p)을 외부 전원 노드에 결합하는 N채널 MOS 트랜지스터(90)가 마련된다. 이 MOS 트랜지스터(90)는 임계값 전압 V_{thn} 을 갖고 있다. 주변 전원 전압 VDDP가 외부 전원 전압 EXVDD를 강압하여 생성되는 모드 시에는, 파워 컷 인에이블 신호 PCUTE가 H레벨일 때에, 이 주변 전원선(10p) 상의 주변 전원 전압 VDDP는 전압 EXVDD- V_{thn} 으로 된다.

단, 외부 전원 레벨 지정 신호 ZCMPE가 H레벨로 설정되고, 외부 전원 전압 EXVDD가, 예컨대, 2.5V인 것이 나타내어질 있을 때에는, 주변 전원 전압 발생 회로(3)에 있어서, 도 3에 나타내는 MOS 트랜지스터(31)가 온 상태이며, 주변 전원선(10p)은 외부 전원 노드에 결합된다. 따라서, 이 경우에는, 파워 컷 인에이블 신호 PCUTE의 활성화/비활성에 관계없이, 주변 전원 전압 VDDP는 외부 전원 전압 EXVDD 레벨로 유지된다.

한편, 외부 전원 전압 EXVDD가, 3.3V일 때에는, 파워 컷 인에이블 신호 PCUTE가 활성화되는 딥 파워 다운 모드 시에는, 주변 전원 전압 VDDP는 외부 전원 전압 EXVDD- V_{thn} 으로 된다.

전원 투입 시에, 노이즈 등의 영향에 의해 파워 컷 인에이블 신호 PCUTE가 활성화되면, 주변 전원 전압 발생 회로(3)가 주변 전원 전압 VDDP의 발생 동작을 정지한다. 이 경우, 전원 투입 검출 신호 POR이 비활성화되어도, 주변 회로에 대하여 동작 전원 전압이 공급되지 않는 경우에는, 파워 컷 인에이블 신호 PCUTE의 리셋은 할 수 없고, 내부에서 주변 전원 전압 VDDP를 생성할 수가 없게 된다. 파워 컷 인에이블 신호 PCUTE가 활성화되었을 때에, 주변 전원선(10p)을 외부 전원 노드에 결합함으로써, 파워 다운 모드의 제어에 관련되는 주변 회로에 전원 전압 VDDP를 부여할 수 있다. 전원 투입 후, 이 주변 회로를 동작시켜, 파워 컷 인에이블 신호 PCUTE를 리셋하고, 전원 전압 발생 회로(3)를 활성화하여 내부 주변 전원 전압을 생성한다.

전원 투입에 있어서, 파워 컷 인에이블 신호 PCUTE가 비활성 상태로 유지되어 있는 경우에는, 전원 투입 후, 주변 전원 전압 발생 회로(3)가 동작하여 주변 전원 전압 VDDP를 생성한다.

또한, 딥 파워 다운 모드 시에는, 딥 파워 다운 제어에 관련되는 회로 이외에 있어서는 전류 경로가 차단되어 있다. 한편, 이 딥 파워 다운 모드의 제어에 관련되는 회로에 인가되는 주변 전원 전압 VDDP의 전압 레벨을 외부 전원 전압 EXVDD보다도 MOS 트랜지스터(90)의 임계값 전압 V_{thn} 을 저하시킴으로써, 이 회로 부분에서의 리크 전류를 억제한다.

입력 전원선(10i)에 대해서는, 모드 설정 신호 MLV를 받는 인버터(11)와, 인버터(11)의 출력 신호가 L레벨일 때 도통하고, 입력 전원선(10i)과 주변 전원선(10p)을 접속하는 P채널 MOS 트랜지스터(12)가 마련된다. 이들 인버터(11) 및 MOS 트랜지스터(12)는 도 1에 나타내는 것과 같다.

입력 전원선(10i)에 대하여, 인버터(11)의 출력 신호와 파워 컷 인에이블 신호 PCUTE를 받는 AND 회로(92)와, AND 회로(92)의 출력 신호가 L레벨일 때 도통하고, 외부 전원 노드를 입력 전원선(10i)에 접속하는 P채널 MOS 트랜지스터(93)가 더 마련된다.

모드 설정 신호 MLV가 H레벨일 때에는, LVTTL 모드가 지정된다. 이 LVTTL 모드 시에는, 입력 전원 전압 VDDI가 주변 전원 전압 VDDP 레벨과 같은 전압 레벨로 설정되어, 입력 전원 전압 발생 회로(5)의 동작은 정지된다. 이 때, NAND 회로(92)의 출력 신호는 H레벨이며, MOS 트랜지스터(93)는 비도통 상태이며, 외부 전원 전압 EXVDD를 공급하는 외부 전원 노드와 입력 전원선(10i)은 분리된다.

한편, 1.8V_{I/O} 모드가 설정된 경우에는, 모드 설정 신호 MLV는 L레벨이다. 이 경우, MOS 트랜지스터(12)가 비도통 상태로 되어, 주변 전원선(10p)과 입력 전원선(10i)은 분리된다. 파워 컷 인에이블 신호 PCUTE가 H레벨로 되면, NAND 회로(92)의 출력 신호가 L레벨로 되어, MOS 트랜지스터(93)가 도통하고, 외부 전원 노드와 입력 전원선(10i)이 접속되어, 입력 전원 전압 VDDI가 외부 전원 전압 EXVDD 레벨로 된다.

입력 전원 전압 VDDI가 1.8V로 설정되어 있는 경우, 딥 파워 다운 모드 시에, 이 입력 전원 전압 VDDI를 1.8V보다도 낮게 하고, 특히, N채널 MOS 트랜지스터 및 P채널 MOS 트랜지스터의 임계값 전압의 절대값 정도까지 낮게 한 경우, CMOS 회로가 오동작할 가능성이 있다. 이 입력 전원 전압 VDDI를 사용하는 입력 회로는 딥 파워 다운 모드 등록 및 제어를 지시하는 외부로부터의 제어 신호(커맨드)를 받는다. 따라서, 외부 신호에 따라 정확히 내부 신호를 생성할 수가 없는 경우, 딥 파워 다운 모드를 정확히 해제할 수 없게 될 가능성이 있다. 그래서, 이 딥 파워 다운 모드 시에는, 입력 전원 전압 VDDI를 외부 전원 전압 EXVDD로 설정한다. 이에 따라 커맨드 입력 회로를 정확히 동작시켜, 딥 파워 다운 모드를 해제한다.

또한, 전원 투입 시에, 파워 컷 인에이블 신호 PCUTE가 잘못하여 활성 상태로 설정되어도, 입력 전원 전압 VDDI를 외부 전원 전압 EXVDD에 따라 생성할 수 있다. 따라서, 주변 회로가 동작하여, 파워 컷 인에이블 신호 PCUTE가 리셋되었을 때, 고속으로, 이 입력 전원 전압 VDDI에 따라 입력 회로의 초기 설정을 실행할 수 있다.

어레이 전원선(10s)에 대해서는, 파워 컷 인에이블 신호 PCUTE와 외부 전원 레벨 지정 신호 ZCMPE를 받는 게이트 회로(95)와, 게이트 회로(95)의 출력 신호가 H레벨일 때 도통하고, 외부 전원 노드 EXVDD와 어레이 전원선(10s)을 접속하는 N채널 MOS 트랜지스터(96)와, 파워 컷 인에이블 신호 PCUTE와 외부 전원 레벨 지정 신호 ZCMPE를 받는 AND 회로(97)와, AND 회로(97)의 출력 신호가 L레벨일 때 도통하고, 외부 전원 노드와 어레이 전원선(10s)을 결합하는 N채널 MOS 트랜지스터(98)가 마련된다.

N채널 MOS 트랜지스터(98)는 임계값 전압이 낮은 로우 Vth 트랜지스터이다.

외부 전원 전압이 3.3V일 때에는, 외부 전원 레벨 지정 신호 ZCMPE가 L레벨이며, AND 회로(97)의 출력 신호는 L레벨로 고정되고, MOS 트랜지스터(98)는 비도통 상태로 된다. 한편, 게이트 회로(95)는 파워 컷 인에이블 신호 PCUTE가 H레벨로 되면 L레벨의 신호를 출력하여, MOS 트랜지스터(96)를 도통 상태로 한다. 이 경우, 어레이 전원 전압 VDDs는 전압 EXVDD-Vthn(96)으로 된다. 여기서, Vthn(96)은 MOS 트랜지스터(96)의 임계값 전압을 나타낸다.

한편, 외부 전원 전압 EXVDD가, 예컨대, 2.5V일 때에는, 외부 전원 레벨 지정 신호 ZCMPE는 H레벨로 설정되고, 게이트 회로(95)의 출력 신호가 L레벨로 되어, MOS 트랜지스터(96)는 비도통 상태로 된다. 한편, 파워 컷 인에이블 신호 PCUTE가 H레벨로 되면, AND 회로(97)의 출력 신호가 H레벨로 되어, MOS 트랜지스터(98)가 도통한다. 이 상태에서는, 어레이 전원 전압 VDDs는 전압 EXVDD-Vth(98)로 된다. 여기서, Vth(98)은 MOS 트랜지스터(98)의 임계값 전압을 나타낸다.

외부 전원 전압 EXVDD가 낮기 때문에, 로우 Vth 트랜지스터(98)를 이용하여, 어레이 전원 전압 VDDs의 전압 레벨이 지나치게 저하하는 것을 방지한다. 따라서, 딥 파워 다운 모드 시에 전류 경로가 차단되어 있는 경우, 이 딥 파워 다운 모드 해제 시에, 이 어레이 전원 전압 VDDs가 소정의 전압(Vrefs)의 레벨로 복귀할 때까지, 이 어레이 전원 전압 VDDs를 사용하는 회로의 오동작을 방지할 수 있다.

또한, 전원 투입 시에 잘못하여 파워 컷 인에이블 신호 PCUTE가 활성화되어도, 어레이 전원 전압 VDDs를 외부 전원 전압 EXVDD에 따라 구동할 수 있고, 또한, 전압 EXVDD-Vthn(98)의 전압 레벨은 외부 전원 전압 EXVDD에 가까운 전압 레벨이며, 파워 컷 인에이블 신호 PCUTE의 비활성화 이행 시에, 어레이 전원 전압을 사용하는 회로를 초기 설정할 수 있다.

이에 따라, 딥 파워 다운 모드 시의 소비 전류를 감소시켜, 확실하게 딥 파워 다운 모드의 제어를 정확히 행하여, 정확하게 내부 회로를 동작시킬 수 있다. 또한, 전원 투입 시에 잘못하여 파워 컷 인에이블 신호 PCUTE가 활성화되어도, 확실하게 외부 전원 전압에 근거해서 내부 전원 전압을 생성할 수 있다.

또, AND 회로(92, 97)와 게이트 회로(95) 및 인버터(11)는 외부 전원 전압 EXVDD를 동작 전원 전압으로서 이용하여 동작한다.

(변경예)

도 12는 본 발명의 실시예 3의 변경예의 구성을 개략적으로 나타내는 도면이다. 도 12에 있어서, 어레이 전원선(10s)에 대하여, 파워 컷 인에이블 신호 PCUTE와 외부 전원 레벨 지정 신호 ZCMPE를 받는 AND 회로(100)와, AND 회로(100)의 출력 신호가 L레벨일 때 도통하고, 어레이 전원선(10s)을 외부 전원 노드에 접속하는 P채널 MOS 트랜지스터(102)가 마련된다. 이 어레이 전원선(10s)에 대해서는, 또한, 도 11에 나타내는 구성과 마찬가지로, 게이트 회로(95) 및 N채널 MOS 트랜지스터(96)가 마련된다.

이 도 12에 나타내는 구성에 있어서는, 외부 전원 전압 EXVDD가, 예컨대, 2.5V일 경우, 외부 전원 레벨 지정 신호 ZCMPE가 H레벨로 설정된다. 파워 컷 인에이블 신호 PCUTe가 활성화됨에 따라 MOS 트랜지스터(102)가 도통되고, 어레이 전원 전압 VDDs가 외부 전원 전압 EXVDD 레벨로 설정된다. 이 경우에도, 딥 파워 다운 모드 시에, 어레이 전원 전압 VDDs가, 외부 전원 전압 EXVDD가 3.3V인 경우보다도 낮은 전압 레벨로 설정되기 때문에, 앞선 도 11에 나타내는 구성과 마찬가지로의 효과를 얻을 수 있고, 딥 파워 다운 모드 해제 시 또는 파워 컷 인에이블 신호의 비활성화 이행 시, 어레이 전원 전압을 사용하는 회로를 정확하고 또한 안정하게 동작시킬 수 있다.

외부 전원 레벨 지정 신호 ZCMPE가 L레벨로 설정되었을 때에는, 파워 컷 인에이블 신호 PCUTe의 활성화 시에는, MOS 트랜지스터(96)가 도통하고, 전압 EXVDD-V_{thn}(96)을 어레이 전원선(10s)에 전달한다. 따라서, 도 11에 나타내는 구성과 마찬가지로 외부 전원 전압보다도 낮은 전압을 어레이 전원 전압을 사용하는 회로로 공급할 수 있어, 안정하게 어레이 전원 전압계의 회로를 동작시킬 수 있다.

또, 주변 전원선(10p) 및 입력 전원선(10i)에 대해서 마련되는 구성은 도 11에 나타내는 구성과 같다.

이상과 같이, 본 발명의 실시예 3에 따르면, 딥 파워 다운 모드 시, 내부 전원 전압을 외부 전원 전압 레벨에 따른 전압 레벨로 설정하고 있어, 딥 파워 다운 모드 해제 시에 정확하게 외부로부터의 딥 파워 다운 모드 제외 커맨드에 따라 내부 회로를 동작시킬 수 있다.

또한, 외부 전원 투입에 있어서 파워 컷 인에이블 신호 PCUTe가 잘못하여 활성화되어도, 외부 전원 전압이 일정한 전압 레벨 이상에 도달하면, 파워 컷 인에이블 신호 PCUTe를 확실하게 리셋하여, 내부 전원 전압을 생성할 수 있다.

(실시예 4)

도 13은 본 발명의 실시예 4에 따른 전원 제어부의 구성을 개략적으로 나타내는 도면이다. 도 13에 있어서, 전원 제어부는 주변 전원 전압 VDDP의 투입을 검출하는 주변 전원 투입 검출 회로(110)와, 주변 전원 투입 검출 신호 /PORP의 활성화 시 그 내부 상태가 리셋되고, 또한 외부로부터의 커맨드 CMD에 따라 파워 컷 신호 PCUT를 생성하는 주변 회로(112)와, 주변 회로(112)로부터의 파워 컷 신호 PCUT를 외부 전원 전압 EXVDD의 진폭 신호로 변환하는 레벨 변환 회로(114)와, 레벨 변환 회로(114)의 출력 신호를 반전하는 CMOS 인버터(116)와, 외부 전원 전압 EXVDD의 투입을 검출하는 외부 전원 투입 검출 회로(118)와, 외부 전원 투입 검출 회로(118)로부터의 외부 전원 투입 검출 신호 /POREX와 CMOS 인버터(116)의 출력 신호를 받아 파워 컷 인에이블 신호 PCUTe를 생성하는 AND 회로(120)를 포함한다.

주변 회로(112)는 주변 전원 전압 VDDP를 동작 전원 전압으로서 받는다. CMOS 인버터(116) 및 AND 회로(120)는 외부 전원 전압 EXVDD를 동작 전원 전압으로서 받는다.

레벨 변환 회로(114)는 주변 회로(112)로부터 출력되는 파워 컷 신호 PCUT의 논리 레벨을 반전하고, 또한 그 진폭을 변환한다.

주변 전원 투입 검출 회로(110)는 주변 전원 전압 VDDP가 소정의 전압 레벨 이상으로 되거나, 또는 소정의 전압 레벨로 안정화하면, 주변 전원 투입 검출 신호 /PORP를 H레벨로 설정한다.

외부 전원 투입 검출 회로(118)는, 외부 전원 전압 EXVDD가 소정의 전압 레벨에 도달하든지 또는 소정 전압 레벨로 안정화하면, 외부 전원 투입 검출 신호 /POREX를 H레벨로 설정한다.

주변 전원 전압 VDDP는 외부 전원 전압 EXVDD로부터 생성된다. 따라서, 외부 전원 전압 EXVDD의 투입 시에는, 주변 전원 전압 VDDP는 소정의 전압 레벨에 도달하지 않고 있기 때문에, 주변 회로(112)로부터 출력되는 파워 컷 신호 PCUT는 그 논리 레벨은 부정 상태이다. 이 파워 컷 신호 PCUT가, 그 전압 레벨이 부상하고, 레벨 변환 회로(114)에 있어서, 그 출력 신호가 L레벨로 구동되면, CMOS 인버터(116)의 출력 신호가 H 레벨로 된다. 이 경우에는, 외부 전원 투입 검출 신호 /POREX가 L레벨로 유지되어 있으면, AND 회로(120)로부터의 파워 컷 인에이블 신호 PCUTe가 L레벨로 고정된다. 이에 따라, 파워 컷 인에이블 신호 PCUTe가 외부 전원 투입 시의 부정 상태의 파워 컷 신호 PCUT에 따라 활성화되어, 내부 전원 전압 발생 회로의 내부 전압 발생 동작이 정지되는 것을 방지할 수 있고, 안정하게 외부 전원 전압 투입 시, 내부 전원 전압을 포함하는 내부 전압을 생성할 수 있다.

즉, 도 14에 도시하는 바와 같이, 외부 전원 전압 EXVDD의 투입 시, 외부 전원 투입 검출 신호 /POREX는 외부 전원 전압 EXVDD가 소정의 전압 레벨에 도달하거나 또는 안정화할 때까지 L레벨이며, 이 동안에 확실하게 파워 컷 인에이블 신호 PCUTE를 L레벨로 설정할 수 있다.

또한, 도 14에 도시하는 바와 같이, 외부 전원 전압 EXVDD의 투입 후, 주변 전원 전압 VDDP는 이 외부 전원 전압 EXVDD보다도 늦게 그 전압 레벨이 상승한다(특히, 3.3V 모드일 때 : 외부 전원 레벨 지정 신호 ZCMPE가 L레벨로 설정될 때). 이 경우, 주변 전원 투입 검출 회로(110)로부터의 주변 전원 투입 검출 신호 /PORP는 주변 전원 전압 VDDP가 안정화할 때까지 L레벨을 유지한다.

이 주변 전원 전압 VDDP가 불안정한 상태일 때에는, 주변 회로(112)로부터의 파워 컷 신호 PCUT의 논리 레벨은 부정 상태이다. 따라서, 이 파워 컷 신호 PCUT의 전위 레벨이 상승하여, 레벨 변환 회로(114)의 출력 신호가 L레벨로 되면, CMOS 인버터(116)의 출력 신호가 H레벨로 된다. 그러나, 이 경우, 외부 전원 투입 검출 신호 /POREX는 L레벨이며, AND 회로(120)로부터의 파워 컷 인에이블 신호 PCUTE는 L레벨을 유지하고, 주변 전원 전압 VDDP가 외부 전원 전압 EXVDD의 상승에 따라 소정 전압 레벨로 구동된다. 이 주변 전원 전압 VDDP가 소정 전압 레벨에 도달하면, 주변 회로(112)의 내부 상태가 안정화하고, 이 파워 컷 신호 PCUT의 상태가 확정되어, 접지 전압 레벨로 구동된다(주변 전원 투입 검출 신호 /PORP가 L레벨이기 때문에, 이 주변 전원 투입 검출 신호 /PORP에 따라 주변 회로(112)의 내부 상태가 확실하게 초기 상태로 설정된다).

이 주변 전원 투입 검출 신호 /PORP가 H레벨로 상승한 후에, 외부 전원 투입 검출 신호 /POREX를 H레벨로 상승시킨다. 이에 따라, 파워 컷 신호 PCUT가 확실하게 L레벨로 설정된 후에, AND 회로(120)를 버퍼 회로로서 동작시킬 수 있어, 파워 컷 인에이블 신호 PCUTE를 외부로부터의 딥 파워 다운 모드 지시에 따라 활성화할 수 있다.

또, 이 외부 전원 투입 검출 신호 /POREX의 비활성화는 외부 전원 전압 EXVDD 투입 후, 주변 전원 전압 VDDP가 소정 전압 레벨에 도달하기까지의 시간을 고려하여 적당한 시간으로 정해지면 좋다. 즉, 외부 전원 전압 EXVDD가 안정화하고, 소정 시간이 경과하면, 이 외부 전원 투입 검출 신호 /POREX를 H레벨로 구동한다. 이에 따라, 파워 컷 신호 PCUT가 리셋된 후에, 외부 전원 투입 검출 신호 /POREX를 H레벨로 구동함으로써, 확실하게 파워 컷하면 인에이블 신호 PCUTE가 전원 투입 시에 잘못하여 활성화되는 것을 방지할 수 있다.

외부 전원 투입 검출 회로(118) 및 주변 전원 투입 검출 회로(110)의 구성은 통상의 전원 투입 검출 회로를 이용할 수 있고, 그 출력 신호의 H레벨로의 상승 타이밍을, 예컨대, 지연 회로를 이용하여 지연함으로써, 소망하는 타이밍에서, 이들 전원 투입 검출 신호 /PORP 및 /POREX를 H레벨로 구동할 수 있다.

이상과 같이, 본 발명의 실시예 4에 따르면, 외부 전원 투입 시, 외부 전원 전압의 투입 검출 신호를 이용해서 파워 컷 인에이블 신호를 리셋 상태로 유지하고 있어, 전원 투입 후, 이 외부 전원 전압으로부터 내부 전원 전압을 확실하게 생성할 수 있고, 또한 빠른 타이밍에서, 내부 전원 전압을 소정 전압 레벨로 확실하게 구동할 수 있다.

(실시예 5)

도 15는 본 발명의 실시예 5에 따른 모드 설정 신호 발생부의 구성의 일례를 나타내는 도면이다. 도 15에 있어서, 모드 설정 신호 발생부는 본딩 패드(130)에 접속되는 노드 ND20 상의 신호를 반전하는 인버터(131)와, 인버터(131)의 출력 신호를 반전하여 모드 설정 신호 MOD를 생성하는 인버터(132)와, 인버터(131)의 출력 신호에 따라 노드 ND20을 접지 노드에 결합하는 N채널 MOS 트랜지스터(133)와, 파워 컷 인에이블 신호 PCUTE를 받는 인버터(134)와, 인버터(134)의 출력 신호에 따라 선택적으로 도통하고, 도통 시 노드 ND20을 접지 노드에 결합하는 N채널 MOS 트랜지스터(135)를 포함한다.

인버터(131, 132, 134)는 외부 전원 전압 EXVDD를 동작 전원 전압으로서 받는다. MOS 트랜지스터(135)는 채널 길이가 긴 MOS 트랜지스터로 구성되어, 등가적으로, 채널 저항이 크게 되어, 그 전류 구동력이 충분히 작게 된다.

모드 설정 신호 MOD는, 예컨대, 외부 전원 레벨 지정 신호 ZCMPE 또는 모드 지정 신호 MLV이다. 이 모드 설정 신호 MOD는 입출력 데이터의 비트수를 설정하는 단어 구성 지정 신호여도 좋고, 또한, 리프레시 사이클 등의 내부 동작 모드를 설정하는 신호여도 좋고, 본딩 패드(130)에 대한 전압 설정에 의해, 그 전압 레벨이 고정되어, 내부 상태를 고정적으로 설정하는 신호이면 좋다.

이 도 15에 나타내는 모드 설정 신호 발생부의 구성에 있어서, 본딩 패드(130)는 외부 전원 단자(136)에 본딩 와이어(137)를 거쳐서 선택적으로 접속된다. 본딩 패드(130)가 본딩 와이어(137)를 거쳐서 외부 전원 단자(136)에 접속된 경우에는, 노드 ND20의 전압 레벨은 외부 전원 전압 EXVDD 레벨로 되고, 모드 설정 신호 MOD도 외부 전원 전압 EXVDD 레벨의 신호로 된다. 이 경우에는, 인버터(131)의 출력 신호는 L레벨이며, MOS 트랜지스터(133)는 비도통 상태에 있다.

통상 동작 모드 시에는, 파워 컷 인에이블 신호 PCUTe는 L레벨이며, MOS 트랜지스터(135)가 도통 상태로 유지된다. 따라서, 이 상태에 있어서는, MOS 트랜지스터(135)를 거쳐서, 미소 전류가 노드 ND20으로부터 접지 노드로 흐른다. 이 노드 ND20으로부터 MOS 트랜지스터(135)를 거쳐서 접지 노드로 흐르는 전류량을 충분히 작게 하기 때문에, 이 MOS 트랜지스터(135)의 채널 길이는 충분한 길이로 되어, 그 채널 저항이 충분히 크게 된다.

딥 파워 다운 모드 시에는, 파워 컷 인에이블 신호 PCUTe는 H레벨로 설정되어, MOS 트랜지스터(135)가 비도통 상태로 된다. 따라서, 딥 파워 다운 모드 시에, 노드 ND20과 접지 노드 사이의 전류가 흐르는 경로가 차단되고, 외부 전원 단자(136)로부터 본딩 와이어(137), 본딩 패드(130), MOS 트랜지스터(135)를 거쳐서 접지 노드로 흐르는 전류 경로가 차단되어, 딥 파워 다운 모드 시의 소비 전류를 감소시킬 수 있다.

본딩 패드(130)가 오픈 상태일 경우에는, MOS 트랜지스터(135)가 통상 동작 모드 시에는 온 상태이며, 노드 ND20이 접지 전압 레벨로 고정된다. 이 경우에는 인버터(131)의 출력 신호가 H레벨로 되어, MOS 트랜지스터(133)가 도통하고, 인버터(131) 및 MOS 트랜지스터(133)에 의해 래치 회로가 구성되어, 노드 ND20이 접지 전압 레벨로 고정된다.

딥 파워 다운 모드 시에, 파워 컷 인에이블 신호 PCUTe가 활성화되면, MOS 트랜지스터(135)가 비도통 상태로 된다. 이 상태에서는, 인버터(131)의 출력 신호에 따라 MOS 트랜지스터(133)가 도통 상태이기 때문에, 노드 ND20은 접지 전압 레벨로 유지되고, 그에 따라 모드 설정 신호 MOD는 L레벨로 유지된다.

따라서, 이 노드 ND20이 오픈 상태로 설정되는 경우에 노드 ND20을 소정 전압 레벨로 고정하기 위한 MOS 트랜지스터(135)를, 딥 파워 다운 모드 시 비도통 상태로 설정함으로써, 패드(130)가 전원 단자에 결합되는 모드 시에, 딥 파워 다운 모드 시의 소비 전류를 감소시킬 수 있다.

또, 본딩 패드(130)가 외부 전원 전압 EXVDD 레벨로 설정되어 있는 경우에는, 딥 파워 다운 모드 시에도, 노드 ND20은 외부 전원 전압 EXVDD 레벨이며, 모드 설정 신호 MOD는 H레벨을 유지한다. 또한, 본딩 패드(130)가 오픈 상태일 때에는, MOS 트랜지스터(133)에 의해, 노드 ND20은 접지 전압 레벨이며, 모드 설정 신호 MOD는 L레벨로 유지된다. 따라서, 딥 파워 다운 모드 시에, 노드 ND20의 플로팅 방지를 위한 MOS 트랜지스터(135)를 비도통 상태로 설정하여도, 이 모드 설정 신호 MOD의 논리 레벨은 전혀 변하지 않는다.

또, 도 15에 나타내는 구성에 있어서는, 본딩 패드(130)로의 본딩 와이어(137)의 접속 유무에 의해 모드 설정 신호 MOD의 논리 레벨이 설정되어 있다. 그러나, 이 모드 설정 신호 MOD는 용단 가능한 링크 소자의 용단/비용단에 의해 그 논리 레벨이 설정되는 구성이어도 좋다. 내부 노드 ND20의 전압 레벨이 고정적으로 설정되고, 이 내부 노드가 플로팅된 상태를 방지하기 위한 MOS 트랜지스터를, 딥 파워 다운 모드 시에 차단한다. 이에 따라, 딥 파워 다운 모드 시의 소비 전류를 감소시킬 수 있다.

본딩 패드(130)가 접지 단자에 접속되도록 와이어링되는 경우에는, 이 플로팅 방지용 MOS 트랜지스터는 외부 전원 노드와 노드 ND20 사이에 접속된다.

이상과 같이, 본 발명의 실시예 5에 따르면, 내부 상태 설정 신호의 논리 레벨을 고정적으로 설정하기 위한 프로그램 회로에 있어서, 패드 플로팅 방지용 트랜지스터를 딥 파워 다운 모드 시에 비도통 상태로 설정하고 있어, 딥 파워 다운 모드 시의 소비 전류를 감소시킬 수 있다.

(실시예 6)

도 16은 본 발명의 실시예 6에 따른 어레이 액티브 VDC(4a)의 구성을 나타내는 도면이다. 도 16에 있어서, 어레이 액티브 VDC(4a)는 커런트 미러 회로를 구성하는 P채널 MOS 트랜지스터(140, 141)와, 어레이 전원 전압 VDDs와 어레이 기준 전압 Vrefs를 비교하는 차동단을 구성하는 N채널 MOS 트랜지스터(142, 143)와, 제어 입력 AIN에 인가되는 어레이 활성

화 신호 ACT의 활성화에 응답하여 어레이 액티브 VDC(4a)를 활성화하는 N채널 MOS 트랜지스터(144)와, 노드 ND32의 출력 신호에 따라 어레이 전원선(10s)으로 전류를 외부 전원 노드로부터 공급하는 전류 드라이브용 P채널 MOS 트랜지스터(145)를 포함한다.

MOS 트랜지스터(140, 141)는 게이트가 노드 ND30에 접속되고, MOS 트랜지스터(140)가 커런트 미러 회로의 마스터단을 구성한다. MOS 트랜지스터(142, 143)는 각각 게이트로 어레이 전원 전압 VDDs 및 어레이 기준 전압 Vrefs를 받는다.

어레이 액티브 VDC(4a)는 오버드라이브 신호 ZOVR의 활성화 시 도통하고, 노드 ND30으로 어레이 전원 전압 VDDs를 공급하는 오버드라이브용 P채널 MOS 트랜지스터(146)를 더 포함한다. 오버드라이브 신호 ZOVR은 센스 앰프가 동작할 때에 소정 기간(예컨대, 10ns) 활성화된다.

도 17은 도 16에 나타내는 어레이 액티브 VDC(4a)의 동작을 나타내는 신호 파형도이다. 이하, 도 17을 참조하여, 도 16에 나타내는 어레이 액티브 VDC(4a)의 동작에 대하여 설명한다.

메모리셀 선택 동작이 지시되면, 어레이 활성화 신호 ACT가 활성화된다. 이 어레이 활성화 신호 ACT가 활성화되면, 어레이 액티브 VDC(4a)가 활성화되어, 어레이 전원선(10s) 상의 어레이 전원 전압 VDDs와 어레이 기준 전압 Vrefs와의 비교를 행하고, 그 비교 결과에 따라 외부 전원 노드로부터 어레이 전원선(10s)으로 전류를 공급한다.

이 비교 동작 시에, 어레이 기준 전압 Vrefs가 어레이 전원 전압 VDDs보다도 높을 때에는, MOS 트랜지스터(143)의 컨덕턴스가 MOS 트랜지스터(142)의 컨덕턴스보다도 커져, MOS 트랜지스터(141)로부터 공급되는 전류를 방전하고, 노드 ND32의 전압 레벨이 저하하며, 전류 드라이브 트랜지스터(145)의 구동 전류가 증대하여, 어레이 전원 전압 VDDs의 전압 레벨이 상승한다.

반대로, 어레이 전원 전압 VDDs가 어레이 기준 전압 Vrefs보다도 높은 경우에는, MOS 트랜지스터(142)의 컨덕턴스가 MOS 트랜지스터(143)의 컨덕턴스보다도 커져, 구동 전류가 증대하고, 그에 따라 MOS 트랜지스터(140)의 공급 전류가 증대한다. MOS 트랜지스터(143)가 MOS 트랜지스터(141)로부터 공급되는 전류를 모두 방전할 수 없어, 노드 ND32의 전압 레벨이 상승한다. 따라서, 전류 드라이브 트랜지스터(145)의 구동 전류가 감소되거나 또는 전류 공급이 정지된다.

이 어레이 활성화 신호 ACT가 활성화되고 나서 소정 기간이 경과하면 센스 트리거 신호 SON이 활성화되어, 선택 메모리셀 데이터의 센스 동작이 시작된다. 이 센스 트리거 신호 SON의 활성화에 응답하여, 오버드라이브 신호 ZOVR이 소정 기간 활성화된다. 오버드라이브 신호 ZOVR이 활성화되면, 오버드라이브용 MOS 트랜지스터(146)가 도통되어, 노드 ND30을, 소정 기간 어레이 전원 전압 VDDs 레벨로 고정한다. 이 노드 ND30을 어레이 전원 전압 VDDs 레벨로 고정함으로써, 어레이 액티브 VDC(4a)의 비교 회로 내에서, 등가적으로, 어레이 전원 전압 VDDs가 저하된 상태를 강제적으로 실현하고, MOS 트랜지스터(141)의 공급 전류를 감소시키고, 노드 ND32의 전압 레벨을 저하시켜, 전류 드라이브 트랜지스터(145)의 공급 전류량을 증가시킨다.

센스 트리거 신호 SON의 활성화에 응답하여 센스 앰프가 동작하고, 어레이 전원선(10s) 상의 어레이 전원 전압 VDDs를 소비하여, 그 전압 레벨이 저하하는 경우에도, 전류 드라이브 트랜지스터(145)의 전류 구동력이 크게되어 있고, 어레이 전원 전압 VDDs의 저하를 억제할 수 있어, 안정하게 센스 동작을 실행할 수 있다.

어레이 전원 전압 VDDs는, 예컨대, 1.6V이다. 외부 전원 전압 EXVDD가 2.5V일 경우, MOS 트랜지스터(141)의 게이트-소스간 전압은 -0.9V이며, 그 MOS 트랜지스터(141)의 전류 공급량을 충분히 작게 할 수 있어, 노드 ND32의 전압 레벨을 MOS 트랜지스터(143)의 방전 동작에 의해 충분히 저하시킬 수 있다.

한편, 외부 전원 전압 EXVDD가 3.3V일 경우, MOS 트랜지스터(141)의 게이트-소스간 전압은 -1.7V로 되고, 이 MOS 트랜지스터(141)는 외부 전원 전압 EXVDD가 2.5V일 때와 비교하여 큰 전류를 공급하여, 노드 ND32의 전압 레벨이 지나치게 저하하는 것을 억제한다. 이에 따라, 외부 전원 전압 EXVDD가, 예컨대, 3.3V로 높은 경우에, 어레이 전원선(10s)에 전류가 지나치게 공급되고, 이 어레이 전원 전압 VDDs 레벨이 소정 전압 레벨보다도 지나치게 높아지는 것을 억제할 수 있다.

도 18은 본 발명의 실시예 6에 따른 반도체 기억 장치의 행계 회로 구성을 개략적으로 나타내는 도면이다.

도 18에 있어서, 행계 제어 회로는 외부로부터의 커맨드 CMD를 받아, 이 커맨드 CMD가 행 선택을 지시할 때 어레이 활성화 신호 ACT를 활성화하는 어레이 활성화 제어 회로(150)와, 어레이 활성화 신호 ACT의 활성화에 응답하여 소정의 타이

밍으로 워드선 구동 타이밍 신호 RXT를 생성하는 워드선 구동 제어 회로(152)와, 워드선 구동 제어 회로(152)의 출력 신호에 응답하여 소정 기간 경과 후에 센스 트리거 신호 SON을 활성화하는 센스 제어 회로(154)를 포함한다. 제어 회로(150, 152, 154)는 주변 전원 전압 VDDP를 동작 전원 전압으로서 받는다.

반도체 장치가 클럭 신호에 동기하여 동작하는 동기형 메모리일 경우, 어레이 활성화 제어 회로(150)는 이 클럭 신호의, 예컨대, 상승 에지에 동기하여 복수의 외부 제어 신호를 취입하고, 이들 제어 신호의 논리 레벨의 조합에 따라 내부 동작 제어 신호를 생성한다. 워드선 구동 제어 회로(152) 및 센스 제어 회로(154)는 어레이 활성화 신호 ACT가 활성화되면, 각각 소정 시간 경과 후, 워드선 구동 타이밍 신호 RXT 및 센스 트리거 신호 SON을 활성화한다. 어레이 활성화 신호 ACT가, 예컨대, 프리차지 커맨드의 인가에 의해 비활성화되면, 워드선 구동 타이밍 신호 RXT가 비활성화되고, 이어서 센스 트리거 신호 SON이 비활성화된다.

행계 주변 회로는 워드선 구동 타이밍 신호 RXT에 따라서, 어드레스 지정된 워드선 WL을 선택 상태로 구동하는 워드선 선택 회로(160)와, 센스 트리거 신호 SON에 따라서 센스 앰프 활성화 신호 S1N을 생성하여 센스 앰프 SA로 부여하는 센스 앰프 활성화 회로(162)를 포함한다. 워드선 선택 회로(160)에는, 주변 전원 전압 VDDP 및 고전압 Vpp가 인가되고, 선택 워드선 WL은 고전압 Vpp 레벨로 구동된다.

센스 앰프 SA는 교차 결합되는 P채널 MOS 트랜지스터로 구성되는 P 센스 앰프와, 교차 결합되는 N채널 MOS 트랜지스터로 구성되는 N 센스를 포함한다. 센스 앰프 SA는 이 센스 앰프 활성화 신호 S1N의 활성화에 따라서, N 센스가 센스 접지선에 결합되어 저전위의 비트선을 접지 전압 레벨로 방전한다.

또한, 센스 앰프 활성화 회로(162)는 센스 트리거 신호 SON에 따라 P 센스를 활성화하는 P 센스 활성화 신호 SPE를 생성하여 센스 앰프 SA로 부여한다. P 센스는 이 P 센스 앰프 활성화 신호 SPE에 따라 어레이 전원선(10s)에 결합되어 비트선 BL 및 ZBL의 고전위 비트선을 어레이 전원 전압 VDDP 레벨로 구동한다. 따라서, 이 센스 앰프 SA의 동작 시에, 비트선 BL 및 ZBL의 충방전이 행해지고, 이 비트선 충전 시에 어레이 전원 전압 VDDP가 소비된다.

센스 앰프 SA는 각 메모리셀 열(비트선쌍)에 대응하여 배치되어 있고, 센스 동작 시에는, 많은 센스 앰프 SA가 동시에 충방전 동작을 실행한다. 이 센스 동작 시의 비트선 충전 전류를 보상하기 위해서, 도 16에 도시하는 바와 같이, 오버드라이브용 MOS 트랜지스터(146)를 이용해서 어레이 액티브 VDC(4a)의 전류 구동력을 크게 하여, 어레이 전원 전압 VDDP의 저하를 억제한다.

이 어레이 액티브 VDC(4a)에 대해서는, 센스 트리거 신호 SON의 활성화에 응답하여 원샷의 오버드라이브 신호 ZOVR를 생성하는 오버드라이브 제어 회로(156)가 마련된다. 이 오버드라이브 제어 회로(156)는 외부 전원 전압 EXVDD를 동작 전원 전압으로서 받는다.

통상, 메모리셀 어레이는 복수의 행 블록으로 분할되어, 선택 메모리셀을 포함하는 행 블록에 대하여 센스 동작이 실행된다. 센스 트리거 신호 SON에 따라 선택 행 블록에 대해 마련된 센스 앰프가 센스 앰프 활성화 신호 S1N에 따라 활성화된다.

또, 비트선 BL 및 ZBL은 스태바이 상태 시에, 비트선 프리차지/이퀄라이즈 회로 BPE에 의해, 소정의 비트선 프리차지 전압 Vbl 레벨로 프리차지되고, 또한 이퀄라이징된다.

도 19는 도 18에 나타내는 오버드라이브 제어 회로(156) 구성의 일례를 나타내는 도면이다. 도 19에 있어서, 오버드라이브 제어 회로(156)는 센스 트리거 신호 SON의 진폭을 외부 전원 전압 EXVDD 레벨로 변환하는 레벨 변환 회로(156a)와, 레벨 변환 회로(156a)의 출력 신호를 반전하고, 또한 소정 시간 지연하는 반전/지연 회로(156b)와, 반전/지연 회로(156b)의 출력 신호와 레벨 변환 회로(156a)의 출력 신호를 받아 오버드라이브 신호 ZOVR를 생성하는 NAND 회로(156c)를 포함한다. 반전/지연 회로(156b) 및 NAND 회로(156c)로는 외부 전원 전압 EXVDD가 동작 전원 전압으로서 공급된다.

레벨 변환 회로(156a)는 센스 트리거 신호 SON의 진폭 변환만을 행하고, 논리 레벨의 변환은 행하지 않는다. 따라서, 센스 트리거 신호 SON이 활성화되어 그 전압 레벨이 상승하면, 레벨 변환 회로(156a)의 출력 신호도 상승한다. 반전/지연 회로(156b)는, 예컨대, 기수단의 종속 접속되는 인버터로 구성되어, 소정 시간 경과 후에, 레벨 변환 회로(156a)의 출력 신호에 따라 그 출력 신호를 L레벨로 구동한다. 따라서, 이 반전/지연 회로(156b)가 갖는 지연 시간 동안, NAND 회로(156c)는 양 입력이 H레벨로 되어, 이 오버드라이브 신호 ZOVR를 L레벨로 구동한다.

외부 전원 전압 EXVDD의 전압 레벨이 상승하면, 반전/지연 회로(156b)의 지연 시간이 짧게 되고, 또한 NAND 회로(156c)의 게이트 지연도 짧게 된다. 따라서, 외부 전원 전압 EXVDD가 높아진 경우에는, 오버드라이브 신호 ZOVR의 활성화 기간도 짧게 되어, 센스 오버드라이브 기간을 짧게 할 수 있고, 어레이 액티브 VDC(4a)에서, 그 전류 구동력이 크게 되는 기간을 짧게 할 수 있고, 어레이 전원 전압 VDDs가 지나치게 오버드라이브되는 것을 억제할 수 있어, 소비 전류를 감소시킬 수 있다.

도 20은 본 발명의 실시예 6에 있어서의 중간 전압 Vbl 및 Vcp를 발생하는 중간 전압 회로 구성의 일례를 나타내는 도면이다. 도 20에 있어서, 중간 전압 발생 회로(170)는 어레이 기준 전압 Vrefs를 분압하는 분압 회로와, 이 분압 회로의 출력 신호에 따라 중간 전압 Vbl 또는 Vcp를 생성하는 출력 회로를 포함한다.

분압 회로는 기준 전압 입력 노드 ND와 내부 노드 ND41 사이에 접속되는 저항 소자(170a)와, 노드 ND41 및 ND42 사이에 직렬로 접속되는 MOS 트랜지스터(170b, 170c)와, 노드 ND42와 접지 노드 사이에 접속되는 저항 소자(170d)를 포함한다.

MOS 트랜지스터(170b)는 N채널 MOS 트랜지스터이며, 그 게이트 및 드레인이 노드 ND41에 접속되어, 다이오드 모드로 동작한다. MOS 트랜지스터(170c)는 P채널 MOS 트랜지스터이며, 그 게이트 및 드레인이 노드 ND42에 접속되어, 다이오드 모드로 동작한다.

저항 소자(170a, 170d)는 충분히 큰 저항값을 갖고 있고, 미소 전류를 흘린다. 따라서, MOS 트랜지스터(170b, 170c)는 각각 다이오드 모드로 동작하고, 노드 ND41의 전압 레벨은 $V_{refs}/2 + V_{thn}$ 으로 되고, 노드 ND42의 전압 레벨은 $V_{refs}/2 - V_{thp}$ 로 된다. 여기서, V_{thn} 은 MOS 트랜지스터(170b)의 임계값 전압을 나타내고, V_{thp} 은 MOS 트랜지스터(170c)의 임계값 전압의 절대값을 나타낸다.

출력 회로는 외부 전원 노드와 출력 노드 ND43 사이에 접속되고, 또한 그 게이트가 노드 ND41에 접속되는 N채널 MOS 트랜지스터(170e)와, 노드 ND43과 접지 노드 사이에 접속되며, 또한 그 게이트가 노드 ND42에 접속되는 P채널 MOS 트랜지스터(170f)를 포함한다.

MOS 트랜지스터(170e)는 노드 ND41의 전압 레벨이 외부 전원 전압 EXVDD보다도 낮기 때문에, 소스 팔로우 모드로 동작하고, 노드 ND43에, 노드 ND41의 전압보다도 임계값 전압 V_{thn} 낮은 전압 레벨로 클램핑한다. 또한, MOS 트랜지스터(170f)도 소스 전압이 접지 전압 레벨이며, 그 게이트 전압보다도 낮기 때문에, 소스 팔로우 모드로 동작하여, 노드 ND43을, 노드 ND42의 전압보다도 전압 V_{thp} 높은 전압 레벨로 클램핑한다.

노드 ND43으로부터의 중간 전압 Vbl(또는, Vcp)이 전압 $V_{refs}/2$ 보다도 저하하면, MOS 트랜지스터(170e)가 도통해서 노드 ND43으로 전류를 공급한다. 이 때에는, MOS 트랜지스터(170f)는 비도통 상태이다. 중간 전압 Vbl(또는, Vcp)이 전압 $V_{refs}/2$ 보다도 높아지면, MOS 트랜지스터(170e)는 오프 상태, 한편, MOS 트랜지스터(170f)가 도통되어, 노드 ND43으로부터 전류를 접지 노드로 방전한다. 따라서, 이 중간 전압 Vbl(또는, Vcp)은 $V_{refs}/2$ 의 전압 레벨로 유지된다. 여기서, MOS 트랜지스터(170b, 170e)의 임계값 전압도 크기는 같고, 또한 MOS 트랜지스터(170c, 170f)의 임계값 전압의 크기가 같다고 하고 있다.

이 중간 전압 Vbl(또는, Vcp)을 생성하기 위해서, 기준 전압 Vrefs를 이용함으로써, 어레이 전원 전압 VDDs를 오버드라이브하여도, 그 영향을 받는 일없이, $V_{refs}/2$ 의 전압 레벨로 이들 중간 전압 Vbl 및 Vcp의 전압 레벨이 유지된다. 따라서, 센스 동작 시에, 참조 비트선의 전압 레벨을 정확히 중간 전압 $V_{refs}/2$ 의 전압 레벨로 유지할 수 있다.

어레이 전원 전압 VDDs는 오버드라이브 기간 이외에는, 이 기준 전압 Vrefs의 전압 레벨이며, 메모리셀에 기억되는 H레벨 데이터는 센스 앰프에 의한 리스토어 동작 시에 따라, 전압 Vrefs 레벨로 된다. 따라서, 스태바이 시에, 비트선 프리차지 전압 레벨을 메모리셀 기억 데이터의 중간 전압 레벨로 정확히 유지할 수 있고, 센스 오버드라이브 방식을 이용하여도, 정확히 중간 전압 레벨의 비트선 프리차지 전압 Vbl 및 셀 플레이트 전압 Vcp를 생성할 수 있다.

셀 플레이트 전압에 대해서도 메모리셀 캐패시터의 축적 전하량은 이 셀 플레이트 전압에 따라 변화된다($Q = C \cdot (V_{cp} - V(data))$).

따라서, 셀 플레이트 전압 V_{cp} 도, 이 어레이 기준 전압 V_{refs} 에 따라 생성함으로써, 센스 오버드라이브의 영향을 받는 일 없이, 축적 전하량의 절대값을 H레벨 및 L레벨 데이터에 대하여 같게 할 수 있고, 메모리셀 선택 시에 비트선 상에 나타나는 판독 전압의 절대값을 H레벨 및 L레벨 데이터에 대하여 같다고 할 수 있어, 안정하게 센스 동작을 실행할 수 있다.

이상과 같이, 본 발명의 실시예 6에 따르면, 어레이 전원 전압을 센스 동작 시에 오버드라이빙하고 있고, 센스 동작 시에, 어레이 전원 전압이 소비되지 않아, 안정하게 어레이 전원 전압을 센스 앰프로 공급할 수 있다.

또한, 비트선 프리차지 전압 및 셀 플레이트 전압을 어레이 전원 전압의 전압 레벨을 결정하는 어레이 기준 전압에 근거해서 생성하고 있고, 센스 오버드라이브 방식에 따라, 어레이 전원 전압이 오버드라이빙되어 그 전압 레벨이 상승하여도, 이 비트선 프리차지 전압 및 셀 플레이트 전압은 안정하게 그 전압 레벨을 유지할 수 있어, 정확히 비트선의 프리차지를 실행할 수 있고, 또한 H레벨 데이터 및 L레벨 데이터에 대하여 같은 크기의 판독 전압을 비트선 상에 생성할 수 있어, 정확하게 센스 동작을 실행할 수 있다.

(실시예 7)

도 21은 본 발명의 실시예 7에 따른 고전압 발생 회로의 구성을 나타내는 도면이다. 고전압 V_{pp} 은, 도 18에 도시하는 바와 같이, 선택 워드선 상에 전달된다.

도 21에 있어서, 고전압 발생 회로는 프리차지 제어 신호 PRE에 따라 노드 ND50으로 전하를 공급하는 용량 소자(180)와, 노드 ND50의 전압 레벨을, 외부 전원 전압으로부터 그 임계값 전압이 낮은 전압 $EXVDD - V_{thn}$ 의 레벨로 클램핑하는 N채널 MOS 트랜지스터(181)와, 노드 ND50의 전압 레벨에 따라 선택적으로 도통하고, 도통 시, 노드 ND53으로 외부 전원 전압 $EXVDD$ 를 전달하는 N채널 MOS 트랜지스터(182)와, 노드 ND50의 전압 레벨에 따라 선택적으로 도통하고, 도통 시, 노드 ND51로 외부 전원 전압 $EXVDD$ 를 전달하는 N채널 MOS 트랜지스터(183)와, 출력 게이트 제어 신호 GATEE에 따라 노드 ND51로 전하를 공급하는 용량 소자(184)를 포함한다.

프리차지 제어 신호 PRE는, 진폭이 외부 전원 전압 $EXVDD$ 레벨인 신호이며, 출력 게이트 제어 신호 GATEE는, 진폭이 고전압 V_{pp} 또는 $2 \cdot V_{DDS}$ 인 진폭 V_g 을 갖는다. 따라서, 노드 ND51 상의 전압 GATE는 전압 $V_g + EXVDD$ 와 외부 전원 전압 $EXVDD$ 의 사이에서 변화된다. 노드 ND50은 MOS 트랜지스터(181)에 의해, 그 전압의 하한 레벨이 $EXVDD - V_{thn}$ 으로 클램핑되어 있고, MOS 트랜지스터(182, 183)는, 각각, 도통 시, 외부 전원 전압 $EXVDD$ 를 전달한다.

고전압 발생 회로는 펌프 제어 신호 ZPUMP가 L레벨일 때 도통하고, 노드 ND52로 외부 전원 전압 $EXVDD$ 를 전달하는 P채널 MOS 트랜지스터(185)와, 펌프 제어 신호 ZPUMP가 H레벨일 때 도통하며, 노드 ND52로, 노드 ND54의 전압 VBTB를 전달하는 N채널 MOS 트랜지스터(186)와, 부(負) 부스트 제어 신호 ZVBTB에 따라 노드 ND54로부터 전하를 인출하는 용량 소자(187)와, 부 부스트 프리차지 제어 신호 ZPREB에 따라 노드 ND55로부터 전하를 인출하는 용량 소자(188)와, 노드 ND55의 상한 전압을 전압 V_{thp} 레벨로 클램핑하는 P채널 MOS 트랜지스터(189)와, 노드 ND55 상의 전압에 따라 노드 ND54를 접지 전압 레벨로 프리차지하는 P채널 MOS 트랜지스터(190)를 포함한다.

펌프 제어 신호 ZPUMP는 진폭이 외부 전원 전압 $EXVDD$ 레벨인 신호이다. 부 부스트 제어 신호 ZVBTB는 진폭이 외부 전원 전압 $EXVDD$ 인 신호이다. 부 부스트 프리차지 제어 신호 ZPREB는 진폭이 외부 전원 전압 $EXVDD$ 레벨인 신호이다.

용량 소자(187)는 P채널 MOS 트랜지스터로 구성되고, 그 백게이트, 소스 및 드레인이 공통으로 접속되어 부 부스트 제어 신호 ZVBTB를 받고, 그 게이트가 노드 ND54에 접속된다. 노드 ND54는, 이후에 설명하는 바와 같이, 부전압 레벨로 구동되기 때문에, 노드 ND54를 그 용량 소자(187)의 게이트 전극에 접속함으로써, 용량 소자(187)를 구성하는 MOS 트랜지스터의 기판 영역에 전하가 흐르는 것을 방지한다.

고전압 발생 회로는 노드 ND52의 전압 레벨에 따라 노드 ND53으로의 전하 공급/인출을 실행하는 용량 소자(191)와, 노드 ND51 상의 전압 GATE에 따라 선택적으로 도통하고, 도통 시, 노드 ND53으로부터 출력 노드로 전하를 공급하여 고전압 V_{pp} 를 생성하는 N채널 MOS 트랜지스터(192)를 더 포함한다.

용량 소자(191)가, 또한, P채널 MOS 트랜지스터로 구성되고, 그 게이트가, 노드 ND52에 접속되어, 백게이트, 소스 및 드레인이 노드 ND53에 공통으로 접속된다. 이 용량 소자(191)에서도, 노드 ND52가 부전압으로 구동되기 때문에, 용량 소자(191)의 게이트가 노드 ND52에 접속되고, 백게이트, 소스 및 드레인이 노드 ND53에 접속된다. 부전압을 게이트 전극으로 받는 것에 의해, 기판 영역에 전하가 유입되는 것을 방지한다.

도 22는 도 21에 나타내는 고전압 발생 회로의 동작을 나타내는 신호 파형도이다. 이하, 도 22를 참조하여, 도 21에 나타내는 고전압 발생 회로의 동작에 대하여 설명한다.

시각 t0 이전에는, 부 부스트 제어 신호 ZVBTB가 H레벨이며, 또한 부 부스트 프리차지 제어 신호 ZPREB가 접지 전압 레벨이다. 이 상태에서는, 노드 ND55는 V_{thp} -EXVDD 레벨에 있고, MOS 트랜지스터(190)가 도통되어, 노드 ND54는 접지 전압 레벨로 프리차지된다. 부 부스트 프리차지 제어 신호 ZPREB가 H레벨로 상승하고, 노드 ND55의 전압 레벨이 MOS 트랜지스터(189)의 임계값 전압 V_{thp} 까지 상승하면, MOS 트랜지스터(190)가 비도통 상태로 되어, 노드 ND54의 프리차지 동작이 완료한다.

이어서, 시각 t0에 있어서, 부 부스트 제어 신호 ZVBTB가 접지 전압 레벨로 구동되면, 용량 소자(187)의 용량 결합에 의해, 노드 ND54의 전압 VBTB가 부전압 $-V_b$ 레벨까지 저하한다. 이 노드 ND54의 전압 레벨 저하 시에는, 제어 신호 ZPUMP가 접지 전압 레벨이어도, MOS 트랜지스터(186)가 도통하기 때문에, 노드 ND54의 전압 VBTB의 도달 전압 레벨은 용량 소자(187, 191)의 용량값 C1 및 C2의 용량 분할에 의해 인가된다. 즉, 전압 V_b 는 다음 식으로 나타내어진다.

$$V_b = C1 \cdot EXVDD / (C1 + C2) - Lls$$

여기서, Lls는 결합 손실을 나타낸다. 또, 용량값 C1 및 C2의 값이 같고, 결합 손실이 없는 경우에는, 노드 ND50의 전압 VBTB는 $-EXVDD/2$ 의 전압 레벨에 도달한다.

이어서, 시각 t1에서, 프리차지 제어 신호 PRE가 외부 전원 전압 EXVDD 레벨로 상승하고, 용량 소자(180)의 용량 결합에 의해, 노드 ND50의 전압 레벨이 $2 \cdot EXVDD - V_{thn}$ 의 전압 레벨로 상승한다(여기서, 결합 손실은 없는 것으로 가정하고 있다). 이 노드 ND50의 전압 레벨의 상승에 따라서 MOS 트랜지스터(182, 183)가 도통하고, 노드 ND53의 전압 레벨이 외부 전원 전압 EXVDD 레벨로 되며, 또한, 노드 ND51의 전압 GATE의 전압 레벨이, 외부 전원 전압 EXVDD 레벨로 프리차지된다.

시각 t1b로, 프리차지 제어 신호 PRE를 접지 전압 레벨로 하강시키면, 노드 ND50의 전압 레벨이 저하하고, MOS 트랜지스터(181)의 클램프 동작에 의해, 노드 ND50의 전압 레벨이 $EXVDD - V_{thn}$ 레벨로 되어, MOS 트랜지스터(182, 183)가 비도통 상태로 된다.

시각 t2에서, 부 부스트 프리차지 제어 신호 ZPREB를 접지 전압 레벨로 하강시키고, 또한 거의 동시의 시각 t3에서 부 부스트 제어 신호 ZVBTB를 외부 전원 전압 EXVDD 레벨로 상승시킨다. 용량 소자(188)의 용량 결합에 의해, MOS 트랜지스터(190)가 도통되고, 노드 ND54 상의 전압 VBTB는 접지 전압 레벨로 프리차지된다. 이 상태에서, 펌프 제어 신호 ZPUMP는 시각 t0에서 외부 전원 전압 EXVDD 레벨로 구동되고 있고, MOS 트랜지스터(186)는 도통 상태이다. 따라서, 이 노드 ND54의 전압 VBTB가 접지 전압 레벨로 상승하면, 노드 ND52의 전압 레벨도 응답하여 상승하고, 용량 소자(191)의 용량 결합에 의해, 노드 ND53의 전압 레벨이 상승하여 전압 $EXVDD + V_b$ 레벨로 된다.

시각 t4에서, 펌프 제어 신호 ZPUMP를 외부 전원 전압 EXVDD로부터 접지 전압 레벨로 저하시키면, MOS 트랜지스터(185)가 도통되는 한편, MOS 트랜지스터(186)가 비도통 상태로 되고, 노드 ND52의 전압 레벨이 접지 전압 레벨로부터 외부 전원 전압 EXVDD 레벨로 상승한다. 따라서, 용량 소자(191)의 용량 결합에 의해, 노드 ND53의 전압 레벨이, 또한 EXVDD 상승하여, 전압 $2 \cdot EXVDD + V_b$ 의 전압 레벨로 된다.

다음에, 시각 t5에서, 출력 게이트 제어 신호 GATEE가, 고전압 V_g 레벨로 상승하면, 노드 ND51의 전압 GATE가, 외부 전원 전압 EXVDD 레벨로부터, 전압 $V_g + EXVDD$ 레벨까지 용량 소자(184)의 용량 결합에 의해 상승한다. 전압 V_g 는 $2 \cdot V_{DDs}$ 또는 고전압 V_{pp} 에 가까운 전압 레벨이며, MOS 트랜지스터(192)가 도통되고, 노드 ND53에 축적된 전하가 출력 노드로 전달되어, 고전압 V_{pp} 의 전압 레벨이 상승한다.

시각 t6에서, 출력 게이트 제어 신호 GATEE가 접지 전압 레벨로 저하하면, 노드 ND51의 전압 레벨이 용량 소자(184)의 용량 결합에 의해 저하한다. 이 시각 t6 직후의 시각 t7에서 프리차지 제어 신호 PRE가 다시 외부 전원 전압 EXVDD 레벨로 상승하고, 노드 ND51 및 ND53은 각각 외부 전원 전압 EXVDD 레벨로 프리차지된다.

한편, 시각 t2에서, 노드 ND50의 전압 VBTB는 접지 전압 레벨로 프리차지되어 있고, 다음의 승압 동작에 구비되어 있다. 이후, 시각 t0으로부터의 동작을 반복함으로써, 고전압 V_{pp} 의 전압 레벨을 상승시킨다. 고전압 V_{pp} 의 최고 도달 전압 레

벨은 외부 전원 전압 EXVDD, 어레이 전원 전압 VDDs 및 MOS 트랜지스터(192)의 임계값 전압에 의해 다르다. 전압 GATE의 최고 전압 레벨이 $2 \cdot \text{EXVDD} + V_b + V_{thn}$ 보다도 높은 경우에는, 고전압 V_{pp} 은 최대 $2 \cdot \text{EXVDD} + V_b$ 의 전압 레벨에 도달할 수 있다.

도 21에 도시하는 바와 같이, 노드 ND53에 전하를 펌프 동작에 의해 전달하는 용량 소자(191)의 노드의 최저 전압을 부전압 레벨로 부스트함으로써, 노드 ND53의 전압 레벨을 이 부의 부스트 전압 V_b 만큼 높게 할 수 있고, $C_1 = C_2$ 인 경우, 이상적으로 $2.5 \cdot \text{EXVDD}$ 의 전압 레벨까지 상승시킬 수 있다. 따라서, 외부 전원 전압 EXVDD의 규격값의 하한 전압 레벨로 동작하여도, 고전압 V_{pp} 의 전압 레벨을 충분히 높게 할 수 있다.

도 23은 용량 소자(187, 191)의 단면 구조를 개략적으로 나타내는 도면이다. 이 용량 소자(187, 191)는 동일 구성을 갖기 때문에, 도 23에 있어서는, 용량 소자(187)의 단면 구조를 나타낸다.

도 23에 있어서, 용량 소자(187)는 P형 기판 영역(200) 표면에 형성되는 N웰(202) 내에 형성된다. P형 기판 영역(200)은 접지 전압 레벨로 바이어스된다.

용량 소자(187)는 N웰(202) 표면에 사이를 두고 형성되는 P형 불순물 영역(203a, 203b)과, 이들 불순물 영역(203a, 203b) 사이의 채널 형성 영역 상에 도시하지 않는 게이트 절연막을 거쳐서 형성되는 게이트 전극(203)과, N웰(202) 표면에 형성되는 N웰 불순물 영역(204)을 포함한다. 이들의 불순물 영역(203a, 203b, 204)이 상호 접속되어, 부 부스트 제어 신호 ZVBTB를 공통으로 받는다. 게이트 전극(203)은 도 21에 나타내는 노드 ND50에 접속되어 전압 VBTB를 받는다.

도 23에 도시하는 바와 같이, 용량 소자(187)에서, 전압 VBTB가 부전압 $-V_b$ 로 저하하여도, 불순물 영역(203a, 203b, 204)은 모두 접지 전압 레벨이다. P형 기판 영역(200)은 접지 전압 레벨로 바이어스되어 있고, 이 P형 기판 영역(200) 및 N웰(202) 사이의 PN 접합은 비도통 상태이다. 따라서, N웰(202)로부터 P형 기판 영역(200)으로 전하가 유출되는 것을 방지할 수 있다.

고전압 발생 회로에서 내부 노드가 부전압 레벨로 부스트되는 경우에도, 통상의 구성의 MOS 캐패시터를 P채널 MOS 트랜지스터를 형성하는 P형 기판 영역(200) 내에 N웰(202)을 분리하는 것만으로 형성하여, 부전압 부스트 용량으로서 이용할 수 있다. 또, 고전압 V_{pp} 는, 통상, $1.5V_{DDs}$ 의 전압 레벨로 설정된다.

도 24는 출력 게이트 제어 신호 GATEE 발생부 구성의 일례를 나타내는 도면이다. 도 24에 있어서, 출력 게이트 제어 신호 발생부는, 도통 시, 외부 전원 전압 EXVDD를 노드 ND60으로 전달하는 N채널 MOS 트랜지스터(211)와, MOS 트랜지스터(211)의 게이트의 하한 전압을 $\text{EXVDD} - V_{thn}$ 의 레벨로 클램핑하는 N채널 MOS 트랜지스터(212)와, 제어 신호 GAT0에 따라 MOS 트랜지스터(211)의 게이트로 전하를 공급하는 용량 소자(210)와, 제어 신호 GAT1에 따라 노드 ND60으로 전하를 공급하는 용량 소자(213)와, 제어 신호 GAT2가 L레벨일 때 도통하고, 노드 ND60의 전압을 출력 노드로 전달하여 출력 게이트 제어 신호 GATEE를 생성하는 P채널 MOS 트랜지스터(214)와, 제어 신호 GAT2가 H레벨일 때 도통하고, 출력 게이트 제어 신호 GATEE를, 접지 전압 레벨로 구동하는 N채널 MOS 트랜지스터(215)를 포함한다. 제어 신호 GAT0-GAT2는, 그 진폭은 외부 전원 전압 EXVDD 레벨이다.

도 25는 도 24에 나타내는 출력 게이트 제어 신호 발생부의 동작을 나타내는 신호 파형도이다. 이하, 도 25를 참조하여, 도 24에 나타내는 게이트 제어 신호 발생 회로의 동작에 대하여 설명한다.

제어 신호 GAT1이 외부 전원 전압 EXVDD 레벨로부터, 접지 전압 레벨로 저하한다. 이 때에는, 제어 신호 GAT0은 접지 전압 레벨에 있고, MOS 트랜지스터(211)의 게이트 전위는 전압 $\text{EXVDD} - V_{thn}$ 레벨이다. 제어 신호 GAT1의 전압 레벨의 저하에 따라서, 노드 ND60의 전압 레벨이 저하한다. 이 제어 신호 GAT1의 하강과 거의 동시에 제어 신호 GAT2의 전압 레벨이 외부 전원 전압 EXVDD 레벨로 상승하여, MOS 트랜지스터(215)가 온 상태로 되고, 출력 게이트 제어 신호 GATEE가 접지 전압 레벨로 구동된다. 이 때, 노드 ND60의 전압 레벨은 최대 외부 전원 전압 EXVDD 레벨이며, MOS 트랜지스터(214)를 비도통 상태로 유지한다.

계속해서, 제어 신호 GAT0이 전원 전압 EXVDD 레벨로 상승하고, MOS 트랜지스터(211)가 도통되어, 노드 ND60의 전압 레벨이 외부 전원 전압 EXVDD 레벨로 프리차지된다.

제어 신호 GAT0이 접지 전압 레벨로 저하하면, MOS 트랜지스터(211)의 소스 및 드레인 전압이 그 게이트 전압보다도 높아져 MOS 트랜지스터(211)가 비도통 상태로 된다.

계속해서, 소정 타이밍에서, 제어 신호 GAT1이 외부 전원 전압 EXVDD 레벨로 상승하고, 노드 ND60의 전압 레벨이 2·EXVDD 레벨로 상승한다. 이 제어 신호 GAT1의 상승과 거의 동시에, 제어 신호 GAT2가 접지 전압 레벨로 저하하여, MOS 트랜지스터(214)가 도통되고, 또한 MOS 트랜지스터(215)가 비도통 상태로 되어, 출력 게이트 제어 신호 GATEE의 전압 레벨이 노드 ND60 상의 전압 레벨, 즉 전압 2·EXVDD 레벨로 상승한다.

이후, 이 동작을 반복함으로써, 진폭 2·EXVDD 레벨의 출력 게이트 제어 신호 GATEE를 생성할 수 있다. 제어 신호 GAT1 및 GAT2를 서로 상보인 제어 신호로 구성하고, 제어 신호 GAT1을 출력 게이트 제어 신호 GATEE와 거의 동일 신호 파형으로 구동함으로써, 진폭 외부 전원 전압 EXVDD 레벨의 제어 신호로부터, 진폭 2·EXVDD 레벨의 출력 게이트 제어 신호 GATEE를 생성할 수 있다.

또, 이 출력 게이트 제어 신호 GATEE 전용으로 승압 회로를 마련하여, 이 전용 승압 회로의 출력 전압을 이용해서, 외부 전원 전압 EXVDD 레벨의 출력 게이트 제어 신호 GATEEF를 레벨 변환하여, 출력 게이트 제어 신호 GATEE를 생성하여도 좋다.

(변경예)

도 26은 본 발명의 실시예 7에 따른 고전압 발생 회로의 변경예의 구성을 나타내는 도면이다. 이 도 26에 나타내는 구성에 있어서는, 노드 ND53에 용량 소자(187)의 주전극이 접속되고, 용량 소자(187)의 다른쪽 전극(게이트 전극)에는, CMOS 인버터(220)에 의해 부스트 제어 신호 ZVBTB가 인가된다. 이 CMOS 인버터(220)는 펌프 제어 신호 ZPUMP와 동상(同相)의 제어 신호 ZPUMPA를 반전하여, 부 부스트 제어 신호 ZVBTB를 생성한다.

또한, 용량 소자(191)의 한쪽 전극 노드의 전위를 구동하는 MOS 트랜지스터(186)의 소스 노드는 접지 노드에 결합된다. 노드 ND51 및 ND53을 구동하는 회로 부분은 도 21에 나타내는 고전압 발생 회로의 구성과 같고, 대응하는 부분에는 동일 참조 부호를 부여하여, 그 상세 설명은 생략한다.

이 도 26에 나타내는 고전압 발생 회로에 있어서는, 노드 ND53에 대하여 용량 소자(187, 191)가 병렬로 마련된다. 따라서, 이 노드 ND53에는, 두 개의 용량 소자(187, 191)에 의해 전하가 공급된다. 따라서, 노드 ND53의 진폭은 2·EXVDD이지만, 그 출력 노드로의 전하 공급력이 커져, 고속이고 또한 안정하게 고전압 V_{pp} 를 생성할 수 있다.

또, 도 26에 나타내는 구성에 있어서는, 용량 소자(191)가, 더블 부스트 시와 마찬가지로, 그 게이트가 노드 ND52에 접속되어 있다. 그러나, 싱글 부스트 시에는, 노드 ND52는 접지 전압과 전원 전압 EXVDD 사이에서 변화할 뿐이고, 부전위로 구동되는 것은 아니다. 따라서, 용량 소자(191)의 게이트를 노드 ND53에 접속하고, 소스/드레인/기관 영역을 노드 ND52에 접속하여도 좋다. 이 배치의 경우, 노드 ND53에는, 용량 소자(191)의 게이트 용량과 용량 소자(187)의 게이트 용량이 접속한다. 따라서, 용량 소자(191)의 기관 영역 등의 기생 용량이 노드 ND53에 접속되는 구성에 비하여 노드 ND53의 기생 용량을 감소시킬 수 있고, 노드 ND52와 노드 ND53 사이의 결합 계수를 높게 할 수 있어, 펌프 효율을 개선할 수 있다.

이상과 같이, 본 발명의 실시예 7에 따르면, 내부 노드를 부전압으로 부스트하고, 그 후 내부 노드를 외부 전원 전압 레벨로 구동하고 있고, 내부 노드의 최대 전압 진폭을, $2 \cdot EXVDD + 0.5 \cdot EXVDD$ 로 설정할 수 있어, 외부 전원 전압 EXVDD가 하한(下限) 레벨로 저하하여도, 안정하게 소정의 전압 레벨의 고전압 V_{pp} 를 생성할 수 있다.

(실시예 8)

도 27은 본 발명의 실시예 8에 따른 고전압 발생 회로의 구성을 개략적으로 나타내는 도면이다. 도 27에 있어서는, 내부 노드 ND53의 진폭을 2·EXVDD 및 2.5·EXVDD 중 어느 하나로 설정하기 위해서 마스크 금속 배선이 이용된다.

즉, 내부 노드 ND53의 전압 레벨을 진폭 2.5EXVDD로 설정하는 경우에는, 더블 부스트형을 이용할 필요가 있다. 이 경우에는, 마스크 금속 배선(235a, 235b, 242)을 배치한다. 이에 따라, 용량 소자(187)는 MOS 트랜지스터(186)의 소스 노드에 접속되고, 또한 다른 쪽 전극에, 마스크 금속 배선(242)을 거쳐서 바이어스 부스트 신호 ZVBTB를 받는다. 또한, MOS 트랜지스터(190)의 드레인 노드가 마스크 금속 배선(235a)을 거쳐서 MOS 트랜지스터(186)의 소스 노드에 결합된다. 이에 따라, 도 21에 나타내는 구성과 마찬가지로, 더블 부스트형 고전압 발생 회로가 실현된다.

한편, 노드 ND53의 전압 진폭을 2·EXVDD로 설정하는 경우에는, 싱글 부스트 구성이 지정된다. 이 경우에는, 금속 마스크 배선(240a, 240b, 237)이 배치된다. 따라서, 이 경우에는, 용량 소자(17)로는 인버터(220)를 거쳐서 펌프 제어 신호 ZPUMPA가 인가되고, 또한 용량 소자(187)의 전극이 MOS 트랜지스터(186)가 아니라, 마스크 금속 배선(240a)을 거쳐서 노드 ND53에 접속된다.

또한, MOS 트랜지스터(186)의 소스 노드는 접지 노드로 마스크 금속 배선(240c)을 거쳐서 접속되고, 또한 MOS 트랜지스터(190)의 드레인 노드가 마스크 금속 배선(240b)을 거쳐서 접지 노드에 접속된다. 부전압 부스트 프리차지 제어 신호 ZPREB는 싱글 부스트 모드 시 L레벨로 고정된다.

따라서, 이 경우에는, 노드 ND53이 용량 소자(191, 187)에 의해 병렬로 구동되어, 싱글 부스트형 내부 전압 발생 회로를 실현할 수 있다.

따라서, 동일 회로 구성을 마스터 공정에서 작성하고, 그 후, 전원 전압 EXVDD의 전압 레벨에 따라 슬라이스 공정으로 마스크 금속 배선을 선택적으로 배치함으로써, 더블 부스트형 및 싱글 부스트형 내부 고전압 발생 회로를 선택적으로 형성할 수 있다.

또, 도 27에 나타내는 구성에 있어서, 용량 소자(191)는 게이트가 ND52에 접속되고, 또한 기관 영역 및 불순물 영역(소스/드레인 영역)이 노드 ND53에 접속되어 있다. 그러나, 싱글 부스트 시에, 용량 소자(191)의 접속을 역방향으로 하는 경우에는, 용량 소자(191)의 게이트와 기관 영역/불순물 영역과의 접속처를 싱글 부스트형/더블 부스트형에 따라 배선에 의해 전환한다.

전압 발생부(230)는, 도 21 및 도 26에 나타내는 구성에 있어서, 전압 GATE 및 노드 ND53의 프리차지 전압을 생성하는 회로 부분을 포함하여, 프리차지 제어 신호 PRE 및 출력 게이트 제어 신호 GATEE에 따라서 동작하는 회로 부분을 나타낸다.

(변경예 1)

도 28은 본 발명의 실시예 8의 변경예의 구성을 나타내는 도면이다. 도 28에 있어서는, MOS 트랜지스터(186)의 소스 노드에 금속 스위치(250)가 배치되고, MOS 트랜지스터(190)의 드레인 노드에 금속 스위치(251)가 배치되며, 노드 ND53에 대하여 금속 스위치(253)가 배치된다. 또한, 용량 소자(187)의 전극 노드에 금속 스위치(252)가 배치된다. 이들 금속 스위치(250~253)는 슬라이스 공정에서 금속 배선에 의해 그 접속 경로가 설정된다.

금속 스위치(250)는 더블 부스트 방식의 경우, 배선(245)과 용량 소자(187)의 게이트 전극을 MOS 트랜지스터(186)의 소스 노드에 접속한다. 금속 스위치(251)는 MOS 트랜지스터(190)의 드레인 노드를 배선(245)에 접속한다. 금속 스위치(253)는 접지 노드를 배선(247)에 접속한다. 금속 스위치(252)는 부전압 부스트 제어 신호 ZVBTB를 용량 소자(187)의 소스/드레인/기관 영역에 결합한다.

싱글 부스트 구성 시에는, 금속 스위치(250)는 접지 노드를 MOS 트랜지스터(186)의 소스 노드에 접속하고, 또한 용량 소자(187)의 게이트 전극을, 배선(245)에 접속한다. 금속 스위치(251)는 배선(245)을 배선(247)에 접속하고, 또한 MOS 트랜지스터(190)의 드레인 노드를 접지 노드에 결합한다. 금속 스위치(253)는 배선(247)을 노드 ND53에 접속한다. 금속 스위치(252)는 인버터(220)의 출력 신호를 용량 소자(187)의 소스/드레인/백게이트 노드에 접속한다.

따라서, 이들 금속 스위치(250~253)의 접속 경로를 슬라이스 공정에서 금속 배선으로 설정함으로써, 외부 전원 전압 EXVDD의 전압 레벨에 따라서, 더블 부스트 구성의 고전압 발생 회로 및 싱글 부스트 구성의 고전압 발생 회로를 실현할 수 있다.

또, 이 도 28에 나타내는 구성에서도, 용량 소자(191)는 싱글 부스트형 및 더블 부스트형 양자에 있어서 접속은 변경되지 않는다. 그러나, 싱글 부스트형에 있어서는, 용량 소자(191)의 게이트를 노드 ND53에 접속하는 경우에는, 용량 소자(191)의 게이트 및 기관 영역/불순물 영역에 대하여 접속처를 변경하기 위한 금속 스위치를 배치한다.

또한, 도 28에 나타내는 구성에 있어서도, 전압 발생부(230)는 프리차지 제어 신호 PRE 및 출력 게이트 제어 신호 GATEE에 따라서 노드 ND53의 전압 및 전압 GATE를 생성하는 회로 부분을 나타낸다.

(변경예 2)

도 29는 본 발명의 실시예 8의 변경예 2의 구성을 개략적으로 나타내는 도면이다. 도 29에 있어서는, 노드 ND53의 전압 레벨을 프리차지하는 전압 발생부의 구성은 나타내고 있지 않다.

도 29에 있어서, 고전압 발생 회로는 MOS 트랜지스터(186)의 소스 노드 ND60과 접지 노드 사이에 접속되고, 또한 그 게이트로 제어 신호 CTL1을 받는 N채널 MOS 트랜지스터(260)와, 노드 ND60과 노드 ND61 내부에 접속되고, 또한 그 게이트에 제어 신호 CTL2를 받는 N채널 MOS 트랜지스터(261)와, 노드 ND61과 노드 ND62 사이에 접속되고, 또한 그 게이트가 접지 노드에 접속되는 P채널 MOS 트랜지스터(262)와, 노드 ND62와 접지 노드 사이에 접속되며, 또한 그 게이트에 제어 신호 CTL3을 받는 N채널 MOS 트랜지스터(263)와, 노드 ND62와 노드 ND53 사이에 접속되는 P채널 MOS 트랜지스터(264)와, 제어 신호 CTL4에 따라 MOS 트랜지스터(264)의 게이트를 노드 ND53에 결합하는 P채널 MOS 트랜지스터(265)와, 제어 신호 CTL5에 따라서, MOS 트랜지스터(264)의 게이트를 접지 노드에 결합하는 N채널 MOS 트랜지스터(266)를 포함한다.

용량 소자(187)의 전극 노드에는, 부전압 부스트 제어 신호 ZVBTB와 인버터(220)의 출력 신호를 받는 OR 회로(270)의 출력 신호가 인가된다.

더블 부스트 구성 시에는, 제어 신호 CTL1이 부전압 VBB 레벨로 설정되어, 제어 신호 CTL2가 외부 전원 전압으로 설정된다. 또한, 제어 신호 CTL3은 H레벨(외부 전원 전압 레벨)로 설정된다. 따라서, MOS 트랜지스터(260)가 비도통 상태, MOS 트랜지스터(263)가 도통 상태이며, 노드 ND62는 접지 전압 레벨로 고정된다.

또한, 제어 신호 CTL4 및 CTL5가 L레벨로 설정되고, MOS 트랜지스터(265)가 온 상태, MOS 트랜지스터(266)가 오프 상태로 되며, MOS 트랜지스터(264)의 게이트는 노드 ND53에 접속된다.

더블 부스트 구성 시에 있어서는, 노드 ND61은 부전압 -Vb와 접지 전압 레벨 사이에서 변화된다. 따라서, MOS 트랜지스터(262)는 노드 ND61의 전압 레벨이 그 임계값 전압의 절대값 이상 높아졌을 때에 온 상태로 되기 때문에, 이 더블 부스트 구성 시에는, MOS 트랜지스터(262)는 비도통 상태를 유지한다. 한편, MOS 트랜지스터(261)는 도통 상태이며, 또한 이 제어 신호 CTL2가 외부 전원 전압 EXVDD 레벨로 유지되어 있기 때문에, 노드 ND61의 전압이 노드 ND60으로 정확히 전달된다.

노드 ND53은 더블 부스트 구성 시에는, 외부 전원 전압 EXVDD와 전압 2.5·EXVDD 사이에서 변화된다. 따라서, MOS 트랜지스터(264)는 노드 ND62가 접지 전압 레벨로 유지되기 때문에, 상시 비도통 상태를 유지한다.

더블 부스트 모드 시에는, 펌프 제어 신호 ZPUMPA는 H레벨로 고정되어, 인버터(220)의 출력 신호는 L레벨로 된다. 따라서, OR 회로(270)가 버퍼 회로로서 동작하여, 부전압 부스트 제어 신호 ZVBTB에 따라, 용량 소자(187)를 구동한다.

한편, 싱글 부스트 구성 시에 있어서는, 제어 신호 CTL1이 외부 전원 전압 레벨로 설정되어, MOS 트랜지스터(260)가 도통 상태로 설정된다. 또한, 제어 신호 CTL2는 접지 전압 레벨로 유지되어, MOS 트랜지스터(261)가 비도통 상태로 된다. 마찬가지로, 제어 신호 CTL3이 접지 전압 레벨로 유지되어, MOS 트랜지스터(263)가 오프 상태로 된다. 따라서, 싱글 부스트 모드 시에, 노드 ND60은 접지 전압 레벨로 고정된다.

싱글 부스트 구성 시에는, 부전압 부스트 제어 신호 ZVBTB는 L레벨로 고정되고, OR 회로(270)는 인버터(220)의 출력 신호에 따라 용량 소자(187)를 구동한다. 따라서, 노드 ND61은 접지 전압과 외부 전원 전압 EXVDD 사이에서 변화되어, MOS 트랜지스터(262)가 도통하고, 노드 ND62로 외부 전원 전압 EXVDD의 진폭 신호를 전달한다.

또한, 싱글 부스트 모드 시에는, 제어 신호 CTL4가 고전압 레벨의 H레벨로 설정되고, MOS 트랜지스터(265)가 오프 상태로 되는 한편, 제어 신호 CTL5가 외부 전원 전압 레벨로 설정되고, MOS 트랜지스터(266)가 온 상태로 되며, MOS 트랜지스터(264)의 게이트는 접지 전압 레벨로 고정된다. 따라서, 이 경우, 노드 ND62의 외부 전원 전압 EXVDD 레벨의 진폭 신호가, MOS 트랜지스터(264)를 거쳐서 노드 ND53으로 전달된다. 이에 따라, 노드 ND53의 전압 레벨은 외부 전원 전압 EXVDD와 2·EXVDD의 전압 레벨 사이로 변화시킬 수 있다.

노드 ND53의 프리차지 전압 레벨은 외부 전원 전압 EXVDD 레벨이며, 노드 ND61의 프리차지 전압도, MOS 트랜지스터 (264, 262)를 거쳐서 외부 전원 전압 EXVDD 레벨로 설정할 수 있어, 용량 소자(187)의 차지 펌프 동작에 의해, 노드 ND61을 외부 전원 전압 EXVDD와, 2·EXVDD 사이에서 변화시킬 수 있다.

또, 상술한 설명에 있어서는, 용량 소자(191)의 접속 방향에 대해서는 특별히 설명하지 않는다. 용량 소자(191)의 접속 방향을 싱글 부스트형과 더블 부스트형으로 전환하는 경우에는, 마찬가지로 제어 신호에 따라 접속처를 변경한다. 이 경우, 용량 소자(191)를 거쳐서 전하가 펌프 동작에 의해 전송되기 때문에, 트랜지스터 스위치 회로에서의 전하 손실을 방지하기 위해, 용량 소자(191)의 접속처의 전환은 급속 배선으로 행하더라도 좋다.

또한, 접속처의 전환을 위해 CMOS 트랜스미션 게이트가 스위치 회로로서 이용되어도 좋다. 용량 소자(191)의 접속처의 전환에 스위치 회로를 이용하는 경우, 노드 ND52가 더블 부스트 구성에 있어서는 부전압으로 구동되기 때문에, 이 노드 ND52에 접속하는 스위치 회로에 대해서는 제어 신호로서는, 제어 신호 CTL1과 마찬가지로, 부전압 레벨로 레벨 변환된 제어 신호를 이용해야 한다. 노드 ND53에 대한 접속을 위한 스위치 회로에 대해서는 제어 신호로서, 제어 신호 CTL4와 마찬가지로 고전압 VP 레벨의 신호를 이용한다. 이에 따라, 펌프 회로의 구성에 의해 용량 소자(191)의 접속처를 변경할 수 있다.

도 30은 도 29에 나타내는 제어 신호를 발생하는 부분의 구성의 일례를 개략적으로 나타내는 도면이다. 도 30에 있어서, 제어 신호 발생부는 더블 부스트 지시 신호 DBLE의 활성화 시 활성화되어, 부전압 VBB를 발생하는 부전압 발생 회로(300)와, 외부 전원 전압 EXVDD 및 부전압 VBB를 동작 전원 전압으로서 받아, 더블 부스트 지시 신호 DBLE의 레벨을 변환하여 제어 신호 CTL1을 생성하는 레벨 변환 회로(302)와, 더블 부스트 지시 신호 DBLE의 비활성화 시 활성화되어, 활성화 시 고전압 VP를 생성하는 고전압 발생 회로(304)와, 고전압 발생 회로(304)로부터의 고전압 VP와 접지 전압을 동작 전원 전압으로서 받아, 더블 부스트 지시 신호 DBLE의 레벨 변환을 행하여 제어 신호 CTL4를 생성하는 레벨 변환 회로(306)와, 더블 부스트 지시 신호 DBLE를 반전하여 제어 신호 CTL5를 생성하는 인버터(308)를 포함한다.

제어 신호 CTL2 및 CTL3은 더블 부스트 지시 신호 DBLE에 따라 생성된다.

더블 부스트 지시 신호 DBLE는 급속 배선, 본딩 패드의 전압 고정, 또는 모드 지정 신호에 의해 그 논리 레벨이 결정된다. 일 예로서, 더블 부스트 지시 신호 DBLE는 더블 부스트 모드 설정 시에 H레벨로 설정되고, 싱글 부스트 모드 설정 시에 L레벨로 설정된다.

부전압 발생 회로(300)는 더블 부스트 구성이 지정되었을 때에, 부전압 VBB를 생성한다. 이 부전압 VBB는 도 21에 나타내는 노드 ND54의 전압 VBTB의 부전압 -Vb 이하의 전압 레벨이다. 부전압 발생 회로(300)는 비활성화 시에는 접지 전압을 출력한다.

레벨 변환 회로(302)는 더블 부스트 지시 신호 DBLE에 따라 제어 신호 CTL1을 생성한다. 제어 신호 CTL1은 더블 부스트 구성이 지정되었을 때에는, 부전압 VBB 레벨로 설정되고, 싱글 부스트 구성이 지정되었을 때에는, H 레벨(외부 전원 전압 EXVDD 레벨)로 고정된다. 레벨 변환 회로(302)는 주지의 회로 구성을 이용해서 구성되고, 예컨대, 도 13에 나타내는 레벨 변환 회로(114)에 있어서, 전원 노드의 전압 극성 및 MOS 트랜지스터의 트랜지스터 극성을 전부 반대로 함으로써, 실현된다.

제어 신호 CTL2 및 CTL3은 싱글 부스트 구성이 지정되었을 때에는, L레벨(접지 전압 레벨)로 되고, 더블 부스트 구성이 지정되었을 때에는, H레벨로 된다.

고전압 발생 회로(304)는 싱글 부스트 구성 시에 활성화되어 고전압 VP를 생성한다. 이 고전압 VP는 2·EXVDD 이상의 전압 레벨이다. 고전압 발생 회로(304)는 비활성화 시에는 외부 전원 전압 EXVDD 레벨의 전압을 출력한다.

레벨 변환 회로(306)는 더블 부스트 지시 신호 DBLE를 반전하고, 또한 그 출력 신호의 H레벨을 고전압 VP 레벨로 설정한다. 따라서, 제어 신호 CTL4는 싱글 부스트 구성 시에는, 고전압 VP 레벨로 되고, 더블 부스트 구성 시에는, 접지 전압 레벨의 L레벨로 된다.

인버터(308)는 외부 전원 전압을 동작 전원 전압으로서 받아, 더블 부스트 지시 신호 DBLE를 반전하여 제어 신호 CTL5를 생성한다. 따라서, 제어 신호 CTL5는 더블 부스트 구성 시에는 L레벨로 되고, 싱글 부스트 구성 시에는, H레벨로 된다.

또, 부전압 발생 회로(300) 및 고전압 발생 회로(304)는 각각 캐패시터의 차지 펌프 동작을 이용하는 차지 펌프 회로로 구성된다.

도 31은 도 30에 나타내는 부전압 발생 회로(300) 구성의 일례를 개략적으로 나타내는 도면이다. 도 31에 있어서, 부전압 발생 회로(300)는, 활성화 시, 캐패시터의 차지 펌프 동작을 이용해서 출력 노드 ND70에 부전압 VBB를 생성하는 차지 펌프 회로(300a)와, 더블 부스트 지시 신호 DBLE의 레벨을 변환하는 레벨 변환 회로(300b)와, 레벨 변환 회로(300b)의 출력 신호에 따라 선택적으로 도통하고, 도통 시 노드 ND70을 접지 노드에 결합하는 N채널 MOS 트랜지스터(300c)를 포함한다.

차지 펌프 회로(300a)는, 더블 부스트 지시 신호 DBLE가 H레벨로 활성화될 때, 도시하지 않는 클럭 제어 신호 발생 회로로부터의 클럭 제어 신호에 따라 차지 펌프 동작을 실행하여, 노드 ND70에 부전압을 생성한다. 이 경우, 더블 부스트 지시 신호 DBLE가 H레벨의 경우에는, 레벨 변환 회로(300b)의 출력 신호는 출력 노드 ND70의 전압 레벨로 되어, MOS 트랜지스터(300c)는 비도통 상태를 유지한다. 따라서, 차지 펌프 회로(300a)로부터의 부전압 VBB가 차지 펌프 동작에 따라서 생성된다.

한편, 더블 부스트 지시 신호 DBLE가 L레벨일 때에는, 레벨 변환 회로(300b)의 출력 신호는 외부 전원 전압 EXVDD 레벨로 되고, MOS 트랜지스터(300c)가 도통 상태로 되고, 출력 노드 ND70은 접지 전압 레벨로 고정된다. 차지 펌프 회로(300a)는 더블 부스트 지시 신호 DBLE가 L레벨일 때에는 차지 펌프 동작은 정지된다. 따라서, 이 출력 노드 ND70으로부터의 부전압 VBB는 접지 전압 레벨로 된다.

또, 이 도 31에 나타내는 레벨 변환 회로(300b)를 도 30에 나타내는 레벨 변환 회로(302)로서 이용하여도 좋다. 이 경우, 레벨 변환 회로(300b)의 출력 신호는 제어 신호 CTL1에 상당한다.

도 32는 도 30에 나타내는 고전압 발생 회로(304) 구성의 일례를 나타내는 도면이다. 도 32에 있어서, 고전압 발생 회로(304)는, 활성화 시, 캐패시터의 차지 펌프 동작을 이용해서 노드 ND72에 고전압 VP를 생성하는 차지 펌프 회로(304a)와, 더블 부스트 지시 신호 DBLE를 반전하고, 또한 싱글 부스트 구성 시, 그 레벨을 변환하는 레벨 변환 회로(304b)와, 레벨 변환 회로(304b)의 출력 신호에 따라 노드 ND72를 외부 전원 전압 EXVDD 레벨로 설정하는 P채널 MOS 트랜지스터(304c)를 포함한다.

차지 펌프 회로(304a)는 더블 부스트 지시 신호 DBLE가 L레벨이며 싱글 구성을 나타내고 있을 때에 차지 펌프 동작을 실행하여 출력 노드 ND72에 고전압 VP를 생성한다. 이 싱글 부스트 구성 시에 있어서는, 레벨 변환 회로(304b)의 출력 신호는 노드 ND72 상의 전압 VP 레벨로 되고, MOS 트랜지스터(304c)가 비도통 상태로 된다. 따라서, 노드 ND72에는, 이 차지 펌프 회로(304a)가 생성하는 고전압의 전압 레벨로 설정된다. 한편, 더블 부스트 구성 시에 있어서는, 더블 부스트 지시 신호 DBLE가 H레벨이며, 이 레벨 변환 회로(304b)의 출력 신호는 L레벨(접지 전압 레벨)이며, MOS 트랜지스터(304c)가 도통하여, 노드 ND72로 외부 전원 전압 EXVDD를 전달한다. 차지 펌프 회로(304a)는 더블 부스트 구성 시에 있어서는, 차지 펌프 동작은 실행하지 않는다. 따라서, 이 노드 ND72 상의 고전압 VP는 더블 부스트 구성 시에는, 외부 전원 전압 EXVDD 레벨로 된다.

또, 이 도 32에 나타내는 고전압 발생 회로(304)의 구성에 있어서도, 레벨 변환 회로(304b)가 제어 신호 CTL4를 생성하는 레벨 변환 회로(306)로서 이용되어도 좋다. 레벨 변환 회로(304b)로부터 MOS 트랜지스터(304c)의 게이트로 인가되는 신호는 제어 신호 CTL4로서 이용된다.

또, 도 29에 나타내는 제어 신호 ZVBTB 및 ZPNPA의 상태에 대해서는, 또한 더블 부스트 지시 신호 DBLE에 따라 그 상태가 설정되어도 좋다. 예컨대, 더블 부스트 지시 신호 DBLE와 제어 신호 ZVBTBF의 AND를 사용한 신호를, 부전압 부스트 제어 신호 ZVBTB로서 이용한다. 한편, 펌프 제어 신호 ZPNPA는 더블 부스트 지시 신호 DBLE와 펌프 제어 신호 ZPNPA의 OR을 사용한 신호로부터 생성한다.

이상과 같이, 본 발명의 실시예 8에 따르면, 외부 전원 전압의 전압 레벨이 낮은 경우에는, 캐패시터의 차지 펌프 동작을 2 단계로 분할해서 실행하여 내부 노드의 출력 전압 진폭을 크게 하고, 외부 전원 전압이 높은 경우에는, 이 캐패시터를 병렬로 동시에 동작시켜 전하를 축적하고 있어, 외부 전원 전압에 따라 효율적으로 필요한 전압 레벨의 고전압을 생성할 수 있다.

(실시예 9)

도 33은 본 발명의 실시예 9에 따른 고전압 발생 회로의 제어부 구성을 개략적으로 나타내는 도면이다. 도 33에 있어서, 고전압 발생 제어부는 고전압 V_{pp} 를 분압하여 분압 전압 $VPDIV$ 를 생성하는 분압 회로(400)와, 분압 전압 $VPDIV$ 와 기준 전압 V_{refd} 를 비교하는 비교 회로(402)와, 비교 회로(402)의 출력 신호와 분압 전압 $VPDIV$ 에 따라 레벨 검출 신호 DET_N 을 생성하는 바이어스 보상 회로(404)와, 레벨 검출 신호 DET_N 에 응답하여 선택적으로 활성화되고, 활성화 시, 소정 주기에 발진 동작을 실행하여 펄프 클럭 신호 $PCLK$ 를 생성하는 링 오실레이터(406)와, 펄프 클럭 신호 $PCLK$ 를 기본 타이밍 신호로서, 펄프 제어 신호 PRE , $GATEE$, $ZPNP$ 등을 생성하는 제어 신호 발생 회로(408)를 포함한다.

이 제어 신호 발생 회로(408)로부터의 펄프 제어 신호 PRE 등이 앞선 실시예 7 및 8에 나타난 고전압 발생 회로로 인가된다.

분압 회로(400)는 고전압 입력 노드와 접지 노드 사이에 직렬로 접속되는 저항 소자(400a, 400)를 포함한다. 이 분압 회로(400)의 분압비가, 0.43으로 설정되어, 분압 전압 $VPDIV$ 는 고전압 V_{pp} 의 1/2의 전압 레벨보다도 낮은 전압 레벨로 설정된다.

비교 회로(402)는 분압 전압 $VPDIV$ 와 기준 전압 V_{refd} 를 비교하는 차동단을 구성하는 N채널 MOS 트랜지스터 $NQ1$ 및 $NQ2$ 와, 이들 MOS 트랜지스터 $NQ1$ 및 $NQ2$ 로 전류를 공급하는 커런트 미러단을 구성하는 P채널 MOS 트랜지스터 $PQ1$ 및 $PQ2$ 와, 이 비교 회로(402)의 동작 전류를 공급하는 MOS 트랜지스터 $NQ3$ 을 포함한다.

MOS 트랜지스터 $PQ1$ 이 커런트 미러단의 마스터단을 구성하여, MOS 트랜지스터 $PQ1$ 을 흐르는 전류의 미러 전류가 MOS 트랜지스터 $PQ2$ 를 거쳐서 흐른다.

이 비교 회로(402)의 전류원 트랜지스터 $NQ3$ 의 게이트에는, 활성화 신호 EN 이 인가된다. 이 활성화 신호 EN 은 어레이 활성화 신호라도 좋고, 또한 파워 컷 인에이블 신호의 반전 신호여도 좋다.

이 비교 회로(402)의 동작에 있어서는, 분압 전압 $VPDIV$ 가 기준 전압 V_{refd} 보다도 높은 경우에는, 비교 회로(402)의 출력 신호가 하이 레벨로 되는 한편, 분압 전압 $VPDIV$ 가 기준 전압 V_{refd} 보다도 낮은 경우에는, 비교 회로(402)의 출력 신호는 로우 레벨로 된다.

바이어스 보상 회로(404)는 비교 회로(402)의 출력 신호를 게이트로 받아, 이 비교 회로(402)의 출력 신호가 고 레벨일 때에, 레벨 검출 신호 DET_N 을 H레벨로 구동하는 P채널 MOS 트랜지스터 $PQ3$ 과, 분압 전압 $VPDIV$ 를 게이트로 받아, MOS 트랜지스터 $PQ3$ 의 구동 전류를 보상하는 N채널 MOS 트랜지스터 $NQ4$ 를 포함한다. MOS 트랜지스터 $NQ4$ 는 전류원 트랜지스터 $NQ3$ 에 접속된다. 따라서, 바이어스 보상 회로(404)도 활성화 신호 EN 의 활성화 시에 레벨 검출 신호 DET_N 을 생성하는 동작을 실행한다.

외부 전원 전압 $EXVDD$ 의 전압 레벨이 낮게 된 경우, 분압 전압 $VPDIV$ 가 $V_{pp}/2$ 의 전압 레벨의 경우, 외부 전원 전압 $EXVDD$ 와 분압 전압 $VPDIV$ 의 차이가 작게 되어, 차동단의 MOS 트랜지스터 $NQ1$ 및 $NQ2$ 가 선형 영역에서 동작하여, 이 비교 회로(402)의 감도가 저하될 가능성이 있다. 그리고, 분압 전압 $VPDIV$ 의 분압비를 예컨대, 43/100으로 작게 하여 분압 전압 $VPDIV$ 의 전압 레벨을 저하시키고, 또한, 기준 전압 V_{refd} 의 전압 레벨도 저하시켜, MOS 트랜지스터 $NQ1$ 및 $NQ2$ 를 포화 영역에서 동작시킨다.

또한, 이 차동단에 대한 분압 전압 $VPDIV$ 가 외부 전원 전압 $EXVDD$ 의 전압 레벨에 비하여 상대적으로 높아져도, 그 레벨 검출의 감도가 저하하지 않도록, 바이어스 보상 회로(404)가 마련된다. 분압 전압 $VPDIV$ 가 기준 전압 V_{refd} 보다도 높은 경우에는, 비교 회로(402)의 출력 신호가 하이 레벨로 되어, MOS 트랜지스터 $PQ3$ 의 컨덕턴스가 저하하고, 한편, MOS 트랜지스터 $NQ4$ 의 컨덕턴스가 커져, 바이어스 보상 회로(404)의 출력 신호가 L레벨로 구동된다.

한편, 분압 전압 $VPDIV$ 가 기준 전압 V_{refd} 보다도 낮은 경우에는, 비교 회로(402)의 출력 신호가 로우 레벨로 되어, MOS 트랜지스터 $PQ3$ 의 컨덕턴스가 증대하고, 또한, MOS 트랜지스터 $NQ4$ 의 컨덕턴스가 저하한다. 따라서, 이 상태에서는, 바이어스 보상 회로(404)의 출력 신호 DET_N 이 H레벨로 구동된다.

즉, MOS 트랜지스터 $PQ3$ 및 $NQ4$ 에 대하여 비교 회로(402)의 입력 신호와 출력 신호에 따라 그들의 게이트 전압을 동일 방향으로 변화시키고, 또한, MOS 트랜지스터 $NQ4$ 를 포화 영역에서 동작시킴으로써, 비교 회로(402)의 출력 신호에 따라, MOS 트랜지스터 $NQ4$ 및 $PQ3$ 의 컨덕턴스를 상보적으로 변화시킬 수 있고, 비교 회로(402)의 출력 신호에 따라 고속으로 출력 신호를 변화시킬 수 있다.

따라서, 비교 회로(402)의 감도가 낮은 경우에도, 이 비교 회로(402)의 출력 신호에 따라 바이어스 보상 회로(404)가 고속으로 그 출력 신호 DETEN을 구동할 수 있어, 분압 전압 VPDIV의 전압 레벨이 높은 경우에도 정확하게 전압 레벨의 검출 동작을 행할 수 있다.

링 오실레이터(406)는 우수단의 인버터와, 이 최종단의 인버터의 출력 신호와 레벨 검출 신호 DETN을 받는 게이트 회로를 포함한다. 이 게이트 회로 출력 신호가 인버터열 초단(初段)의 인버터로 인가된다. 레벨 검출 신호 DETN이 H레벨이며, 분압 전압 VPDIV가 기준 전압 Vrefd보다도 낮을 때에, 발진 동작을 행한다. 분압 전압 VPDIV가 기준 전압 Vrefd보다도 높은 경우에는, 레벨 검출 신호 DETN은 L레벨로 되고, 링 오실레이터(406)는 발진 동작을 정지한다. 따라서, 고전압 Vpp의 전압 레벨로서, $100 \cdot Vrefd/43$ 의 전압 레벨로 고전압 Vpp를 유지할 수 있다.

(변경예)

도 34는 본 발명의 실시예 9의 변경예에 따른 고전압 발생 제어부의 구성을 개략적으로 나타내는 도면이다. 이 도 34에 나타내는 구성에 있어서는, 분압 회로(400)에 있어서, 분압 전압 출력 노드 ND75와 접지 노드 사이에 저항 소자(400ba, 400bb)가 직렬로 접속된다. 이 저항 소자(400ba)와 병렬로, 게이트에 더블 부스트 지시 신호의 보조 신호 ZDBLE를 받는 N채널 MOS 트랜지스터(400c)가 접속된다. 또한, 제어 신호 발생 회로(408)에 있어서는, 더블 부스트 지시 신호 DBLE가 인가된다. 이 도 34에 나타내는 고전압 발생 제어부의 다른 구성은 도 33에 나타내는 구성과 같고, 대응하는 부분에는 동일 참조 부호를 부여하여, 그 상세 설명은 생략한다.

외부 전원 전압 EXVDD가, 예컨대, 1.8V 또는 2.5V로 낮은 경우에는, 더블 부스트 구성이 지정되어, 더블 부스트 동작을 행하여, 고전압 Vpp를 생성한다. 이 경우에는, 보조 더블 부스트 지시 신호 ZDBLE가 L레벨로 설정되어, MOS 트랜지스터(400c)가 도통 상태로 된다. 따라서, 이 경우에는, 분압 전압 VPDIV는 분압비 0.43으로 고전압 Vpp를 분압하여 생성된다.

한편, 외부 전원 전압 EXVDD가, 예컨대, 3.3V로 높은 경우에는, 싱글 부스트 구성으로, 고전압 Vpp를 생성한다. 이 경우에는 보조 더블 부스트 지시 신호 ZDBLE는 H레벨로 설정되어, MOS 트랜지스터(400c)가 도통되어, 저항 소자(400b)가 단락된다. 따라서, 출력 노드 ND75로부터의 분압 전압 VPDIV는 저항 소자(400a, 400bb)의 저항값을 동일하게 함으로써, 분압비 1/2에서 고전압 Vpp로부터 생성된다. 이 싱글 부스트 구성 시에 있어서는, 제어 신호 발생 회로(408)는 더블 부스트 지시 신호 DBLE에 따라, 제어 신호의 발생 형태를 전환한다(실시예 8 참조).

따라서, 이 도 34에 나타내는 구성을 이용함으로써, 하나의 고전압 발생 제어부에 의해, 복수 종류의 외부 전원 전압에 따른 제어 형태를 실현할 수 있고, 또한, 고전압 발생 방식에 따라 알맞은 레벨 검출 동작을 실행하여, 고전압 발생 동작을 제어할 수 있다.

또, 도 34에 있어서, MOS 트랜지스터(400c) 대신, 마스크 금속 배선이 이용되어도 좋고, 또한 링크 소자(퓨즈 소자)가 이용되어도 좋다.

도 35는 기준 전압 Vrefd를 발생하는 부분의 구성의 일례를 나타내는 도면이다. 도 35에 있어서, 기준 전압 발생 회로는 외부 전원 노드에 결합되어, 정전류 i_0 을 공급하는 정전류원(420a)과, 제어 입력 DIS에 인가되는 신호에 응답하여 선택적으로 도통하고, 도통 시, 정전류원(420a)으로부터의 전류를 노드 ND78로 공급하는 P채널 MOS 트랜지스터(420b)와, 노드 ND78 및 ND79 사이에 직렬로 접속되는 저항 소자(420c, 420d)와, 노드 ND79와 접지 노드의 사이에 접속되고, 그 게이트가 접지 노드에 접속되는 P채널 MOS 트랜지스터(420e)와, 저항 소자(420c)와 병렬로 접속되고, 또한 그 게이트에 더블 부스트 지시 신호 DBLE를 받는 N채널 MOS 트랜지스터 DBLE와, 제어 입력 DIS에 인가되는 신호에 응답하여 선택적으로 도통하고, 도통 시 출력 노드 ND78을 접지 노드에 결합하는 N채널 MOS 트랜지스터(420g)를 포함한다.

제어 입력 DIS로는, 도 34에 나타내는 활성화 신호 EN의 반전 신호가 인가된다. 외부 전원 전압 EXVDD의 전압 레벨이 낮고, 더블 부스트 지시 신호 DBLE가 H레벨로 설정되는 경우에는, MOS 트랜지스터(420f)가 도통되고, 저항 소자(420c)가 단락된다. 따라서, 노드 ND78의 기준 전압 Vrefd는 저항 소자(420d)의 저항값과 정전류 i_0 의 곱과 MOS 트랜지스터(420e)의 임계값 전압의 절대값 V_{thp} 의 합으로 인가된다.

한편, 외부 전원 전압 EXVDD가 높고, 싱글 부스트 구성에 고전압 발생 회로가 설정되는 경우에는, 더블 부스트 지시 신호 DBLE는 L레벨이며, MOS 트랜지스터(420f)는 비도통 상태로 된다. 이 경우에는, 기준 전압 Vrefd는 저항 소자(420c, 420d)의 합성 저항값과 MOS 트랜지스터(420e)의 임계값 전압의 절대값의 합으로 인가된다.

따라서, 외부 전원 전압 EXVDD가 높게 설정되는 경우에는, 기준 전압 Vrefd의 전압 레벨이 $V_{pp}/2$ 로 높게 설정되는 한편, 외부 전원 전압 EXVDD가 낮게 설정되는 경우에는, 기준 전압 Vrefd는, 예컨대, $0.43V_{pp}$ 로 낮게 설정된다.

또, 도 35에 나타내는 기준 전압 발생 회로의 구성에 있어서, MOS 트랜지스터(420e)는 생략되어도 좋다.

이상과 같이, 본 발명의 실시예 9에 따르면, 외부 전원 전압이 낮게 설정되고, 더블 부스트 방식으로 내부 고전압을 생성하는 경우에는, 이 고전압의 레벨 검출 시에는, 비교 회로로 인가되는 바이어스 전압을 낮게 설정하고 있어, 비교 회로의 소위, 「히트 영역」에서 비교 동작을 실행할 수 있어, 정확하게 레벨 검출 동작을 실행할 수 있다.

또한, 이 고전압의 분압 전압에 따라서, 레벨 검출 신호를 최종적으로 출력하는 회로의 구동 전류를 조정하고 있어, 비교 회로의 감도 저하를 보상하여, 정확하게 레벨 검출 신호를 생성할 수 있다.

또, 이 도 35에 나타내는 기준 전압 발생 회로의 구성에 있어서도, MOS 트랜지스터(420f) 대신, 용단 가능한 링크 소자가 이용되어도 좋고, 또한 마스크 금속 배선에 의해 선택적으로 저항 소자(420c)가 단락되어도 좋다.

발명의 효과

이상과 같이, 본 발명에 따르면, 외부 전원 전압의 전압 레벨에 따라 내부 전압 발생 형태를 조정하고 있어, 하나의 칩으로 복수 종류의 외부 전원 전압에 대응할 수 있는 반도체 장치를 실현할 수 있다.

이상 본 발명자에 의해서 이루어진 발명을 상기 실시예에 따라 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않는 범위에서 여러 가지로 변경 가능한 것은 물론이다.

(57) 청구의 범위

청구항 1.

기준 전압을 발생시키는 기준 전압 발생 회로,

활성화 시, 상기 기준 전압과 내부 전압을 비교하여, 해당 비교 결과에 따른 신호를 출력하는 비교 회로,

상기 비교 회로의 출력 신호에 따라, 내부 전압선에 전원 노드로부터 전류를 공급하여 상기 내부 전압을 생성하는 드라이브 회로,

외부 전압 레벨 설정 신호에 따라, 상기 비교 회로의 비교 동작을 정지시키고, 그 출력 신호를 소정 전압 레벨로 고정하여 상기 드라이브 회로를 상시 도통 상태로 설정하기 위한 비교 제어 회로, 및

상기 외부 전압 레벨 설정 신호에 따라 상기 내부 전압선을 상기 전원 노드에 결합하는 보조 트랜지스터를 구비하는 반도체 장치.

청구항 2.

제 1 전원 전압을 동작 전원 전압으로서 받고, 모드 설정 신호에 따라 선택적으로 능동화되며, 능동화 시, 외부 신호로부터 제 1 내부 신호를 생성하는 제 1 입력 회로,

제 2 전원 전압을 동작 전원 전압으로서 받고, 상기 모드 설정 신호에 응답하여 선택적으로 능동화되며, 능동화 시, 상기 외부 신호로부터 제 2 내부 신호를 생성하는 제 2 입력 회로,

상기 제 2 입력 회로로부터의 제 2 내부 신호를 상기 제 1 전원 전압 레벨의 진폭 신호로 레벨 변환하여 제 3 내부 신호를 생성하는 레벨 변환 회로, 및

상기 제 1 전원 전압을 동작 전원 전압으로서 받고, 상기 제 1 및 제 3 내부 신호에 따라, 내부 회로에 전달되는 제 4 내부 신호를 생성하는 입력 게이트 회로

를 구비하되,

상기 입력 게이트 회로는, 상기 제 1 및 제 2 입력 회로의 비능동화 시에는, 해당 비능동화된 입력 회로의 출력 신호에 따라 버퍼 회로로서 동작하여, 상기 레벨 변환 회로 또는 상기 제 1 입력 회로의 출력 신호를 버퍼 처리하는

반도체 장치.

청구항 3.

제 1 제어 신호를 받는 제 1 제어 신호 입력 노드와 제 1 내부 노드 사이에 접속되는 제 1 용량 소자,

상기 제 1 내부 노드의 전압 레벨에 따라서, 제 2 및 제 3 내부 노드를 외부 전원 전압 레벨에 각각 프리차지하는 제 2 및 제 3 트랜지스터,

제 2 제어 신호를 받는 제 2 제어 신호 입력 노드와 상기 제 2 내부 노드 사이에 접속되는 제 2 용량 소자,

상기 제 2 내부 노드의 전압 레벨에 따라서 선택적으로 도통 상태로 되고, 도통 시, 상기 제 3 내부 노드와 출력 노드 사이에서 전하를 전송하는 출력 트랜지스터,

외부 전원 노드 및 제 1 내부 전압 노드의 전압을 동작 전원 전압으로서 받고, 제 3 제어 신호에 따라 제 4 내부 노드를 구동하는 드라이브 회로,

상기 제 4 내부 노드와 상기 제 3 내부 노드 사이에 접속되는 제 3 용량 소자,

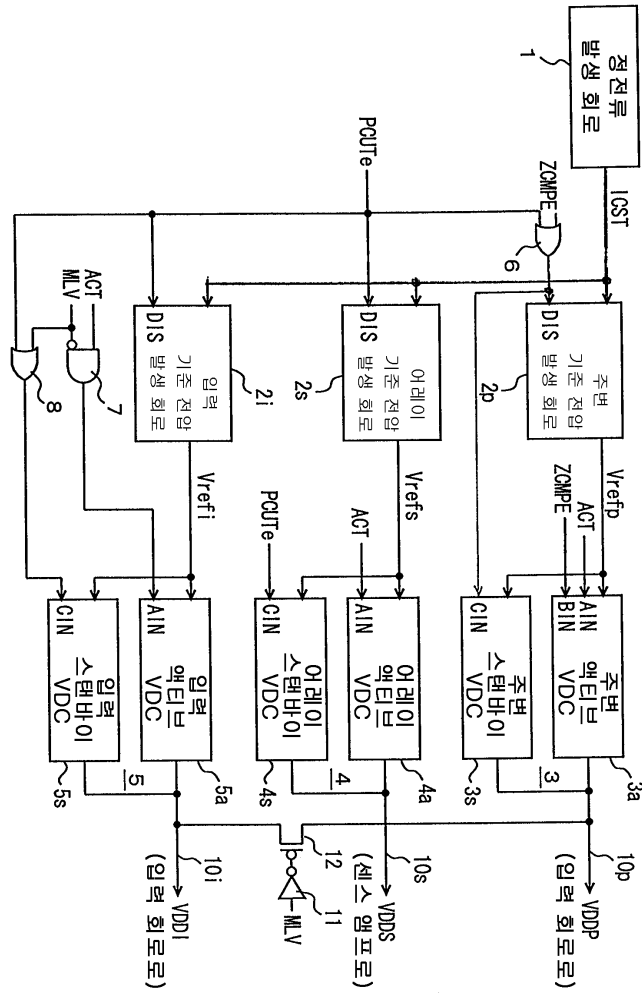
제 4 용량 소자, 및

제 5 제어 신호를 받는 제 4 제어 신호 입력 노드와 상기 제 1 내부 전압 노드 사이 및 상기 제 4 제어 신호 입력 노드와 상기 제 3 내부 노드 사이 중 어느 한 쪽에, 상기 제 4 용량 소자를 선택적으로, 또한 고정적으로 접속하는 배선을 구비하는

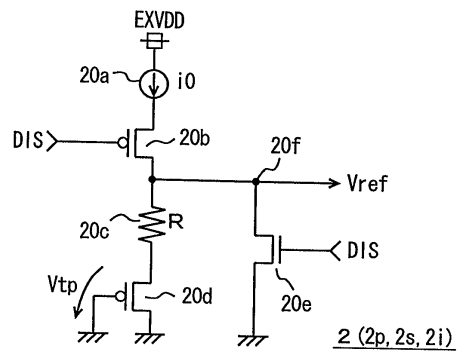
반도체 장치.

도면

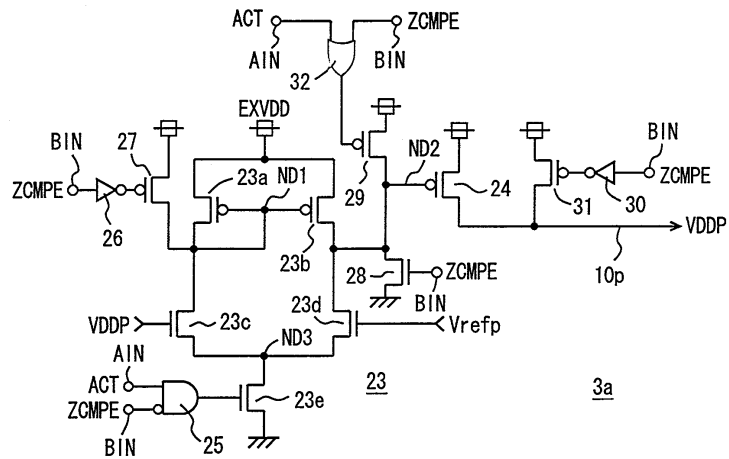
도면1



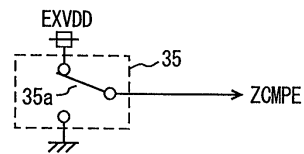
도면2



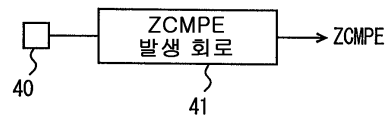
도면3



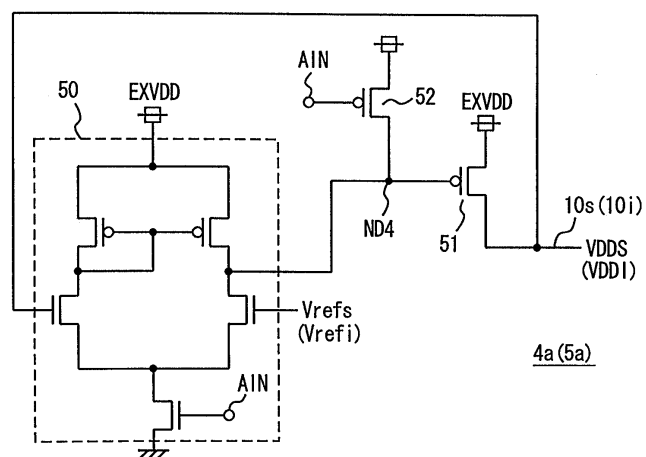
도면4



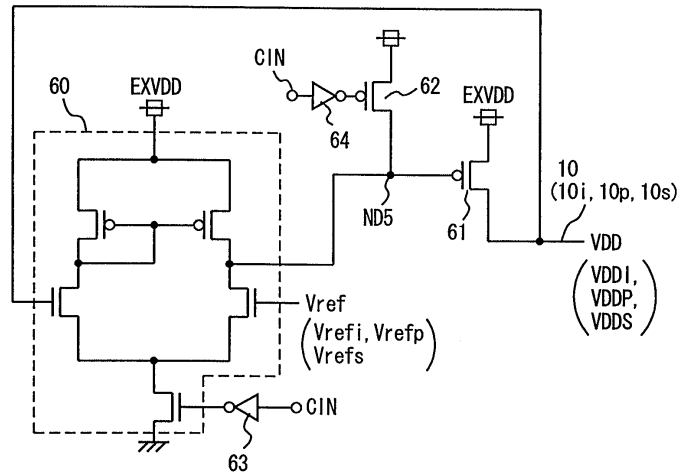
도면5



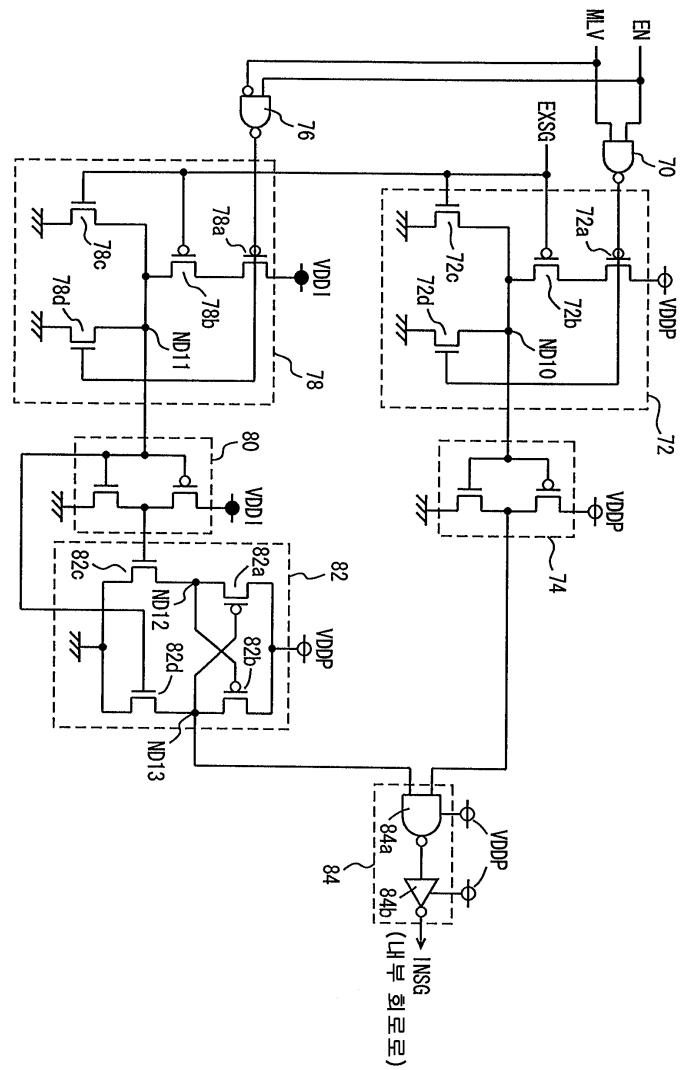
도면6



도면7

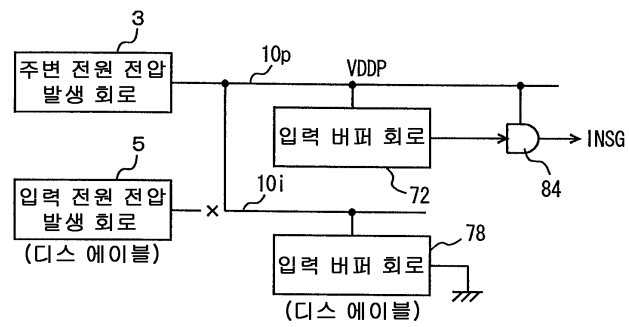


도면8



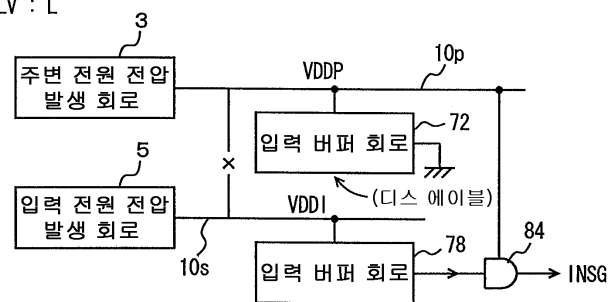
도면9

MLV : H

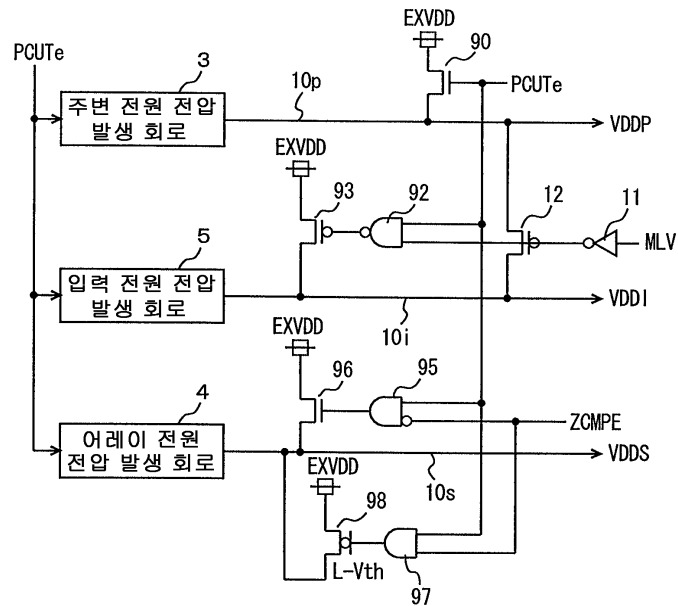


도면10

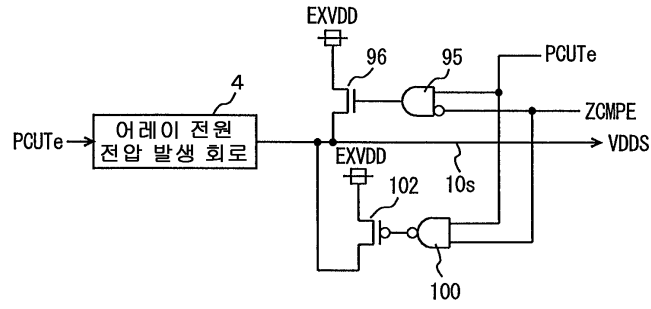
MLV : L



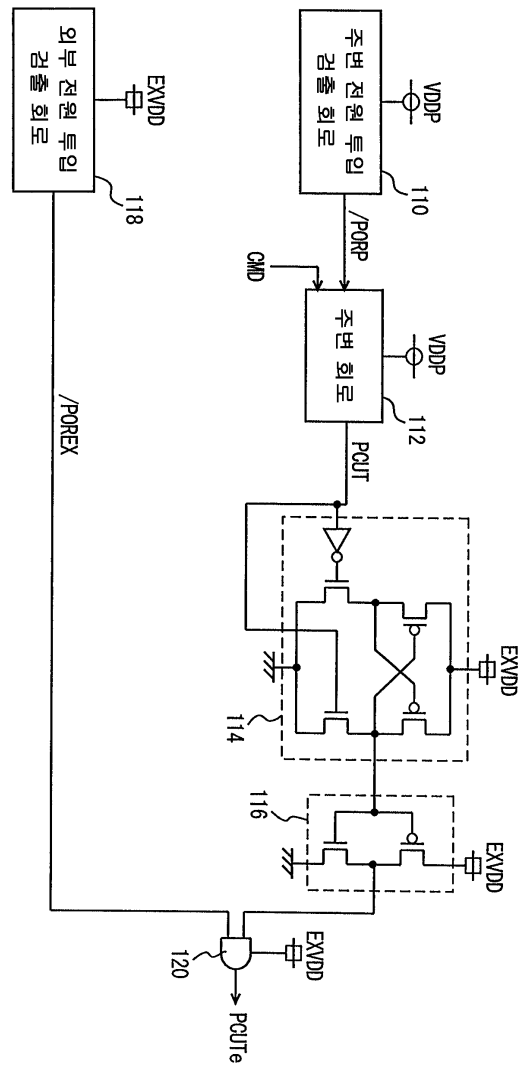
도면11



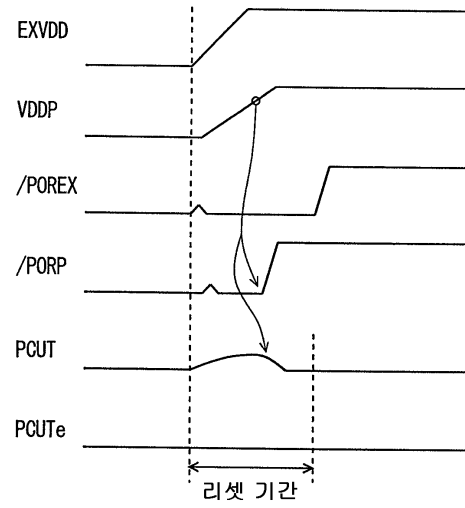
도면12



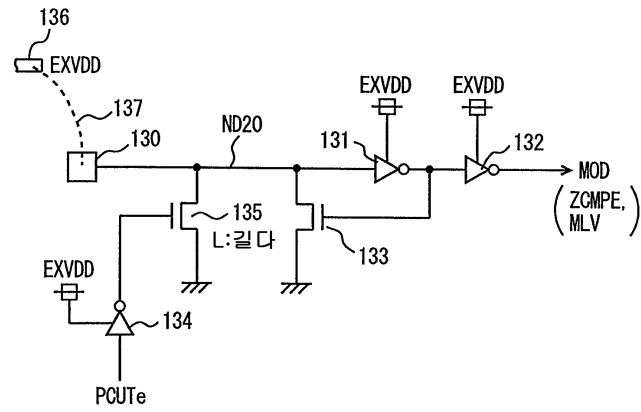
도면13



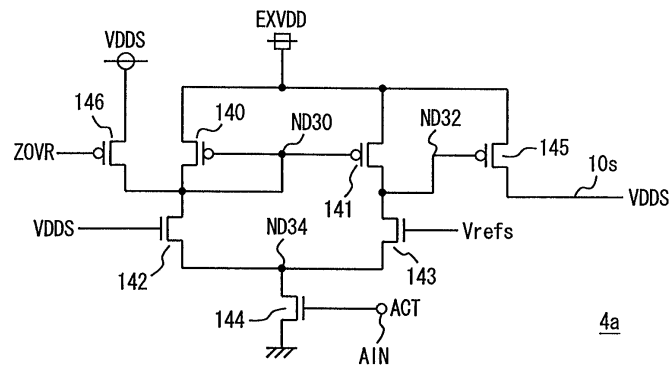
도면14



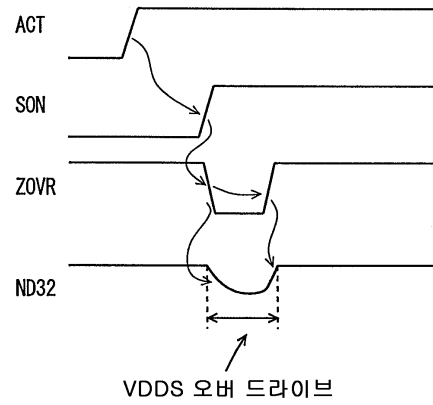
도면15



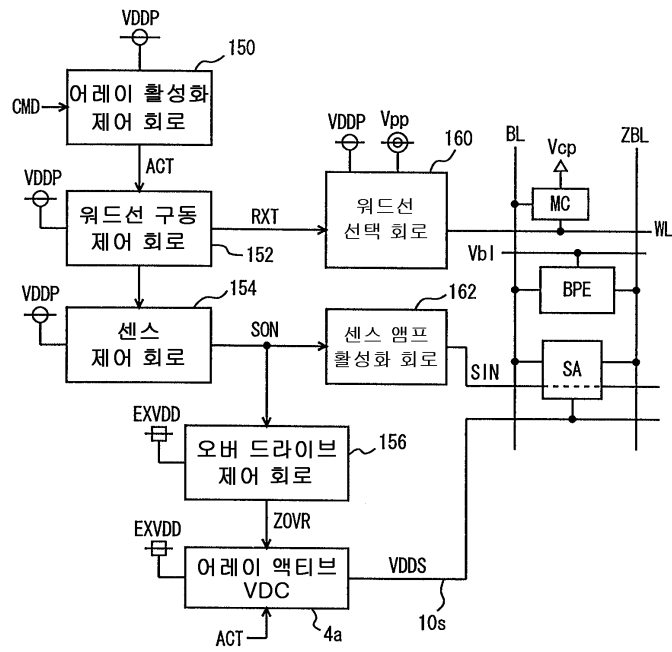
도면16



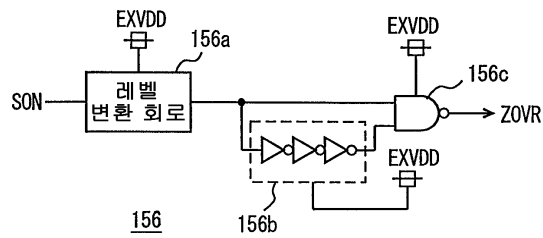
도면17



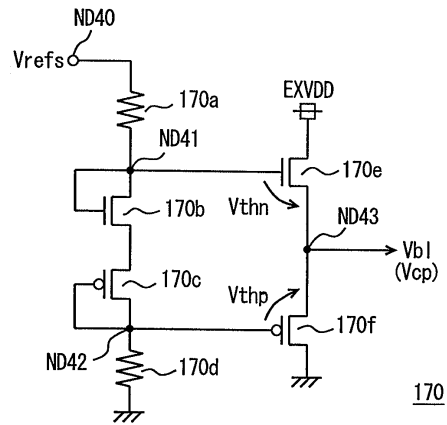
도면18



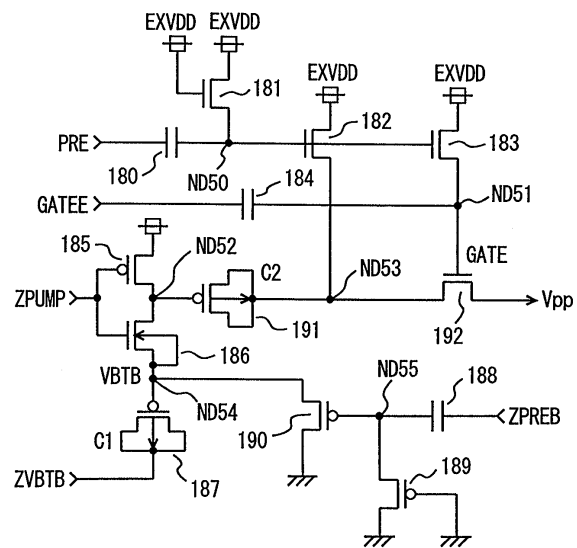
도면19



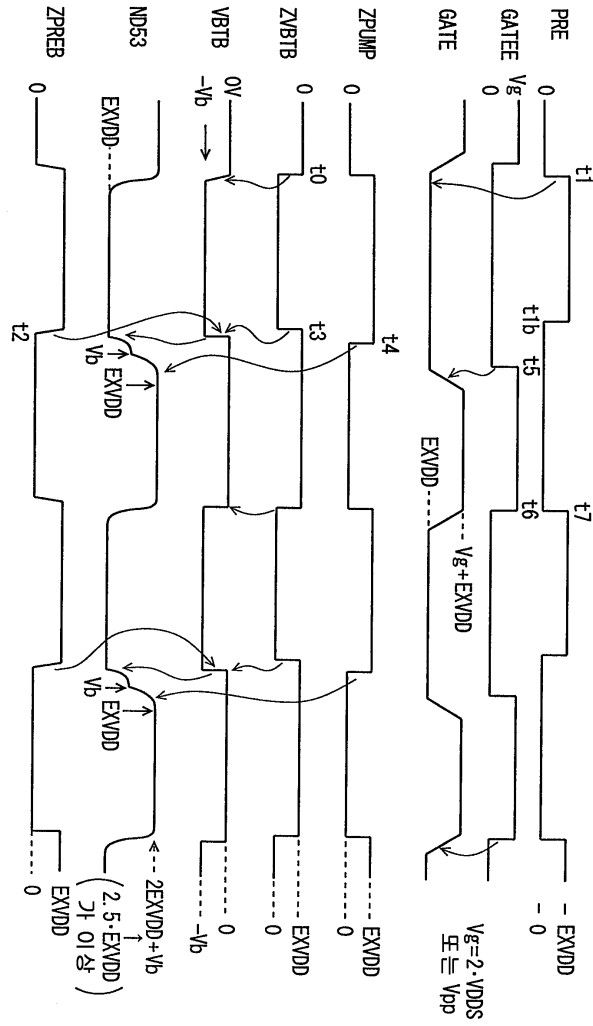
도면20



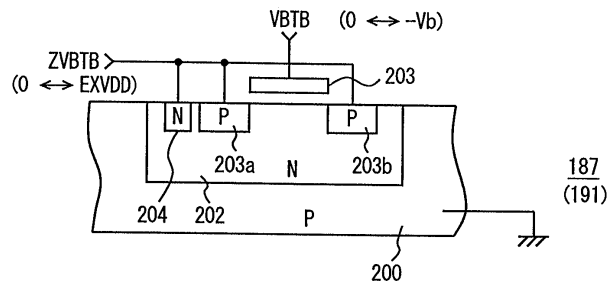
도면21



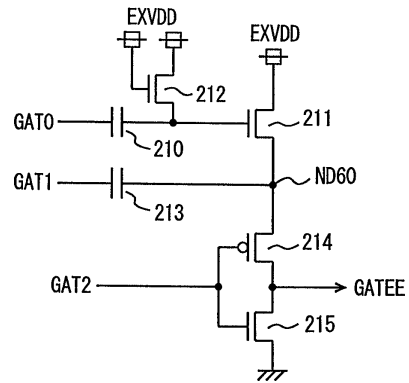
도면22



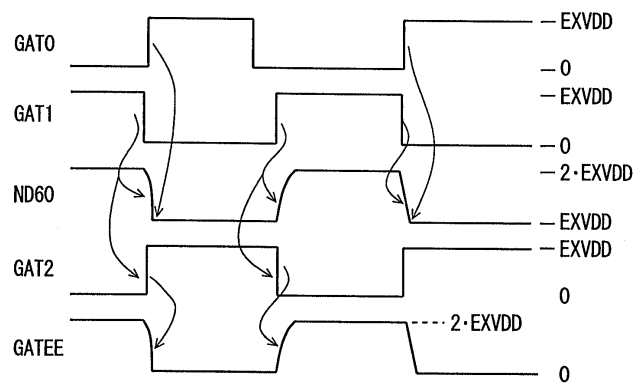
도면23



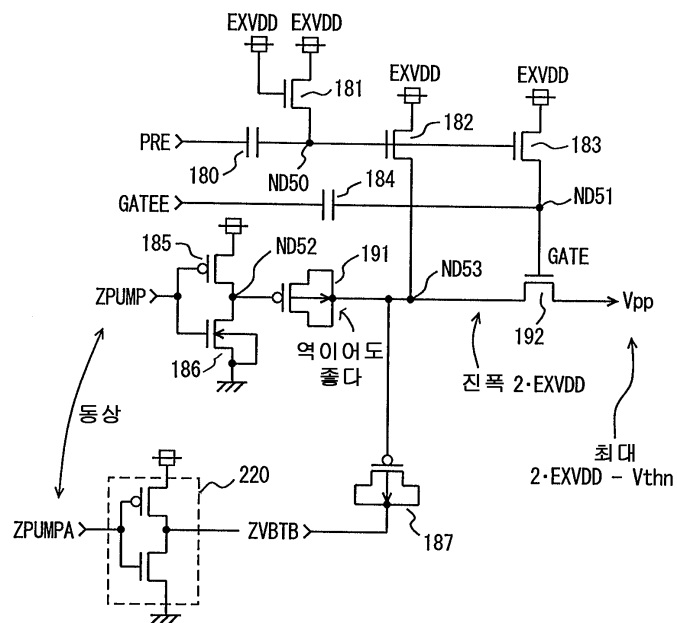
도면24



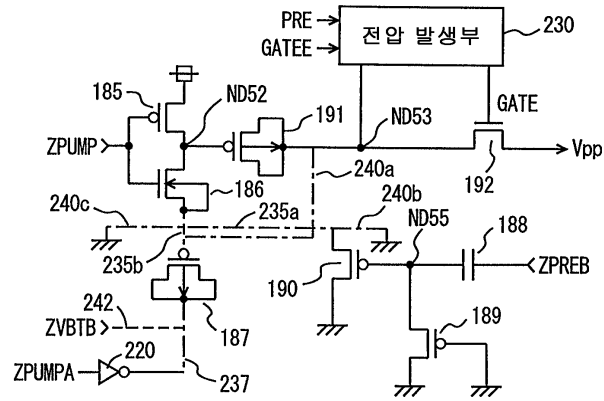
도면25



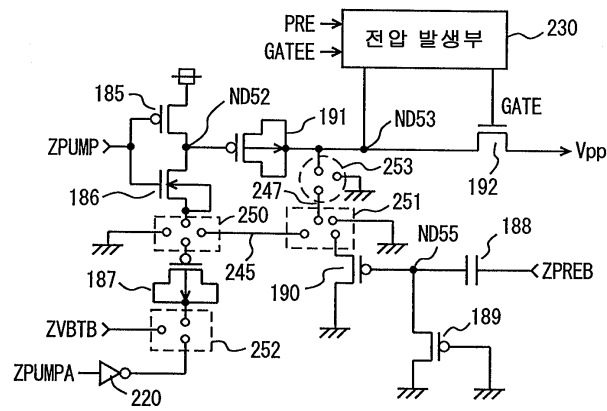
도면26



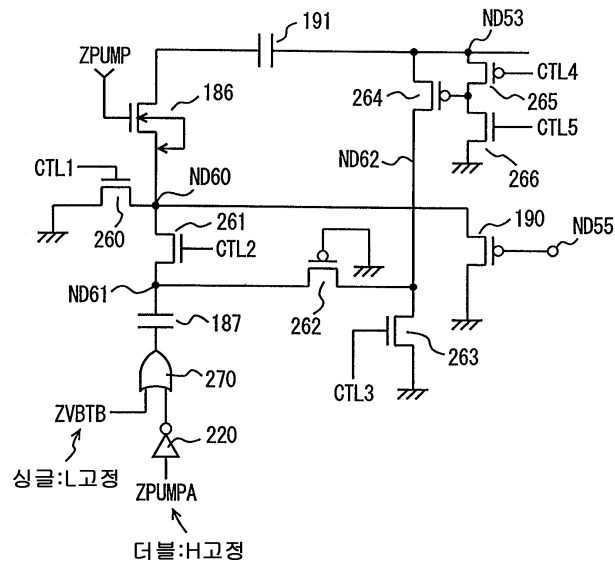
도면27



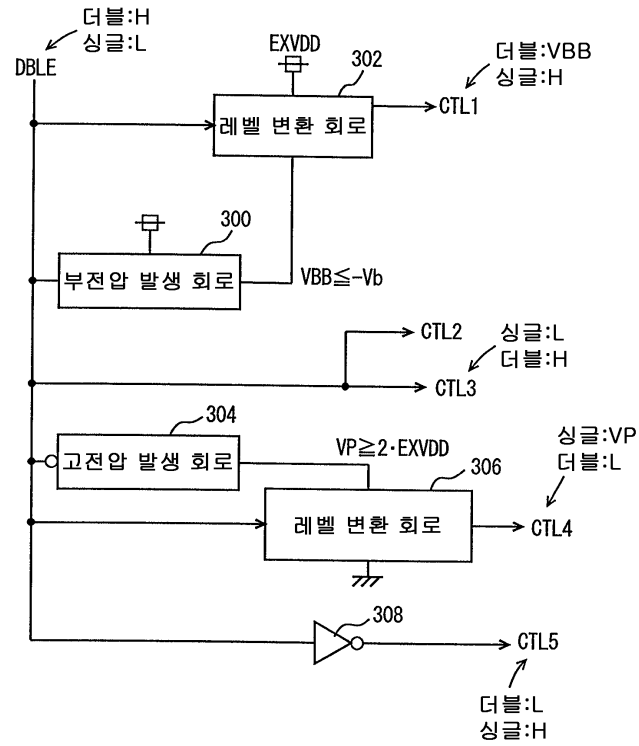
도면28



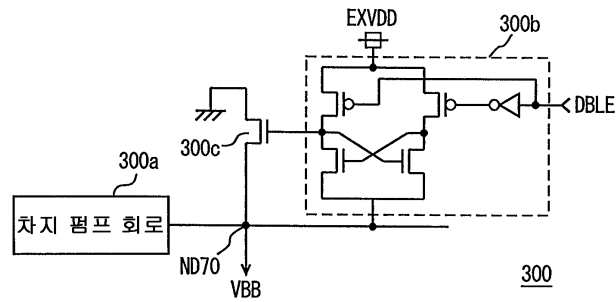
도면29



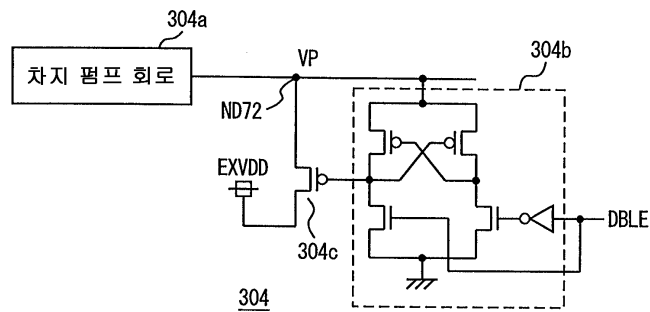
도면30



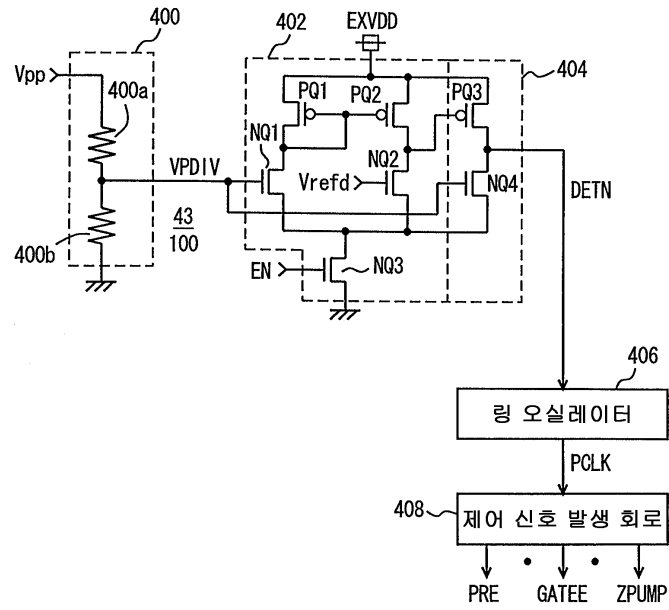
도면31



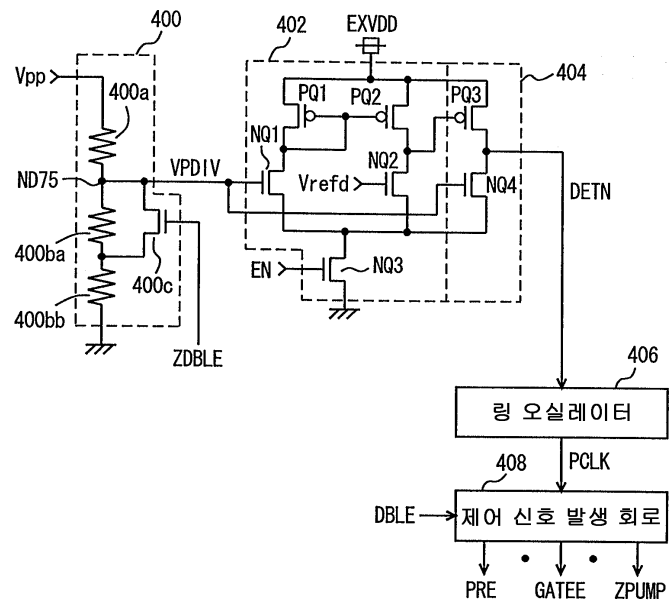
도면32



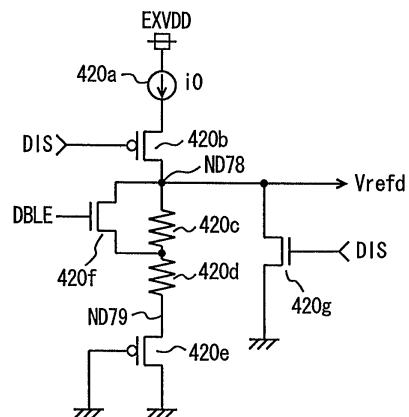
도면33



도면34

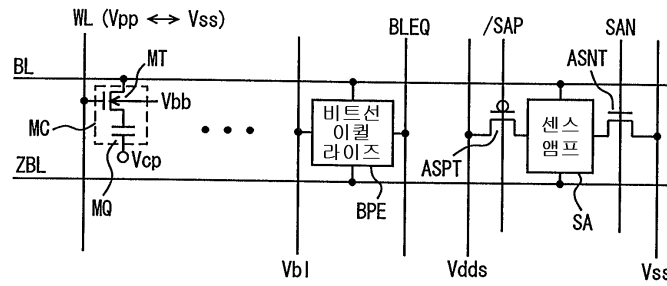


도면35



도면36

(종래기술)



도면37

(종래기술)

