

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0092329  
G11C 16/10 (2006.01) (43) 공개일자 2006년08월23일

(21) 출원번호 10-2005-0013021  
(22) 출원일자 2005년02월17일

(71) 출원인 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 차재원  
경기 이천시 고담동 72-1 고담기숙사

(74) 대리인 신영무

심사청구 : 있음

(54) 불휘발성 메모리 장치 및 그것의 페이지 버퍼 동작 방법

요약

본 발명은 페이지 버퍼의 래치부들의 동작을 변경시켜서 카피백 프로그램 동작시 래치부들 간의 데이터 전송시 에러 발생을 없애고 카피백 프로그램의 시간을 단축시키는 불휘발성 메모리 장치 및 그것의 페이지 버퍼 동작 방법에 관한 것이다. 본 발명에 따른 불휘발성 메모리 장치의 복수개의 페이지 버퍼 각각은 카피백 프로그램 동작시에만 활성화되어 메모리 셀들 중 문제가 발생한 메모리 셀에 프로그램 데이터를 독출하여 저장하는 제1 래치부; 및 카피백 프로그램 동작시에는 비활성화되고, 프로그램, 독출, 검증 동작시에만 활성화되며, 프로그램 동작시에는 메모리 셀들에 프로그램될 데이터를 외부로부터 전달받아 저장하고, 독출 및 검증 동작 시에는 메모리 셀들에 프로그램된 데이터를 독출하여 저장하는 제2 래치부를 포함한다.

대표도

도 6

색인어

페이지 버퍼, 카피백, 프로그램

명세서

도면의 간단한 설명

도 1은 기존의 낸드형 플래시 메모리 장치의 카피백 프로그램 동작을 설명하기 위한 블록도이다.

도 2는 기존의 낸드형 플래시 메모리 장치의 프로그램, 독출, 및 검증 동작을 설명하기 위한 블록도이다.

도 3은 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치의 카피백 프로그램 동작을 설명하기 위한 블록도이다.

도 4는 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치의 프로그램, 독출, 및 검증 동작을 설명하기 위한 블록도이다.

도 5는 도 3 및 도 4의 낸드형 플래시 메모리 장치를 도시한 회로도이다.

도 6은 도 5의 낸드형 플래시 메모리 장치의 카피백 프로그램 동작을 설명하기 위한 회로도이다.

도 7은 도 5의 낸드형 플래시 메모리 장치의 프로그램, 독출, 및 검증 동작을 설명하기 위한 회로도이다.

<도면의 주요 부분에 대한 부호의 설명>

10, 100 : 메모리 셀 어레이 20, 200 : 페이지 버퍼

21, 210 : 비트라인 선택 & 바이어스부 22, 220 : 프리차지부

24, 230 : 제1 래치부 24, 240 : 제2 래치부

30, 300 : 컬럼 선택부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 불휘발성 메모리 장치 및 그것의 페이지 버퍼 동작 방법에 관한 것으로, 특히, 페이지 버퍼의 동작을 변경하여 카피백 프로그램 시간을 단축시킬 수 있는 낸드형 플래시 메모리 장치 및 그것의 페이지 버퍼 동작 방법에 관한 것이다.

전기적으로 프로그램(program)과 소거(erase)가 가능하며, 일정 주기로 데이터(data)를 재작성하는 리프레쉬(refresh) 기능이 필요 없는 반도체 메모리 소자의 수요가 증가하고 있다. 여기서, 프로그램이란 데이터를 메모리 셀에 기록(write)하는 동작을 가리킨다.

메모리 소자의 고집적화를 위해 복수개의 메모리 셀(memory cell)들이 직렬로 접속(즉, 인접한 셀끼리 드레인 또는 소스를 서로 공유하는 구조)되어 한 개의 스트링(string)을 구성하는 NAND형 플래시 메모리 소자가 개발되었다. NAND형 플래시 메모리 소자는 NOR형 플래시 메모리 소자와 달리 순차적으로 정보를 독출(read)하는 메모리 소자이다.

NAND형 플래시 메모리 소자는 짧은 시간 내에 대용량의 정보를 저장하거나 저장된 정보를 독출하기 위하여 페이지 버퍼(page buffer)가 사용된다. 페이지 버퍼는 입출력 패드(Input/Output PAD)로부터 대용량의 데이터를 제공받아 메모리 셀들로 제공하거나 메모리 셀들의 데이터를 저장한 후 출력하는 기능을 한다. 통상 페이지 버퍼는 데이터를 임시 저장하기 위하여 단일 레지스터로 구성되는 것이 보편적이었으나, 최근 NAND형 플래시 메모리 소자에서 대용량 데이터 프로그램 시 프로그램 속도를 증가시키기 위하여 듀얼 레지스터(dual register)를 채용하고 있다.

카피백이란 셀에 문제가 발생했을 때 문제가 발생한 셀의 데이터를 페이지 버퍼를 사용해서 안정한 셀로 전송해 문제없이 사용하는 것을 말한다.

도 1은 기존의 낸드형 플래시 메모리 장치의 카피백 프로그램 동작을 설명하는 블록도이다.

도 1을 참조하면, 기존의 카피백 프로그램 동작은 메모리 셀 어레이(10)로부터 문제가 발생한 셀에 저장된 데이터를 페이지 버퍼(20)의 제1 래치부(24)로 독출한 후에(단계 41), 제1 메인부(24)로 독출된 데이터를 제2 래치부(25)로 전송하고(단계 42), 다음에 제2 래치부(25)로 전송된 데이터를 다른 메모리 셀(정상적인 셀)로 프로그램하였다.

도 2는 기존의 낸드형 플래시 메모리 장치의 프로그램, 독출, 및 검증 동작을 설명하는 블록도이다.

도 2를 참조하면, 제1 및 제2 래치부(24, 25) 중에서 제1 래치부(24)가 선택되면, 제2 래치부(25)가 비활성화되고 제1 래치부(24)에서만 프로그램(51) 및 독출, 검증(52) 동작이 이루어지고, 제2 래치부(25)가 선택되면 제1 래치부(24)가 비활성화되고 제2 래치부(24)에서만 프로그램(61) 및 독출, 검증(62) 동작이 이루어진다.

그러나, 상술한 기존의 카피백 프로그램 방식은 제1 래치부(24)와 제2 래치부(25) 간에 데이터 전송시 에러가 발생할 수 있는 확률이 높아 카피백 프로그램 시 타이밍 마진이 충분하지 않은 문제점이 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로, 페이지 버퍼의 래치부들의 동작을 변경시킴으로써 카피백 프로그램 동작시에 래치부들 간의 데이터 전송시 에러 발생을 없애고 카피백 프로그램의 시간을 단축시키는 불휘발성 메모리 장치 및 그것의 페이지 버퍼 동작 방법을 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

상술한 목적을 달성하기 위해 안출된 본 발명의 바람직한 실시예에 따른 불휘발성 메모리 장치는, 워드라인들과 비트라인들의 교차영역에 배치되는 메모리 셀들을 갖는 어레이; 및 센싱라인을 통해서 상기 어레이와 연결되는 복수개의 페이지 버퍼를 포함하고, 상기 복수개의 페이지 버퍼 각각은 카피백 프로그램 동작시에만 활성화되어 상기 메모리 셀들에 프로그램된 데이터를 독출하여 저장하는 제1 래치부; 및 카피백 프로그램 동작시에는 비활성화되고, 프로그램, 독출, 검증 동작시에만 활성화되며, 상기 프로그램 동작시에는 상기 메모리 셀들에 프로그램될 데이터를 외부로부터 전달받아 저장하고, 상기 독출 및 상기 검증 동작 시에 상기 메모리 셀들에 프로그램된 데이터를 독출하여 저장하는 제2 래치부를 포함한다.

상술한 목적을 달성하기 위해 안출된 본 발명의 다른 바람직한 실시예에 따르면, 워드라인들과 비트라인들의 교차영역에 배치되는 메모리 셀들을 갖는 어레이; 및 센싱라인을 통해서 상기 어레이와 연결되며, 제1 및 제2 래치부를 각각 갖는 복수개의 페이지 버퍼를 포함하는 불휘발성 메모리 장치의 페이지 버퍼 동작 방법은, 카피백 프로그램 동작 시에는 상기 복수개의 페이지 버퍼 각각에 포함된 제1 래치부만을 활성화시키고 상기 제2 래치부를 비활성화시키며, 프로그램, 독출, 및 검증 동작 시에는 상기 제2 래치부만을 활성화시키고, 상기 제1 래치부를 비활성화시킨다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명하기로 한다.

도 3은 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치의 카피백 프로그램 동작을 설명하기 위한 블록도이다.

도 3을 참조하면, 낸드형 플래시 메모리 장치의 카피백 프로그램 방식은 프리차지부(220)를 이용해서 센싱라인(S0)를 프리차지시켜서 문제가 발생한 셀로부터 데이터를 독출하여 제1 래치부(230)로 저장한 후에(단계 401), 다시 제1 래치부(230)에 저장된 데이터를 정상적인 셀로 재프로그램하는 것이다(단계 402).

상기 설명한 바와 같이, 본 발명에 따른 낸드형 플래시 메모리 장치는 제1 래치부(230)만으로 카피백 프로그램 동작을 수행한다는 것을 알 수 있다. 제2 래치부는 카피백 동작시에는 비활성화 상태로 존재한다.

도 4는 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치의 프로그램, 독출, 및 검증 동작을 설명하기 위한 블록도이다.

도 4를 참조하면, 프로그램(410), 독출(420), 및 검증(430) 동작은 제2 래치부(240)를 통해서만 이루어진다. 제1 래치부(230)는 프로그램, 독출, 및 검증 동작시에는 비활성화 상태로 존재한다.

도 5는 도 3 및 도 4의 낸드형 플래시 메모리 장치를 나타낸 상세 회로도이다.

도 5를 참조하면, 낸드형 플래시 메모리 장치는 메모리 셀 어레이(100), 페이지 버퍼(200), 및 컬럼 선택부(300)를 포함한다.

먼저, 메모리 셀 어레이(100)에서 BLe는 짝수번째의 비트라인들을 나타내고 BLo는 홀수번째의 비트라인들을 나타낸다. 다수개의 메모리 셀들(MC1~MCn)은 비트라인(BLe)에 연결되고, 그외의 다른 메모리 셀들은 비트라인(BLo)에 연결된다. 하나의 워드라인(예컨대, WL1)에 연결된 메모리 셀들은 하나의 페이지를 형성한다.

페이지 버퍼(200)는 메모리 셀 어레이(100)와 컬럼 선택부(300) 사이에 접속되는데, 이 페이지 버퍼(200)는 복수개가 연결된다. 그러나, 도 5에는 하나의 페이지 버퍼만이 도시되어 있다. 그리고, 페이지 버퍼(200)는, 센싱라인(SO)을 통해서 비트라인(BLe, BLo)에 연결되고, 비트라인 선택부(210), 프리차지부(220), 제1 래치부(230), 및 제2 래치부(240)를 포함한다.

비트라인 선택부(210)는 트랜지스터(N11~N14)를 포함하는데, 트랜지스터(N11)는 일단이 비트라인(BLe)에 연결되고 다른 단이 전압공급신호(VIRPWR)를 제공하는 라인에 연결되며, 게이트로 게이트 제어신호(DISCHe)를 인가받아 턴-온/오프된다. 이 트랜지스터(N11)는 비트라인(BLo)에 프로그램하고자 하는 경우에 게이트 제어신호(DISCHe)에 의해 턴-온되어 비트라인(BLe)에 전압공급신호(VIRPWR)로서 전원전압(VCC)을 인가한다. 트랜지스터(N12)는 일단이 비트라인(BLo)에 연결되고 다른 단이 전압공급신호(VIRPWR)를 제공하는 라인에 연결되며, 게이트로 게이트 제어신호(DISCHe)를 인가받아 턴-온/오프된다. 이 트랜지스터(N12)는 비트라인(BLe)에 프로그램하고자 하는 경우에 게이트 제어신호(DISCHe)에 의해 턴-온되어 비트라인(BLo)에 전압공급신호(VIRPWR)로서 전원전압(VCC)을 인가한다. NMOS 트랜지스터(N13)는 비트라인 선택신호(BSLe)에 응답하여 비트라인(BLe)을 센싱라인(SO)에 연결시키고, NMOS 트랜지스터(N14)는 비트라인 선택 신호(BSLo)에 응답하여 비트라인(BLo)를 센싱라인(SO)에 연결시킨다.

프리차지부(220)는 전원전압(VCC)과 센싱라인(SO) 사이에 접속되고, 게이트로 프리차지신호(PRECHb)를 인가받아 턴-온/오프되는 PMOS 트랜지스터(P11)를 포함한다. 이 PMOS 트랜지스터(P11)는 메모리 셀에 저장된 데이터를 독출할 때 센싱라인(SO)을 전원전압(VCC)으로 프리차지시킨다.

제1 래치부(230)는 카피백 프로그램 동작시에만 활성화되는 것으로서 NMOS 트랜지스터(N21~N24), 제1 래치회로(LT1), 및 인버터(IV3)를 포함한다. 제1 래치회로(LT1)는 인버터(IV1, IV2)로 래치를 구성하여, 메모리 셀로부터 독출되는 데이터를 저장한다. NMOS 트랜지스터(N23)는 제1 래치회로(LT1)의 노드 QA와 접지전압(VSS) 사이에 접속되고 게이트로 리셋신호(MRST)를 인가받아 제1 래치(LT1)의 노드 QA를 '0'으로 노드 QAb를 '1'로 초기화시킨다. NMOS 트랜지스터(N21)는 센싱라인(SO)의 신호에 응답하여 턴-온/오프되고, NMOS 트랜지스터(N22)는 래치 신호(MLCH)에 응답하여 턴-온/오프된다. NMOS 트랜지스터(N22)는 NMOS 트랜지스터(N21)가 턴-온되면 같이 턴-온되어, 제1 래치회로(LT1)의 노드 QAb를 '0'으로, 노드 QA를 '1'으로 변경시킨다. 인버터(IV3)는 제1 래치(LT1)의 노드 QA의 데이터를 반전시켜서 출력한다. NMOS 트랜지스터(N24)는 카피백 프로그램 동작시에 카피백 신호(CPBK)에 의해 턴-온되어 인버터(IV3)로부터 출력되는 데이터를 센싱라인(SO)을 통해서 선택된 비트라인(예컨대, BLe)으로 전송한다.

제2 래치부(240)는 프로그램, 독출, 및 검증 동작시에만 활성화되는 것으로서, NMOS 트랜지스터(N31~N37), 제2 래치회로(LT2), 및 인버터(IV6)를 포함한다. 제1 래치회로(LT2)는 인버터(IV3, IV4)로 래치를 구성하여, 메모리 셀로부터 독출된 데이터를 저장한다. NMOS 트랜지스터(N33)는 제1 래치회로(LT2)의 노드 QA와 접지전압(VSS) 사이에 접속되고 게이트로 리셋신호(CRST)를 인가받아 제2 래치(LT2)의 노드 QB를 '0'으로 노드 QBb를 '1'로 초기화시킨다. NMOS 트랜지스터(N31)는 센싱라인(SO)의 신호에 응답하여 턴-온/오프되고, NMOS 트랜지스터(N32)는 래치 신호(CLCH)에 응답하여 턴-온/오프된다. NMOS 트랜지스터(N32)는 NMOS 트랜지스터(N31)이 턴-온되면 같이 턴-온되어, 제1 래치회로(LT2)의 노드 QBb를 '0'으로 노드 QB를 '1'로 변경시킨다. 인버터(IV6)는 제2 래치회로(LT2)의 노드 QBb의 데이터를 반전시켜서 출력한다. NMOS 트랜지스터(N34)는 데이터 입력 신호(DI)에 응답하여 외부로부터 데이터 라인(DL)을 통해서 전송되는 프로그램될 데이터를 제2 래치회로(LT2)로 전달한다. NMOS 트랜지스터(N35)는 데이터 입력 신호(nDI)에 각각 응답하여 외부의 데이터 라인(DL)을 통해서 전송되는 프로그램될 데이터를 제2 래치회로(LT2)로 전달한다. NMOS 트랜지스터(N36)는 프로그램 동작시에 프로그램 신호(PGM)에 의해 턴-온되어 메모리 셀에 프로그램될 데이터, 즉 인버터(IV6)로부터 출력되는 데이터를 센싱라인(SO)을 통해서 선택된 비트라인(BLe 혹은 BLo)으로 전송한다. NMOS 트랜지스터(N37)는 독출 동작시에 독출 신호(PBDO)에 의해 턴-온되어 선택된 비트라인(BLe 혹은 BLo)으로 출력되는 데이터, 즉 인버터(IV6)로부터 출력되는 데이터를 컬럼 선택부(300)를 통해서 데이터 라인(DL)으로 전달한다. PMOS 트랜지스터(P13)는 전원전압(VCC)과 노드 nWDO 사이에 접속되고, 게이트로 제2 래치회로(LT2)의 노드 QB의 데이터를 입력받아 턴-온/오프되는 것으로서, 노드 nWDO가 플로팅 상태인지 로직 하이인지에 따라 프로그램의 패스/페일을 검증한다.

NMOS 트랜지스터(N38)는 테스트 동작시에 신호(CELLIV)에 의해 턴-온되어 페이지 버퍼의 전압 및 전류를 측정하는데 이용된다.

컬럼 선택부(300)는 페이지 버퍼(200)와 데이터 라인(DL) 사이에 연결되며, 컬럼 선택 신호(YA 및 YB)에 의해 제어되는 2개의 NMOS 트랜지스터들(N41, N42)로 구성된다. 컬럼 신호(YA 및 YB)는 컬럼 어드레스에 의해 생성된다.

도 6은 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치의 카피백 프로그램 동작을 나타낸 회로도이다.

이하, 도 6에 도시한 워드라인(WL1)을 인에이블시키고, 비트라인(BLe)을 선택하여 메모리 셀(MC1)에 저장된 데이터를 독출해서 메모리 셀(MC2)로 재프로그램하는 카피백 프로그램 동작을 설명하기로 한다.

먼저, 제1 래치회로(LT1)의 노드 QA를 '0'으로 노드 QAb를 '1'로 초기화시킨다. 그런 다음, PMOS 트랜지스터(P11)가 턴-온되어 센싱라인(SO)을 전원전압(VCC)의 레벨로 프리차지시킨다. 메모리 셀(MC1)은 프로그램된 셀이므로 센싱라인(SO)은 프리차지된 상태를 유지한다.

그러면, NMOS 트랜지스터(N21, N22)가 턴-온되어 제1 래치회로(LT1)의 노드 QAb가 '0'으로, 노드 QA가 '1'로 변경된다(독출동작 401). 제1 래치회로(LT1)의 노드 QA의 '1'은 인버터(IV3)를 통해서 '0'으로 반전되어 출력된다. 이때, NMOS 트랜지스터(N24)가 카피백 신호(CPBK)에 의해 턴-온되어, 인버터(IV3)로부터 출력되는 데이터 '0'은 센싱라인(SO)를 통해서 선택된 비트라인(예컨대, BLe)으로 전송됨으로써, 메모리 셀(MC2)은 재프로그램된다(프로그램동작 402).

상술한 바와 같이, 본 발명에 따른 카피백 프로그램 동작(401, 402)은 제1 래치부(230)를 통해서 이루어진다는 것을 알 수 있다.

도 7은 본 발명의 바람직한 실시예에 따른 낸드형 플래시 메모리 장치의 프로그램, 독출, 및 검증 동작을 나타낸 회로도이다.

예를 들어, 워드라인 WL1과 비트라인 BLo에 의해 선택되는 메모리 셀에 데이터를 프로그램하고자 하는 경우(프로그램 410)를 설명한다.

프로그램 동작시에는 데이터 라인(DL)으로부터 전송되는 데이터 '0'이 컬럼 선택부(300)를 통해서 NMOS 트랜지스터(N35)로 입력되면, NMOS 트랜지스터(N35)가 데이터 입력 신호(DI)에 의해 턴-온되어, 데이터 '0'을 제2 래치회로(LT2)에 저장한다. 그러면, 제2 래치회로(LT2)의 노드 QB는 0이 되고, 노드 QBb는 1이 된다. 이때, 인버터(IV6)는 제2 래치회로(LT2)의 노드 QBb의 데이터 '1'을 '0'으로 반전시키고, NMOS 트랜지스터(N38)은 프로그램 신호(PGM)에 의해 턴-온되어 데이터 '0'을 센싱라인(SO)를 통해서 선택된 비트라인(예컨대, BLo)에 인가하여 메모리 셀에 데이터를 프로그램한다.

다음에, 워드라인 WL1과 비트라인 BLo에 의해 선택되는 메모리 셀에 저장된 데이터를 독출하고자 하는 경우(독출 420)를 설명한다.

독출 동작시에는 PMOS 트랜지스터(P11)를 턴-온시켜서 센싱라인(SO)을 전원전압(VCC)으로 프리차지시킨다. 이때, 센싱라인(SO)이 프리차지된 상태를 유지하면 NMOS 트랜지스터(N31, N32)가 턴-온되어 제2 래치회로(LT2)의 노드 QBb가 0, 노드 QB가 1로 된다. 이때 인버터(IV6)는 제2 래치회로(LT2)의 노드 QBb의 데이터 0을 반전시켜서 데이터 '1'을 출력한다. 그러면, NMOS 트랜지스터(N37)가 독출 신호(PBDO)에 의해 턴-온되어 데이터 '1'을 컬럼 선택부(300)를 통해서 데이터 라인(DL)으로 전송한다.

다음에, 워드라인 WL1과 비트라인 BLo에 의해 선택되는 메모리 셀에 데이터가 정상적으로 프로그램되었는지를 검증하고자 하는 경우(검증 430)를 설명한다.

먼저, PMOS 트랜지스터(P11)를 턴-온시켜서 센싱라인(SO)을 전원전압(VCC)으로 프리차지시킨다. 이때, 센싱라인(SO)이 프리차지된 상태를 유지하면 NMOS 트랜지스터(N31, N32)가 턴-온되어 제1 래치회로(LT2)의 노드 QBb가 0, 노드 QB가 1로 된다. 그러면, PMOS 트랜지스터(P13)가 제2 래치회로(LT2)의 노드 QB의 데이터 '1'에 의해 턴-오프되어 노드 nWDO는 플로팅 상태로 됨으로써 프로그램이 패스(pass)임을 검증한다. 반대로, 센싱라인(SO)이 디스차지되면, NMOS 트랜지스터(N31, N32)가 턴-오프되어 제1 래치회로(LT2)의 노드 QBb가 1, 노드 QB가 0으로 초기상태를 유지한다. 그러면, PMOS 트랜지스터(P13)는 제2 래치회로(LT2)의 노드 QB의 데이터 '0'에 의해 턴-온되어 노드 nWDO는 전원전압(VCC)으로 됨으로써 프로그램이 페일(fail)임을 검증한다.

## 발명의 효과

상술한 바와 같이 본 발명에 의하면, 문제가 발생한 셀로부터 데이터를 독출하여 제1 래치부에 저장한 후에 제1 래치부에 저장된 데이터를, 기존처럼 제2 래치부에 전송하지 않고 곧바로 선택된 비트라인으로 전송하여 메모리 셀에 재프로그램할 수 있어, 종래보다 카피백 프로그램 속도를 향상시킬 수 있는 이점이 있다.

상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예에서 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야에서 통상의 기술을 가진 자라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

## (57) 청구의 범위

### 청구항 1.

워드라인들과 비트라인들의 교차영역에 배치되는 메모리 셀들을 갖는 어레이; 및 센싱라인을 통해서 상기 어레이와 연결되는 복수개의 페이지 버퍼를 포함하고,

상기 복수개의 페이지 버퍼 각각은 카피백 프로그램 동작시에만 활성화되어 상기 메모리 셀들 중 문제가 발생한 메모리 셀에 프로그램된 데이터를 독출하여 저장하는 제1 래치부; 및

카피백 프로그램 동작시에는 비활성화되고, 프로그램, 독출, 검증 동작시에만 활성화되며, 상기 프로그램 동작시에는 상기 메모리 셀들에 프로그램될 데이터를 외부로부터 전달받아 저장하고, 상기 독출 및 상기 검증 동작 시에 상기 메모리 셀들에 프로그램된 데이터를 독출하여 저장하는 제2 래치부를 포함하는 불휘발성 메모리 장치.

### 청구항 2.

제 1 항에 있어서,

상기 제1 래치부는 카피백 프로그램 동작시에 상기 문제가 발생한 메모리 셀에 프로그램된 데이터를 상기 비트라인들 중 선택된 비트라인을 통해서 독출하여 저장한 후에 저장된 데이터를 반전시켜서 상기 센싱라인을 통해서 상기 선택된 비트라인으로 전송하여 상기 메모리 셀들 중 정상적인 메모리 셀에 재프로그램하는 불휘발성 메모리 장치.

### 청구항 3.

제 1 항에 있어서,

상기 제1 래치부는 카피백 프로그램 동작시에 상기 메모리 셀들에 프로그램된 데이터를 상기 비트라인들 중 선택된 비트라인을 통해서 독출하여 저장하는 래치회로;

카피백 프로그램 동작시에 상기 센싱라인이 프리차지 상태이면 상기 래치회로의 제1 노드를 디스차지시키는 디스차지부;

상기 래치회로의 제2 노드의 데이터를 반전시키는 반전부; 및

상기 반전부로부터 출력되는 데이터를, 상기 센싱라인을 통해서 상기 비트라인들 중 선택된 비트라인으로 전송하여, 상기 메모리 셀에 재프로그램되도록 하게 하는 전송부를 포함하는 불휘발성 메모리 장치.

### 청구항 4.

제 1 항에 있어서,

상기 제2 래치부는 독출 및 검증 동작시에 상기 메모리 셀들로부터 독출되는 데이터를 저장하거나 프로그램 동작시에 외부에서 입력되는 프로그램될 데이터를 저장하는 래치회로;

독출 동작시에 상기 센싱노드가 프리차지 상태이면 상기 래치회로의 제1 노드를 디스차지시키는 디스차지부;

프로그램 동작 또는 독출 동작시에 상기 래치회로의 제1 노드의 데이터를 반전시키는 반전부;

독출 동작시에 상기 반전부로부터 출력되는 데이터를 데이터 라인을 통해서 외부로 독출하는 독출용 스위칭부;

프로그램 동작시에 상기 데이터 라인을 통해서 외부로부터 입력되는 프로그램될 데이터를 상기 래치회로로 전달하는 데이터 전달부;

프로그램 동작시에 상기 반전부로부터 출력되는 데이터를, 상기 센싱라인을 통해서 상기 비트라인들 중 선택된 비트라인으로 전달하여 상기 메모리 셀들에 프로그램되도록 하게 하는 프로그램용 스위칭부; 및

검증 동작시에 상기 래치회로의 제2 노드의 데이터를 독출하여 프로그램의 패스/페일을 검증하는 검증부를 포함하는 불휘발성 메모리 장치.

## 청구항 5.

제 1 항에 있어서,

상기 페이지 버퍼는, 상기 메모리 셀들에 프로그램된 데이터를 독출할 때 상기 센싱라인을 프리차지시키는 프리차지부; 및

상기 비트라인들 중 어느 하나를 선택하고, 상기 선택된 비트라인을 상기 센싱라인과 연결시키는 비트라인 선택 및 바이어스부를 더 포함하는 불휘발성 메모리 장치.

## 청구항 6.

워드라인들과 비트라인들의 교차영역에 배치되는 메모리 셀들을 갖는 어레이; 및 센싱라인을 통해서 상기 어레이와 연결되며, 제1 및 제2 래치부를 각각 갖는 복수개의 페이지 버퍼를 포함하는 불휘발성 메모리 장치의 페이지 버퍼 동작 방법에 있어서,

카피백 프로그램 동작시에는 상기 복수개의 페이지 버퍼 내에 각각 포함된 상기 제1 래치부만을 활성화시키고 상기 제2 래치부를 비활성화시키며, 프로그램, 독출, 및 검증 동작 시에는 상기 제2 래치부만을 활성화시키고, 상기 제1 래치부를 비활성화시키는 불휘발성 메모리 장치의 페이지 버퍼 동작 방법.

## 청구항 7.

제 6 항에 있어서,

상기 카피백 프로그램 동작은 상기 메모리 셀들 중 문제가 발생한 메모리 셀에 프로그램된 데이터를 상기 비트라인들 중 선택된 비트라인과 상기 센싱라인을 통해서 독출하여 상기 제1 래치부에 저장하는 단계;

상기 제1 래치부에 저장된 상기 독출된 데이터를 반전시키는 단계; 및

상기 반전된 데이터를 상기 센싱라인을 통해서 상기 선택된 비트라인으로 전송하여 상기 메모리 셀들 중 정상적인 셀에 재 프로그램하는 단계를 포함하여 이루어진 불휘발성 메모리 장치의 페이지 버퍼 동작 방법.

### 청구항 8.

제 7 항에 있어서,

상기 독출 및 저장 단계는 상기 센싱라인을 프리차지시킨 후에 상기 센싱라인의 프리차지 상태 혹은 디스차지 상태를 검출해서 상기 문제가 발생한 메모리 셀에 프로그램된 데이터를 독출하여 상기 제1 래치부에 저장하는 불휘발성 메모리 장치의 페이지 버퍼 동작 방법.

### 청구항 9.

제 7 항에 있어서,

상기 반전단계는 상기 제1 래치부의 제1 및 제2 노드 중 제1 노드의 데이터를 반전시키는 불휘발성 메모리 장치의 페이지 버퍼 동작 방법.

### 청구항 10.

제 6 항에 있어서,

상기 프로그램 동작은 외부로부터 전송되는 프로그램될 데이터를 상기 제2 래치부에 저장하는 단계;

상기 제2 래치부에 저장된 상기 프로그램될 데이터를 반전시키는 단계; 및

상기 반전된 데이터를 상기 센싱라인을 통해서 상기 비트라인들 중 선택된 비트라인으로 전송하여 상기 메모리 셀들에 프로그램하는 단계를 포함하여 이루어진 불휘발성 메모리 장치의 페이지 버퍼 동작 방법.

### 청구항 11.

제 6 항에 있어서,

상기 독출 동작은, 상기 센싱라인을 프리차지시키는 단계;

상기 센싱라인의 프리차지 상태 및 디스차지 상태를 검출하여 상기 메모리 셀들에 프로그램된 데이터를 상기 비트라인들 중 선택된 비트라인과 상기 센싱라인을 통해서 독출하여 상기 제2 래치부에 저장하는 단계;

상기 제2 래치부에 저장된 상기 독출된 데이터를 반전시키는 단계; 및

상기 반전된 데이터를 데이터 라인을 통해서 외부로 독출하는 단계를 포함하여 이루어진 불휘발성 메모리 장치의 페이지 버퍼 동작 방법.

### 청구항 12.

제 6 항에 있어서,



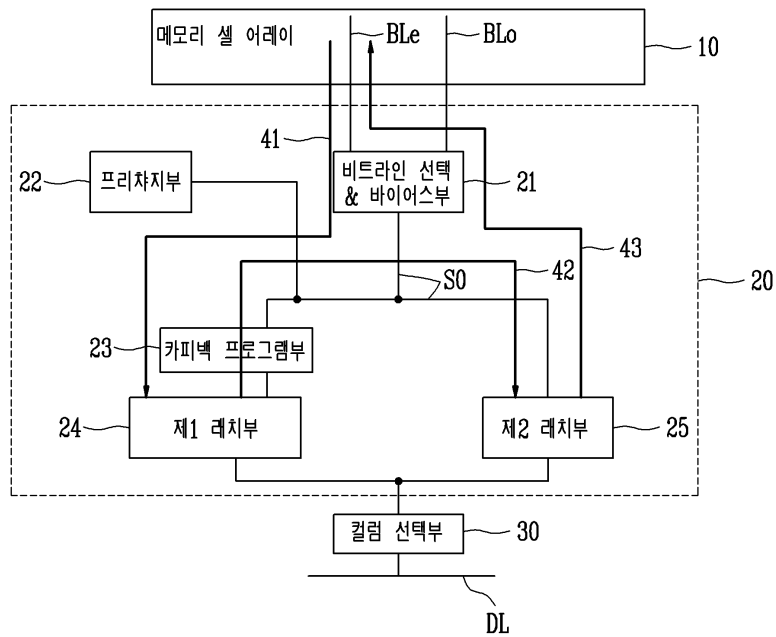
상기 검증 동작은, 상기 센싱라인을 프리차지시키는 단계;

상기 센싱라인의 프리차지 상태 및 디스차지 상태를 검출하여 상기 메모리 셀들에 프로그램된 데이터를 상기 제2 래치부에 저장하는 단계; 및

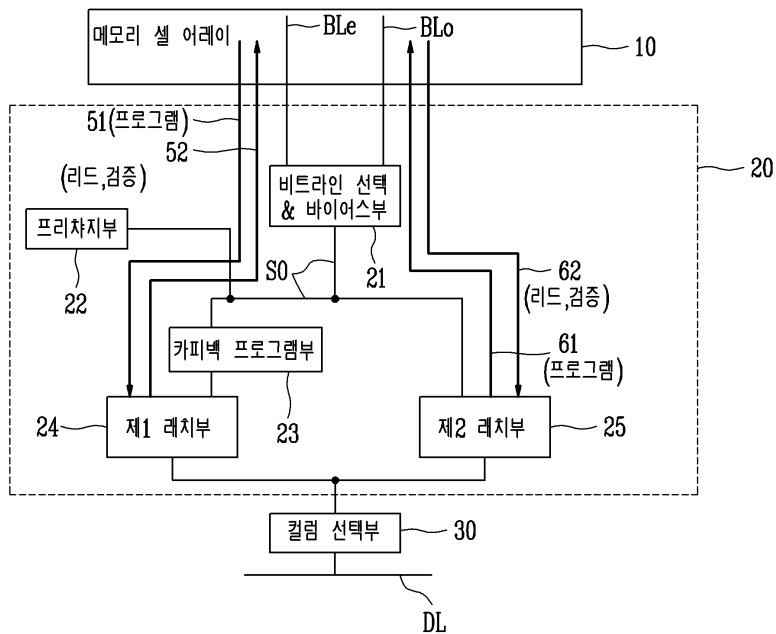
상기 제2 래치부에 저장된 데이터의 전압레벨에 응답하여 프로그램의 패스/페일을 판정하는 단계를 포함하여 이루어진 불휘발성 메모리 장치의 페이지 버퍼 동작 방법.

도면

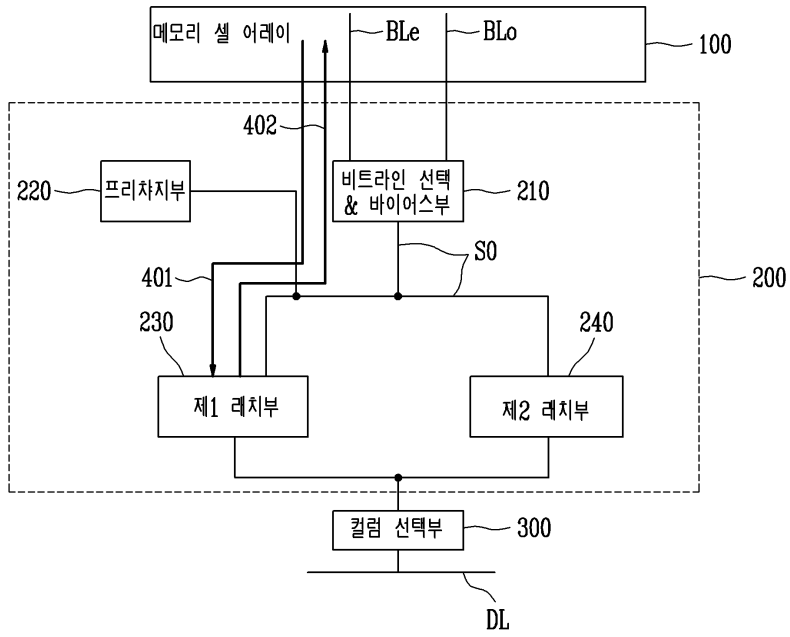
도면1



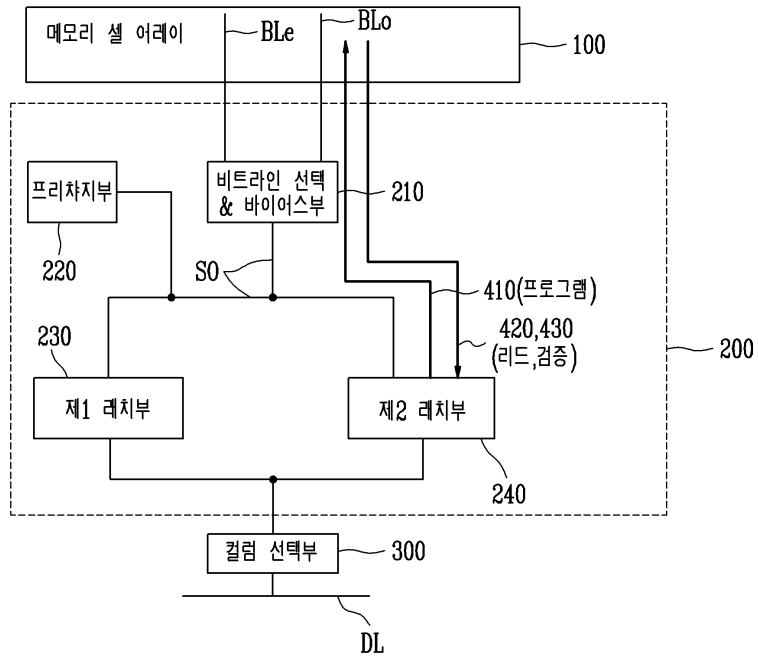
도면2



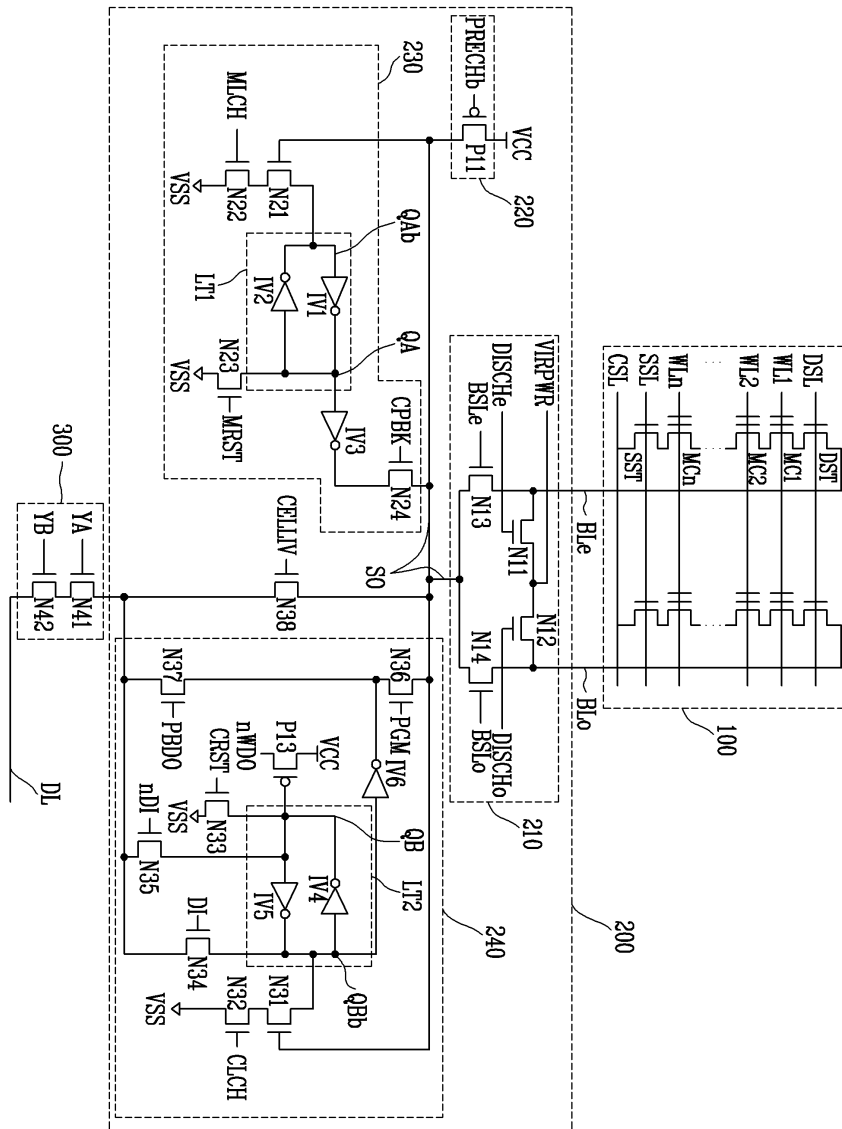
도면3



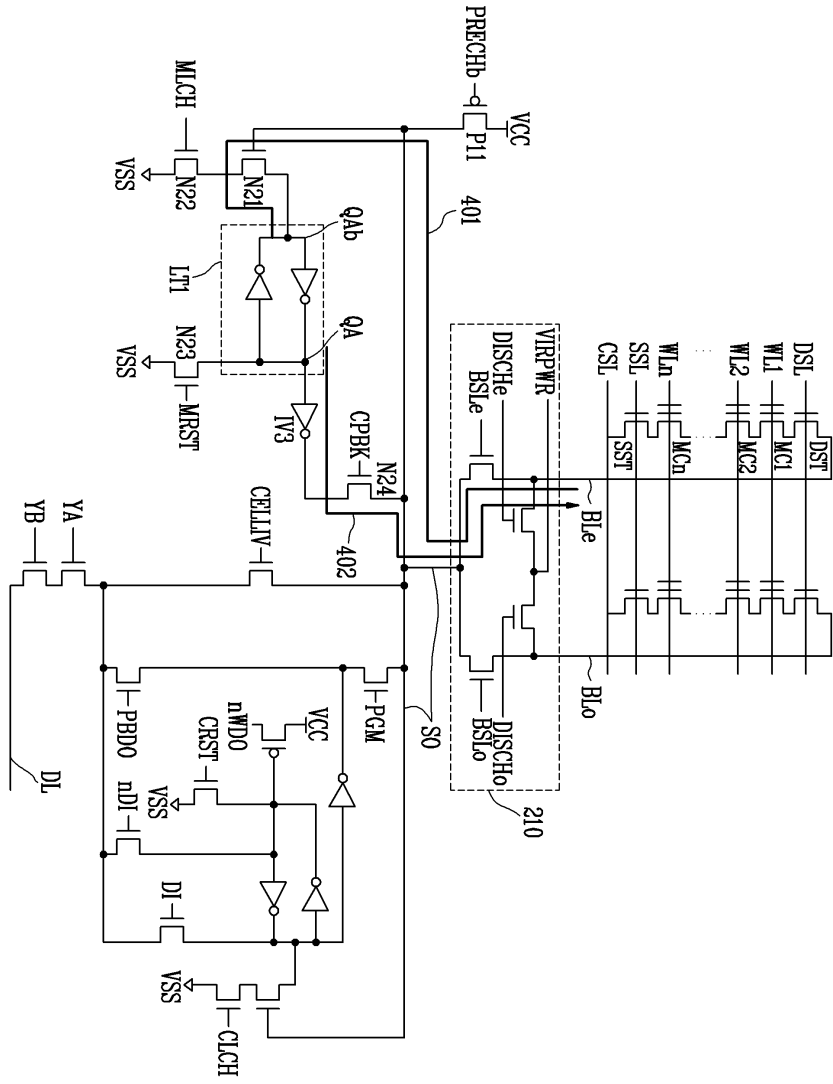
도면4



도면5



도면6



도면7

