

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成19年3月15日(2007.3.15)

【公開番号】特開2006-50634(P2006-50634A)

【公開日】平成18年2月16日(2006.2.16)

【年通号数】公開・登録公報2006-007

【出願番号】特願2005-226369(P2005-226369)

【国際特許分類】

H 0 3 K 7/04 (2006.01)

【F I】

H 0 3 K 7/04

【手続補正書】

【提出日】平成19年1月31日(2007.1.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一定のパルスレート周期の逆数である一定のパルスレートで、個別のパルス幅を有する後続のバイナリパルスのバイナリパルス信号を形成するパルス配置法であって、

前記一定のパルスレート周期よりも短い持続時間のビットクロック周期を有するビットクロックを生成するステップと、

前方エッジおよび後方エッジを有するパルスを合成するステップであって、前記合成されたパルスの前記前方エッジおよび後方エッジは、前記一定のパルスレート周期内において、前記ビットクロック周期のN倍の位置に配置され、ここで、Nはゼロを含む自然数であるステップと、

対応するパルス幅の関数として、前記バイナリパルス信号の連続するパルスについて、前記ビットクロック周期を個別に選択するステップと

を含んでなる方法。

【請求項2】

前記ビットクロック周期を選択するステップは、それぞれのパルスについて理想的なパルス幅を判定するステップと、複数の異なるビットクロック周期について、理想的なパルス幅と前記ビットクロック周期をN倍したものとの差をそれぞれ示す、対応する量子化誤差を判定するステップと、前記複数のビットクロック周期の中から、最小の量子化誤差を有するビットクロック周期を選択するステップとによって実行される請求項1に記載の方法。

【請求項3】

前記ビットクロック周期を供給する少なくとも2つの供給源を使用するものであり、一度に1つのパルスを合成するように1つのビットクロック源だけを使用し、後続するパルスのために前記ビットクロック周期を供給するように別の供給源のうちの少なくとも1つを準備するものである請求項1または2に記載の方法。

【請求項4】

前記パルス配置は、前方パルス位置変調を表している請求項1から3のいずれかに記載の方法。

【請求項5】

前記パルス配置は、前方パルス幅変調と後方パルス幅変調とデュアルサイドパルス幅変

調とを表している請求項 1 から 4 のいずれかに記載の方法。

【請求項 6】

前記合成対象のパルスの前記前方エッジおよび後方エッジの配置は、アルゴリズムによって決定され、具体的には、前記合成対象のパルスの前記前方エッジおよび後方エッジによって定義されるパルス幅はアルゴリズムによって決定され、該アルゴリズムは、好ましくは、ナチュラルサンプリング、均一サンプリング、Z e P o C、または、クリック変調を含むものである請求項 1 から 5 のいずれかに記載の方法。

【請求項 7】

量子化誤差をノイズシェイピングするステップを更に有しており、該量子化誤差は、理想的なパルス幅からの実現可能なパルス幅のずれにより生成され、該理想的なパルス幅は、前記アルゴリズムにより決定されるものである請求項 6 に記載の方法。

【請求項 8】

波形生成器を使用する既定のアナログ信号のパルスに基づいた信号生成のために使用されるものである請求項 1 から 7 のいずれかに記載の方法。

【請求項 9】

前記波形生成器用の制御データは、事前処理されてメモリ内に保存されるか、リアルタイムアルゴリズムによって供給されるか、または、これら両方の組み合わせたものであり、該制御データは、最小絶対量子化誤差に対する前記ビットクロック周期を選択する信号処理に基づくものである請求項 8 記載の方法。

【請求項 10】

前記一定のパルスレート周期は、N / M 位相ロックループ (PLL) に基づくものである請求項 1 から 9 のいずれかに記載の方法。

【請求項 11】

コンピュータなどのデータ処理システム上で稼働した場合に、請求項 1 から 10 のいずれかに記載の方法を実行し、好ましくはデータ保存媒体上に保存されているソフトウェアプログラム。

【請求項 12】

バイナリパルス信号を形成するためのパルス配置システムであって、該バイナリパルス信号は、一定のパルスレート周期の逆数である一定のパルスレートで、個別のパルス幅を有しているシステムであり、

前記一定のパルスレート周期よりも短い持続時間のビットクロック周期を有するビットクロックを生成する手段と、

前方エッジおよび後方エッジを有するパルスを合成する手段であって、該合成されたパルスの前記前方エッジおよび後方エッジは、前記一定のパルスレート周期内において、前記ビットクロック周期の N 倍の位置に配置されており、ここで、N はゼロを含む自然数である手段と、

対応するパルス幅の関数として、前記バイナリパルス信号の連続したパルスについて、前記ビットクロック周期を個別に選択する手段と

を含んでなるシステム。