

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4248564号  
(P4248564)

(45) 発行日 平成21年4月2日(2009.4.2)

(24) 登録日 平成21年1月23日(2009.1.23)

(51) Int. Cl.	F 1				
<b>HO2M</b>	<b>7/21</b>	<b>(2006.01)</b>	HO2M	7/21	A
<b>HO2J</b>	<b>7/14</b>	<b>(2006.01)</b>	HO2J	7/14	E
<b>HO2J</b>	<b>7/10</b>	<b>(2006.01)</b>	HO2J	7/14	P
<b>HO2M</b>	<b>7/219</b>	<b>(2006.01)</b>	HO2J	7/10	B
<b>HO2M</b>	<b>7/12</b>	<b>(2006.01)</b>	HO2M	7/219	

請求項の数 6 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2006-152961 (P2006-152961)	(73) 特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	平成18年6月1日(2006.6.1)	(73) 特許権者	000232999 株式会社日立カーエンジニアリング 茨城県ひたちなか市高場2477番地
(62) 分割の表示	特願2001-259122 (P2001-259122) の分割	(74) 代理人	100100310 弁理士 井上 学
原出願日	平成13年8月29日(2001.8.29)	(72) 発明者	岩村 将弘 茨城県日立市大みか町七丁目1番1号 株式会社 日立製作 所 日立研究所内
(65) 公開番号	特開2006-230198 (P2006-230198A)		
(43) 公開日	平成18年8月31日(2006.8.31)		
審査請求日	平成18年6月1日(2006.6.1)		

最終頁に続く

(54) 【発明の名称】 MOS 整流型オルタネータ

(57) 【特許請求の範囲】

【請求項1】

界磁コイルとステータコイルを備え、3相交流を出力する交流発電機と、  
ハイサイドMOSFETとロウサイドMOSFETとの直列接続により構成される直列回路を3組並列接続して構成され、前記各直列回路のハイサイドMOSFETとロウサイドMOSFETとの接続部に前記交流発電機の3相交流出力の各相の電圧がそれぞれ供給される第1の整流回路と、

前記交流発電機の出力に基づき、前記第1の整流回路の前記3組の直列回路を構成するハイサイドMOSFETやロウサイドMOSFETのオンオフ動作を制御し、前記第1の整流回路に供給される3相交流を前記第1の整流回路により直流に変換するハイサイドおよびロウサイド駆動回路と、

前記交流発電機の交流電圧を直流電圧に変換する第2の整流回路と、  
前記第2の整流回路の出力に基づき過電圧を検知する出力電圧モニタ回路と、を備え、  
前記出力電圧モニタ回路の出力に基づき前記交流発電機の出力を制御することを特徴とするMOS整流型オルタネータ。

【請求項2】

界磁コイルとステータコイルを備え、3相交流を出力する交流発電機と、  
ハイサイドMOSFETとロウサイドMOSFETとの直列接続により構成される直列回路を3組並列接続して構成され、前記各直列回路のハイサイドMOSFETとロウサイドMOSFETとの接続部に前記交流発電機の3相交流出力の各相の電圧がそれぞれ供給

される第1の整流回路と、

前記交流発電機の出力に基づき、前記第1の整流回路の前記3組の直列回路を構成するハイサイドMOSFETやロウサイドMOSFETのオンオフ動作を制御し、前記第1の整流回路に供給される3相交流を前記第1の整流回路により直流に変換するハイサイドおよびロウサイド駆動回路と、

ダイオードを有し、前記交流発電機の交流電圧を直流電圧に変換する第2の整流回路と

前記第2の整流回路の出力に基づき低電圧を検知する出力電圧モニタ回路と、を備え、前記出力電圧モニタ回路の出力に基づき、前記交流発電機の出力を制御することを特徴とするMOS整流型オルタネータ。

10

【請求項3】

界磁コイルとステータコイルを備え、3相交流を出力する交流発電機と、

ハイサイドMOSFETとロウサイドMOSFETとの直列接続により構成される直列回路を3組並列接続して構成され、前記各直列回路のハイサイドMOSFETとロウサイドMOSFETとの接続部に前記交流発電機の3相交流出力の各相の電圧がそれぞれ供給される第1の整流回路と、

前記交流発電機の出力に基づき、前記第1の整流回路の前記3組の直列回路を構成するハイサイドMOSFETやロウサイドMOSFETのオンオフ動作を制御し、前記第1の整流回路に供給される3相交流を前記第1の整流回路により直流に変換するハイサイドおよびロウサイド駆動回路と、

20

ダイオードを有し、前記交流発電機の交流電圧を直流電圧に変換する第2の整流回路と

前記第2の整流回路の出力に基づき過電圧や低電圧を検知する出力電圧モニタ回路と、を備え、

前記出力電圧モニタ回路の出力に基づき、前記第1の整流回路が有するハイサイドMOSFETおよびロウサイドMOSFETが制御されることを特徴とするMOS整流型オルタネータ。

【請求項4】

請求項1乃至請求項3に記載のMOS整流型オルタネータにおいて、

前記ハイサイドおよびロウサイド駆動回路は前記直列回路を構成するハイサイドMOSFETとロウサイドMOSFETとの同時オンを検出する回路を備えていることを特徴とするMOS整流型オルタネータ。

30

【請求項5】

請求項1乃至請求項3に記載のMOS整流型オルタネータにおいて、

前記ハイサイドおよびロウサイド駆動回路は前記直列回路を構成するハイサイドMOSFETとロウサイドMOSFETとを強制的にオフする回路を備えていることを特徴とするMOS整流型オルタネータ。

【請求項6】

請求項1乃至請求項3に記載のMOS整流型オルタネータにおいて、

前記ハイサイドおよびロウサイド駆動回路は前記直列回路を構成するハイサイドMOSFETとロウサイドMOSFETとを強制的にオンする回路を備えていることを特徴とするMOS整流型オルタネータ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明はMOS型全波整流器を備えたMOS整流装置に関する。

【背景技術】

【0002】

MOS型全波整流器を備えたオルタネータが、特開平4-138030号公報や特開平7-337020号公報に開示されている。上記公報には3相全波整流器を構成する6個

50

のMOSFETをオン、オフにする駆動信号をCPUを含むコントローラから供給する形の原理構成が開示されている。

【0003】

【特許文献1】特開平4-138030号公報

【特許文献2】特開平7-337020号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の整流ダイオードに換えてMOSFETを整流素子とする場合、オンオフ制御を不適切に行うとバッテリーから交流発電機への逆流電流の問題や遮断ノイズの問題を引き起す。またMOSFETの寄生ダイオードにはMOSFETの不適切な導通制御によりリカバリ電流が流れラジオノイズの原因になる。また、MOSFETの駆動回路は通常動作時には同一相のハイサイドMOSとロウサイドMOSを仮に誤指令やノイズによる誤動作が例え有ったとしても同時に導通にすることによるバッテリー短絡の事態は回避しなければならない。さらに整流用MOSFETの駆動回路は車両用に要求されるダンプサージの抑制やジャンプスタート時の制御に対応できる構成が不可欠である。

10

【0005】

本発明の目的は、MOSFET特有の双方向導通特性や寄生ダイオードのリカバリ電流に起因する問題点を解消したMOS型整流器の駆動方法の提供である。

【課題を解決するための手段】

20

【0006】

本発明のMOS整流型オルタネータは、界磁コイルとステータコイルを備え、3相交流を出力する交流発電機と、ハイサイドMOSFETとロウサイドMOSFETとの直列接続により構成される直列回路を3組並列接続して構成され、前記各直列回路のハイサイドMOSFETとロウサイドMOSFETとの接続部に前記交流発電機の3相交流出力の各相の電圧がそれぞれ供給される第1の整流回路と、前記交流発電機の出力に基づき、前記第1の整流回路の前記3組の直列回路を構成するハイサイドMOSFETやロウサイドMOSFETのオンオフ動作を制御し、前記第1の整流回路に供給される3相交流を前記第1の整流回路により直流に変換するハイサイドおよびロウサイド駆動回路と、前記交流発電機の交流電圧を直流電圧に変換する第2の整流回路と、前記第2の整流回路の出力に基づき過電圧を検知する出力電圧モニタ回路と、を備え、前記出力電圧モニタ回路の出力に基づき前記交流発電機の出力を制御することを特徴とする。

30

【0007】

また、好ましくは界磁コイルとステータコイルを備え、3相交流を出力する交流発電機と、ハイサイドMOSFETとロウサイドMOSFETとの直列接続により構成される直列回路を3組並列接続して構成され、前記各直列回路のハイサイドMOSFETとロウサイドMOSFETとの接続部に前記交流発電機の3相交流出力の各相の電圧がそれぞれ供給される第1の整流回路と、前記交流発電機の出力に基づき、前記第1の整流回路の前記3組の直列回路を構成するハイサイドMOSFETやロウサイドMOSFETのオンオフ動作を制御し、前記第1の整流回路に供給される3相交流を前記第1の整流回路により直流に変換するハイサイドおよびロウサイド駆動回路と、ダイオードを有し、前記交流発電機の交流電圧を直流電圧に変換する第2の整流回路と、前記第2の整流回路の出力に基づき低電圧を検知する出力電圧モニタ回路と、を備え、前記出力電圧モニタ回路の出力に基づき、前記交流発電機の出力を制御することを特徴とする。

40

【0008】

また、好ましくは界磁コイルとステータコイルを備え、3相交流を出力する交流発電機と、ハイサイドMOSFETとロウサイドMOSFETとの直列接続により構成される直列回路を3組並列接続して構成され、前記各直列回路のハイサイドMOSFETとロウサイドMOSFETとの接続部に前記交流発電機の3相交流出力の各相の電圧がそれぞれ供給される第1の整流回路と、前記交流発電機の出力に基づき、前記第1の整流回路の前記

50

3組の直列回路を構成するハイサイドMOSFETやロウサイドMOSFETのオンオフ動作を制御し、前記第1の整流回路に供給される3相交流を前記第1の整流回路により直流に変換するハイサイドおよびロウサイド駆動回路と、ダイオードを有し、前記交流発電機の交流電圧を直流電圧に変換する第2の整流回路と、前記第2の整流回路の出力に基づき過電圧や低電圧を検知する出力電圧モニタ回路と、を備え、前記出力電圧モニタ回路の出力に基づき、前記第1の整流回路が有するハイサイドMOSFETおよびロウサイドMOSFETが制御されることを特徴とする。

【発明の効果】

【0009】

本発明によればMOSFETを3相整流器として用いる場合の不正駆動の防止、ノイズによる誤動作防止、駆動回路の故障検出と報知ができ、ダンプサージやジャンプスタート時の各種制御に対応できる。

10

【発明を実施するための最良の形態】

【0010】

図1は本発明のMOS型オルタネータの第1の実施例である。図1において符号100は交流発電機であり、1a, 1b, 1cはステータコイル、1fは界磁コイルである。符号101~103はハイサイドMOSFET、111~113はロウサイドMOSFETであり、ハイサイドMOSFETの各ドレインは共通接続されてバッテリーVBの正極に接続され、ロウサイドMOSFETの各ソースは共通接続されてバッテリーVBの負極に接続されていて、これらのハイサイドMOSFETとロウサイドMOSFETとで全波整流器

20

【0011】

U相V相W相それぞれの相のハイサイドMOSFETのソースと、対応するロウサイドMOSFETのドレインとは共通接続され、交流発電機の出力U, V, Wに接続する。なお、バッテリーVBの正極と負極の間には負荷RLを接続する。符号160は3相全波整流器駆動装置であり、好ましくは1チップの集積回路で実現される。3相全波整流器駆動装置160中、符号121~123はロウサイド駆動回路、131~133はハイサイド駆動回路、141~143は診断論理回路である。また、符号150は過電圧、過電流、過熱などを判定する保護診断回路である。

【0012】

30

ロウサイド駆動回路121は交流発電機100の出力UとバッテリーVBの負極電位とからロウサイドMOSFET111のオンタイミングとオフタイミングを判定し、さらにロウサイド駆動回路122, 123の出力122a, 123a及び後述するハイサイド駆動回路131の出力131aとから前述の判定結果の妥当性をチェックして最終的なオンオフのタイミングを決定し、決定結果121aをハイサイド駆動回路131, 他のロウサイド駆動回路122と123に出力すると共に最終ゲート駆動信号ULDをロウサイドMOSFET111のゲートに出力する。

【0013】

ロウサイド駆動回路121はこの他に強制オン信号151と強制オフ信号152を入力できて、前述の決定結果を無効にしてロウサイドMOSFET111を必要に応じて強制的にオン又はオフにできる。ロウサイド駆動回路122, 123についても同様であるので説明は省略する。

40

【0014】

ハイサイド駆動回路131は交流発電機の出力UとバッテリーVBの正極電位とからハイサイドMOSFET101のオンタイミングとオフタイミングを判定し、さらにハイサイド駆動回路132, 133の出力132a, 133aと、ロウレベルサイド駆動回路121の出力121aとから前述の判定結果の妥当性をチェックして最終的なオンオフのタイミングを決定し、決定結果131aを他のハイサイド駆動回路132と133に出力すると共にゲート駆動信号UHDをハイサイドMOSFET101のゲートに出力する。

【0015】

50

ハイサイド駆動回路 131 はこの他に強制オン信号 151 と強制オフ信号 152 を入力できて、前述の決定結果を無効にしてハイサイド MOSFET 101 を必要に応じて強制的にオン又はオフにできる。ハイサイド駆動回路 132, 133 についても同様であるので説明は省略する。

【0016】

ロウサイド駆動回路 121 のオン判定は交流発電機の実出力  $U$  がバッテリーの負極電位より低くなり、且つロウサイド MOSFET の寄生ダイオードの順バイアスがサブスレッシュホールド電流領域を越えない所定の電位になったタイミングで行う。図 12 に示すようにダイオードに所定の順バイアス電圧をかけた時の電流、例えば 100 A を 1.0 とした時、100 A の場合より順バイアス電圧が 0.6 ボルトだけ小さい場合の電流は 100 A の  $1.0 \times 10^{-1.2}$  以下になる。このような小電流領域では小数キャリアの蓄積が微小であるため寄生ダイオードのリカバリ電流も無視できる大きさになり、バッテリーから交流発電機への逆流によるラジオノイズの問題が解消される。

10

【0017】

ロウサイド駆動回路 121 のオフ判定は交流発電機の実出力  $U$  が上昇しバッテリーの負極電位に等しくなるタイミングすなわち MOSFET 111 のソース・ドレイン間電圧がゼロになるタイミングで行う。MOSFET の特性からソース・ドレイン間電圧がゼロになるとゲート・ソース間電圧にオンバイアスを加えていてもドレイン電流は自動的にゼロになる。従ってこのタイミングで MOSFET 111 をオフにすると遮断時の  $di/dt$  ノイズを無くすることができる。

20

【0018】

ハイサイド駆動回路 131 のオン判定は交流発電機の実出力  $U$  がバッテリー電位  $V_B$  より高くなり、且つハイサイド MOSFET の寄生ダイオードの順バイアスがサブスレッシュホールド電流領域を越えない所定の電位になったタイミングで行う。この場合、ロウサイド駆動回路 121 のオン判定と同様の理由でバッテリーから交流発電機への逆流によるラジオノイズの問題が解消される。

【0019】

ハイサイド駆動回路 131 のオフ判定は交流発電機の実出力  $U$  が下降してバッテリー電位に等しくなるタイミングすなわち MOSFET 101 のソース・ドレイン間電圧がゼロになるタイミングで行う。MOSFET の特性からソース・ドレイン間電圧がゼロになるとゲート・ソース間電圧にオンバイアスを加えていてもドレイン電流は自動的にゼロになる。従ってこのタイミングで MOSFET 101 をオフにすると遮断時の  $di/dt$  ノイズを無くすることができる。

30

【0020】

図 10 に以上で説明した交流発電機の U 相 V 相 W 相の電圧とハイサイド MOSFET, ロウサイド MOSFET のそれぞれに印加されるゲート電圧のタイムチャートを示す。

【0021】

図 1 の符号 141 ~ 143 はハイサイド駆動回路とロウサイド駆動回路の一方又は両方の故障を診断する論理回路である。論理回路 141 の一つの入力 is ロウサイド MOSFET 111 のゲート信号 ULD であり、他の一つの入力 is ハイサイド MOSFET 101 のゲート信号 UHD である。論理回路 141 ~ 143 の出力 is オープンドレイン又はオープンコレクタ形式の出力回路になっており、それぞれの出力がワイヤード OR されて端子 L に接続する。

40

【0022】

正常な動作では  $ULD \cdot UHD = 1$  の論理状態はあり得ないが、故障により  $ULD \cdot UHD = 1$  となった場合は端子 L に異常状態を出力する。ただし、強制オン信号 151 を印加する場合は  $ULD \cdot UHD = 1$  となるので異常状態を出力しないようにマスクする。論理回路 142, 143 についても同様である。

【0023】

図 2 は本発明のハイサイド駆動回路の第 1 実施例である。図 2 において、符号 200 は

50

ソースが交流発電機のU相に接続し、ドレインがバッテリーVBの正極に接続したMOSFETであり、寄生ダイオードD1も示してある。符号201はハイサイドステータ電圧取り込み回路であり、U相の電圧を取り込み出力する。符号202はハイサイドバッテリー電圧取り込み回路であり、バッテリーVBの正極電圧を取り込み出力する。

【0024】

符号203は比較器であり、その反転入力に前記ハイサイドステータ電圧取り込み回路201の出力を入力し、非反転入力にハイサイドバッテリー電圧取り込み回路202の出力を入力して、反転入力の電圧が非反転入力の電圧より高い場合にロウレベルを出力し、低い場合にハイレベルを出力する。この比較器の出力信号がMOSFET200のオンオフタイミングを判定する信号であり、次段の論理ゲート204に出力されるが、この段階ではまだオンオフを決定する信号ではない。

10

【0025】

論理ゲート204は負論理のNANDゲートであり、比較器203の出力の他に強制オフ信号204aと、後述するロウサイド論理回路からの出力204bと、論理ゲート207の出力207cとを入力し、全ての入力にロウレベルの時にハイレベルを出力し、それ以外はロウレベルを出力する決定論理回路である。

【0026】

すなわち、比較器203からのオンオフ判定信号がロウレベルであっても前記信号204a, 204b, 204cの少なくとも一つがハイレベルの時は論理ゲート204の出力はロウレベルになる。論理ゲート207は負論理のORゲートであり、信号207aと207bは他の相の決定論理回路の出力であり、少なくともどちらか一方がロウレベルで無い時はオンオフを判定する比較回路203からのオン指令信号は不正信号として無視される。

20

【0027】

論理ゲート204の出力はハイサイドMOSFETのオンオフ決定信号であり、論理ゲート205に出力される他に後述するロウサイド駆動回路の論理ゲートに出力される。論理ゲート205は正論理のORゲートであり、論理ゲート204の出力の他に強制オン信号205aを入力し、少なくとも一方の入力がハイレベルの時にハイレベルを出力し、それ以外はロウレベルを出力する論理回路である。すなわち、論理ゲート204からの信号204cがハイレベルの時は論理ゲート205の出力はハイレベルになり、強制オン信号205aがハイレベルの時もハイレベルになる。論理ゲート205の出力はハイサイドMOSFETの最終オンオフ決定信号であり、バッファ回路206を介してハイサイドMOSFET200のゲートに供給され、オンオフを制御する。

30

【0028】

符号208はオープンドレイン又はオープンコレクタ出力形式の論理ゲートであり、回路の故障などによる同一相のハイサイドMOSFETとロウサイドMOSFETの同時オンを検出する。論理ゲートの入力であるバッファ回路206の出力206aと後述するロウサイド駆動回路からの出力208aが共にハイレベルの時、出力208bから電流をシンクし、少なくともどちらか一方がロウレベルの時及び強制オン信号205aがハイレベルの時、出力はハイインピーダンス状態になる。

【0029】

40

図3は本発明のロウサイド駆動回路の第1実施例である。図3において、符号300はソースがバッテリーVBの負極にドレインが交流発電機のU相に接続したMOSFETであり、寄生ダイオードD2も付記する。符号301はロウサイドステータ電圧取り込み回路であり、U相の電圧を取り込み出力する。符号302はロウサイドバッテリー電圧取り込み回路であり、バッテリーVBの負極電圧を取り込み出力する。

【0030】

符号303は比較器であり、その非反転入力に前記ロウサイドステータ電圧取り込み回路301の出力を入力し、反転入力にロウサイドバッテリー電圧取り込み回路302の出力を入力する。比較器の非反転入力の電圧が反転入力の電圧より低い場合にロウレベルを出力し、高い場合はハイレベルを出力する。この出力信号はMOSFET300のオンオフ

50

タイミングを判定する信号であり、次段の論理ゲート304に出力されるが、この段階ではまだオンオフを決定する信号ではない。

【0031】

論理ゲート304は負論理のNANDゲートであり、比較器303の出力の他に強制オフ信号304aと、前述したハイサイド論理回路からの出力304bと、論理ゲート307の出力307cとを入力し、全ての入力が高レベルの時に高レベルを出力し、それ以外は低レベルを出力するオンオフ決定論理回路である。

【0032】

すなわち、比較器303からのオンオフ判定信号が高レベルであっても前記信号304a, 304b, 307cの少なくとも一つが高レベルの時は論理ゲート304の出力は低レベルになる。

10

【0033】

論理ゲート307は負論理のORゲートであり、信号307aと307bは他の相の決定論理回路の出力であり、少なくともどちらか一方が高レベルで無い時はオンオフ判定回路303からのオン指令信号は不正信号として無視される。論理ゲート304の出力は低レベルMOSFETのオンオフ決定信号であり、論理ゲート305に出力される他に前述したハイサイド駆動回路の論理ゲートに出力される。

【0034】

論理ゲート305は正論理のORゲートであり、論理ゲート304の出力の他に強制オン信号305aを入力し、少なくとも一方の入力が高レベルの時に高レベルを出力し、それ以外は低レベルを出力する。すなわち、論理ゲート304からの信号304cが高レベルの時は論理ゲート305の出力は高レベルになり、強制オン信号305aが高レベルの時も高レベルになる。

20

【0035】

論理ゲート305の出力は低レベルMOSFETの最終オンオフ決定信号であり、バッファ回路306を介して低レベルMOSFET300のゲートに供給され、オンオフを制御する。符号308はオープンドレイン又はオープンコレクタ出力形式の論理ゲートであり、回路の故障などによる同一相のハイサイドMOSFETと低レベルMOSFETの同時オンを検出する。論理ゲートの入力であるバッファ回路306の出力306aと前述したハイサイド駆動回路からの出力308aとが共に高レベルの時、出力308bから電流をシンクし、少なくともどちらか一方が低レベルの時及び強制オン信号305aが高レベルの時、出力はハイインピーダンス状態になる。

30

【0036】

図4は本発明のハイサイド駆動回路の第2実施例である。図4において、符号400はソースが交流発電機のU相に接続し、ドレインがバッテリーVBの正極に接続したMOSFETであり、寄生ダイオードD1も示す。電圧シフト手段401, 逆流阻止ダイオード410, 定電流源411がハイサイドステータ電圧取り込み回路であり、U相の電圧を所定電圧VXだけシフトダウンして比較器に出力する。

【0037】

電圧シフト手段402, 408, 定電流源412はハイサイドバッテリー電圧取り込み回路であり、バッテリーVBの正極電圧を電圧シフト手段402で所定電圧VY1だけシフトダウンし、さらに電圧シフト手段408で所定電圧VY2だけシフトダウンしてアナログマルチプレクサ409に出力する。なお、 $VX = VY1 + VY2$ の関係である。符号409はアナログマルチプレクサであり、制御信号により入力信号a, bのどちらかを選択して信号cとして出力する。

40

【0038】

符号403は比較器であり、その反転入力に電圧シフト手段401の出力を、非反転入力にアナログマルチプレクサ409の出力を入力し、反転入力の電圧が非反転入力の電圧より高い場合に高レベルを出力し、低い場合に低レベルを出力する。この出力信号は次段の論理ゲート404に出力され、MOSFET400のオンオフタイミングを判定す

50

る信号となるが、この段階ではまだオンオフを決定する信号ではない。

【0039】

論理ゲート404は負論理のNANDゲートであり、比較器403の出力の他に強制オフ信号404a、後述するロウサイド論理回路からの出力404b及び論理ゲート407の出力407cを入力し、全ての入力が高レベルの時に高レベルを出力し、それ以外はロウレベルを出力するオンオフタイミング決定論理回路である。すなわち、比較器403からのオンオフ判定信号が高レベルであっても信号404a、404b、404cの少なくとも一つが高レベルの時は論理ゲート404の出力はロウレベルになる。

【0040】

論理ゲート407は負論理のORゲートであり、信号407aと407bは他の相の決定論理回路の出力であり、少なくともどちらか一方が高レベルで無い時は比較器403からのオン指令信号は不正信号として無視される。論理ゲート404の出力404cはハイサイドMOSFETのオンオフ決定信号であり、論理ゲート405に出力される他に後述するロウサイド駆動回路のオンオフタイミング決定論理回路に出力され、さらにアナログマルチプレクサ409の制御信号として出力される。

10

【0041】

論理ゲート404の出力404cが高レベルの時、比較器403の非反転入力にはアナログマルチプレクサ409のa入力が供給される。従って、比較器403の出力はステータ電圧Uがバッテリーの正極電圧より所定電圧VY2だけ高くなったタイミングでロウレベルに反転する。論理ゲート404の出力404cが高レベルに反転すると比較器403の非反転入力にはアナログマルチプレクサ409のb入力が供給される。従って、比較器403の出力はステータ電圧Uがバッテリーの正極電圧と同じ電位まで低下したタイミングで高レベルに反転する。

20

【0042】

なお、ここで所定電圧VY2はゼロボルトより大きく、且つ寄生ダイオードD1の電流がサブスレッシュホールド電流領域を越えない範囲の順方向電圧領域に設定する。論理ゲート405は正論理のORゲートであり、論理ゲート404の出力の他に強制オン信号405aを入力し、少なくとも一方の入力が高レベルの時に高レベルを出力し、それ以外はロウレベルを出力する。すなわち、論理ゲート404からの信号404cが高レベルの時は論理ゲート405の出力は高レベルになり、強制オン信号405aが高レベルの時にも高レベルになる。論理ゲート405の出力はハイサイドMOSFETの最終オンオフ決定信号であり、バッファ回路406を介してハイサイドMOSFET400のゲートに供給され、オンオフを制御する。

30

【0043】

図5は本発明のロウサイド駆動回路の第2実施例である。図5において、符号500はドレインが交流発電機のU相に接続し、ソースがバッテリーVBの負極に接続したMOSFETであり、寄生ダイオードD2も付記してある。電圧シフト手段501と、逆流阻止ダイオード510と、定電流源511とがロウサイドステータ電圧取り込み回路であり、U相の電圧を所定電圧VXだけシフトアップして比較器503に出力する。

【0044】

電圧シフト手段502、定電流源512はロウサイドバッテリー電圧取り込み回路であり、バッテリーVBの負極電圧を電圧シフト手段502で所定電圧VYだけシフトアップしてアナログマルチプレクサ509に出力する。なお、ここではVX=VYの関係である。

40

【0045】

符号509のアナログマルチプレクサは、制御信号により入力信号a、bのどちらかを選択して信号cとして出力する。符号503は比較器であり、その非反転入力に電圧シフト手段501の出力を、反転入力にアナログマルチプレクサ509の出力を入力し、非反転入力の電圧が反転入力の電圧より低い場合にロウレベルを出力し、高い場合は高レベルを出力する。この出力信号は次段の論理ゲート504に出力され、MOSFET500のオンオフタイミングを判定する信号となるが、この段階ではまだオンオフを決定する信

50

号ではない。

【0046】

論理ゲート504は負論理のNANDゲートであり、比較器503の出力の他に強制オフ信号504aと、ハイサイド論理回路からの出力504bと、論理ゲート507の出力507cとを入力し、全ての入力が入レベルの時にハイレベルを出力し、それ以外はロウレベルを出力するオンオフタイミング決定論理回路である。

【0047】

すなわち、比較器503からのオンオフ判定信号が入レベルであっても信号504a、504b、504cの少なくとも一つがハイレベルの時は論理ゲート504の出力はロウレベルになる。論理ゲート507は負論理のORゲートであり、信号507aと507bは他の相の決定論理回路の出力であり、少なくともどちらか一方が入レベルで無い時は比較器503からのオン指令信号は不正信号として無視される。

10

【0048】

論理ゲート504の出力504cはロウサイドMOSFETのオンオフ決定信号であり、論理ゲート505に出力される他にハイサイド駆動回路のオンオフタイミング決定論理回路に出力され、さらにアナログマルチプレクサ509の制御信号として出力される。論理ゲート504の出力504cが入レベルの時、比較器503の反転入力にはアナログマルチプレクサ509のb入力が供給される。

【0049】

従って、比較器503の出力はステータ電圧Uがバッテリーの負極電圧より所定電圧VYだけ低くなったタイミングでロウレベルに反転する。論理ゲート504の出力504cがハイレベルに反転すると比較器403の非反転入力にはアナログマルチプレクサ509のa入力が供給される。従って、比較器503の出力はステータ電圧Uがバッテリーの負極電圧と同じ電位まで上昇したタイミングでハイレベルに反転する。

20

【0050】

なお、ここで所定電圧VYはゼロボルトより大きく、且つ寄生ダイオードD2の電流がサブスレッシュホールド電流領域を越えない範囲の順方向電圧領域に設定する。論理ゲート505は正論理のORゲートであり、論理ゲート504の出力の他に強制オン信号505aを入力し、少なくとも一方の入力がハイレベルの時にハイレベルを出力し、それ以外はロウレベルを出力する論理回路である。すなわち、論理ゲート504からの信号504cがハイレベルの時は論理ゲート505の出力はハイレベルになり、強制オン信号505aがハイレベルの時もハイレベルになる。論理ゲート505の出力はロウサイドMOSFETの最終オンオフ決定信号であり、バッファ回路506を介してハイサイドMOSFET500のゲートに供給され、オンオフを制御する。

30

【0051】

図6は本発明のハイサイド駆動回路の第3実施例である。図6において、符号600は、ソースが交流発電機のU相に接続し、ドレインがバッテリーVBの正極に接続したMOSFETであり、寄生ダイオードD1も付記する。電圧シフト手段である抵抗601と、逆流阻止ダイオード610と、定電流源としてのMOSFET614とがハイサイドステータ電圧取り込み回路であり、U相の電圧を所定電圧VXだけシフトダウンして比較器603に出力する。

40

【0052】

電圧シフト手段である抵抗602、608と、定電流源としてのMOSFET613とがハイサイドバッテリー電圧取り込み回路であり、バッテリーVBの正極電圧を602で所定電圧VY1だけ、608で所定電圧VY2だけシフトダウンしてアナログマルチプレクサ609に出力する。なお、 $VX = VY1 + VY2$ の関係である。

【0053】

符号609のアナログマルチプレクサは、制御信号により入力信号a、bのどちらかを選択して信号cとして出力する。なお、本実施例の電圧シフト手段601、602、608は抵抗である。定電流源611、MOSFET612は基準電流発生回路である。

50

## 【 0 0 5 4 】

符号 6 0 3 は比較器であり、その反転入力に電圧シフト手段である抵抗 6 0 1 の出力を、非反転入力にアナログマルチプレクサ 6 0 9 の出力を入力し、反転入力の電圧が非反転入力の電圧より高い場合にロウレベルを出力し、低い場合にハイレベルを出力する。この出力信号は次段の論理ゲート 6 0 4 に出力され、M O S F E T 6 0 0 のオンオフタイミングを判定する信号となるが、この段階ではまだオンオフを決定する信号ではない。

## 【 0 0 5 5 】

論理ゲート 6 0 4 は負論理の N A N D ゲートであり、比較器 6 0 3 の出力の他に強制オフ信号 6 0 4 a , ロウサイド論理回路からの出力 6 0 4 b 及び論理ゲート 6 0 7 の出力 6 0 7 c を入力し、全ての入力がロウレベルの時にハイレベルを出力し、それ以外はロウレベルを出力するオンオフタイミング決定論理回路である。すなわち、比較器 6 0 3 からのオンオフ判定信号がロウレベルであっても信号 6 0 4 a , 6 0 4 b , 6 0 4 c の少なくとも一つがハイレベルの時は論理ゲート 6 0 4 の出力はロウレベルになる。

10

## 【 0 0 5 6 】

論理ゲート 6 0 7 は負論理の O R ゲートであり、信号 6 0 7 a と 6 0 7 b は他の相の決定論理回路の出力であり、少なくともどちらか一方がロウレベルで無い時は比較器 6 0 3 からのオン指令信号は不正信号として無視される。論理ゲート 6 0 4 の出力 6 0 4 c はハイサイド M O S F E T のオンオフ決定信号であり、論理ゲート 6 0 5 に出力される他に後述するロウサイド駆動回路のオンオフタイミング決定論理回路に出力され、さらにアナログマルチプレクサ 6 0 9 の制御信号として出力される。

20

## 【 0 0 5 7 】

論理ゲート 6 0 4 の出力 6 0 4 c がロウレベルの時、比較器 6 0 3 の非反転入力にはアナログマルチプレクサ 6 0 9 の a 入力 that 供給される。従って、比較器 6 0 3 の出力はステータ電圧 U がバッテリーの正極電圧より所定電圧 V Y 2 だけ高くなったタイミングでロウレベルに反転する。

## 【 0 0 5 8 】

論理ゲート 6 0 4 の出力 6 0 4 c がハイレベルに反転すると比較器 6 0 3 の非反転入力にはアナログマルチプレクサ 6 0 9 の b 入力 that 供給される。従って、比較器 6 0 3 の出力はステータ電圧 U がバッテリーの正極電圧と同じ電位まで低下したタイミングでハイレベルに反転する。なお、ここで所定電圧 V Y 2 はゼロボルトより大きく、且つ寄生ダイオード D 1 の電流がサブスレッシュホールド電流領域を越えない範囲の順方向電圧領域に設定する。

30

## 【 0 0 5 9 】

論理ゲート 6 0 5 は正論理の O R ゲートであり、論理ゲート 6 0 4 の出力の他に強制オン信号 6 0 5 a を入力し、少なくとも一方の入力がハイレベルの時にハイレベルを出力し、それ以外はロウレベルを出力する論理回路である。すなわち、論理ゲート 6 0 4 からの信号 6 0 4 c がハイレベルの時は論理ゲート 6 0 5 の出力はハイレベルになり、強制オン信号 6 0 5 a がハイレベルの時もハイレベルになる。論理ゲート 6 0 5 の出力はハイサイド M O S F E T の最終オンオフ決定信号であり、バッファ回路 6 0 6 を介してハイサイド M O S F E T 6 0 0 のゲートに供給され、オンオフを制御する。

40

## 【 0 0 6 0 】

図 7 は本発明のロウサイド駆動回路の第 3 実施例である。図 7 において、符号 7 0 0 はドレインが交流発電機の U 相にソースがバッテリー V B の負極に接続した M O S F E T であり、寄生ダイオード D 2 も付記した。電圧シフト手段である抵抗 7 0 1 と、逆流阻止ダイオード 7 1 0 と、定電流源としての M O S F E T 7 1 4 とがロウサイドステータ電圧取り込み回路であり、U 相の電圧を所定電圧 V X だけシフトアップして比較器に出力する。電圧シフト手段である抵抗 7 0 2 と、定電流源としての M O S F E T 7 1 3 とがロウサイドバッテリー電圧取り込み回路であり、バッテリー V B の負極電圧を 7 0 2 で所定電圧 V Y だけシフトアップしてアナログマルチプレクサに出力する。なお、ここでは V X = V Y の関係がある。

50

## 【 0 0 6 1 】

符号709はアナログマルチプレクサであり、制御信号により入力信号a, bのどちらかを選択して信号cとして出力する。符号703は比較器であり、その非反転入力に電圧シフト手段である抵抗701の出力を、反転入力にアナログマルチプレクサ709の出力を入力し、非反転入力の電圧が反転入力の電圧より低い場合にロウレベルを出力し、高い場合はハイレベルを出力する。この出力信号は次段の論理ゲート704に出力され、MOSFET700のオンオフタイミングを判定する信号となるが、この段階ではまだオンオフを決定する信号ではない。

## 【 0 0 6 2 】

論理ゲート704は負論理のNANDゲートであり、比較器703の出力の他に強制オフ信号704aと、ハイサイド論理回路からの出力704bと、論理ゲート707の出力707cとを入力し、全ての入力がロウレベルの時にハイレベルを出力し、それ以外はロウレベルを出力するオンオフタイミング決定論理回路である。

10

## 【 0 0 6 3 】

すなわち、比較器703からのオンオフ判定信号がロウレベルであっても信号704a, 704b, 704cの少なくとも一つがハイレベルの時は論理ゲート704の出力はロウレベルになる。論理ゲート707は負論理のORゲートであり、信号707aと707bは他の相の決定論理回路の出力であり、少なくともどちらか一方がロウレベルで無い時は比較器703からのオン指令信号は不正信号として無視される。

## 【 0 0 6 4 】

論理ゲート704の出力704cはロウサイドMOSFETのオンオフ決定信号であり、論理ゲート705に出力される他に前述したハイサイド駆動回路のオンオフタイミング決定論理回路に出力され、さらにアナログマルチプレクサ709の制御信号として出力される。論理ゲート704の出力704cがロウレベルの時、比較器703の反転入力にはアナログマルチプレクサ709のb入力が供給される。

20

## 【 0 0 6 5 】

従って、比較器703の出力はステータ電圧Uがバッテリーの負極電圧より所定電圧VYだけ低くなったタイミングでロウレベルに反転する。論理ゲート704の出力704cがハイレベルに反転すると比較器703の非反転入力にはアナログマルチプレクサ709のa入力が供給される。従って、比較器703の出力はステータ電圧Uがバッテリーの負極電圧と同じ電位まで上昇したタイミングでハイレベルに反転する。

30

## 【 0 0 6 6 】

なお、ここで所定電圧VYはゼロボルトより大きく、且つ寄生ダイオードD2の電流がサブスレッシュホールド電流領域を越えない範囲の順方向電圧領域に設定する。論理ゲート705は正論理のORゲートであり、論理ゲート704の出力の他に強制オン信号705aを入力し、少なくとも一方の入力がハイレベルの時にハイレベルを出力し、それ以外はロウレベルを出力する論理回路である。すなわち、論理ゲート704からの信号704cがハイレベルの時は論理ゲート705の出力はハイレベルになり、強制オン信号705aがハイレベルの時もハイレベルになる。論理ゲート705の出力はロウサイドMOSFETの最終オンオフ決定信号であり、バッファ回路706を介してロウサイドMOSFET700のゲートに供給され、オンオフを制御する。

40

## 【 0 0 6 7 】

図8は本発明のMOS型オルタネータの第2の実施例である。図8で図1と同じ符号は同じ構成要素である。符号161は3相全波整流器駆動装置であり、好ましくは1チップの集積回路で実現される。

## 【 0 0 6 8 】

ロウサイド駆動回路121は交流発電機の出力Uとバッテリーの負極電位とからロウサイドMOSFET111のオンタイミングとオフタイミングを判定し、さらにロウサイド駆動回路122, 123の出力122a, 123aとハイサイド駆動回路131の出力131aとから前述の判定結果の妥当性をチェックして最終的なオンオフのタイミングを決定し、

50

決定結果 1 2 1 a をハイサイド駆動回路 1 3 1、他のロウサイド駆動回路 1 2 2 と 1 2 3 に出力すると共に最終ゲート駆動信号 U L D をロウサイド M O S F E T 1 1 1 のゲートに出力する。

【 0 0 6 9 】

ロウサイド駆動回路 1 2 1 はこの他に強制オン信号 1 5 1 と P W M ( Pulse width Modulation ) 信号 1 5 3 を入力できるように構成されており、強制オン信号 1 5 1 が印加されると前述の決定結果を無効にしてロウサイド M O S F E T 1 1 1 を強制的にオンにできる。また、P W M 信号 1 5 3 を印加すると前述の決定結果に対してパルス幅変調をかけロウサイド M O S F E T 1 1 1 のオン期間を変え、出力電流を調整できる。なお、本実施例ではロウサイド駆動回路 1 2 1 ~ 1 2 3 には強制オフ信号 1 5 2 が供給されていないが、P W M 信号 1 5 3 のパルスデューティをゼロにすることにより強制オフ動作ができる。また、P W M 信号をハイサイド駆動回路側に入れても同様に整流器の出力電流を調整できる。ロウサイド駆動回路 1 2 2 , 1 2 3 についても同様であるので説明は省略する。ハイサイド駆動回路 1 3 1 ~ 1 3 3 , 診断論理回路 1 4 1 ~ 1 4 3 は、構成及び動作が図 1 の実施例と同一なので説明を省略する。

10

【 0 0 7 0 】

図 9 は本発明の M O S 型オルタネータの第 3 の実施例である。図 9 で図 1 と同じ符号は同じ構成要素である。符号 1 6 2 は 3 相全波整流器駆動装置であり、好ましくは 1 チップの集積回路で実現される。本実施例において、ロウサイド駆動回路 1 2 1 ~ 1 2 3 は外部のコントローラ 9 0 1 からの駆動信号 U L G , V L G , W L G によって駆動され、ロウサイド M O S F E T 1 1 1 ~ 1 1 3 のオンオフを制御する。同様に、ハイサイド駆動回路 1 3 1 ~ 1 3 3 は外部のコントローラ 9 0 0 の駆動信号 U H G , V H G , W H G で駆動され、ハイサイド M O S F E T 1 0 1 ~ 1 0 3 のオンオフを制御する。

20

【 0 0 7 1 】

ロウサイド駆動回路 1 2 1 は上記外部信号 U L G によってロウサイド M O S F E T 1 1 1 のオンタイミングとオフタイミングを判定し、さらにロウサイド駆動回路 1 2 2 , 1 2 3 の出力 1 2 2 a , 1 2 3 a とハイサイド駆動回路 1 3 1 の出力 1 3 1 a とから前述の判定結果の妥当性をチェックして最終的なオンオフのタイミングを決定し、決定結果 1 2 1 a をハイサイド駆動回路 1 3 1 , 他のロウサイド駆動回路 1 2 2 と 1 2 3 に出力すると共に最終ゲート駆動信号 U L D をロウサイド M O S F E T 1 1 1 のゲートに出力する。

30

【 0 0 7 2 】

ロウサイド駆動回路 1 2 1 はこの他に強制オン信号 1 5 1 と強制オフ信号 1 5 2 を入力できるように構成されており、強制オン信号 1 5 1 が印加されると前述の決定結果を無効にしてロウサイド M O S F E T 1 1 1 を強制的にオンにできる。また、強制オフ信号 1 5 2 を印加すると前述の決定結果を無視してロウサイド M O S F E T 1 1 1 を強制的にオフにできる。なお、図 8 の実施例で説明したように強制オフ信号 1 5 2 に換えて P W M 信号を印加しても良い。ロウサイド駆動回路 1 2 2 , 1 2 3 についても同様であるので説明は省略する。

【 0 0 7 3 】

ハイサイド駆動回路 1 3 1 は上記外部信号 U H G によってハイサイド M O S F E T 1 0 1 のオンタイミングとオフタイミングを判定し、さらにハイサイド駆動回路 1 3 2 , 1 3 3 の出力 1 3 2 a , 1 3 3 a 及びロウサイド駆動回路 1 2 1 の出力 1 2 1 a とから前述の判定結果の妥当性をチェックして最終的なオンオフのタイミングを決定し、決定結果 1 3 1 a をロウサイド駆動回路 1 2 1 , 他のハイサイド駆動回路 1 3 2 と 1 3 3 に出力すると共に最終ゲート駆動信号 U H D をハイサイド M O S F E T 1 0 1 のゲートに出力する。

40

【 0 0 7 4 】

ハイサイド駆動回路 1 3 1 はこの他に強制オン信号 1 5 1 と強制オフ信号 1 5 2 を入力できるように構成されており、強制オン信号 1 5 1 が印加されると前述の決定結果を無効にしてハイサイド M O S F E T 1 0 1 を強制的にオンにできる。また、強制オフ信号 1 5 2 を印加すると前述の決定結果を無視してハイサイド M O S F E T 1 0 1 を強制的にオフに

50

できる。ハイサイド駆動回路 132, 133 についても同様であるので説明は省略する。

【0075】

なお、診断論理回路 141 ~ 143 については、構成及び動作の説明が図 1 の実施例と同一なので省略する。本実施例によれば、整流用 MOSFET を外部コントローラからの駆動信号でオンオフ制御する場合、仮にコントローラ 900 からの誤指令があった場合でも MOS 整流器の誤動作を抑止できる。また、コントローラ 900 と全波整流器駆動装置を接続する配線の故障や、配線に結合したノイズによる不正動作を抑止できる。

【0076】

図 11 は MOS 整流型オルタネータにおける交流発電機の出力電圧モニタ回路の実施例である。図 11 において、符号 1101 ~ 1103 はダイオードであり、ダイオード 1101 のアノードが交流発電機の U 相に接続し、カソードが共通接続点に接続する。同様にダイオード 1102 のアノードは交流発電機の V 相に、カソードは共通接続点に接続され、ダイオード 1103 のアノードは交流発電機の W 相に、カソードは共通接続点に接続する。

10

【0077】

カソード共通接続点と GND の間に、抵抗 1104 と 1105 とからなる分圧器が設けられている。分圧器の出力は比較器 1106 の非反転入力と比較器 1107 の反転入力に接続する。また、比較器 1106 の反転入力には第 1 の参照電圧  $V_{ref1}$  が接続し、比較器 1107 の非反転入力には第 2 の参照電圧  $V_{ref2}$  が接続する。

【0078】

この回路では 3 相交流電圧 U, V, W がダイオード 1101, 1102, 1103 によって半波整流され、分圧器 1104, 1105 から直流電圧が取り出される。この電圧は比較器 1106 で参照電圧  $V_{ref1}$  と比較され、より高い場合は出力 1106a にハイレベルを出力し、低い場合はロウレベルを出力する。この出力は例えば発電機出力の過電圧モニタとして利用され、この状態が起きた時、例えば発電機の出力を抑制制御したり、整流 MOS の駆動回路のオンオフを制御したりする。また、比較器 1107 の出力 1107a は発電機出力の低電圧モニタとして利用され、この状態が起きた時、発電機の出力を増大制御したり、整流 MOS の駆動回路のオンオフを制御したりする。なお、分圧器の出力はリップル成分を含むため、必要に応じて抵抗 1105 と並列にキャパシタを設ける。

20

【図面の簡単な説明】

【0079】

【図 1】本発明の MOS 整流型オルタネータの第 1 実施例の説明図である。

【図 2】本発明のハイサイド駆動回路の第 1 実施例の説明図である。

【図 3】本発明のロウサイド駆動回路の第 1 実施例の説明図である。

【図 4】本発明のハイサイド駆動回路の第 2 実施例の説明図である。

【図 5】本発明のロウサイド駆動回路の第 2 実施例の説明図である。

【図 6】本発明のハイサイド駆動回路の第 3 実施例の説明図である。

【図 7】本発明のロウサイド駆動回路の第 3 実施例の説明図である。

【図 8】本発明の MOS 整流型オルタネータの第 2 実施例の説明図である。

【図 9】本発明の MOS 整流型オルタネータの第 3 実施例の説明図である。

【図 10】MOS 整流器の入力波形と MOS ゲート駆動波形の説明図である。

40

【図 11】交流発電機の出力電圧モニタ回路の実施例の説明図である。

【図 12】接合ダイオードの電圧 - 電流特性の説明図である。

【符号の説明】

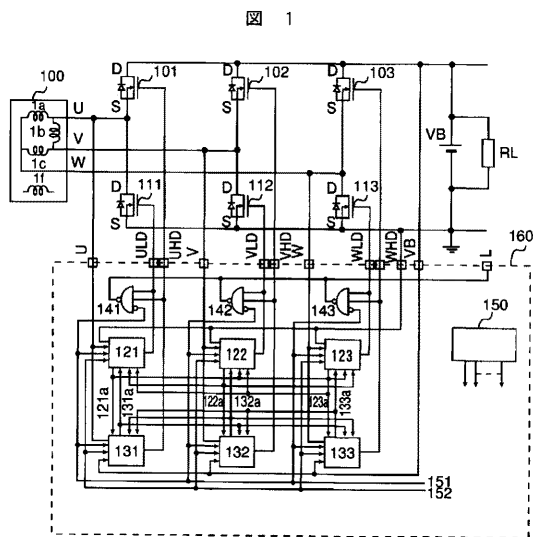
【0080】

100...交流発電機、101, 102, 103, 111, 112, 113...MOSFET、  
121, 122, 123...ロウサイド駆動回路、131, 132, 133...ハイサイド駆  
動回路、141, 142, 143...論理ゲート回路、150...保護回路、160, 161  
, 162...3相全波整流器駆動装置、201...ハイサイドステータ電圧取り込み部、202  
...ハイサイドバッテリー電圧取り込み部、203...比較回路、204, 205, 207,  
208...論理ゲート回路、206...バッファ回路、301...ロウレベルサイドステータ電

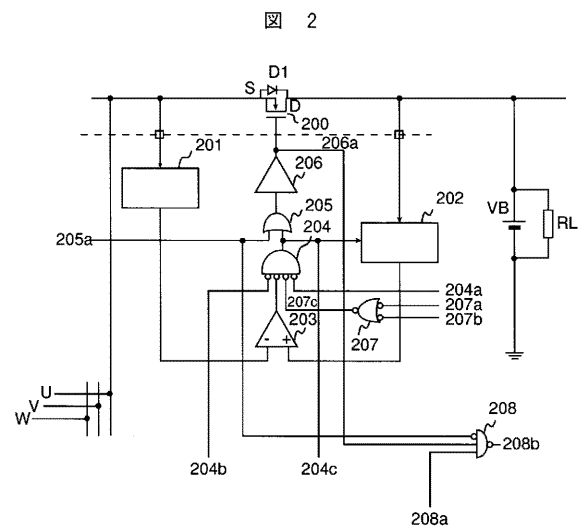
50

圧取り込み部、302...ロウサイドバッテリー電圧取り込み部、401, 402, 408, 501, 502...電圧シフト手段、409, 509, 609, 709...アナログマルチプレクサ、410, 510, 1101, 1102, 1103...ダイオード、411, 412, 511, 512, 611, 711...定電流源、601, 602, 701, 702...抵抗、603, 1106, 1107...比較器、612, 613, 614...NMOSFET、712, 713, 714...PMOSFET、900...コントローラ。

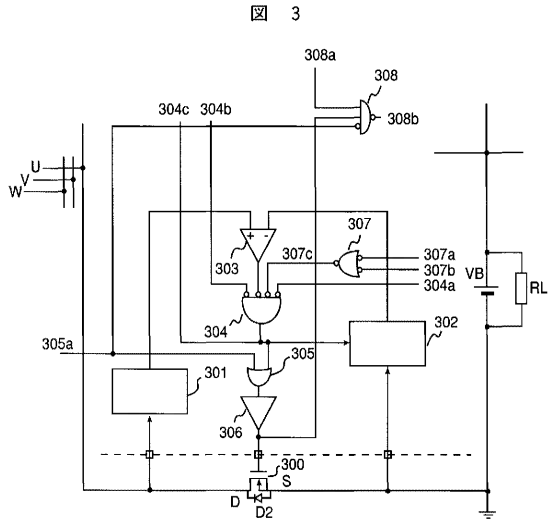
【図1】



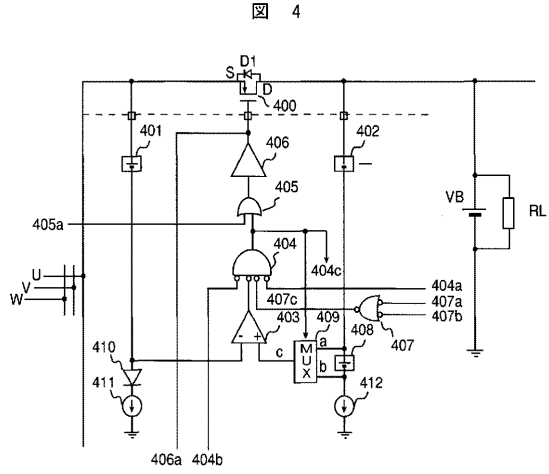
【図2】



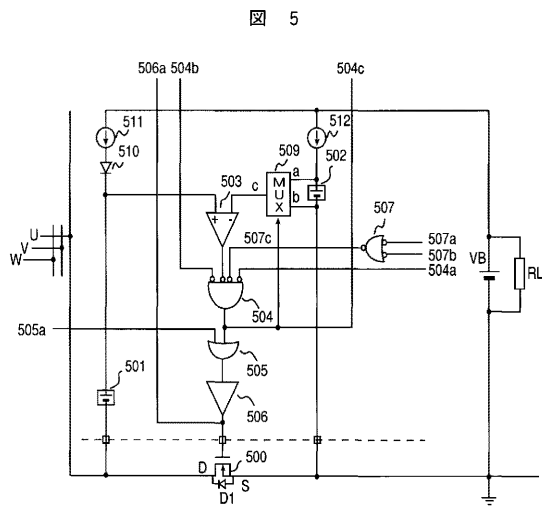
【 図 3 】



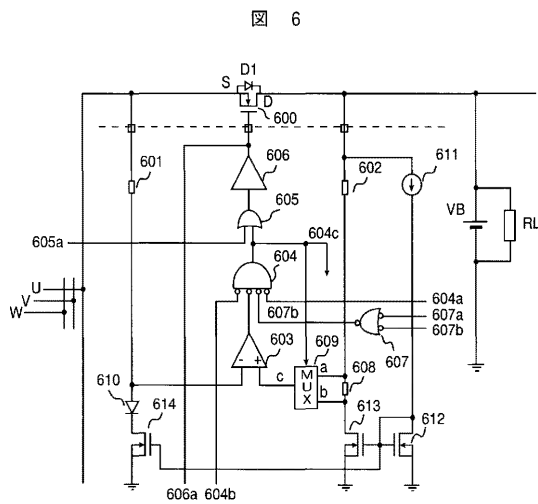
【 図 4 】



【 図 5 】

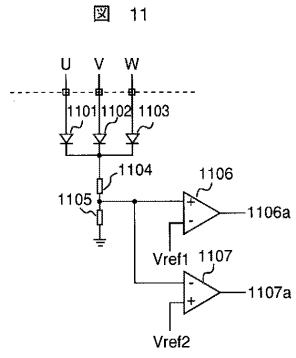


【 図 6 】



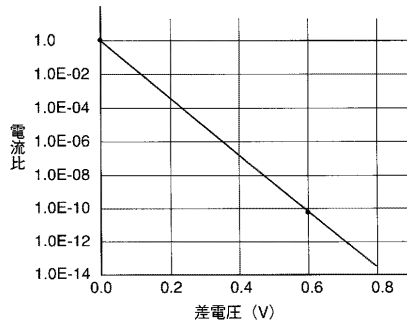


【図 1 1】



【図 1 2】

図 12



## フロントページの続き

(51)Int.Cl. F I  
H 0 2 M 7/12 H

(72)発明者 森 睦宏  
茨城県日立市大みか町七丁目1番1号  
所内 株式会社 日立製作所 日立研究

(72)発明者 金澤 宏至  
茨城県日立市大みか町七丁目1番1号  
所内 株式会社 日立製作所 日立研究

(72)発明者 榎本 正寿  
茨城県ひたちなか市高場2477番地  
ング内 株式会社 日立カーエンジニアリ

(72)発明者 引田 栄  
茨城県ひたちなか市高場2477番地  
ング内 株式会社 日立カーエンジニアリ

審査官 松本 泰典

(56)参考文献 特開平8-149896(JP,A)  
特開2000-172349(JP,A)  
特開平11-252820(JP,A)  
特開2000-184728(JP,A)  
特開平7-322626(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 2 J 7 / 1 4  
H 0 2 J 7 / 1 0  
H 0 2 M 7 / 1 2  
H 0 2 M 7 / 2 1 9