

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 4 月 19 日 (19.04.2018)



(10) 国际公布号
WO 2018/068255 A1

(51) 国际专利分类号:
G06N 3/06 (2006.01) **G06N 3/063** (2006.01)

(21) 国际申请号: PCT/CN2016/101982

(22) 国际申请日: 2016 年 10 月 13 日 (13.10.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 中国科学院深圳先进技术研究院 (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。

(72) 发明人: 张金勇 (ZHANG, Jinyong); 中国广东省深圳市南山区西丽大学城学苑大道

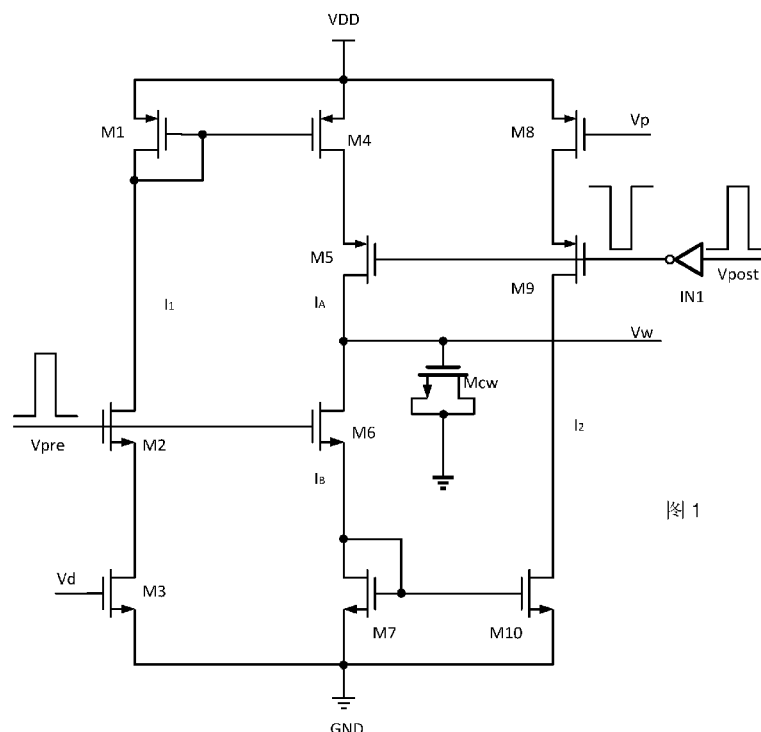
1068 号, Guangdong 518055 (CN)。孙宏伟 (SUN, Hongwei); 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。王磊 (WANG, Lei); 中国广东省深圳市南山区西丽大学城学苑大道 1068 号, Guangdong 518055 (CN)。

(74) 代理人: 北京三友知识产权代理有限公司 (BEIJING SANYOU INTELLECTUAL PROPERTY AGENCY LTD.); 中国北京市金融街 35 号国际企业大厦 A 座 16 层, Beijing 100033 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: NEURON-SYNAPSIS CIRCUIT AND NEURON CIRCUIT

(54) 发明名称: 神经元突触电路及神经元电路



(57) Abstract: A neuron-synapsis circuit and a neuron circuit, wherein the neuron-synapsis circuit comprises: a charging circuit, a discharging circuit and a MOS capacitor connected to the charging circuit and the discharging circuit respectively. Both the charging circuit and the discharging circuit are composed of a plurality of MOS devices, and access a pulse sequence generated by a pre-synaptic neuron and a pulse sequence generated by a post-synaptic neuron; the charging circuit is configured to output an analogue voltage that increases the weight of the synapsis by charging the MOS capacitor when the pulse sequence generated by the pre-synaptic neuron

LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

arrives earlier than the pulse sequence generated by the post-synaptic neuron; and the discharging circuit is configured to output an analogue voltage that decreases the weight of the synapsis by discharging the MOS capacitor when the pulse sequence generated by the pre-synaptic neuron arrives later than the pulse sequence generated by the post-synaptic neuron. The power consumption of the circuit can be reduced and the integration degree can be increased.

(57) 摘要: 一种神经元突触电路及神经元电路, 其中神经元突触电路包括: 充电电路, 放电电路, 以及分别与
所述充电电路和所述放电电路连接的MOS电容; 所述充电电路和所述放电电路均由多个MOS器件构成, 且接
入突触前神经元产生的脉冲序列和突触后神经元产生的脉冲序列; 所述充电电路被构造为在突触前神经元产生
的脉冲序列比突触后神经元产生的脉冲序列先到达时, 通过对所述MOS电容进行充电输出使突触权值增加的
模拟电压; 所述放电电路被构造为在突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列后到达时,
通过对所述MOS电容进行放电输出使突触权值减小的模拟电压。可以减少电路功耗, 并提高集成度。

神经元突触电路及神经元电路

技术领域

本发明涉及人工神经网络技术领域，尤其涉及神经元突触电路及神经元电路。

5 背景技术

人体大脑有数亿神经元，而突触数目更加庞大。因此功耗和集成度是类脑神经芯片最为关注的两个因素。类脑神经芯片无论是从计算速度，学习机制还是功耗，被科学家认为是下一代最有前景技术。由于数字存储技术已经非常成熟，其存储的权值精度高，数据可靠，技术成熟，设计规范，因此在很多方案中突触及神经元电路都是用数字方法实现的。然而，随着人工神经网络的研究深入，传统的采用数字电路实现神经网络算法的缺点越来越明显。现阶段，用以实现所需的乘法和加法运算和非线性变换所需的神经元突触电路规模庞大，功耗和体积巨大，而且在模拟神经网络中需要将突触权值在数字和模拟之间不断地转换，需要大量的 D/A 和 A/D 转换器，更是极大地增加了电路的功耗，难以适应发展的需要。

15

发明内容

本发明实施例提供一种神经元突触电路，用以减少神经元突触电路的功耗，并提高集成度，该神经元突触电路包括：

充电电路，放电电路，以及分别与所述充电电路和所述放电电路连接的 MOS 电容；

20

所述充电电路和所述放电电路均由多个 MOS 器件构成，且接入突触前神经元产生的脉冲序列和突触后神经元产生的脉冲序列；

所述充电电路被构造为在突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列先到达时，通过对所述 MOS 电容进行充电输出使突触权值增加的模拟电压；

25

所述放电电路被构造为在突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列后到达时，通过对所述 MOS 电容进行放电输出使突触权值减小的模拟电压。

本发明实施例还提供一种神经元电路，用以减少神经元电路的功耗，并提高集成度，该神经元电路包括：

突触前神经元，突触后神经元，上述的神经元突触电路，电压电流转换模块；

所述突触前神经元输出端与所述神经元突触电路第一输入端和所述电压电流转换模块第一输入端连接；所述突触后神经元输出端与所述神经元突触电路第二输入端连接；所述神经元突触电路输出端与所述电压电流转换模块第二输入端连接；所述电压电流转换模块输出端与所述突触后神经元输入端连接；

- 5 所述电压电流转换模块用于将所述神经元突触电路输出的模拟电压转换为相应的电流刺激注入到所述突触后神经元。

本发明实施例采用模拟电路实现神经元突触电路，相对于现有数字电路方式而言，结构简单、功耗低、运算速度快，能显著提高神经网络的运算效率；本发明实施例的神经元突触电路可以将突触前神经元的脉冲与突触后神经元的脉冲进行比较，实现基于脉冲时间依赖可塑性（Spike-Timing-Dependent Plasticity, STDP）的神经传导学习机制。

10 本发明实施例的神经元电路，也因采用上述神经元突触电路，减少了电路功耗，提高了集成度。

附图说明

- 15 为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。在附图中：

图 1 为本发明实施例中神经元突触电路的具体实例图；

- 20 图 2 为本发明实施例中神经元电路的结构示意图。

具体实施方式

- 为使本发明实施例的目的、技术方案和优点更加清楚明白，下面结合附图对本发明实施例做进一步详细说明。在此，本发明的示意性实施例及其说明用于解释本发明，但并不作为对本发明的限定。
- 25

发明人考虑到，如果采用模拟电路实现神经元突触电路，则相对于现有数字电路方式，结构简单、功耗低、运算速度快，能显著提高神经网络的运算效率。因此，在本发明实施例中将模拟突触电路作为模拟神经网络的基本单元之一。在本发明实施例中，同一个突触连接的两个神经元分别称为突触前神经元（Presynaptic Neuron）和突触后神经

30 元（Postsynaptic Neuron）。神经元突触电路决定着突触前神经元和突触后神经元之间的

信号传递机制，本发明实施例的神经元突触电路利用模拟电路实现突触前神经元和突触后神经元之间的 STDP 传导机制。STDP 传导机制是指：如果神经元在接收到其它神经元传递的信息之后自身产生活动，则两神经元之间的联系会加强，即突触权值会增加；如果神经元在接收到其它神经元传递信息之前自身已经产生活动，则两神经元的连接会
5 减弱，即突触权值会减小。

本发明实施例中的神经元突触电路可以包括：充电电路，放电电路，以及分别与充电电路和放电电路连接的 MOS 电容；充电电路和放电电路均由多个 MOS 器件构成，且接入突触前神经元产生的脉冲序列和突触后神经元产生的脉冲序列；充电电路被构造为在突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列先到达时，通过对 MOS
10 电容进行充电输出使突触权值增加的模拟电压；放电电路被构造为在突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列后到达时，通过对 MOS 电容进行放电输出使突触权值减小的模拟电压。

由上述实施例可知，本发明实施例的神经元突触电路可以在神经元类脑芯片中用于实现权值存储。该神经元突触电路可以将突触前神经元的脉冲序列与突触后神经元的脉冲序列进行比较，实现基于 STDP 的神经传导学习机制。该神经元突触电路采用模拟
15 MOS（Metal Oxide Semiconductor，金属氧化物半导体）器件实现。

在具体的实例中，上述多个 MOS 器件均工作在亚阈值区域，这样可以降低导通电流和工作电压，进一步减小功耗。在功耗方面，当晶体管工作在亚阈值区域，工作在该区域的晶体管工作电流小，工作电压也小，例如可以使神经元突触电路的工作电压低到
20 0.6V，极大地减小功耗。

在具体的实例中，上述 MOS 电容可以由 NMOS 器件漏极与源极短接而形成。当然，本领域技术人员容易理解，也可以根据实际需求采用其它方式形成上述 MOS 电容。

在具体的实例中，充电电路可以包括至少一对由两个 MOS 器件构成的电流镜，用于控制为 MOS 电容充电的电流大小；和/或，放电电路可以包括至少一对由两个 MOS
25 器件构成的电流镜，用于控制为 MOS 电容放电的电流大小。

下面结合图 1 的示例说明本发明实施例的神经元突触电路的具体实施。当然，本领域技术人员容易理解，图 1 所示的具体电路结构仅为实现本发明实施例神经元突触电路的一个具体实例，在具体实施时完全可以将电路中的部分或全部结构单元进行变形，例

如可以通过增加或增多晶体管来实现相同的功能，进一步的，比如对于充电电路或放电电路中的电流镜、或 MOS 电容进行结构上的重新设计，而保持电路的实现原理相同。

如图 1 所示，本例的神经元突触电路由 MOS 器件组成，其中的充电电路包括：第一 MOS 器件 M1、第二 MOS 器件 M2、第三 MOS 器件 M3、第四 MOS 器件 M4 和第五 MOS 器件 M5；放电电路包括：第六 MOS 器件 M6、第七 MOS 器件 M7、第八 MOS 器件 M8、第九 MOS 器件 M9 和第十 MOS 器件 M10；这些 MOS 器件均工作在亚阈值区域，以降低导通电流和工作电压。

其中第一 MOS 器件 M1、第四 MOS 器件 M4、第五 MOS 器件 M5、第八 MOS 器件 M8 和第九 MOS 器件 M9 为 PMOS 器件，在低电平时导通；第二 MOS 器件 M2、第三 MOS 器件 M3、第六 MOS 器件 M6、第七 MOS 器件 M7 和第十 MOS 器件 M10 为 NMOS 器件，在高电平时导通；

第一 MOS 器件 M1 源极接入输入电压 VDD，并分别连接第四 MOS 器件 M4 源极和第八 MOS 器件 M8 源极；第一 MOS 器件 M1 漏极连接第二 MOS 器件 M2 漏极，并与第一 MOS 器件 M1 栅极短接；第一 MOS 器件 M1 栅极还连接第四 MOS 器件 M4 栅极；在具体的实例中输入电压 VDD 可以采用超低压直流供电，进一步使神经元突触电路实现低功耗，高集成度等优点。例如该神经元突触电路可以在超低压（0.6V）供电的情况下，实现神经元之间的 STDP 传导机制。

第二 MOS 器件 M2 源极连接第三 MOS 器件 M3 漏极；第二 MOS 器件 M2 栅极接入突触前神经元产生的脉冲序列 V_{pre} ，并连接第六 MOS 器件 M6 栅极；

第三 MOS 器件 M3 栅极接入用于确定充电电路静态工作电流的第一电压 V_d ；第三 MOS 器件 M3 源极接地，并分别连接第七 MOS 器件 M7 源极和第十 MOS 器件 M10 源极；

第四 MOS 器件 M4 源极还连接第八 MOS 器件 M8 源极；第四 MOS 器件 M4 漏极连接第五 MOS 器件 M5 源极；

第五 MOS 器件 M5 栅极接入突触后神经元产生的脉冲序列 V_{post} ，并连接第九 MOS 器件 M9 栅极；第五 MOS 器件 M5 漏极输出模拟电压 V_w ，并分别连接第六 MOS 器件 M6 漏极和形成 MOS 电容的 NMOS 器件栅极；

第六 MOS 器件 M6 源极连接第七 MOS 器件 M7 漏极；

第七 MOS 器件 M7 漏极与第七 MOS 器件 M7 栅极短接；第七 MOS 器件 M7 栅极还连接第十 MOS 器件 M10 栅极；第七 MOS 器件 M7 源极接地，并连接第十 MOS 器件 M10 源极；

5 第八 MOS 器件 M8 源极接入输入电压 VDD；第八 MOS 器件 M8 栅极接入用于确定放电电路静态工作电流的第二电压 V_p ；第八 MOS 器件 M8 漏极连接第九 MOS 器件 M9 源极；

第九 MOS 器件 M9 漏极连接第十 MOS 器件 M10 漏极；

形成 MOS 电容的 NMOS 器件源极与漏极短接，并接地。该 MOS 电容在图 1 中被标记为 Mcw。

10 进一步的，在本例中，第五 MOS 器件 M5 栅极和第九 MOS 器件 M9 栅极还可以经一反相器 IN1 接入突触后神经元产生的脉冲序列。该反相器 IN1 将脉冲序列的低电平变成高电平，高电平变为低电平。

模拟电压 V_w 决定了突触权值的强弱， V_w 的大小由突触前神经元产生的脉冲序列和突触后神经元产生的脉冲序列的相对时间决定：当突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列先到达时（说明突触后神经元是在突触前神经元的刺激后产生的活动，二者的联系应加强），神经元突触电路中第一 MOS 器件 M1、第二 MOS 器件 M2、第三 MOS 器件 M3、第四 MOS 器件 M4 和第五 MOS 器件 M5 工作，突触前神经元产生的脉冲序列经第二 MOS 器件 M2 产生电流 I_1 经过第一 MOS 器件 M1、第四 MOS 器件 M4 和第五 MOS 器件 M5 作用后，转换为电流 I_A 对 MOS 电容 Mcw 进行充
15 电，使 V_w 升高，即突触权值增加；当突触后神经元产生的脉冲序列比突触前神经元产生的脉冲序列先到达（说明突触后神经元是在突触前神经元所传递的信息到达之前自身已经产生活动，二者的联系应减弱），此时神经元突触电路中的第六 MOS 器件 M6、第七 MOS 器件 M7、第八 MOS 器件 M8、第九 MOS 器件 M9 和第十 MOS 器件 M10 工作，突触后神经元产生的脉冲序列经过反相器 IN1 后经第九 MOS 器件 M9 产生电流 I_2 ，
20 经过第六 MOS 器件 M6、第七 MOS 器件 M7 和第十 MOS 器件 M10 作用后，转换为 I_B 对 MOS 电容 Mcw 进行放电，使 V_w 降低，即突触权值减小。

第一 MOS 器件 M1 和第四 MOS 器件 M4 是一对电流镜，控制为 Mcw 充电的电流 I_A 大小（与 I_1 呈一定比例）；同理，第七 MOS 器件 M7 和第十 MOS 器件 M10 也是一对电流镜，控制为 Mcw 放电的电流 I_B 大小（与 I_2 呈一定比例）。第一电压 V_d 和第二电压
30 V_p 分别通过第三 MOS 器件 M3 和第八 MOS 器件 M8 确定所在电路静态工作电流；突触

前神经元和突触后神经元产生的脉冲序列打开或关断第五 MOS 器件 M5 和第六 MOS 器件 M6，使得电流 I_A 和 I_B 可以流过 MOS 电容 Mcw，增加或减小模拟电压 V_w 的值。

本发明实施例还提供一种神经元电路，图 2 为本发明实施例中神经元电路的结构示意图，如图 2 所示，该神经元电路可以包括：

5 突触前神经元 201，突触后神经元 202，上述的神经元突触电路 203，电压电流转换模块 204；

突触前神经元 201 输出端与神经元突触电路 203 第一输入端和电压电流转换模块 204 第一输入端连接；突触后神经元 202 输出端与神经元突触电路 203 第二输入端连接；神经元突触电路 203 输出端与电压电流转换模块 204 第二输入端连接；电压电流转换模块 204 输出端与突触后神经元 203 输入端连接；

电压电流转换模块 204 用于将神经元突触电路 203 输出的模拟电压转换为相应的电流刺激注入到突触后神经元 202。

如图 2 所示，突触前神经元 201 和突触后神经元 202 产生的脉冲序列 V_{pre} 和 V_{post} 进入本发明实施例的神经元突触电路 203。神经元突触电路 203 将两个脉冲序列进行比较，将比较后得到的突触权值输出。输出的突触权值经过电压电流转换模块 204 后，转变为相应的电流刺激注入到突触后神经元 202，突触权值越大，电流刺激越大，对突触后神经元 203 的影响越大，说明两神经元的联系越紧密；反之则越不紧密。

综上所述，本发明实施例采用模拟电路实现神经元突触电路，相对于现有数字电路方式而言，结构简单，所用的晶体管数量少，同时用晶体管电容来存储突触权值，可以极大地减小电路所占用的芯片面积，提高集成度；且本发明实施例的神经元突触电路功耗低，运算速度快，能显著提高神经网络的运算效率；本发明实施例的神经元突触电路可以将突触前神经元的脉冲与突触后神经元的脉冲进行比较，实现基于 STDP 的神经传导学习机制。本发明实施例的神经元电路，也因采用上述神经元突触电路，减少了电路功耗，提高了集成度。

25 本领域内的技术人员应明白，本发明的实施例可提供为方法、系统、或计算机程序产品。因此，本发明可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且，本发明可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质（包括但不限于磁盘存储器、CD-ROM、光学存储器等）上实施的计算机程序产品的形式。

本发明是参照根据本发明实施例的方法、设备（系统）、和计算机程序产品的流程图和/或方框图来描述的。应理解可由计算机程序指令实现流程图和/或方框图中的每一流程和/或方框、以及流程图和/或方框图中的流程和/或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和/或方框图一个方框或多个方框中指定的功能的步骤。

以上所述的具体实施例，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施例而已，并不用于限定本发明的保护范围，凡在本发明的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权利要求书

1、一种神经元突触电路，其特征在于，包括充电电路，放电电路，以及分别与所述充电电路和所述放电电路连接的 MOS 电容；

5 所述充电电路和所述放电电路均由多个 MOS 器件构成，且接入突触前神经元产生的脉冲序列和突触后神经元产生的脉冲序列；

所述充电电路被构造为在突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列先到达时，通过对所述 MOS 电容进行充电输出使突触权值增加的模拟电压；

所述放电电路被构造为在突触前神经元产生的脉冲序列比突触后神经元产生的脉冲序列后到达时，通过对所述 MOS 电容进行放电输出使突触权值减小的模拟电压。

10 2、如权利要求 1 所述的神经元突触电路，其特征在于，所述多个 MOS 器件均工作在亚阈值区域。

3、如权利要求 1 所述的神经元突触电路，其特征在于，所述 MOS 电容是由 NMOS 器件漏极与源极短接而形成。

15 4、如权利要求 1 所述的神经元突触电路，其特征在于，所述充电电路包括至少一对由两个 MOS 器件构成的电流镜，用于控制为所述 MOS 电容充电的电流大小；和/或，所述放电电路包括至少一对由两个 MOS 器件构成的电流镜，用于控制为所述 MOS 电容放电的电流大小。

20 5、如权利要求 1 所述的神经元突触电路，其特征在于，所述充电电路包括：第一 MOS 器件 M1、第二 MOS 器件 M2、第三 MOS 器件 M3、第四 MOS 器件 M4 和第五 MOS 器件 M5；

所述放电电路包括：第六 MOS 器件 M6、第七 MOS 器件 M7、第八 MOS 器件 M8、第九 MOS 器件 M9 和第十 MOS 器件 M10；

25 其中第一 MOS 器件 M1、第四 MOS 器件 M4、第五 MOS 器件 M5、第八 MOS 器件 M8 和第九 MOS 器件 M9 为 PMOS 器件；第二 MOS 器件 M2、第三 MOS 器件 M3、第六 MOS 器件 M6、第七 MOS 器件 M7 和第十 MOS 器件 M10 为 NMOS 器件；

第一 MOS 器件 M1 源极接入输入电压 VDD，并分别连接第四 MOS 器件 M4 源极和第八 MOS 器件 M8 源极；第一 MOS 器件 M1 漏极连接第二 MOS 器件 M2 漏极，并与第一 MOS 器件 M1 栅极短接；第一 MOS 器件 M1 栅极还连接第四 MOS 器件 M4 栅极；

30 第二 MOS 器件 M2 源极连接第三 MOS 器件 M3 漏极；第二 MOS 器件 M2 栅极接入突触前神经元产生的脉冲序列，并连接第六 MOS 器件 M6 栅极；

第三 MOS 器件 M3 栅极接入用于确定充电电路静态工作电流的第一电压 V_d ；第三 MOS 器件 M3 源极接地，并分别连接第七 MOS 器件 M7 源极和第十 MOS 器件 M10 源极；

5 第四 MOS 器件 M4 源极还连接第八 MOS 器件 M8 源极；第四 MOS 器件 M4 漏极连接第五 MOS 器件 M5 源极；

第五 MOS 器件 M5 栅极接入突触后神经元产生的脉冲序列，并连接第九 MOS 器件 M9 栅极；第五 MOS 器件 M5 漏极输出模拟电压 V_w ，并分别连接第六 MOS 器件 M6 漏极和形成 MOS 电容的 NMOS 器件栅极；

第六 MOS 器件 M6 源极连接第七 MOS 器件 M7 漏极；

10 第七 MOS 器件 M7 漏极与第七 MOS 器件 M7 栅极短接；第七 MOS 器件 M7 栅极还连接第十 MOS 器件 M10 栅极；第七 MOS 器件 M7 源极接地，并连接第十 MOS 器件 M10 源极；

15 第八 MOS 器件 M8 源极接入输入电压 V_{DD} ；第八 MOS 器件 M8 栅极接入用于确定放电电路静态工作电流的第二电压 V_p ；第八 MOS 器件 M8 漏极连接第九 MOS 器件 M9 源极；

第九 MOS 器件 M9 漏极连接第十 MOS 器件 M10 漏极；

形成 MOS 电容的 NMOS 器件源极与漏极短接，并接地。

6、如权利要求 5 所述的神经元突触电路，其特征在于，第五 MOS 器件 M5 栅极和第九 MOS 器件 M9 栅极经一反相器 IN1 接入突触后神经元产生的脉冲序列。

20 7、一种神经元电路，其特征在于，包括：

突触前神经元，突触后神经元，权利要求 1 所述的神经元突触电路，电压电流转换模块；

25 所述突触前神经元输出端与所述神经元突触电路第一输入端和所述电压电流转换模块第一输入端连接；所述突触后神经元输出端与所述神经元突触电路第二输入端连接；所述神经元突触电路输出端与所述电压电流转换模块第二输入端连接；所述电压电流转换模块输出端与所述突触后神经元输入端连接；

所述电压电流转换模块用于将所述神经元突触电路输出的模拟电压转换为相应的电流刺激注入到所述突触后神经元。

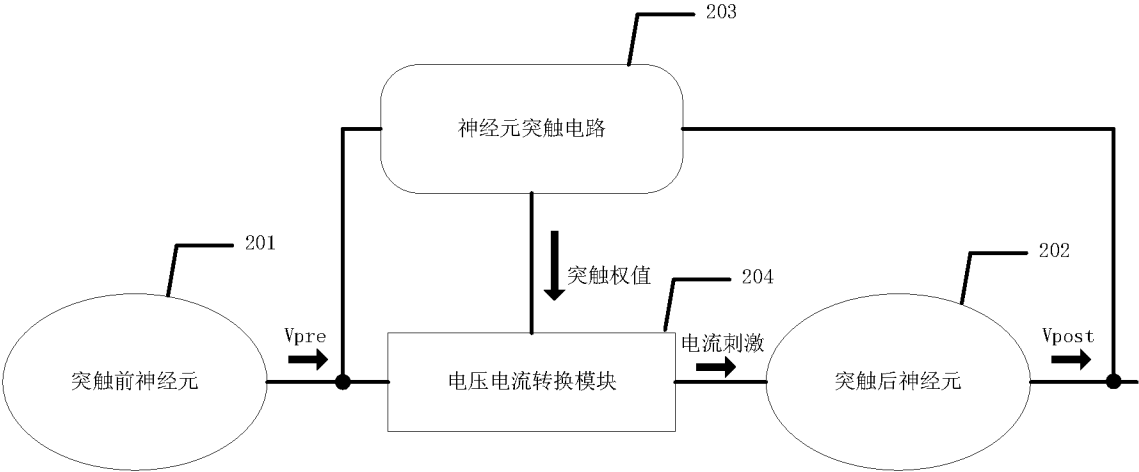


图 2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN202016/101982

A. CLASSIFICATION OF SUBJECT MATTER

G06N 3/06 (2006.01) i; G06N 3/063 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNPAT; CNKI: 中国科学院深圳先进技术, 脉冲, 权重, 突触, 可塑性, 电容, 神经, mos 电容, 充, 放, discharg+, stdp, synaptic weight, capacitor?, synapse, neuron

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E	CN 206147705 U (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY, CHINESE ACADEMY OF SCIENCES), 03 May 2017 (03.05.2017), claims 1-7	1-7
E	CN 106447033 A (SHENZHEN INSTITUTES OF ADVANCED TECHNOLOGY, CHINESE ACADEMY OF SCIENCES), 22 February 2017 (22.02.2017), claims 1-7	1-7
A	US 5615305 A (HUGHES MISSILE SYSTEMS COMPANY), 25 March 1997 (25.03.1997), entire document	1-7
A	US 2016267379 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION), 15 September 2016 (15.09.2016), description, paragraphs [0050]-[0055], and figures 2-4	1-7

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 04 July 2017	Date of mailing of the international search report 18 July 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer TENG, Mu Telephone No. (86-10) 62413148

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN202016/101982

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 206147705 U	03 May 2017	None	
CN 106447033 A	22 February 2017	None	
US 5615305 A	25 March 1997	None	
US 2016267379 A1	15 September 2016	WO 2016146468 A1	22 September 2016
		US 2016267378 A1	15 September 2016

国际检索报告

国际申请号

PCT/CN2016/101982

A. 主题的分类 G06N 3/06(2006.01)i; G06N 3/063(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G06N 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) WPI; EPODOC; CNPAT; CNKI; 中国科学院深圳先进技术研究院, 脉冲, 权重, 突触, 可塑性, 电容, 神经, mos电容, 充, 放, discharg+, stdp, synaptic weight, capacitor?, synapse, neuron																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>E</td> <td>CN 206147705 U (中国科学院深圳先进技术研究院) 2017年 5月 3日 (2017 - 05 - 03) 权利要求1-7</td> <td>1-7</td> </tr> <tr> <td>E</td> <td>CN 106447033 A (中国科学院深圳先进技术研究院) 2017年 2月 22日 (2017 - 02 - 22) 权利要求1-7</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>US 5615305 A (HUGHES MISSILE SYSTEMS COMPANY) 1997年 3月 25日 (1997 - 03 - 25) 全文</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>US 2016267379 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2016年 9月 15日 (2016 - 09 - 15) 说明书[0050]-[0055]段, 附图2-4</td> <td>1-7</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	E	CN 206147705 U (中国科学院深圳先进技术研究院) 2017年 5月 3日 (2017 - 05 - 03) 权利要求1-7	1-7	E	CN 106447033 A (中国科学院深圳先进技术研究院) 2017年 2月 22日 (2017 - 02 - 22) 权利要求1-7	1-7	A	US 5615305 A (HUGHES MISSILE SYSTEMS COMPANY) 1997年 3月 25日 (1997 - 03 - 25) 全文	1-7	A	US 2016267379 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2016年 9月 15日 (2016 - 09 - 15) 说明书[0050]-[0055]段, 附图2-4	1-7
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
E	CN 206147705 U (中国科学院深圳先进技术研究院) 2017年 5月 3日 (2017 - 05 - 03) 权利要求1-7	1-7															
E	CN 106447033 A (中国科学院深圳先进技术研究院) 2017年 2月 22日 (2017 - 02 - 22) 权利要求1-7	1-7															
A	US 5615305 A (HUGHES MISSILE SYSTEMS COMPANY) 1997年 3月 25日 (1997 - 03 - 25) 全文	1-7															
A	US 2016267379 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2016年 9月 15日 (2016 - 09 - 15) 说明书[0050]-[0055]段, 附图2-4	1-7															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2017年 7月 4日		国际检索报告邮寄日期 2017年 7月 18日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 滕牧 电话号码 (86-10)62413148															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/101982

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	206147705	U	2017年 5月 3日	无			
CN	106447033	A	2017年 2月 22日	无			
US	5615305	A	1997年 3月 25日	无			
US	2016267379	A1	2016年 9月 15日	WO	2016146468	A1	2016年 9月 22日
				US	2016267378	A1	2016年 9月 15日