



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0021405  
(43) 공개일자 2014년02월20일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 29/788 (2006.01)

(21) 출원번호 10-2012-0087910

(22) 출원일자 2012년08월10일

심사청구일자 2012년08월10일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교)

(72) 발명자

장진

서울 동대문구 경희대로 26, (회기동, 경희대학교)

석만주

서울 동대문구 경희대로 26, (회기동, 경희대학교)

(74) 대리인

최관락, 송인호, 민영준

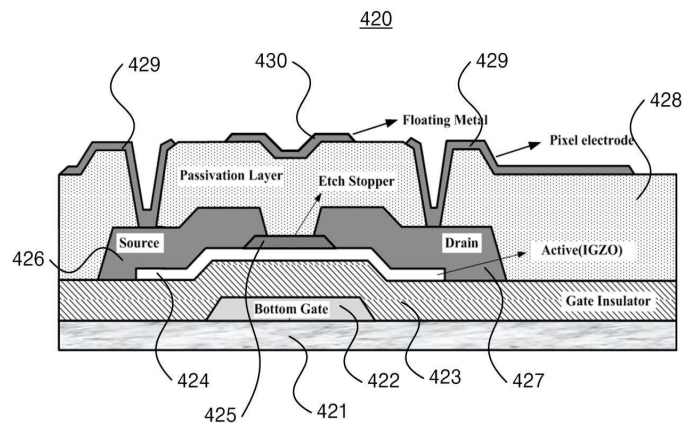
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 디스플레이 소자의 구동회로에 사용되는 인버터 및 이에 포함되는 로드 트랜지스터

### (57) 요약

디스플레이 소자의 구동회로에 사용되는 인버터 및 이에 포함되는 로드 트랜지스터가 개시된다. 개시된 기판; 상기 기판 위에 위치하는 게이트 전극; 상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극; 및 상기 소스 전극/드레인 전극 위에 위치하는 플로팅 전극;을 포함하되, 상기 게이트 전극과 상기 플로팅 전극은 동일 축 상에 위치한다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

|        |                             |
|--------|-----------------------------|
| 과제고유번호 | 10035225                    |
| 부처명    | 지식경제부                       |
| 연구사업명  | 전자정보디바이스 산업원천기술개발사업(반도체)    |
| 연구과제명  | 고품위 plastic AMOLED 원천 기술 개발 |
| 기 여 율  | 1/1                         |
| 주관기관   | 서울대학교 산학협력단                 |
| 연구기간   | 2010.03.01 ~ 2015.02.28     |

---

## 특허청구의 범위

### 청구항 1

디스플레이 소자의 구동회로에 사용되는 인버터에 포함된 로드 트랜지스터에 있어서,  
 기판;  
 상기 기판 위에 위치하는 게이트 전극;  
 상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극; 및  
 상기 소스 전극/드레인 전극 위에 위치하는 플로팅 전극;을 포함하되,  
 상기 게이트 전극과 상기 플로팅 전극은 동일 축 상에 위치하는 것을 특징으로 하는 로드 트랜지스터.

### 청구항 2

제1항에 있어서,  
 상기 플로팅 전극으로는 전압이 인가되지 않는 것을 특징으로 하는 로드 트랜지스터.

### 청구항 3

제1항에 있어서,  
 상기 플로팅 전극의 너비는 상기 게이트 전극의 너비와 동일하고, 상기 플로팅 전극의 길이는 상기 게이트 전극의 길이보다 작은 것을 특징으로 하는 로드 트랜지스터.

### 청구항 4

제1항에 있어서,  
 상기 로드 트랜지스터는  
 상기 게이트 전극과 상기 소스 전극/드레인 전극 사이에 위치하는 게이트 절연막;  
 상기 게이트 절연막과 상기 소스 전극/드레인 전극 사이에 위치하는 산화물 반도체층; 및  
 상기 소스 전극/드레인 전극과 상기 플로팅 전극 사이에 위치하는 보호층;을 더 포함하는 것을 특징으로 하는 로드 트랜지스터.

### 청구항 5

제4항에 있어서,  
 상기 산화물 반도체층을 구성하는 물질은 인듐(In)을 포함하는 것을 특징으로 하는 로드 트랜지스터.

### 청구항 6

제1항에 있어서,  
 상기 소스 전극과 상기 드레인 전극은 수평 방향으로 위치하되,  
 상기 로드 트랜지스터는 적어도 일부가 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 에치 스톱퍼를 더 포함하는 것을 특징으로 하는 로드 트랜지스터.

### 청구항 7

제6항에 있어서,  
 평면도 상에서 상기 플로팅 전극은 상기 소스 전극과 상기 드레인 전극의 일부와 오버랩되는 것을 특징으로 하는 로드 트랜지스터.

## 청구항 8

디스플레이 소자의 구동회로에 사용되는 인버터에 있어서,

구동 트랜지스터; 및

상기 구동 트랜지스터와 직렬 연결되는 로드 트랜지스터를 포함하되,

상기 로드 트랜지스터는 기판; 상기 기판 위에 위치하는 게이트 전극; 상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극; 및 상기 소스 전극/드레인 전극 위에 위치하는 플로팅 전극;을 포함하며,

상기 게이트 전극과 상기 플로팅 전극은 동일 축 상에 위치하는 것을 특징으로 하는 인버터.

## 청구항 9

제8항에 있어서,

상기 플로팅 전극의 너비는 상기 게이트 전극의 너비와 동일하고, 상기 플로팅 전극의 길이는 상기 게이트 전극의 길이보다 작은 것을 특징으로 하는 인버터.

## 명세서

### 기술분야

[0001] 본 발명의 실시예들은 디스플레이 소자의 구동회로에 사용되는 인버터 및 이에 포함되는 로드 트랜지스터에 관한 것으로서, 더욱 상세하게는 풀 스윙(Full Swing)이 가능하고 높은 이득(High Gain)을 보장할 수 있는 디스플레이 소자의 구동회로에 사용되는 인버터 및 이에 포함되는 로드 트랜지스터에 관한 것이다.

### 배경기술

[0002] 최근의 a-IGZO(Indium Gallium Zinc Oxide)를 이용한 구동소자로 구동되는 디스플레이의 개발이 빠르게 진행되고 있다. 이와 더불어, 디스플레이 소자의 구동에 기본적으로 필요한 인버터뿐만 아니라 이를 이용한 구동회로에 대해서도 상당 부분 연구가 진행되고 있다.

[0003] 그러나, a-IGZO(Indium Gallium Zinc Oxide)를 이용한 구동소자에 포함되는 인버터의 경우, a-IGZO 물질의 기본적인 특성 상 p-타입 박막 트랜지스터로의 구현이 어렵기 때문에 일반적으로 n-타입의 박막 트랜지스터로 구현된다.

[0004] 그런데, n-타입 박막 트랜지스터로 구현된 인버터의 경우, CMOS와 달리 로드 박막 트랜지스터의 문턱전압( $V_{th}$ )으로 인해 풀 스윙(Full Swing)을 구현하기 어려우며, 높은 이득(High Gain) 값을 보장하기 어렵다는 단점이 있다.

[0005] 도 1은 디스플레이 소자의 구동회로에 사용되는 종래의 n-타입 인버터의 등가회로를 도시한 도면이고, 도 2는 도 1에 도시된 종래의 n-타입 인버터에 포함된 로드 트랜지스터의 단면도를 도시한 도면이고, 도 3은 도 1에 도시된 종래의 인버터의 전압 전달 특성(VTC: Voltage Transfer Characteristics)(도 3의 (a)) 및 도 2에 도시된 종래의 로드 트랜지스터의 전류-전압 특성(I-V Characteristics)(도 3의 (b))을 도시한 도면이다.

[0006] 먼저, 도 1을 참조하면, 디스플레이 소자의 구동회로에 사용되는 종래의 인버터(100)는 구동 트랜지스터(Driving Transistor)(110) 및 로드 트랜지스터(Load Transistor)(120)를 포함한다.

[0007] 그리고, 도 2를 참조하면, 종래의 인버터(100)에 포함된 로드 트랜지스터(120)는 기판(121), 게이트 전극(122), 게이트 절연막(123), 산화물 반도체층(124), 에치 스톱퍼(125), 소스 전극(126), 드레인 전극(127), 보호층(128) 및 픽셀 전극(129)을 포함한다.

[0008] 도 3은 도 1에 도시된 종래의 인버터의 전압 전달 특성(VTC: Voltage Transfer Characteristics) 및 도 2에 도시된 종래의 로드 트랜지스터의 전류-전압 특성(I-V Characteristics)을 도시한 도면으로서, 도 3을 참조하면, 상기과 같이 구성되는 종래의 인버터(100)는 로드 트랜지스터(120)의 문턱전압( $V_{th}$ )에 의해  $V_{DD}$ 만큼 풀 스윙이 되지 않고 높은 이득이 보장되지 않으며, 이로 인해 노이즈 마진(Noise Margin)이 좋지 못한 문제점이 있었다.

## 발명의 내용

### 해결하려는 과제

- [0009] 상기한 바와 같은 종래기술의 문제점을 해결하기 위해, 본 발명에서는 풀 스윙(Full Swing)이 가능하고 높은 이득(High Gain)을 보장할 수 있는 디스플레이 소자의 구동회로에 사용되는 인버터 및 이에 포함되는 로드 트랜지스터를 제안하고자 한다.
- [0010] 본 발명의 다른 목적들은 하기의 실시예를 통해 당업자에 의해 도출될 수 있을 것이다.

### 과제의 해결 수단

- [0011] 상기한 목적을 달성하기 위해 본 발명의 바람직한 일 실시예에 따르면, 디스플레이 소자의 구동회로에 사용되는 인버터에 포함된 로드 트랜지스터에 있어서, 기판; 상기 기판 위에 위치하는 게이트 전극; 상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극; 및 상기 소스 전극/드레인 전극 위에 위치하는 플로팅 전극;을 포함하되, 상기 게이트 전극과 상기 플로팅 전극은 동일 축 상에 위치하는 것을 특징으로 하는 로드 트랜지스터가 제공된다.
- [0012] 상기 플로팅 전극으로는 전압이 인가되지 않는 것일 수 있다.
- [0013] 상기 플로팅 전극의 너비는 상기 게이트 전극의 너비와 동일하고, 상기 플로팅 전극의 길이는 상기 게이트 전극의 길이보다 작을 수 있다.
- [0014] 상기 로드 트랜지스터는 상기 게이트 전극과 상기 소스 전극/드레인 전극 사이에 위치하는 게이트 절연막; 상기 게이트 절연막과 상기 소스 전극/드레인 전극 사이에 위치하는 산화물 반도체층; 및 상기 소스 전극/드레인 전극과 상기 플로팅 전극 사이에 위치하는 보호층;을 더 포함할 수 있다.
- [0015] 상기 산화물 반도체층을 구성하는 물질은 인듐(In)을 포함할 수 있다.
- [0016] 상기 소스 전극과 상기 드레인 전극은 수평 방향으로 위치하되, 상기 로드 트랜지스터는 적어도 일부가 상기 소스 전극과 상기 드레인 전극 사이에 위치하는 에치 스톱퍼를 더 포함할 수 있다.
- [0017] 평면도 상에서 상기 플로팅 전극은 상기 소스 전극과 상기 드레인 전극의 일부와 오버랩될 수 있다.
- [0018] 또한, 본 발명의 다른 실시예에 따르면, 디스플레이 소자의 구동회로에 사용되는 인버터에 있어서, 구동 트랜지스터; 및 상기 구동 트랜지스터와 직렬 연결되는 로드 트랜지스터를 포함하되, 상기 로드 트랜지스터는 기판; 상기 기판 위에 위치하는 게이트 전극; 상기 게이트 전극 위에 위치하는 소스 전극/드레인 전극; 및 상기 소스 전극/드레인 전극 위에 위치하는 플로팅 전극;을 포함하며, 상기 게이트 전극과 상기 플로팅 전극은 동일 축 상에 위치하는 것을 특징으로 하는 인버터가 제공된다.

### 발명의 효과

- [0019] 본 발명에 따른 로드 트랜지스터 및 이를 포함하는 인버터는 풀 스윙(Full Swing)이 가능하고 높은 이득(High Gain)을 보장할 수 있는 장점이 있다.

### 도면의 간단한 설명

- [0020] 도 1은 디스플레이 소자의 구동회로에 사용되는 종래의 n-타입 인버터의 등가회로를 도시한 도면이다.
- 도 2는 도 1에 도시된 종래의 n-타입 인버터에 포함된 로드 트랜지스터의 단면도를 도시한 도면이다.
- 도 3은 도 1에 도시된 종래의 인버터의 전압 전달 특성(VTC: Voltage Transfer Characteristics) 및 도 2에 도시된 종래의 로드 트랜지스터의 전류-전압 특성(I-V Characteristics)을 도시한 도면이다.
- 도 4은 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 사용되는 인버터의 등가회로를 도시한 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 로드 트랜지스터의 단면도를 도시한 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 로드 트랜지스터의 평면도를 도시한 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 인버터의 전압 전달 특성(VTC) 및 본 발명의 일 실시예에 따른 로드 트랜지

스터의 전류-전압(I-V) 특성을 도시한 도면이다.

### 발명을 실시하기 위한 구체적인 내용

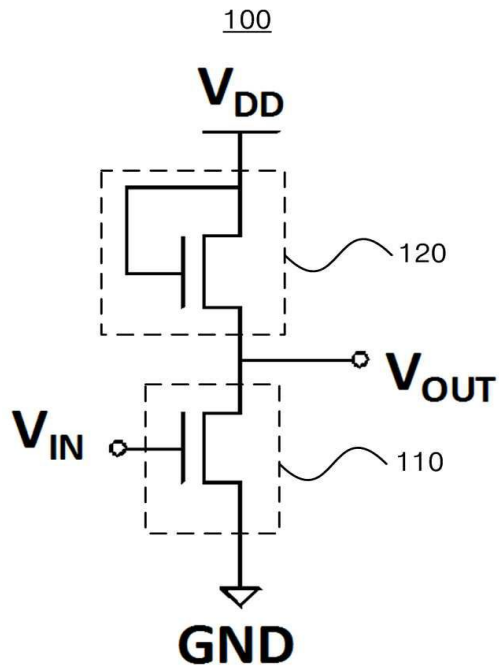
- [0021] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다.
- [0022] 이하에서, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다.
- [0023] 도 4는 본 발명의 일 실시예에 따른 디스플레이 소자의 구동회로에 사용되는 인버터의 등가회로를 도시한 도면이다.
- [0024] 도 4를 참조하면, 본 발명의 일 실시예에 따른 인버터(400)는 구동 트랜지스터(410) 및 이와 직렬 연결되는 로드 트랜지스터(420)를 포함한다.
- [0025] 여기서, 인버터(400)의 구동을 위한 바이어스 전압( $V_{DD}$ )은 로드 트랜지스터(420)의 드레인 전극으로 입력되고, 디스플레이 소자를 구동시키기 위한 입력전압( $V_{in}$ )은 구동 트랜지스터(410)의 게이트 전극으로 입력되며, 디스플레이 소자의 입력단은 구동 트랜지스터(410)의 드레인 전극 및 로드 트랜지스터(420)의 소스 전극과 연결되어 출력전압( $V_{out}$ )에 의해 구동된다.
- [0026] 본 발명의 일 실시예에 따른 로드 트랜지스터(420)는 도 4에 도시된 바와 같이 게이트 전극과 대향하여 배치되는 플로팅 전극(430)을 더 포함한다. 이와 같은 플로팅 전극(430)은 별도의 전압이 인가되지 않는 플로팅(floating) 상태에 있는 전극으로서, 인버터(400)의 풀 스윙(Full Swing) 및 높은 이득(High Gain)을 보장하기 위한 구성요소이다.
- [0027] 한편, 이와 같은 구동 트랜지스터(410) 및 로드 트랜지스터(420)는 박막 트랜지스터(TFT: Thin Film Transistor)일 수 있다.
- [0028] 이하, 도 5 내지 도 7을 참조하여 본 발명의 일 실시예에 따른 로드 트랜지스터(420)의 구성에 대해 보다 상세하게 설명하기로 한다.
- [0029] 도 5는 본 발명의 일 실시예에 따른 로드 트랜지스터(420)의 단면도를 도시한 도면이고, 도 6은 본 발명의 일 실시예에 따른 로드 트랜지스터(420)의 평면도를 도시한 도면이다.
- [0030] 도 5 및 도 6을 참조하면, 본 발명의 일 실시예에 따른 로드 트랜지스터(420)는 기판(421), 게이트 전극(422), 게이트 절연막(423), 산화물 반도체층(424), 에치 스톱퍼(425), 소스 전극(426), 드레인 전극(427), 보호층(428), 픽셀 전극(429) 및 플로팅 전극(430)을 포함한다.
- [0031] 기판(421)은 유리(glass), 플라스틱 또는 석영 재질일 수 있으며, 기판(421)의 위에는 게이트 전극(422)이 형성된다.
- [0032] 게이트 전극(Bottom Gate)(422)은 기판(421) 위에 게이트 도전막을 증착하고, 게이트 도전막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 게이트 도전막을 선택적으로 식각, 즉, 패터닝함으로써 형성될 수 있다. 게이트 전극(422)은 금속 재질일 수 있으며, 일례로, 몰리브덴(Mo)이 사용될 수 있다.
- [0033] 그리고, 게이트 전극(422)의 위에는 게이트 절연막(Gate Insulator)(423)과 산화물 반도체층(424)이 순차적으로 형성(증착 및 패터닝)된다.
- [0034] 본 발명의 일 실시예에 따르면, 게이트 절연막(423)은 실리콘 산화물(일례로,  $SiO_2$ )일 수 있다.
- [0035] 또한, 본 발명의 일 실시예에 따르면, 산화물 반도체층(424)을 구성하는 물질은 인듐(In)을 포함할 수 있다. 일례로서, 산화물 반도체층(424)을 구성하는 물질은 비정질 IGZO(amorphous Indium Gallium Zinc Oxide)를 포함할 수 있다.
- [0036] 이러한 산화물 반도체층(424)은 게이트 전극(422)의 상부 지점(일례로, 동일 축 상의 지점)에 형성될 수 있으며, 도 6에 도시된 바와 같이 산화물 반도체층(424)의 길이는 게이트 전극(422)보다 작고 산화물 반도체층(424)의 길이는 게이트 전극(422)보다 클 수 있다.

- [0037] 계속하여, 산화물 반도체층(424)의 위에는 에치 스토퍼(Etch Stopper)(425)가 형성된다. 이 때, 에치 스토퍼(350)를 구성하는 물질은 실리콘 산화물(일례로,  $\text{SiO}_2$ )일 수 있다.
- [0038] 이와 같은 에치 스토퍼(425)는 게이트 전극(422)의 상부 지점(일례로, 동일 축 상의 지점)에 형성될 수 있으며, 도 6에 도시된 바와 같이 에치 스토퍼(425)의 길이 및 너비는 게이트 전극(422)의 길이 및 너비보다 작을 수 있다.
- [0039] 그리고, 에치 스토퍼(425)의 상부에는 소스 전극(426) 및 드레인 전극(427)이 서로 수평한 방향으로 형성된다. 따라서, 도 5 및 도 6에 도시된 바와 같이 에치 스토퍼(425)의 일부는 소스 전극(426)과 드레인 전극(427)의 사이, 즉, 채널 부분에 위치하게 된다. 소스 전극(426) 및 드레인 전극(427)은 금속 재질일 수 있으며, 일례로, 몰리브덴(Mo)이 사용될 수 있다.
- [0040] 다음으로, 소스 전극(426) 및 드레인 전극(427)의 위에는 보호층(Passivation Layer)(428)이 형성된다. 보호층(428)을 구성하는 물질은 실리콘 산화물(일례로,  $\text{SiO}_2$ )일 수 있다.
- [0041] 그리고, 보호층(428)의 위에는 픽셀 전극(429) 및 플로팅 전극(430)이 형성된다.
- [0042] 픽셀 전극(429)은 소스 전극(426) 및 드레인 전극(427)과 각각 전기적으로 연결되며, 소스 전극(426) 및 드레인 전극(427)을 로드 트랜지스터(420) 외부의 다른 구성 요소와 전기적으로 연결시키는 역할을 수행한다. 픽셀 전극(429) 역시 금속 재질, 일례로 몰리브덴(Mo)이 사용될 수 있다.
- [0043] 그리고, 플로팅 전극(430)은 전압이 인가되지 않는 플로팅 상태에 있는 금속 재질(일례로, 몰리브덴(Mo))의 전극을 의미한다. 이러한 플로팅 전극(430)은 게이트 전극(422)의 상부 지점(일례로, 동일 축 상의 상부 지점)과 대응되는 보호층(428)의 위에 위치한다. 따라서, 게이트 전극(422)의 상부 지점에는 에치 스토퍼(425) 및 플로팅 전극(430)이 순차적으로 위치한다.
- [0044] 본 발명의 실시예에 따르면, 플로팅 전극(430)의 너비는 게이트 전극(422)의 너비(A)와 동일할 수 있다(도 6에서는 평면도 상에서 게이트 전극(422)과 플로팅 전극(430)이 구분될 수 있도록 하기 위해 편의상 수직 방향의 지점으로부터 하측 및 좌측으로 조금 이동한 지점에서 본 평면도를 도시하였음).
- [0045] 또한, 본 발명의 일 실시예에 따르면, 플로팅 전극(430)의 길이는 게이트 전극(422)의 길이보다 작을 수 있다.
- [0046] 일례로, 플로팅 전극(430)은 에치 스토퍼(425)의 양 끝단에서 각각 B 만큼의 길이가 더 큰 형상으로 에치 스토퍼(425)의 상부 지점에 위치할 수 있다.
- [0047] 또한, 본 발명이 일 실시예에 따르면, 도 6에 도시된 바와 같이 평면도 상에서 플로팅 전극(430)은 소스 전극(426) 및 드레인 전극(427)의 일부와 오버랩되어 위치한다. 일례로서, 소스 전극(426)/드레인 전극(427)과 플로팅 전극(430)이 오버랩되는 너비는  $5\mu\text{m}$ 일 수 있다.
- [0048] 이와 같이 보호층(429)의 위에 플로팅 전극(430)을 위치시키는 경우, 로드 트랜지스터(420)가 디플리션 모드(Depletion Mode)로 동작하게 되며, 이에 따라  $V_{\text{out}}$ 에서 로드 트랜지스터(420)에 의한 전압 감소가 발생하지 않게 되므로, 본 발명에 따른 로드 트랜지스터(420)를 포함하는 인버터(400)에서는  $V_{\text{out}}$ 에서 풀 스윙을 하게 되며 높은 이득이 보장되게 된다.
- [0049] 이하, 도 7을 참조하여, 본 발명의 일 실시예에 따른 로드 트랜지스터 및 이를 포함하는 인버터(400)의 특성을 보다 상세하게 설명한다.
- [0050] 도 7은 본 발명의 일 실시예에 따른 인버터(400)의 전압 전달 특성(VTC)(도 7의 (a)) 및 본 발명의 일 실시예에 따른 로드 트랜지스터(420)의 전류-전압(I-V) 특성을 도시한 도면이다.
- [0051] 먼저, 도 7의 (a)를 참조하면, 도 3의 (a)에 도시된 종래의 인버터의 전압 전달 특성과 비교할 때, 본 발명의 일 실시예에 따른 인버터(400)는 문턱 전압에서 풀 스윙이 가능하며, 이에 따라 높은 이득이 보장된다.
- [0052] 다음으로, 도 7의 (b)를 참조하면, 종래의 로드 트랜지스터의 전류-전압 특성과 비교할 때, 문턱 전압이 왼쪽 방향으로 이동하게 되며, 이에 따라 로드 트랜지스터(420)는 디플리션 모드로 동작하게 된다. 따라서, 로드 트랜지스터(420)의 문턱전압은 감소되며, 0V에서도 로드 트랜지스터(420)는 온(on) 상태를 유지할 수 있게 된다.
- [0053] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되

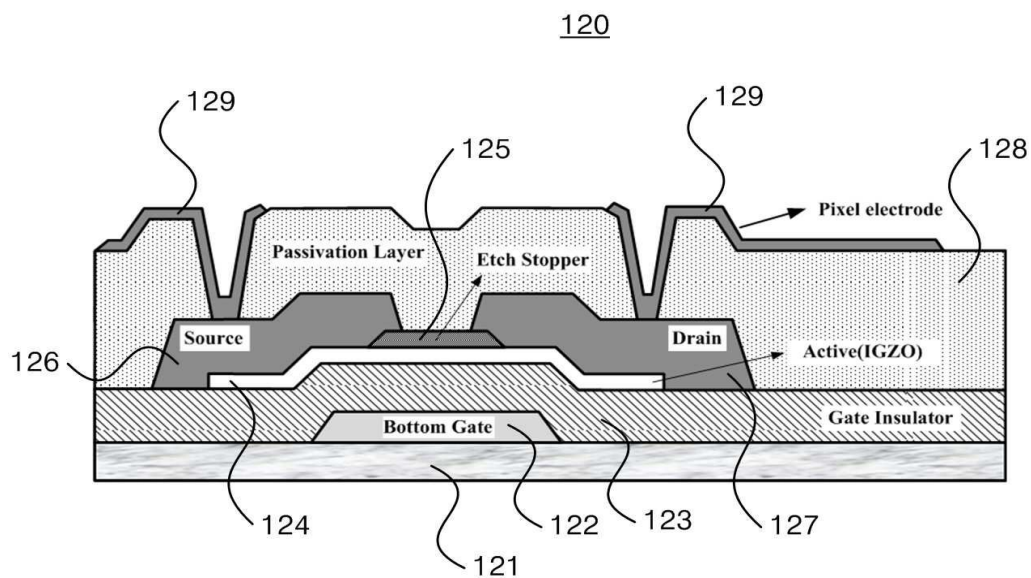
있으나 이는 본 발명의 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다. 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위 뿐만 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

## 도면

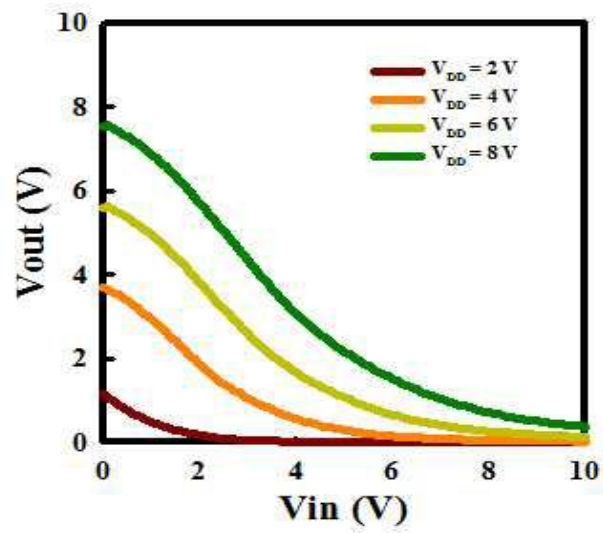
### 도면1



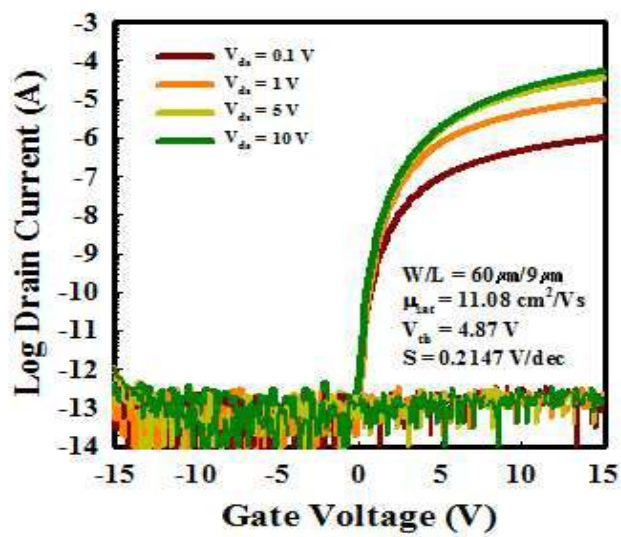
### 도면2



도면3

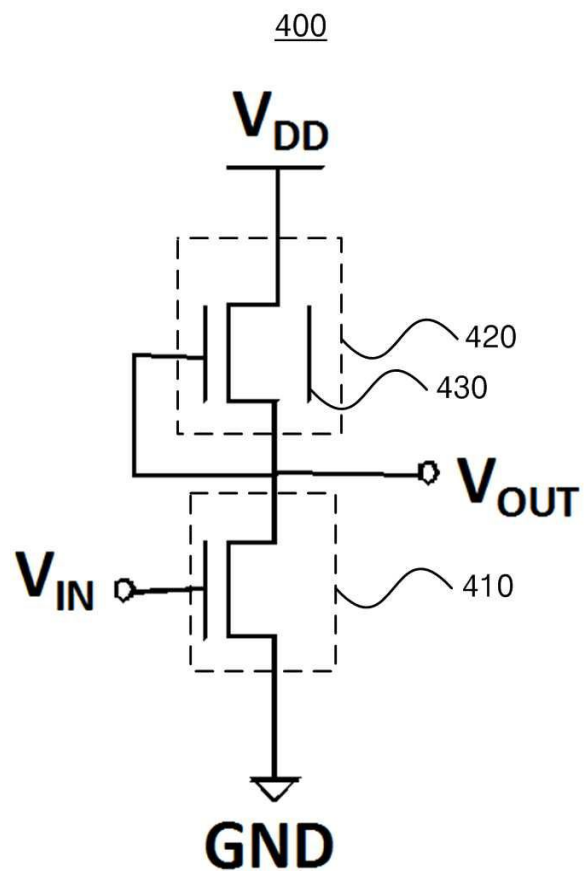


(a)

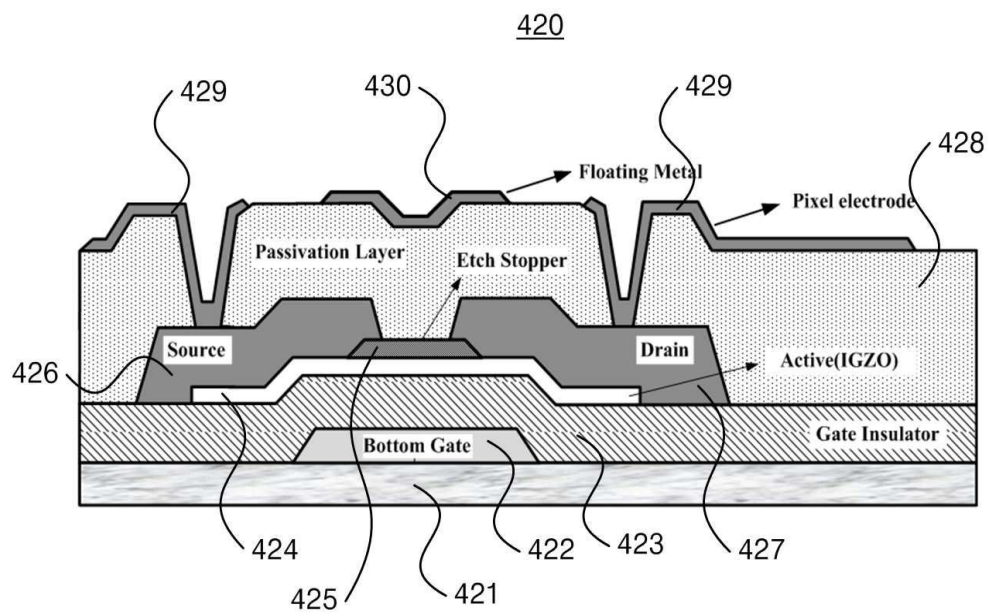


(b)

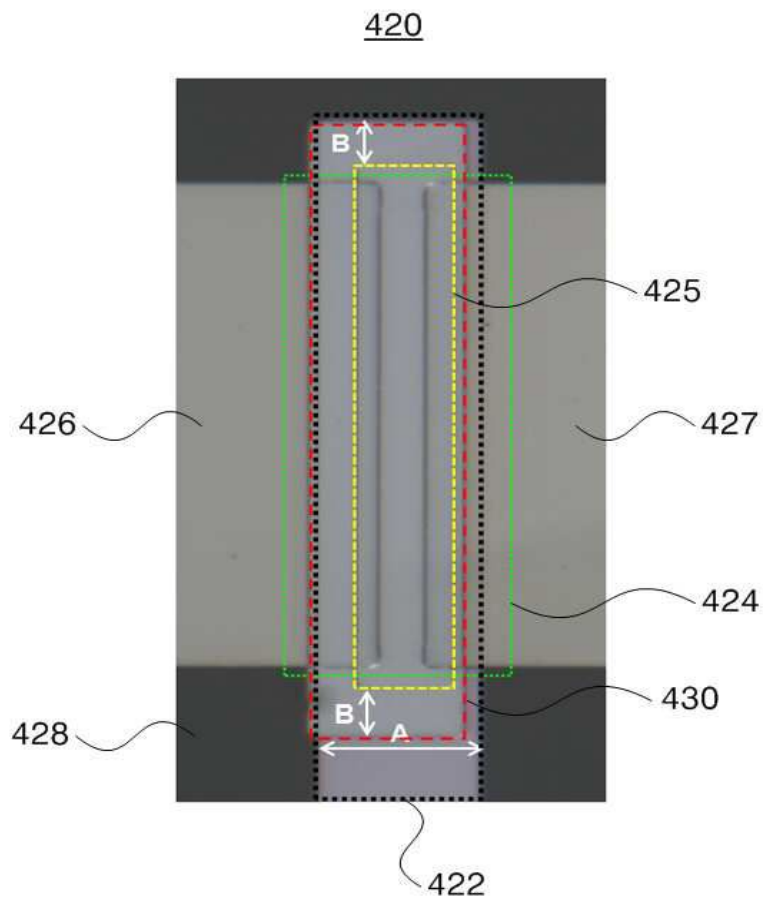
도면4



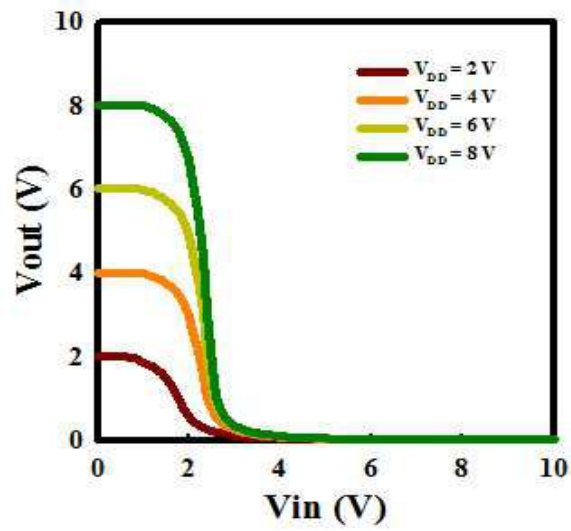
도면5



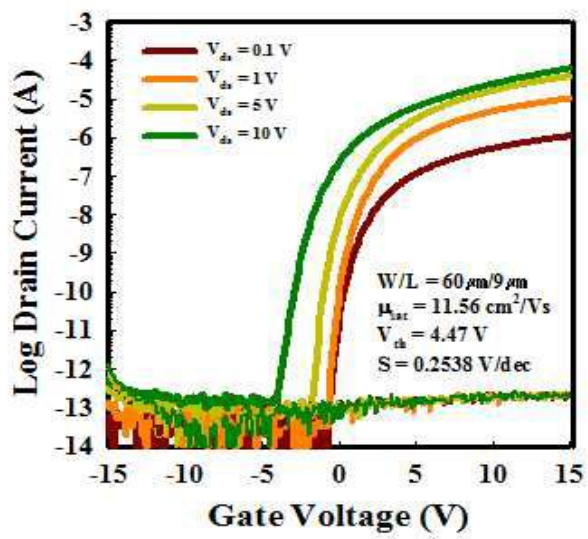
도면6



도면7



(a)



(b)