(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H01L 21/3205 (2006.01)

(45) 공고일자 2007년02월01일
(11) 등록번호 10-0676643
(24) 등록일자 2007년01월25일

(21) 출원번호 10-2001-0002872
(22) 출원일자 2001년01월18일
심사청구일자 2005년10월24일

(65) 공개번호 10-2001-0076341
(43) 공개일자 2001년08월11일

(30) 우선권주장 09/484759 2000년01월18일 미국(US)

(73) 특허권자 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자 최승무
미합중국,플로리다32835,올란도,길레스플레이스스트리트7927.

(74) 대리인 이병호
이범래

(56) 선행기술조사문헌
JP10321820 A
JP11354651 A
US5899742 A
US5955768 A
* 심사관에 의하여 인용된 문헌

심사관 : 김희주

전체 청구항 수 : 총 10 항

(54) 반도체 디바이스를 제조하는 방법

(57) 요약

반도체 디바이스를 제조하기 위한 방법에 있어서, 반도체 기판에 복수의 트랜지스터들을 형성시키는 단계와, 상기 반도체 기판위에 놓이는 제 1 유전층을 형성시키는 단계와, 제 1 트랜지스터 부분과 제 2 트랜지스터 부분을 노출시키는 제 1 개구를 형성하도록 제 1 유전층을 선택적으로 에칭하는 단계를 포함하는 반도체 제조 방법이다. 도전 재료는 제 1 트랜지스터 부분과 제 2 트랜지스터 부분 사이의 병합 접촉(merged contact)을 규정하기 위해 제 1 개구에 침착된다. 상기 방법은 병합 접촉 및 제 1 유전층 위에 놓이는 제 2 유전층을 형성하는 단계와, 병합 접촉을 노출시키는 제 2 개구를 형성하기 위해 제 2 유전층을 선택적으로 에칭하고, 자기-정렬 접촉(self-aligned contact)을 규정하기 위해 제 3 트랜지스터의 소스/드레인 영역을 노출시키는 제 3 개구를 형성하도록 제 2 및 제 1 유전층들을 선택적으로 에칭하는 단계를 포함하는 방법이다. 도전 재료는 병합 접촉과의 제 1 비어(via)를 규정하기 위해 제 2 개구에 침착되고, 도전 재료는 또한 제 3 트랜지스터의 소스/드레인 영역과의 제 2 비어를 규정하기 위해 제 3 개구에 침착된다. 자기-정렬 접촉 및 병합 접촉은 마스킹 단계들 및 마스크들의 감소된 수를 사용하여 형성된다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 디바이스를 제조하는 방법에 있어서,

반도체 기판에 복수의 트랜지스터들을 형성하는 단계,

상기 반도체 기판상에 놓이는 제 1 유전층을 형성하는 단계,

제 1 트랜지스터 부분 및 제 2 트랜지스터 부분을 노출시키는 제 1 개구(a first opening)를 형성하기 위해 상기 제 1 유전층을 선택적으로 에칭하는 단계,

상기 제 1 트랜지스터 부분과 상기 제 2 트랜지스터 부분 사이에 병합 접촉(merged contact)을 규정하기 위해 상기 제 1 개구에 도전 재료를 침착시키는 단계,

상기 제 1 유전층 및 상기 병합 접촉 상에 놓이는 제 2 유전층을 형성하는 단계,

상기 병합 접촉을 노출시키는 제 2 개구를 형성하기 위해 상기 제 2 유전층을 선택적으로 에칭하는 반면, 제 3 트랜지스터의 소스/드레인 영역를 노출시키는 제 3 개구를 형성하기 위해 상기 제 2 및 제 1 유전층들을 선택적으로 에칭하는 단계, 및

상기 병합 접촉과의 제 1 비어(first via)를 규정하기 위해 상기 제 2 개구에 도전 재료를 침착시키는 반면, 자기-정렬 접촉(self-aligned contact)을 규정하도록 상기 제 3 트랜지스터의 상기 소스/드레인 영역과의 제 2 비어를 규정하기 위해 상기 제 3 개구에 도전 재료를 침착시키는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 2.

제 1 항에 있어서,

상기 제 1 유전층을 선택적으로 에칭하는 단계는 제 4 트랜지스터 부분을 노출시키는 제 4 개구를 형성하는 단계를 더 포함하고, 상기 제 4 개구에 도전 재료를 침착시킴으로써 상기 제 4 트랜지스터 부분과의 제 1 접속을 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 방법.

청구항 3.

제 2 항에 있어서,

제 2 유전층은 상기 제 1 접속 상에도 놓이도록 형성되고, 상기 제 2 유전층을 선택적으로 에칭하는 단계는 상기 제 1 접속의 일부를 노출시키는 제 5 개구를 규정하는 단계를 더 포함하고, 도전 재료를 침착시키는 단계는 상기 제 1 접속과의 제 3 비어를 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 방법.

청구항 4.

제 1 항에 있어서,

상기 제 1 유전층은 약 500nm보다 작은 두께를 갖는, 반도체 디바이스 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 제 1 및 제 2 트랜지스터 부분들은 소스/드레인 영역과 게이트 중 적어도 하나를 포함하는, 반도체 디바이스 제조 방법.

청구항 6.

반도체 디바이스를 제조하는 방법에 있어서,

반도체 기판에 복수의 트랜지스터들을 형성하는 단계,

상기 반도체 기판상에 놓이는 제 1 유전층을 형성하는 단계,

제 1 트랜지스터 부분 및 제 2 트랜지스터 부분을 노출시키는 제 1 개구를 형성하기 위해 상기 제 1 유전층을 선택적으로 에칭하는 단계,

상기 제 1 트랜지스터 부분과 상기 제 2 트랜지스터 부분 사이에 병합 접촉을 규정하기 위해 상기 제 1 개구에 도전 재료를 침착시키는 단계,

상기 제 1 유전층 및 상기 병합 접촉 상에 놓이는 제 2 유전층을 형성하는 단계,

상기 병합 접촉을 노출시키는 제 2 개구를 형성하기 위해 상기 제 2 유전층을 선택적으로 에칭하는 단계, 및

상기 병합 접촉과의 제 1 비어를 규정하기 위해 상기 제 2 개구에 도전 재료를 침착시키는 단계를 포함하는, 반도체 디바이스 제조 방법.

청구항 7.

제 6 항에 있어서,

상기 제 2 유전층을 선택적으로 에칭하는 단계는 제 3 트랜지스터의 소스/드레인 영역을 노출시키는 제 3 개구를 형성하기 위해 상기 제 2 및 제 1 유전층들을 선택적으로 에칭하는 단계를 더 포함하고, 상기 제 2 개구에 도전 재료를 침착시키는 단계는 자기-정렬 접촉을 규정하도록 상기 제 3 트랜지스터의 상기 소스/드레인 영역과의 제 2 비어를 규정하기 위해 상기 제 3 개구에 도전 재료를 침착시키는 단계를 더 포함하는, 반도체 디바이스 제조 방법.

청구항 8.

제 6 항에 있어서,

상기 제 1 유전층을 선택적으로 에칭하는 단계는 제 4 트랜지스터 부분을 노출시키는 제 4 개구를 형성하는 단계를 더 포함하고, 상기 제 4 개구에 도전 재료를 침착시킴으로써 상기 제 4 트랜지스터 부분과의 제 1 접속을 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 방법.

청구항 9.

제 6 항에 있어서,

제 2 유전층은 상기 제 1 접속 상에도 놓이도록 형성되고, 상기 제 2 유전층을 선택적으로 에칭하는 단계는 상기 제 1 접속의 일부를 노출시키는 제 5 개구를 규정하는 단계를 더 포함하고, 도전 재료를 침착시키는 단계는 상기 제 1 접속과의 제 3 비어를 형성하는 단계를 더 포함하는, 반도체 디바이스 제조 방법.

청구항 10.

제 6 항에 있어서,

상기 제 1 및 제 2 트랜지스터 부분들은 소스/드레인 영역과 게이트 중 적어도 하나를 포함하고 상기 복수의 트랜지스터들은 SRAM내의 적어도 하나의 메모리 셀을 규정하기 위해 함께 접속되는, 반도체 디바이스 제조 방법.

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.

삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.
삭제

청구항 29.
삭제

청구항 30.
삭제

청구항 31.
삭제

청구항 32.
삭제

청구항 33.
삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 분야
본 발명은 반도체 처리 분야에 관한 것이고, 보다 상세하게는 반도체 디바이스에서 로컬 상호접속(local interconnect, LI) 및 자기-정렬 접촉(self-aligned contact, SAC)을 형성하기 위한 방법에 관한 것이다.

발명의 배경
MOSFET(metal oxide semiconductor field effect transistor; 산화막 반도체 전기장 효과 트랜지스터) 집적 회로들을 위한 감소된 칩 사이즈 및 보다 높은 디바이스 기록 밀도(packing density)를 제공하기 위해, 다수의 디자인 룰(design rule)

들이 상이한 상호 접속 층들 사이의 얼라인먼트(alignment)에러 문제들을 경감시키기 위해 개발되어 왔다. 이러한 디자인 룰들은 집적 회로들이 신뢰할 수 있게 제조될 수 있도록 마스크 얼라인먼트 및 다른 처리 변화들에 충분한 허용차(tolerance)를 제공한다.

2 개의 디자인 룰들은 자기-정렬 접촉(SAC) 및 로컬 상호접속(LI)을 형성하는 것에 관한 것이다. 이러한 디자인 룰들은 DRAM 및 SRAM 을 포함하여 메모리들에 공통적으로 사용된다. 여기 명세서에 사용된 자기-정렬 접촉은 일반적으로 인접 게이트를 오버랩(overlap)할 수 있도록 형성된 소스 또는 드레인 접촉 나타낸다. 이 오버랩은 자기-정렬 접촉이 단락(shorting)이 방지될 수 있도록 게이트와 접촉 사이에 부가적인 고립을 제공하는 방식으로 형성되기 때문에 허용가능하다. 로컬 상호 접속은 일반적으로 1 개의 트랜지스터의 게이트, 소스 또는 드레인과 동일 디바이스의 다른 트랜지스터의 게이트, 소스 또는 드레인 사이의 상호접속과 같이 반도체 디바이스 소자들 사이의 임의의 상호접속을 나타낸다.

그러나, 자기-정렬 접촉 및 로컬 상호접속은 동시에 형성될 수는 없다. 이것은 트랜지스터 게이트와 대비하여, 위에 놓이는 유전층을 통하여 트렌지스터 소스/드레인 영역까지 에칭할 때 요구되는 에칭 선택도의 차이에 주로 기인한다. 트랜지스터 소스/드레인 영역과 트랜지스터 게이트 사이의 오프셋 높이(height)는 개별적인 마스킹 단계들를 사용하는 결과로 된다. 1개의 부가적인 마스크는 자기-정렬 접촉을 위해 요구되고, 1개의 부가적인 마스크는 로컬 상호접속을 위해 요구된다. 따라서, 2개의 부가적인 마스크들 및 마스킹 스텝들은 반도체 디바이스에서 로컬 상호접속 및 자기-정렬 접촉 모두를 형성하기 위해 요구된다.

발명이 이루고자 하는 기술적 과제

발명의 요약

상술한 기술 배경으로부터 보면, 본 발명의 목적은 따라서 자기-정렬 접촉 및 로컬 상호 접촉 모두를 가지는 반도체 디바이스를 제조할 때 필요한 마스킹 단계들 및 마스크들의 수를 감소시키는 것이다.

본 발명에 따른 이러한 목적들 및 다른 목적들, 장점들 및 특징들은 반도체 디바이스를 제조하기 위한 방법에 의해 제공되고, 반도체 디바이스 제조 방법은 반도체 기판에 복수의 트랜지스터들을 형성하는 단계와, 반도체 기판위에 놓이는 제 1 유전층을 형성하는 단계와, 제 1 트랜지스터 부분 및 제 2 트랜지스터 부분을 노출시키는 제 1 개구(opening)를 형성하기 위해 제 1 유전층을 선택적으로 에칭하는 단계를 포함한다. 도전 재료는 바람직하게 제 1 트랜지스터 부분과 제 2 트랜지스터 부분 사이의 병합 접촉(merged contact)을 규정하기 위해 제 1 개구에 침착된다. 병합 접촉은 제로 윈도우 레벨(zero window level)에서 유리하게 형성되고, 후속의 처리 단계들을 위해 상대적으로 큰 랜딩 패드 영역(landing pad area)을 제공한다.

상기 방법은 바람직하게 병합 접촉 및 제 1 유전층 위에 놓이는 제 2 유전층을 형성하는 단계와, 병합 접촉을 노출시키는 제 2 개구를 형성하기 위해 제 2 유전층을 선택적으로 에칭하고, 제 3 트랜지스터의 소스/드레인 영역을 노출시키는 제 3 개구를 형성하기 위한 제 2 및 제 1 유전층들을 선택적으로 에칭하는 단계를 더 포함한다. 도전 재료는 바람직하게 병합 접촉과의 제 1 비어를 규정하기 위해 제 2 개구에 침착되고, 도전 재료는 또한 자기-정렬 접촉을 규정하기 위해 제 3 트랜지스터의 소스/드레인 영역과의 제 2 비어를 규정하기 위해 제 3 개구에 침착된다.

자기-정렬 접촉은 제로 윈도우 레벨로 병합 접촉을 형성한 후에 1개의 부가적인 마스크를 사용하여 제 1 윈도우 레벨에서 유리하게 형성된다. 여기에 사용된 병합 접촉이란 용어는 일반적으로 자기-정렬 접촉과 로컬 상호접속의 조합을 나타낸다. 제로 윈도우 레벨은 로컬 상호접속들을 형성하기 위해 주로 사용된다. 그러나, 병합 접촉은 반도체 디바이스의 필드 산화물을 횡단하지(cross over) 않기 때문에 진정한 로컬 상호접촉은 아니다.

더욱이, 병합 접촉의 두께는 에칭 처리동안 밑에 놓이는 트랜지스터들에 대한 손상을 방지하기에 충분하기 때문에, 제 3 트랜지스터의 소스/드레인 영역을 노출시키는 동안 병합 접촉을 오버 에칭(over etching)하는 것은 수용할만 하다. 자기-정렬 접촉은 따라서 병합 접촉을 형성한 후에 부가적인 마스크를 요하지 않는다. 따라서, 자기-정렬 접촉 및 로컬 상호접속 모두를 가지는 반도체 디바이스를 제조할 때 마스킹 단계들 및 마스크들의 수를 감소시킴으로써 비용의 감소가 얻어질 수 있다.

제 1 유전층은 바람직하게 제 2 유전층의 두께와 실질적으로 동일한 두께를 가진다. 보다 상세하게는, 제 1 유전층은 바람직하게 500[nm]보다 적은 두께를 가진다. 이 방법은 병합 접촉 및 제 1 유전층의 상부 표면을 평탄화하는 단계와, 상기 제 1 및 제 2 비어들과 제 2 유전층의 상부 표면을 평탄하게 하는 단계를 더 포함한다. 복수의 트랜지스터들은 SRAM내의 적어도 1개의 메모리 셀을 규정하기 위해 바람직하게 접속된다.

발명의 구성

바람직한 실시예들의 상세한 설명

본 발명은 이제 본 발명의 바람직한 실시예들이 도시된 첨부 도면을 참조하여 이후에 보다 상세하게 설명될 것이다. 그러나 본 발명은 많은 상이한 형태로 실현될 수 있고, 여기 명세서에서 제시된 실시예들에 제한되되어 구성되지는 않는다. 오히려, 이러한 실시예들은 이러한 개시가 완전하도록 제공되고, 기술분야에서 숙련된 자들에게 본 발명의 범위를 충분히 전달할 것이다. 유사한 번호들은 유사한 소자들을 참조한다.

본 발명에 따른 반도체 디바이스(20)을 제조하는 방법은 도 1내지 도 4를 참조하여 서술될 것이다. 시작(블록(80))하면, 블록(82)에서 다수의 MOSFET들이 도 1에서 도시된 바와 같이 반도체 기판(24)에 형성된다. 본 발명을 도시할 목적으로, 4개의 트랜지스터들(22A 내지 22D)가 도 1내지 도 3에서 도시되어 있다. 반도체 기판(24)는 바람직하게 실리콘을 포함하고, 얇은 트랜치 고립 영역(shallow trench isolation area)(26)은 2개의 트랜지스터들(22B 및 22C)를 분리시킨다. 기술분야에서 숙련된 자에게 쉽게 인식되고 이해되는 바와 같이, 얇은 트랜치 고립 영역(26)은, 예컨대 이산화실리콘으로 채워진다.

각 트랜지스터(22A 내지 22D)는 채널 영역(30)위에 게이트 유전층(28)을 포함하고, 유전층은 위에 놓이는 게이트(32)로부터 채널 영역(30)을 분리시킨다. 게이트(32)는 바람직하게 금속 또는 도핑된 폴리실리콘 층이다. 각 트랜지스터(22A 내지 22D)는 반도체 기판(24)에 공유된 도핑된 소스/드레인 영역들(34)를 포함한다. 기술분야에서 숙련된 자에게 쉽게 이해되는 바와 같이, 스페이서(spacer)(36 및 38)은 예컨대 질화 실리콘을 포함하고, 후속의 에칭 단계들로부터 게이트(32)를 보호한다.

여기 명세서에서 사용된 로컬 상호접속이란 용어는 일반적으로 1개의 트랜지스터의 게이트, 소스 또는 드레인과 동일한 디바이스에서 다른 트랜지스터의 게이트, 소스 또는 드레인 사이의 상호 접속과 같이 반도체 디바이스의 소자들 사이의 임의의 상호접속을 나타낸다. 여기 명세서에서 사용된 자기-정렬 접촉이란 용어는 일반적으로 인접 게이트를 오버랩할 수 있도록 형성된 소스 또는 드레인 접촉을 나타낸다. 후술되는 바와 같이, 여기 명세서에 사용되는 병합 접촉(merged contact)이란 용어는 일반적으로 자기-정렬 접촉 및 로컬 상호접촉의 조합을 나타낸다. 병합 접촉은 제로 윈도우 레벨로 규정되며, 제로 윈도우 레벨은 로컬 상호접속이 형성되는 동일한 레벨이다. 그러나, 병합 접촉은 반도체 디바이스의 필드 산화물을 횡단하지는 않아서, 진정한 로컬 상호접속이 아니며, 따라서 병합 접촉이란 용어를 사용한다.

일실시예에서, 복수의 트랜지스터들(22A 내지 22D)는 반도체 디바이스(20)가 메모리가 되도록 함께 접속된다. 기술 분야에서 숙련된 자에게 또한 쉽게 인식되는 바와 같이, 예컨대 복수의 트랜지스터들(22A 내지 22D)과 도시되지 않은 2개의 부가적인 트랜지스터들은 SRAM 내의 메로리 셀을 규정하기 위해 함께 접속된다. 그러나, 기술 분야에서 숙련된 자에게 인식되는 바와같이 본 발명에 따른 방법은 다른 형태의 메모리들 및 디바이스들에 적용가능하다.

제 1 유전층(40)은 블록(84)에서 도 2에서 가장 잘 도시되는 바와 같이 반도체 기판(24)위에 놓이도록 침착된다. 제 1 유전층(40)은 바람직하게 트랜지스터 게이트들(32)의 측벽들에 인접한 각각의 스페이서들(36 및 38)을 규정하는 실리콘 질화물을 포함하여, 트랜지스터 게이트들(32)을 덮기에 충분한 두께를 가진다. 예컨대, 제 1 유전층(40)은 약 500[nm]보다 적은 두께를 가질 수 있다.

제 1 유전층은 트랜지스터(22B)의 제 2 트랜지스터 부분 및 트랜지스터(22A)의 제 1 트랜지스터 부분을 노출시키는 제 1 개구를 형성하도록 블록(86)에서 선택적으로 에칭된다. 제 1 트랜지스터 부분은 공유 소스/드레인 영역(34)을 포함하고, 제 2 트랜지스터 부분은 게이트(32)를 포함한다. 예컨대, 기술 분야에서 숙련된 자에게 쉽게 이해될 수 있는 바와 같이, 제 2 트랜지스터(22B)의 게이트(32)는 2 개의 인접 트랜지스터 게이터들을 함께 접속하는 SRAM 내의 폴리게이트이고, 제 1 트랜지스터(22A)의 소스/드레인 영역(34)는 거기에 접속된 엑세스 트랜지스터이다.

상기 방법은 블록(88)에서 제 1 개구에 도전 재료(44)를 침착시킴으로써 제 1 및 제 2 트랜지스터 부분들(32 및 34)사이에 병합 접촉(42)를 형성하는 단계를 포함한다. 병합 접촉(42)및 제 1 유전층(40)의 상부 표면은 화학 기계 폴리싱(chemical mechanical polishing, CMP) 처리와 같은 처리에 의하여 평탄화된다.

제 2 유전층(50)은 블록(90)에서 병합 접촉(42) 및 제 1 유전층(40) 위에 형성된다. 일 실시예에서, 제 2 유전층(50)은 제 1 유전층(40)의 두께와 실질적으로 동일한 두께를 가진다. 그러나, 그 두께는 필요한다면 제 2 유전층(50)을 평탄화시키기 위해 상당히 커질수 있다.

제 2 유전층(50)은 블록(92)에서 병합 접촉(42)을 노출시키는 제 2 개구를 형성하기 위해 선택적으로 에칭되고, 또한 제 3 개구는 제 3 트랜지스터(22C)의 소스/드레인 영역(34)를 노출시킴으로서 형성된다. 도전 재료(44)는 블록(94)에서 병합 접촉(42)과의 제 1 비어(via)(62)를 형성하도록 제 2 개구에 침착되고, 도전 재료는 자기-정렬 접촉(60)을 규정하기 위해 제 3 트랜지스터(22C)의 소스/드레인 영역(34)과의 제 2 비어(64)를 형성하도록 제 3 개구에 침착된다. 제 1 및 제 2 비어들(62 및 64) 및 제 2 유전층(50)의 상부 표면은 CMP 처리와 같은 것에 의하여 평탄화된다. 반도체 디바이스(20)을 제조하기 위한 방법은 블록(96)에서 완료된다.

제 3 트랜지스터(22C)의 소스/드레인 영역(34)을 노출시키는 동안 병합 접촉(42)를 오버 에칭하는 것은 수용할만 하며, 이는 병합 접촉(42)의 두께가 에칭 처리동안 밑에 놓이는 트랜지스터(22A 및 22B)에 손상을 막기에 충분하기 때문이다. 자기-정렬 접촉(60)은 병합 접촉을 형성한 후에 부가적인 마스크를 요하지 않는다. 따라서, 비용감소는 자기-정렬 접촉 및 로컬 상호접속을 가지는 반도체 디바이스(20)을 제조할 때 마스크들의 수를 감소함으로서 얻어질 수 있다.

도 3을 참조하면, 상기 방법은 병합 접촉(42) 및 자기-정렬 접촉(60)을 형성할 때 제 3 트랜지스터(22C)의 게이트(32)에 표준 접촉을 형성하기 위한 단계들을 더 포함한다. 보다 상세하게는, 예컨대 제 1 유전층(40)을 선택적으로 에칭하는 단계는 제 4 트랜지스터 부분, 즉 게이트(32)를 노출시켜 제 4 개구를 형성하는 단계와 제 4 개구에 도전 재료(44)를 침착함으로써 제 4 트랜지스터 부분과의 제 1 접속(72)를 형성하는 단계를 더 포함한다.

상기 제 2 유전층(50)은 또한 제 1 접속(72)위에 놓인다. 제 2 유전층(50)을 선택적으로 에칭하는 단계는 제 1 접속(72)의 일부를 노출시키는 제 5 개구를 규정하는 단계를 더 포함하고, 상기 도전 재료(44)를 침착시키는 단계는 제 1 접속과의 제 3 비어(74)를 형성하는 단계를 더 포함한다. 제 1 접속(72)의 상부 표면은 제 3 비어(74)를 형성할 때 랜딩 패드(landing pad)로써 작용하도록 확장된 영역을 가진다. 유사하게, 기술 분야에서 숙련된 자에 의하여 쉽게 인식될 수 있는 바와 같이, 본 발명의 이러한 양상은 보다 관대한 포토리소그래피(photolithography) 처리를 유리하게 허용한다.

도전 재료(44)는 텅스텐을 포함하고, 제 1 및 제 2 유전층(40 및 50)은 이산화 실리콘을 포함한다. 그러나, 기술 분야에서 숙련된 자가 쉽게 인식할 수 있는 바와 같이 유전층들의 다른 형태들 및 다른 금속들이 사용될 수 있다.

본 발명의 다른 실시예들 및 많은 변형들은 상술한 설명과 관련 도면에서 제시된 가르침의 이점을 가지는 것으로 기술분야에서 숙련된 자에게 생각될 것이다. 따라서, 본 발명은 개시된 특정 실시예들에 제한되는 것은 아니고, 변형들 및 실시예들은 첨부된 청구범위의 범위내에 포함되는 것으로 이해되어야 한다.

발명의 효과

본 발명에 따라, 자기-정렬 접촉 및 로컬 상호 접촉 모두를 가지는 반도체 디바이스를 제조할 때 필요한 마스킹 단계들 및 마스크들의 수가 감소된다.

도면의 간단한 설명

도 1 내지 도 3은 본 발명에 따른 처리 단계들을 도시하는 반도체 디바이스의 단면도.

도 4는 본 발명에 따른 반도체 디바이스를 제조하기 위한 방법을 도시하는 플로우차트.

* 도면의 주요부분에 대한 부호의 설명

20 : 반도체 디바이스 22A, 22B, 22C : 트랜지스터

24 : 기판 32 : 게이트

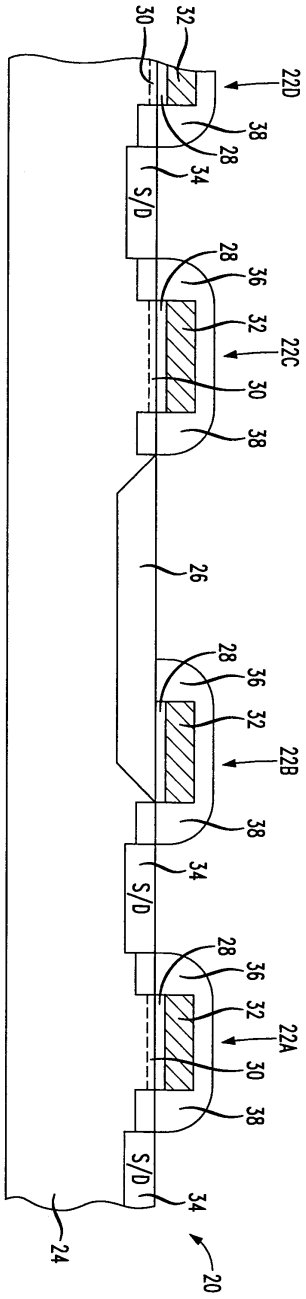
36, 38 : 스페이서 44 : 도전 재료

삭제

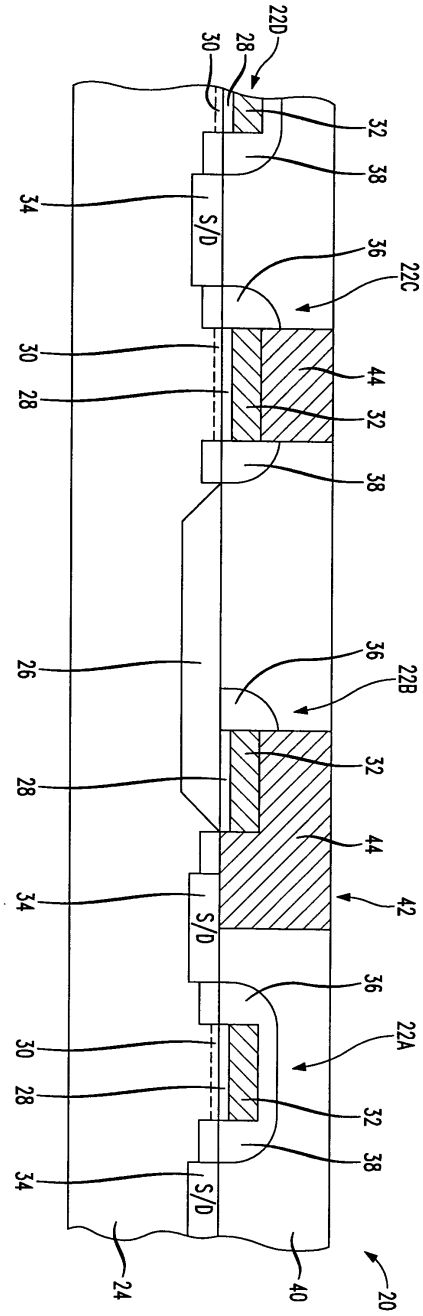
삭제

도면

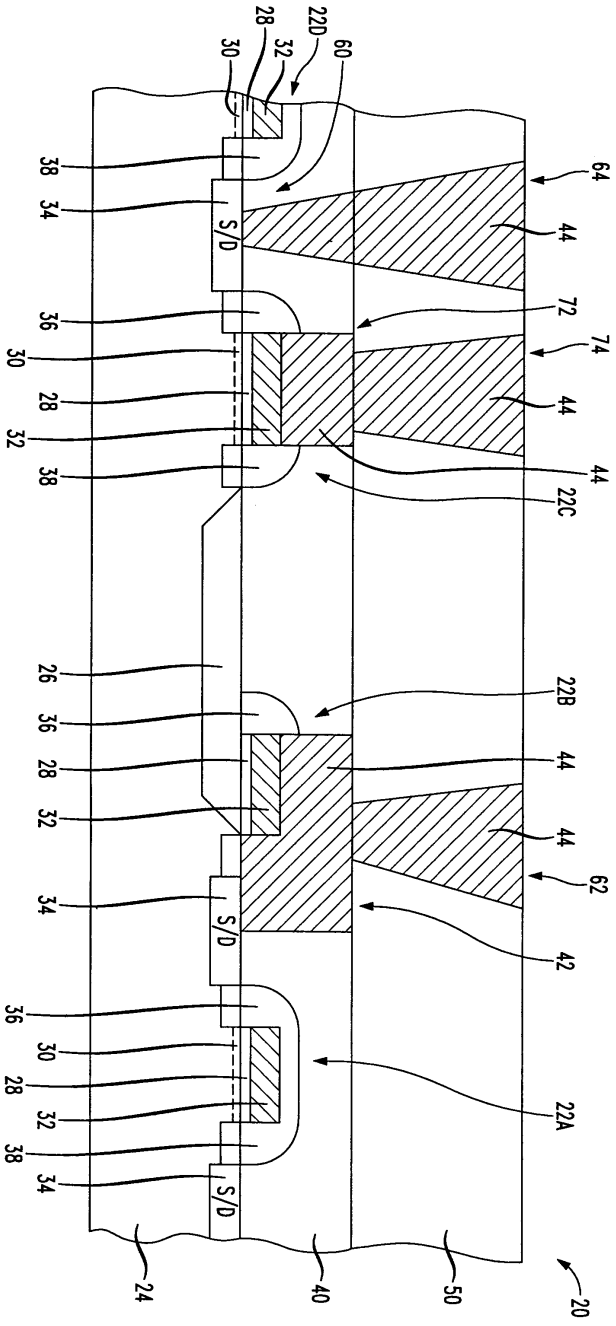
도면1


30
32
22D
38
28
34
S/D
28
36
32
22C
30
38
26
28
36
32
22B
38
34
S/D
28
36
32
22A
30
38
S/D
34
24
20

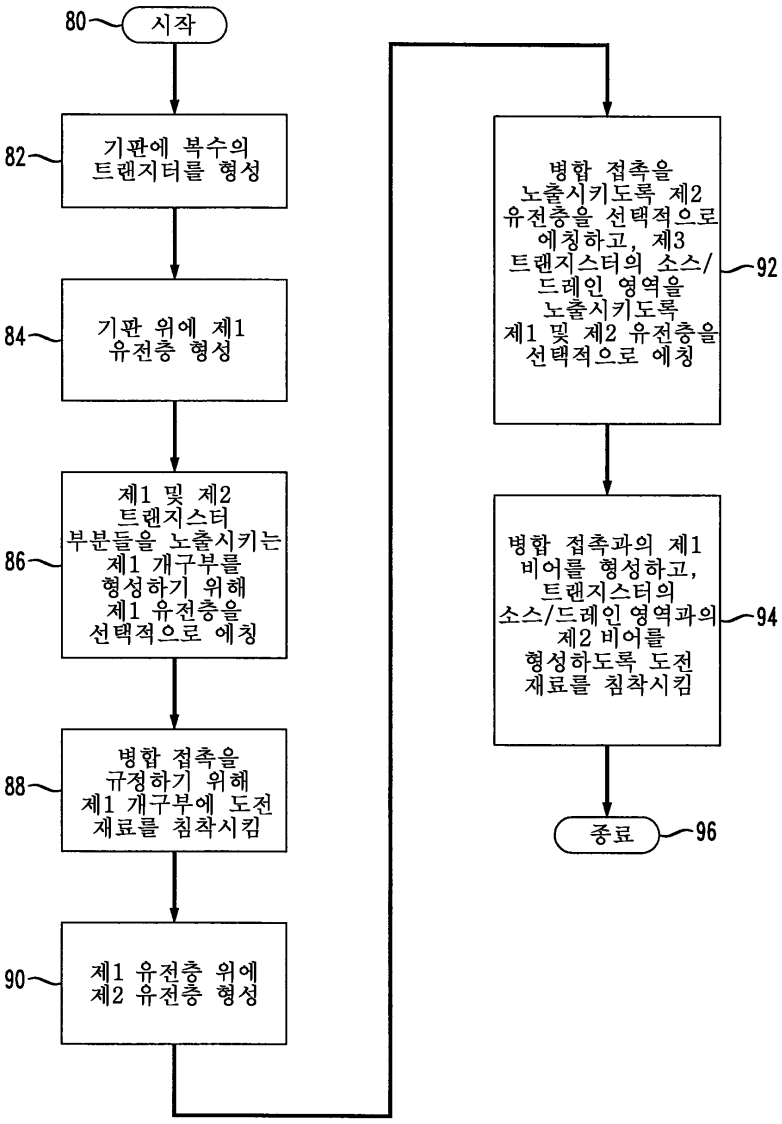
도면2


22D
30
28
32
38
34
S/D
36
22C
30
28
44
32
38
26
36
22B
28
32
44
34
S/D
42
36
22A
30
28
32
38
34
S/D
24
40
20

도면3


28
22D
60
30
32
64
38
34
S/D
44
72
36
74
30
28
44
32
38
44
22C
26
22B
36
28
44
32
44
62
34
S/D
42
36
30
28
32
22A
38
34
S/D
24
40
50
20

도면4


80
시작
82
기판에 복수의 트랜지터를 형성
84
기판 위에 제1 유전층 형성
86
제1 및 제2 트랜지스터 부분들을 노출시키는 제1 개구부를 형성하기 위해 제1 유전층을 선택적으로 에칭
88
병합 접촉을 규정하기 위해 제1 개구부에 도전 재료를 침착시킴
90
제1 유전층 위에 제2 유전층 형성
92
병합 접촉을 노출시키도록 제2 유전층을 선택적으로 에칭하고, 제3 트랜지스터의 소스/드레인 영역을 노출시키도록 제1 및 제2 유전층을 선택적으로 에칭
94
병합 접촉과의 제1 비어를 형성하고, 트랜지스터의 소스/드레인 영역과의 제2 비어를 형성하도록 도전 재료를 침착시킴
96
종료