



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201218762 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：100133081

(22)申請日：中華民國 100 (2011) 年 09 月 14 日

(51)Int. Cl. : *H04N5/335 (2011.01)*

H03M1/12 (2006.01)

(30)優先權：2010/10/01 日本

2010-224235

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：西原利幸 NISHIHARA, TOSHIYUKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：13 項 圖式數：17 共 80 頁

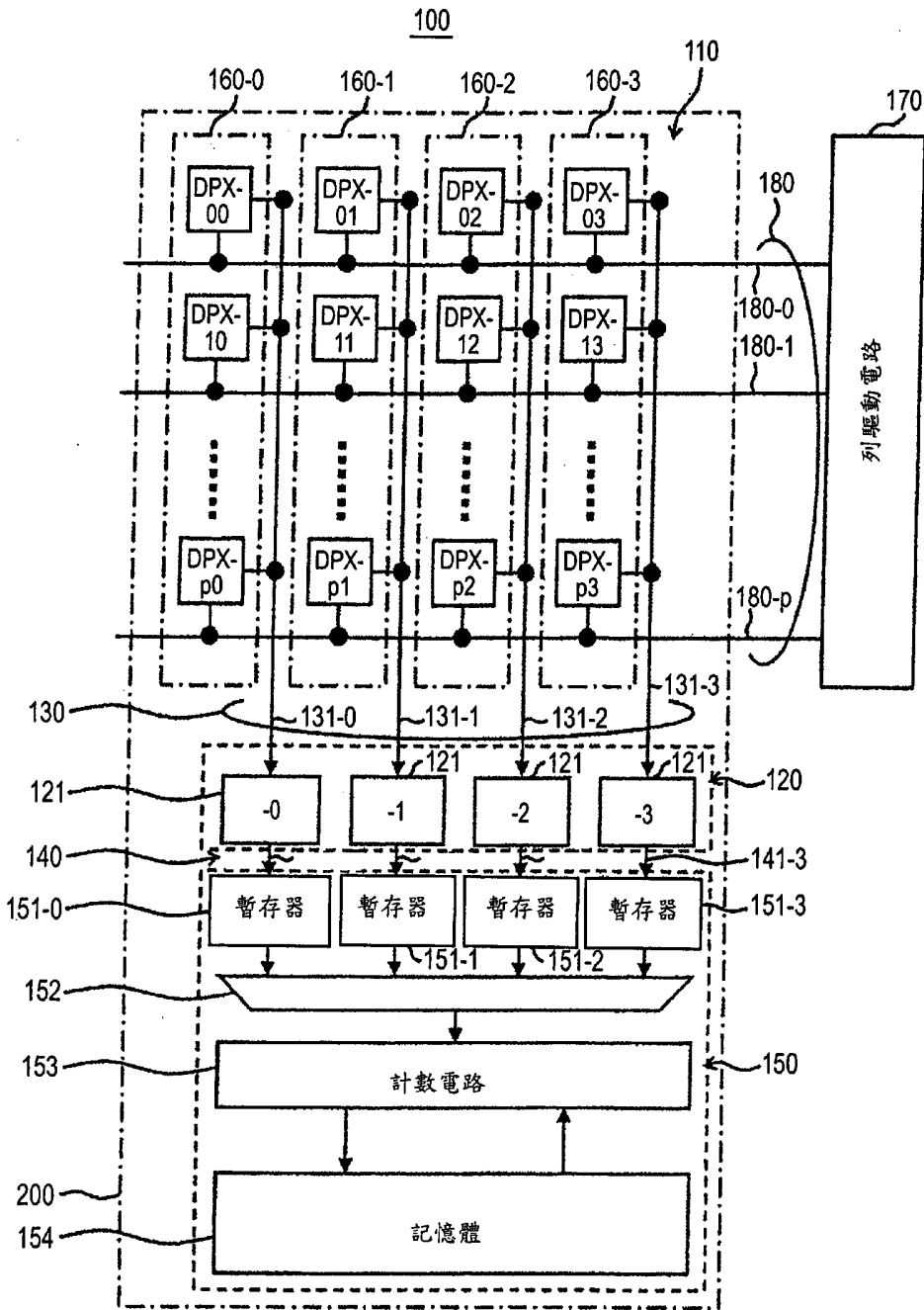
(54)名稱

成像裝置及相機系統

IMAGING DEVICE AND CAMERA SYSTEM

(57)摘要

本發明提供一種成像裝置，該成像裝置包含：一像素陣列區段，其用作一光接收區段，該像素陣列區段包含光電轉換裝置並且在該像素陣列區段中將複數個像素安置成一陣列，該複數個像素在光子入射時輸出電信號；一感測電路區段，在該感測電路區段中排列複數個感測電路，該複數個感測電路接收來自該等像素之電信號並在一預判定週期中執行關於該等像素上是否存在光子之一入射之二進位判定；及一判定結果積分電路區段，其具有對各自像素或對每一像素群組積分該等感測電路之複數個判定結果之一功能，其中該判定結果積分電路區段藉由執行光子計數而導出該光接收區段上光子入射數量以積分該複數個像素中之該複數個判定結果。



- 100：互補金屬氧化物半導體影像感測器
- 110：像素陣列區段
- 120：感測電路區段
- 121-0：感測電路
- 121-1：感測電路
- 121-2：感測電路
- 121-3：感測電路
- 130：輸出信號線群組
- 131-0：輸出信號線
- 131-1：輸出信號線
- 131-2：輸出信號線
- 131-3：輸出信號線
- 140：傳送線群組
- 141-0：傳送線
- 141-1：傳送線
- 141-2：傳送線
- 141-3：傳送線
- 150：判定結果積分電路區段
- 151-0：暫存器
- 151-1：暫存器
- 151-2：暫存器
- 151-3：暫存器
- 152：選擇電路
- 153：計數電路
- 154：記憶體
- 160-0：像素區塊
- 160-1：像素區塊
- 160-2：像素區塊
- 160-3：像素區塊
- 170：列驅動電路
- 180：列控制線群組
- 180-p：列控制線群
- 180-1：列控制線群
- 180-2：列控制線群
- 200：電路區塊
- DPX-00：像素

TW 201218762 A1

DPX-01 : 像素

DPX-02 : 像素

DPX-03 : 像素

DPX-10 : 像素

DPX-11 : 像素

DPX-12 : 像素

DPX-13 : 像素

DPX-p0 : 像素

DPX-p1 : 像素

DPX-p2 : 像素

DPX-p3 : 像素



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201218762 A1

(43)公開日：中華民國 101 (2012) 年 05 月 01 日

(21)申請案號：100133081

(22)申請日：中華民國 100 (2011) 年 09 月 14 日

(51)Int. Cl. : *H04N5/335 (2011.01)*

H03M1/12 (2006.01)

(30)優先權：2010/10/01 日本

2010-224235

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)

日本

(72)發明人：西原利幸 NISHIHARA, TOSHIYUKI (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：13 項 圖式數：17 共 80 頁

(54)名稱

成像裝置及相機系統

IMAGING DEVICE AND CAMERA SYSTEM

(57)摘要

本發明提供一種成像裝置，該成像裝置包含：一像素陣列區段，其用作一光接收區段，該像素陣列區段包含光電轉換裝置並且在該像素陣列區段中將複數個像素安置成一陣列，該複數個像素在光子入射時輸出電信號；一感測電路區段，在該感測電路區段中排列複數個感測電路，該複數個感測電路接收來自該等像素之電信號並在一預判定週期中執行關於該等像素上是否存在光子之一入射之二進位判定；及一判定結果積分電路區段，其具有對各自像素或對每一像素群組積分該等感測電路之複數個判定結果之一功能，其中該判定結果積分電路區段藉由執行光子計數而導出該光接收區段上光子入射數量以積分該複數個像素中之該複數個判定結果。

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種成像裝置(諸如一互補金屬氧化物半導體(CMOS)影像感測器)及一種相機系統。

【先前技術】

近年來，自主體發射之小型發光或螢光之量測或成像在醫學或生物技術領域中日益變得活躍。

在醫學或保全領域中，已產業化一種將經透射通過主體之少量X射線透過一閃爍體轉換為可見光子並偵測該等可見光子以執行一透射成像之技術。此外，在醫學或保全領域中，一種將自注入於人體中之少量輻射材料產生之 γ 射線透過一閃爍體轉換為光子之技術(例如，一SPECT或一PET)。

在此一領域中之成像中，一光子計數器係用於一極少量之光。

通常，一光子計數器係使用一雪崩二極體或一光電倍增管之一單一裝置。

此光子計數器藉由將入射在該光接收表面上之光子轉換為光電子、用一高電壓加速該等光電子及憑藉碰撞產生次級電子使該等光電倍增管在輸出處產生一電壓脈衝。

藉由總是連接至該裝置之一計數器裝置量測脈衝之數目。

雖然該光子計數器具有允許以一光子為單位之偵測之高量測精確度，但是該系統係昂貴的且量測之動態範圍亦係

狹窄的。

通常，可藉由一光子計數器量測之光子之數目係一秒鐘約1百萬至10百萬。

另一方面，對於待量測之一相對較大量之光之一範圍中之成像，使用一光電二極體及一類比轉數位(AD)轉換器。

該光電二極體累積經光電轉換之電極電荷並輸出一類比信號。此類比信號藉由該AD轉換器轉換為一數位信號。

此成像中之問題在於一類比信號之傳輸及該AD轉換器之轉換速率產生之雜訊。

為偵測少量光，必須抑制雜訊且亦增加AD轉換中之位元之數目以精細地縮減。然而，為此必需一極高速AD轉換器。此外，若此使得具有大量像素以改良成像之解析度，則用於AD轉換之系統大小顯著增加。

【發明內容】

基本上，低雜訊且高精確度光學偵測及一大的動態範圍兩者皆為少量之光之成像所必需。

然而，並不存在滿足該兩個需求之任何裝置。

舉例而言，為減小在X射線成像中之曝光量，必需等效於一光子計數器位準之精確度。然而，在一正規光子計數器中，不可能獲得足以成像之一動態範圍。

此外，必需大量像素以改良解析度。然而，在此情況中，包含一計數器裝置之系統極為昂貴。

另一方面，JP-A-1995-67043提出一種使用分時之新的光子技術方法。

此係為藉由在一固定週期中執行關於一光電二極體上是否存在一光子之一入射之二進位判定並積分藉由多次重複二進位判定獲得之結果而獲取二維成像資料。

即，每固定週期感測來自一光電二極體之一信號，且若該週期入射之光子之數目為1或更大，則無論入射光子之數目為何，亦對連接至每一像素之一計數器加1。

若光子入射之頻率在時間軸上係隨機的，則光子入射之實際數目與計數之數目之間之關係遵循一泊松分布(Poisson distribution)。因此，若入射頻率為低，則該關係變成一近似線性關係，且若該入射頻率為高，則可執行均勻校正。

然而，根據JP-A-1995-67043中揭示之技術，一像素之孔徑面積大幅減小，此係因為每一像素必需一感測電路及一計數器。

JP-A-2004-193675提出一種組態，其中在一像素陣列外部安置計數器，同時採用上文描述之分時計數方法。然而，每一像素仍必需一感測電路及一記憶體。

即使該計數器係提供在該像素陣列外部，亦要對每一像素提供一計數器。因此，一晶片之電路大小必然有所增加。

而且，為增加JP-A-1995-67043或JP-A-2004-193675中揭示之組態中之成像之動態範圍，必須在時間軸上精細地縮減光子入射之一量測週期並增加像素存取速度。

因此，期望提供允許成像或光強量測即使在低照度下亦

具有低雜訊且具有一寬動態範圍之一種成像裝置及一種相機系統。

本發明之一實施例係關於一種成像裝置，該成像裝置包含：一像素陣列區段，其用作一光接收區段，該像素陣列區段包含光電轉換裝置並且在該像素陣列區段中將複數個像素被安置成一陣列，該複數個像素在光子入射時輸出電信號；一感測電路區段，在該感測電路區段中排列複數個感測電路，該複數個感測電路接收來自該等像素之電信號並在一預判定週期中執行關於該等像素上是否存在光子之一入射之二進位判定；及一判定結果積分電路區段，其具有對各自像素或對每一像素群組積分該等感測電路之複數個判定結果之一功能。該判定結果積分電路區段藉由執行光子計數而導出該光接收區段上光子入射量以積分該複數個像素中之該複數個判定結果。

本發明之另一實施例係關於一種相機系統，該相機系統包含：一成像裝置；一光學系統，其在該成像裝置上形成一主體影像；及一信號處理電路，其處理該成像裝置之一輸出影像信號。該成像裝置包含：一像素陣列區段，其用作一光接收區段，該像素陣列區段包含光電轉換裝置並且在該像素陣列區段中將複數個像素被安置成一陣列，該複數個像素在光子入射時輸出電信號；一感測電路區段，在該感測電路區段中排列複數個感測電路，該複數個感測電路接收來自該等像素之電信號並在一預判定週期中執行關於該等像素上是否存在光子之一入射之二進位判定；及一

判定結果積分電路區段，其具有對各自像素或對每一像素群組積分該等感測電路之複數個判定結果之一功能。該判定結果積分電路區段藉由執行光子計數而導出該光接收區段上光子入射量以積分該複數個像素中之該複數個判定結果。

根據本發明之該等實施例，在未減小一像素之孔徑比率之情況下可藉由使一類比信號變得多餘而使成像或光強量測即使在一低照度下亦具有低雜訊且具有一寬動態範圍。

【實施方式】

在下文中將參考隨附圖式描述本發明之實施例。

此外，將依以下順序給定解釋。

1. 所提出實施例之一成像裝置之特徵之概述
2. 第一實施例(一成像裝置之第一例示性組態)
3. 第二實施例(一成像裝置之第二例示性組態)
4. 第三實施例(一成像裝置之應用實例)
5. 第四實施例(一成像裝置之第三例示性組態)
6. 第五實施例(一成像裝置之第四例示性組態)
7. 第六實施例(相機系統)

<1. 所提出實施例之一成像裝置之特徵之概述>

在所提出實施例中，在高速並行讀取之領域中實現作為使用光子計數之一全數位影像感測器之一成像裝置(CMOS影像感測器)之一光學組態。

首先，每一像素將一特定週期內之一光子之入射輸出作為一電信號。一感測電路在1圖框週期內多次接收結果並

基於二進位值執行判定。舉例而言，該成像裝置藉由對每一像素積分而產生灰階資料。

根據所提出實施例之成像裝置基於一基本組態而具有以下特性。

分時光子計數使所提出實施例之成像裝置無需藉由在一固定循環中將光子偵測程序改變為重複偵測來繼續監視一系統中藉由一光子之入射之一脈衝之產生。

就此而言，在所提出實施例中，首先，其中每一像素具有一分離感測電路及一分離計數器之組態並未被採用且該三個組件為階層式。

即，在所提出實施例中，鑑於分時光子計數，複數個像素共用一感測電路或複數個感測電路共用一計數電路。

舉例而言，在所提出實施例中，循環讀取共用一感測電路之複數個像素並實行曝光持續自前一讀取至當前讀取之一週期。因此，上文描述之共用並未對曝光時間產生一不利影響。

此外，亦可開始下一次曝光，同時實行判定結果之計數處理及用於將資料儲存於一記憶體上之處理。因此，雖然計數處理消耗之時間隨著複數個感測電路共用一計數器而增加，但是此增加並未對曝光時間產生一不利影響。

此外，在所提出實施例中，藉由將複數個像素之計數結果相加而擴大光子計數之動態範圍。

可藉由將不同像素之結果儲存於一記憶體之相同位址而極容易地實行共用一計數器之像素之間之相加。

此外，設定藉由將該光接收區段之全部計數結果相加而導出入射光總量之一功能。舉例而言，可藉由在一資料輸出區段附近提供一額外的加法器而容易地實現該功能設定。

此外，藉由線性或依一陣列提供作為單元像素之此等光接收裝置，可偵測極少量光並且執行具有一寬動態範圍之成像。

根據所提出實施例，採用上文描述之組態可顯著地減小光子計數必需之電路大小。因此，對一半導體成像裝置使用微型技術，可實行使用複數個像素之高效能光子計數。

藉由使用一時間方向上之多劃分及入射表面之多劃分兩者之網格總數目來判定光子計數之動態範圍，且每一網格具有一個二進位值。

網格之解析度及計數數目之動態範圍隨著半導體製造之微型技術之發展及速度之一改良而增加。

雖然僅用根據所提出實施例之一成像裝置可實現精確的光強偵測或精確的成像，但是具有一較寬動態範圍之精確的成像藉由將根據所提出實施例之該複數個成像裝置排列作為單元光接收裝置而變得可能。

因為每一光接收裝置具有一計數功能，所以在未使用一昂貴的外部裝置之情況下可容易地建置此一系統。

此外，因為每一光接收裝置執行與入射光子自身之數目直接相關之全數位計數，所以在一典型的類比成像裝置中觀察到的光接收裝置之間之靈敏度變化幾乎不存在。即，

無需光接收裝置之間之靈敏度調整。

舉例而言，若根據所提出實施例之成像裝置連同用於使用少量X射線之透射成像之一閃爍體一起使用，則可在低曝光下實行高精度及高解析度成像，且該系統之成本極低。

將在下文中詳細描述為根據具有上文特性之所提出實施例之一成像裝置之一CMOS影像感測器。

<2.第一實施例>

圖1係展示根據本發明之一第一實施例之一CMOS影像感測器(成像裝置)之組態之一實例之一圖。

[總體組態之概述]

一CMOS影像感測器100包含一像素陣列區段110、一感測電路區段120、一輸出信號線群組130、一傳送線群組140及一判定結果積分電路區段150。

如下文將描述，在該CMOS影像感測器100中，複數個像素共用一感測電路。

對應於此，該CMOS影像感測器100包含像素區塊160-0至160-3、...，該等像素區塊之各者在相同行上包含複數個像素DPX；及一選擇電路。

此外，該CMOS影像感測器100包含一系列控制線群組180及一系列驅動電路170，該列驅動電路170用於驅動該像素陣列區段110之像素DPX以將該像素DPX之一電信號輸出至一輸出信號線131。

在該像素陣列區段110中，複數個數位像素DPX在列及

行方向上被排列成一矩陣。

每一數位像素DPX具有一光電轉換裝置，且具有當一光子入射時輸出一電信號之一功能。

而且，如上所述，該等像素區塊160-0至160-3、...之各者係由相同行上之該複數個像素DPX及一選擇電路所形成。

該CMOS影像感測器100具有一電路區塊200，該電路區塊200藉由(例如)判定在一固定週期透過該輸出信號線131傳輸之一電信號之一個二進位值、對每一像素多次積分該判定結果及將複數個像素之計數結果相加而產生具有階度(gradation)之二維成像資料。

該CMOS影像感測器100藉由對複數個像素(在所提出實施例中，對以該等像素區塊160-0至160-3、...為單元之複數個像素)多次積分獲得之判定結果導出該像素陣列區段110(其係一光接收區段)上之光子入射量。

該CMOS影像感測器100藉由將複數個像素之計數結果相加而具有擴大光子計數之動態範圍之一功能。

該像素陣列區段110、該感測電路區段120及該判定結果積分電路區段150被安置在該電路區塊200中。

在該感測電路區段120中，感測電路121-0、121-1、121-2、121-3、...經排列分別對應於該像素陣列區段110之像素區塊160-0至160-3、...。

該感測電路121-0之一輸入連接至一輸出信號線131-0，形成該像素區塊160-0之全部像素DPX-00、DPX-10、...及

DPX-p0之輸出共同連接至該輸出信號線131-0。

即，該複數個像素DPX-00至DPX-p0共用該一感測電路121-0。

此外，每一像素區塊160(160-0至160-3)中之像素之數目被設定為(例如)128。在此情況中，p係0至127，且該像素區塊160-0包含像素DPX-00至DPX-1270。

該感測電路121-1之一輸入連接至一輸出信號線131-1，形成該像素區塊160-1之全部像素DPX-01、DPX-11、...及DPX-p1之輸出共同連接至該輸出信號線131-1。

即，該複數個像素DPX-01至DPX-p1共用該一感測電路121-1。

舉例而言，該像素區塊160-1包含128個像素DPX-01至DPX1271。

該感測電路121-2之一輸入連接至一輸出信號線131-2，形成該像素區塊160-2之全部像素DPX-02、DPX-12、...、DPX-p2之輸出共同連接至該輸出信號線131-2。

即，該複數個像素DPX-02至DPX-p2共用該一感測電路121-2。

舉例而言，該像素區塊160-2包含128個像素DPX-2至DPX1272。

該感測電路121-3之一輸入連接至一輸出信號線131-3，形成該像素區塊160-3之全部像素DPX-03、DPX-13、...、DPX-p3之輸出共同連接至該輸出信號線131-3。

即，該複數個像素DPX-03至DPX-p3共用該一感測電路

121-3。

舉例而言，該像素區塊160-3包含128個像素DPX-03至DPX1273。

在該感測電路區段120中，亦針對其他像素區塊(未展示)排列感測電路使其等由複數個像素共用。

該判定結果積分電路區段150具有藉由(例如)對每一像素多次積分該等感測電路121-0至121-3之判定結果及將該複數個像素之計數結果相加而產生具有階度之二維成像資料之一功能。

該判定結果積分電路區段150具有藉由對複數個像素(在所提出實施例中，對以該等像素區塊160-0至160-3、...為單元之複數個像素)多次積分獲得之判定結果導出該像素陣列區段110(其係一光接收區段)上之光子入射量之一功能。

該判定結果積分電路區段150具有暫存器151-0至151-3、一選擇電路152、一計數電路153及一記憶體154。

該等暫存器151-0至151-3保持透過傳送線141-0至141-3傳輸之對應的感測電路121-0至121-3之判定值。

該選擇電路152循序選擇該等暫存器151-0至151-3之輸出以供應保持在各自暫存器151-0至151-3中之該等判定值給該計數電路153。

該計數電路153對列選擇讀取後藉由該選擇電路152選擇之複數個像素(在此實例中為4個像素)之判定值執行計數處理並將對每一像素之計數結果儲存在該記憶體154中。

接著，該計數電路153將複數個像素之計數結果相加並將相加結果儲存在該記憶體154中。

自該記憶體154載入前一讀取時之像素資料至該計數電路153。

在該第一實施例中，該判定結果積分電路區段150包含一計數電路153，且該複數個暫存器151-0至151-3共用該計數電路153。

換言之，根據該第一實施例之CMOS影像感測器100在該複數個感測電路121-0至121-3之間共用計數電路153。

根據所提出實施例之CMOS影像感測器100經組態以具有上文描述之特性組態。

即，該CMOS影像感測器100經組態以在複數個像素之間共用一感測電路以供循環存取，使得曝光時間可得以保全且可滿足一小的像素。

此外，因為複數個感測電路共用一計數電路，所以可形成具有最佳電路大小及處理速度之CMOS影像感測器100。

該CMOS影像感測器100具有藉由將複數個像素之計數結果相加來擴大光子計數之動態範圍之一功能。

此處，將參考圖2及圖3描述由根據所提出實施例之CMOS影像感測器100之電路區塊200中之像素陣列區段110形成之一光接收區段300之光接收及光子計數之基本概念。

圖2係展示所提出實施例中之光接收區段300之一概念圖。

圖3係展示圖2中展示之光接收區段之一網格之一單元柵格上之光子入射次數之平均數與計數之平均數之間之關係之一圖。

此外，在圖2中，為簡潔之目的依一維方式表達最初為二維之光接收表面。

藉由在該光接收區段300中使用依相等距離劃分之一光接收表面310及依相等距離劃分之一時間軸t而形成三維網格MSH(在圖2中依二維方式表達)來實行光子計數。

每一網格MSH具有一個二進位值。即，該感測電路區段120判定在每一網格MSH上是否入射一或多個光子。在此情況中，舉例而言，若存在一入射，則無論入射光子之數目為何皆判定「1」，且若不存在入射，則判定「0」。在圖2中，對應於「1」之一網格區塊經顯示具有一粗框。此外，圖2中之參考數字IVT指示一光子之一入射事件。

此外，藉由該判定結果積分電路區段150計數「1」之總數目並將其儲存在該記憶體154中。

此處，假設光子經適當地入射相對於該時間軸t均勻並波動且亦經適當地入射在表面方向上均勻，則計數之總數目與入射光子之實際數目之間之關係遵循泊松分布。

圖3係展示一網格之一單元柵格CL上之光子入射次數之平均數與計數之平均數之間之關係之一圖。

如圖3中所示，入射次數實質上等於一精細光區域中之計數之數目，其中在該光區域中入射次數之平均數為0.1或更小。

此外，若入射次數之平均數為0.4或更小，則入射次數與計數之數目之間之關係近似呈線性。

即，若該網格MSH之柵格之總數目充分大於入射光子之數目，則計數值線性地反映入射光子之數目，且高精度因此係可能的。

此外，可藉由使表面方向上或時間軸t上之網格間距變窄以增加柵格之總數目來改良計數之精確度同時擴大動態範圍。

即，在半導體製造中使用高速電路技術及微型技術可改良光子量測之精確度並顯著擴大光接收區段300之動態範圍。

此外，當表面方向上之光之輸入大幅局部偏離且入射光量相對較大時以下組態有效。

可藉由將一表面方向網格劃分為由一或多個柵格區塊形成之複數個群組、對每一群組計算該等柵格CL之計數之平均數並根據泊松分佈執行校正來改良量測精確度。

替代地，亦藉由在該光接收表面310前安置一光學低通濾光器有效地緩和表面方向上之入射光子之偏差。而且，在使用一閃爍體之X射線偵測之情況中，該閃爍體自身用作一光學低通濾光器，此係因為光係自該閃爍體發射同時當一X射線入射時發生散射。

[與一數位像素相關之功能]

此處，將描述該數位像素DPX之組態之一實例。

如上所述，該數位像素(在下文中簡單地被稱為一像

素)DPX具有一光電轉換裝置並在一光子入射時輸出一電信號。

因為作為一成像裝置之CMOS影像感測器100對該像素DPX具有一重設功能及一讀取功能，所以可在任意時序處實行重設及讀取。

該重設指將該像素DPX重設為其中一光子未入射之狀態。較佳地，每一像素DPX包含該光接收表面上之一透鏡，或必要時可進一步包含該光接收表面上之一彩色濾光器。

雖然一像素之此一基本功能近似一正規像素，但是輸出無需作為一類比值之精確度或線性度。

此處，將描述一數位像素之組態之一實例。

圖4係展示所提出實施例中之一像素之電路組態之一實例之一圖。

圖4展示包含一單元像素DPX中之三個電晶體之一像素電路之一實例。

該一單元像素DPX包含一光電二極體111、一傳送電晶體112、一重設電晶體113、一放大器電晶體114、一累積節點115及一浮動擴散(FD)節點116。

該傳送電晶體112之一閘極電極連接至用作一列控制線之一傳送線181，且該重設電晶體113之一閘極電極連接至用作一列控制線之一重設線182。

該放大器電晶體114之一閘極電極連接至該FD節點116，且該放大器電晶體114之一源極電極連接至該輸出信號線

131。

在該像素DPX中，藉由光入射在該像素之一矽基板上而產生一對電子及電洞，且在該累積節點115處藉由該光電二極體111累積電子。

此等電子藉由在預判定時序處開啟該傳送電晶體112而傳輸至該FD節點116，藉此驅動該放大器電晶體114之閘極。

因此，讀取一信號電荷作為至該輸出信號線131之一信號。

該輸出信號線131可透過一恆定電流源或一電阻裝置接地以供一源極隨耦器操作，或可在讀取前被接地並接著具有一浮動狀態，使得基於該放大器電晶體114之電荷位準得以輸出。

該重設電晶體113在累積前藉由在同時開啟該光電二極體111及該傳送電晶體112時擷取該光電二極體111中累積之電子將一像素重設為一暗狀態，即，其中一光子未入射之狀態。

此一電路或一像素一操作機制與一類比像素相同，且可發生類似於該類比像素之各種變化。

然而，一數位像素依一數位方式輸出一光子之入射，同時一類比像素依一類比方式輸出複數個光子之總入射量。

因此，不同地設計該數位像素及該類比像素。

首先，在一數位像素之情況中，針對一光子之入射必須產生一充分大的電信號。

舉例而言，在具有圖4中展示之一放大器電晶體之像素電路中，較佳的是，該FD節點116(其係形成一源極隨耦器之放大器電晶體114之一輸入節點)之寄生電容被設定為儘可能小。

而且在此情況中，較佳的是，相對於一光子之入射之一輸出信號之振幅保持充分大於該放大器電晶體114之隨機雜訊之振幅。

另一方面，因為無需考慮來自與一類比像素不同之一像素之一輸出信號之線性度、精確度或操作範圍，所以與該數位電路相同之低電壓可用於(例如)一源極隨耦器之一輸入/輸出(I/O)電源。而且，一光電二極體之所累積之充電電容較佳地被設定為儘可能小。

接著，將描述根據該第一實施例之CMOS影像感測器100之總體操作之概述。

如上所述，該像素區塊160(160-0至160-3、...)包含128個數位像素DPX及一選擇電路。該選擇電路選擇該等像素之一者以實行重設或讀取。

在此實例中，根據該列驅動電路170驅動之列控制線181及182選擇該像素區塊160中之一像素。

在讀取時，將所選擇之像素上是否存在一光子之一入射以一電信號輸出至該輸出信號線131(131-0至131-3、...)，且該感測電路121(121-0至121-3)判定二進位值。

舉例而言，若光入射在所選擇之像素上，則該感測電路121(121-0至121-3)判定「1」作為一判定值，且若光並未

入射在該所選擇之像素上，則判定「0」作為一判定值，並鎖存該判定值。

首先將該感測電路121(121-0至121-3)之判定值傳輸至該暫存器151(151-0至151-3)。

由該四個像素區塊160-0至160-3共用該計數電路153，且透過該選擇電路152循序實行對由列選擇讀取之四個像素之計數處理。

此外，將對每一像素之計數結果儲存於該記憶體154中。

即，首先自該記憶體154載入在上一讀取時之像素資料至該計數電路153。

在此情況中，若「1」儲存於該暫存器151(151-0至151-3)中，則該計數電路153對該計數值加「1」，且若「0」儲存於該暫存器151(151-0至151-3)中，則該計數電路153不更新該計數值。

接著，將該計數電路153之值傳回至該記憶體154，並完成對一像素之計數處理。對四個像素循序實行此處理。

當實行此計數處理時，該像素區塊160(160-0至160-3)及該感測電路121(121-0至121-3)可並行實行下一列之讀取及判定。

舉例而言，在一圖框週期中實行1023次此數位讀取以對每一像素形成10位元灰階資料。

在此情況中，該計數電路153係10個位元，且該記憶體154係5120個位元，此係因為「 128×4 」個像素之各者具有

10位元資料。

即，該CMOS影像感測器100運作為經排列具有一獨特組態之一光子計數器。

順便提及，該計數電路153或該記憶體154之大小隨應用變化而變化。

舉例而言，當形成具有「4個像素寬×4個像素長」之一成像單元時，包含於每一成像單元中之像素資料儲存於該記憶體154之相同位址中。

接著，在該計數電路153中透過該記憶體將16個像素上之光子入射之計數值相加。

在此情況中，計數之總數目變成16倍，且該計數電路153必需14個位元。

另一方面，該記憶體154中之位址數目被設定為 $32/(1/16)$ ，且各自儲存一14位元值。因此，所需容量係448個位元。

替代地，若僅計數整個光接收表面上之光子入射之總數目，則無需提供一記憶體，此係因為該計數電路153中保持有資料。

在此情況中，在一計數器中位元數目必需對應於針對512個像素之10位元計數之19個位元。

替代地，當根據應用將一功能自全部像素之二維成像改變為加總時，對該計數電路153設定14個位元，且為「128×4」個像素製備該14位元記憶體154。此外，設定該電路區塊200之位準以滿足「4×4」加法。

對於全部像素之相加，首先較佳地藉由該電路區塊200實行該「4×4」加法以在一輸出電路中製備一分離加法器，並藉由將來自該記憶體154之複數個輸出值相加來計算總和。在此情況中，因為一輸出單元之一加法器之產出量係其中不存在先前相加之情況之1/16，所以無需高速處理。

接著，將描述該第一實施例中之像素區塊之循環存取。

圖5係用於解釋該第一實施例中之像素區塊之循環存取之一圖。

此處，為簡潔之目的展示其中由16個像素形成一像素區塊且共用一感測電路之一實例。

包含於每一像素區塊160(160-0至160-3、...)中之16個像素依一循環方式循序存取。

假設圖框速率係1/30秒且在此時間內對每一像素實行1023次讀取，則區塊處理之1循環係約32微秒。必須在此時間內完成對16個像素之讀取。

圖5中之垂直軸上之分時係經指派以對一區塊中之每一像素之存取之一時間 t ，且最大寬度係2微秒。

此外，如圖1中展示之實例，當該像素區塊160(160-0至160-3、...)包含128個像素時，每一像素之存取時間係250奈秒。

因為來自每一像素之資料讀取及資料判定係類似於一半導體記憶體之讀取之一簡單操作，所以此時間寬度中存在足夠的容許量。

在上文描述之循環存取中，對每一像素DPX循環實行重設RST及讀取RD。

在此情況中，存取時序根據每一像素而不同，但是對於全部像素而言，自該重設RST至該讀取RD之大量曝光EXP之一時間係相等的。

因為該曝光時間可藉由改變一循環之一範圍內之重設RST之時序而改變，所以可調整靈敏度而不影響其他電路操作。

舉例而言，若在每一像素DPX中之前一讀取RD(與針對讀取相同之分時)後即刻設定該重設RST，則該曝光時間變成最大，且此對應於低照度主體成像。

相反，若在讀取RD(一次讀取前之分時)前即刻設定該重設RST，則該曝光時間變成最短，且此對應於高照度主體成像。此外，若在相同分時中透過若干步驟改變該重設時序，則可更自由地選擇曝光時間。

雖然在該讀取RD後連續實行計數處理CNT，但是並行開始下一像素之讀取。

此處，舉例而言，在時間t4處讀取第4號像素，並重設第1號像素。而且，與此同時，實行第3號像素之計數處理。

在此實例中，依一分時方式串列地實行該第4號像素之讀取及該第1號像素之重設。然而，在圖4中展示於每一像素中具有一分離重設機制之一像素之情況中，可藉由驅動兩列控制線同時且並行實行該第4號像素之讀取及該第1號

像素之重設。

如上所述，根據該第一實施例之CMOS影像感測器100具有一階層式結構，在該階層式結構中，該複數個像素DPX共用該感測電路121(121-0至121-3)及該暫存器151(151-0至151-3)，且該複數個感測電路121(121-0至121-3)共用該計數電路153。

基於每一電路之存取時間與佔據面積之間之關係可最佳化每一共用速率。

此外，圖1中展示具有四個像素區塊之電路區塊200可在水平方向(行配置方向)上排列成複數個。

舉例而言，可藉由並行排列32個電路區塊200並使其等並行操作形成包含「128×128」個像素之一光接收裝置。下文估計此一光接收裝置之效能。

假設在按照每秒30個圖框下實行每一像素之10個位元之成像。

當全部像素之計數之數目相加並在一單一光子計數器中使用該結果時，按照每秒之光子之計數之總數目之最大值被計算為「128×128×1023×30」，達到5億。

即使僅使用泊松分佈之一線性區域，最大值亦為2億。若進行校正，則亦可能超出上文之計數。

而且，如上所述，此一光接收裝置可根據其應用而用於二維成像，且亦可用作於光子計數之一單一光接收裝置。

可藉由自外部重寫內部暫存器值而容易地改變操作模

式。藉由改變重設時序來改變曝光時間亦可依相同方法程式化。

而且，如上所述，所提出實施例中使用之一數位像素具有一光電轉換裝置且具有根據一光子之入射輸出一電信號之一功能。舉例而言，所提出實施例中使用之該數位像素經組態如圖4中所展示。

而且，為在讀取自數位像素讀取之資料時偏移像素之輸出變化，期望在感測時引入以下自參照功能。

即，自一像素讀取一重設狀態中之一輸出及曝光後之一信號輸出，且一感測電路對該等輸出之一者相加一偏移值並比較藉由相加該偏移值而獲得之一信號與另一信號以實行二進位判定。

圖6係展示具有一自參照功能之一感測電路之一實例之一電路圖。

圖6中展示之一感測電路121A包含開關SW121、SW122及SW123、電容器C121及C122、反相器IV121及IV122，以及一偏移信號OFFSET之一供應線L121。

該開關SW121之一終端a連接至該電容器C121之一第一終端及該電容器C122之一第一終端，且該開關SW121之一終端b連接至一終端SIG，該終端SIG連接至一輸出信號線。

該電容器C121之一第二終端連接至該反相器IV121之一輸入終端、該開關SW122之一終端a及該開關SW123之一終端a。

該電容器C122之一第二終端連接至該偏移信號OFFSET

之供應線L121。

該反相器IV121之一輸出終端連接至該反相器IV122之一輸入終端及該開關SW122之一終端b。

該反相器IV122之一輸出終端連接至該開關SW123之一終端b及一輸出終端SAOUT。

此處，將描述在圖4中之像素之實例中使用具有一自參照功能之感測電路(圖6中展示該感測電路)之一讀取操作之一實例。

圖7A至圖7F係用於解釋在圖4中之像素之實例中使用具有一自參照功能之感測電路(圖6中展示該感測電路)之讀取操作之一實例之時序圖。

圖7A展示施加於圖4中之重設線182之一重設脈衝RESET，且圖7B展示施加於圖4中之傳送線181之一讀取脈衝READ。

圖7C展示該開關SW121之一開/關(ON/OFF)狀態，圖7D展示該開關SW122之一ON/OFF狀態，圖7E展示該開關SW123之一ON/OFF狀態，且圖7F展示該偏移信號OFFSET。

首先，開啟該等開關SW121及SW122以施加該重設脈衝RESET於該像素DPX之重設線182，使得對該輸入終端SIG讀取該重設狀態中之一像素輸出。

接著，關閉該開關SW122以保持重設輸出。

接著，施加脈衝READ於該像素DPX之傳送線181，且信號輸出(該信號輸出係一曝光結果)被輸入至該終端SIG以

關閉該開關SW121。

在此週期期間，該偏移信號OFFSET輸入保持為0伏特。

接著，稍微增加該偏移信號OFFSET之位準以透過該電容器C122對該讀取信號相加一偏移電位。

接著，比較該重設狀態中之輸出與藉由給該讀取信號相加一小的偏移值而獲得之輸出。

當一光子入射在圖4中之像素上時，後一信號具有低於前一信號之一電位。因此，「0」輸出至該輸出終端SAOUT。

當一光子未入射在該像素上時，依與一光子入射在該像素上時相反之一方式將「1」輸出至該輸出終端SAOUT。

最後，開啟該開關SW123以鎖存該判定結果。

此一自參照功能使每一像素中之固定雜訊偏移(該偏移歸因於該放大器電晶體114之臨限值之一變化而發生)，使得亦可對一小信號執行精確的二進位判定。此外，在上文描述之序列中，亦偏移重設時發生之kTC雜訊。

此外，亦可在一類比信號之AD轉換時在相關雙取樣(CDS)中期望一類似效果。

在此情況中，在對二進位判定之感測中雙重讀取及判定所耗費的時間總是固定的。因此，亦可如下減小來自一像素之一放大器電晶體或該感測電路自身之熱雜訊或閃爍雜訊之影響。

即，因為在兩個讀取中通常類似地疊加一低頻率頻帶中之雜訊，所以可偏移該影響。此外，一高頻率頻帶中之雜

訊可限制一感測電路之電容負載之靈敏度。

因此，藉由在其中可準確地執行感測之範圍內將該電容負載設定儘可能大，可使有影響的雜訊之頻寬變得最窄。

在AD轉換時之相關雙重取樣中，轉換耗費之時間在許多情況中根據信號強度或位元數目而改變。出於此原因，電路必定受一寬頻帶中之雜訊影響。

在不限於上文描述之實例之情況下，電路可藉由比較對一重設信號相加一偏移值所獲得之一信號與一讀取信號實行判定。

替代地，亦可首先獲取一讀取信號，接著重設一像素以獲取一重設信號並對該等信號之任一者相加一偏移值以供比較判定。在此情況中，難以偏移該kTC雜訊，但是可偏移由像素之變化導致之固定雜訊。因此，存在一優點，該優點在於：此實質上可應用於全部像素組態。

即使應用此一自參照功能，感測電路之數目仍比一正規AD轉換器小得多。因此，無需一大的佔據面積。

而且，為實現一數位像素，使用一內部放大型光電二極體亦係一明智的選擇。

關於該內部放大型光電二極體，已知一雪崩二極體(APD)藉由憑藉一電場來加速光電轉換電子-電洞對而產生雪崩放大。

在相關技術中使用該APD之一光子計數器僅執行一像素信號之類比放大、執行脈衝輸出並藉由一外部電路偵測該脈衝輸出。在此情況中，實行近似1百萬倍之放大以用蓋

氏(Geiger)模式偵測一單一光子。因此，必需40伏特之一高電壓，且並未提供一偵測電路。出於此原因，難以實現一像素之微型化或一高速並行操作。

另一方面，應用於所提出實施例之數位像素無需蓋氏模式操作。因為在一晶片中使用一單一電路組態進行分時二進位偵測可顯著地減小偵測電路雜訊及信號負載，所以可依一線性模式用一小的增益偵測一單一光子。

而且在此情況中，可使用圖4中展示之像素電路，但是若獲得(例如)1000倍的放大，則無需一像素之一放大器電晶體。

<3. 第二實施例>

接著，將描述其中一內部放大型二極體應用於一光接收裝置之一實例作為一第二實施例。

圖8係用於解釋本發明之第二實施例之一圖，且亦係展示對應於使用一內部放大型光電二極體之第一實施例之一像素區塊之組態之一實例之一圖。

在該第二實施例中，一像素區塊160B僅包含內部放大型光電二極體111B之一群組及對應於該內部放大型光電二極體111B之傳送(選擇)電晶體112B。

即，僅藉由該內部放大型光電二極體111B及對應於該內部放大型光電二極體111B之傳送(選擇)電晶體112B形成此實例中之像素DPXB。相同列上之每一像素DPXB之傳送電晶體112B之一閘極電極連接至一共同傳送線181B。此外，每一像素區塊160B之複數個像素之傳送電晶體112B之源極

或汲極連接至該共同輸出信號線131。

此外，一重設電晶體113B連接於每一輸出信號線131與一重設電位線LVRST之間。每一重設電晶體113B之一閘極電極連接至該共同重設線182B。

在此實例中，透過該重設電晶體113B、該輸出信號線131及該傳送電晶體112B重設每一像素DPXC。

<4.第三實例>

接著，將描述使用根據該第一實例或該第二實例之成像裝置之複數個光接收裝置(光接收單元及電路區塊)之一成像設備之組態之一實例作為一第三實例。

在由一個一般CCD型或CMOS感測器型成像裝置表示之一半導體成像設備中，一CCD輸出單元之放大器電路中或連接至一CMOS感測器之各自像素之源極隨耦器電路中存在特性變化。

而且，在一個一般半導體成像設備中，此特性變化反映關於自數目個經累積之電子轉變為一類比電信號之效率之一變化。

此外，因為該AD轉換器中之轉換變化亦直接反映在信號變化上，所以各自晶片之有效靈敏度之變化極大。

因此，當藉由在一共同半導體成像設備中排列複數個成像裝置來執行大面積成像時，必須藉由調整每一晶片之增益而使靈敏度變得均勻。

另一方面，因為根據應用分時光子計數之本發明之實例之成像裝置(光接收裝置)基本上未處理一類比信號，所

以各自晶片之靈敏度變化極小。

因此，可藉由將此等成像裝置排列成一維線性形狀或二維陣列來形成一大成像表面。

舉例而言，此一成像設備可藉由在一光接收裝置前方安置一閃爍體而用於醫學或保全應用之輻射成像。此外，因為靈敏度高且雜訊量小，所以該成像設備可準確地偵測一極少量輻射。

因此，舉例而言，在醫學成像中，可藉由限制輻射量而顯著地減小對待成像之一物體之曝光量。

圖9A及圖9B係根據本發明之實施例之成像裝置應用於電腦斷層掃描(CT)成像時一成像設備之概念圖。

包圍呈一圓柱體形狀之一主體OBJ之一成像設備400包含一X射線源410及許多成像裝置420，該許多成像裝置420被安置成一陣列以面對該X射線源410並使用根據本發明之實施例之光子計數器。

該陣列表面沿該圓柱體之內壁彎曲，使得該等成像裝置面對在其等之間之相等距離處之X射線源410。

在每一成像裝置420中，一閃爍體422附接至本發明之實施例中之一光子計數器421之一光接收表面421a側，且在X射線之入射側安置一準直儀423。

自該X射線源410經透射通過該主體OBJ並接著經透射通過該準直儀423之X射線藉由該閃爍體422轉換為可見光並由該光子計數器421偵測，且導出輻射量。

該成像設備400圍繞該主體OBJ旋轉以從全部角度成像

該主體OBJ，且對所獲得之資料實行演算法處理以產生該主體OBJ之一截面透射影像。

根據本發明之實施例之成像裝置之光子計數器具有一極高動態範圍以及高靈敏度讀取且無雜訊。

此外，因為該成像裝置內部包含一計數電路，所以甚至可在高位元解析度下執行高速成像。因此，即使X射線之數量顯著減少，亦可實現精確成像，且該系統並不昂貴。

作為一類似成像系統之一實例，在醫學應用上存在一單光子射出電腦斷層掃描(SPECT)。

此使用一閃爍體來偵測 γ 射線，但一光電倍增管係用以偵測一極少量的 γ 射線。

若使用本發明之實施例中之光子計數器，則一偵測器之成本顯著減小，且無需一外部偵測電路。因此，因為偵測器數目可增加數十倍，所以可顯著改良靈敏度。

圖10係展示其中根據本發明之實施例之成像裝置(光接收裝置)排列成一維線性形狀之一線性成像設備之一實例之一圖。

根據本發明之實施例之成像裝置(光接收裝置)510經線性且交替地排列在一線性成像裝置500中。

藉由在箭頭A之一方向上移動該線性成像裝置500，可在該成像裝置(光接收裝置)510之一有效像素區域520中均勻地掃描一寬的成像表面。

對於該掃描，較佳地可依該有效像素區域520之縱軸方向(列方向)上之節距逐步移動，或可移動一主體。有效像

素區域之間之一連接部分可藉由使一些像素彼此重疊而經受平均處理。

每一成像裝置(光接收裝置)510之有效像素區域520具有其中圖1中展示之像素陣列區段之128個區塊在(例如)水平方向(行方向)上排列之一組態。即，每一成像裝置(光接收裝置)510之有效像素區域520係由「 512×128 」個實體像素形成。

此處，假設「 8×8 」個實體像素之計數值之一相加結果係一像素單元(邏輯像素)，則邏輯像素之數目為 64×16 。當每一實體像素具有10位元之一解析度時，每一邏輯像素之解析度為16位元。

若此64個成像裝置(光接收裝置)510經線性排列如圖10所示，則該線性成像裝置500中排列總共4096個16位元之邏輯像素。

此一線性成像設備可容易地實現小型成像。因此，用於醫學或保全應用之X射線成像在高精度及極高靈敏度(低雜訊)下藉由結合一閃爍體而變得可能。

因為X射線之絕對數量可減小，所以甚至在線性成像之情況中亦可抑制曝光量。此外，該系統並不昂貴。此外，可在掃描方向上之相等距離處排列複數個此等線性成像設備以縮短掃描距離。在此情況中，可進一步減小曝光量。

而且，為防止經透射通過該閃爍體之一X射線損壞該成像裝置，可將該成像裝置420放置在距離該閃爍體422之一距離處並使用(例如)如圖11中之一光纖424將該閃爍體之發

射傳輸至該成像裝置420。

在圖11中展示之實例中，在該成像裝置420之光子計數器421之光接收表面421a與該閃爍體422之一光接收單元之間安置封鎖X射線之一X射線屏蔽板425，且安置該光纖424以繞開該X射線屏蔽板425。

另一方面，對於醫學或科學領域中之量測中之輻射偵測，輻射之輻照角度可能必需作為資訊。對於此一情況中使用之一光子計數器，必需用於規定偵測時間之高時間解析度。

舉例而言，在用於醫學應用之一PET中，藉由給予一患者之一放射性材料而產生一正子，且該正子即刻與一電子結合以激發一對 γ 射線。該對 γ 射線在相反方向上發射，且藉由兩個偵測器(閃爍體)同時且並行偵測該對 γ 射線。因此，在連接兩個偵測器之直線上估計一反射性材料之存在。

一般而言，在該PET中，必須藉由在高時間解析度下實行同時偵測之判定來減小偵測時之雜訊。

圖12係展示藉由同時偵測光子估計輻射入射之方向之一實例之一示意圖。

圖12展示SPECT中之一簡單應用。

藉由垂直於自該主體OBJ發射之 γ 射線之間之閃爍體(偵測器)422之 γ 射線入射，許多光子群組同時入射在一成像裝置420之光子計數器421上。

另一方面，藉由傾斜地入射在該閃爍體(偵測器)422上

之 γ 射線，分佈在該複數個成像裝置420中之光子群組同時入射。

因此，可使用關於同時偵測到之光子之分佈來估計 γ 射線之入射方向。

通常，在該SPECT中使用一準直儀來使用關於僅垂直入射之一光子之資訊。然而，若偵測器之時間解析度為高且該等偵測器可容易地使用，則可更顯著地擴大資訊量。

即，為藉由減小此一偵測器之一偵測誤差來改良偵測精確度，用於判定光子入射之同時偵測之高時間解析度係重要的。

在下文中，將一種改良與本發明之實施例相關之光子計數器中之光子偵測之時間解析度之新技術及晶片架構描述為第三實施例及第四實施例。

<5. 第四實施例>

圖13係展示根據本發明之一第四實施例之一CMOS影像感測器(成像裝置)之組態之一實例之一圖。

與該第四實施例相關之一CMOS影像感測器(成像裝置)100C與根據圖1中展示之第一實施例之CMOS影像感測器100不同之處在於：該CMOS影像感測器(成像裝置)100C具有改良光學偵測之時間解析度之一功能。

基本上，該COMS影像感測器100C經組態使得一判定結果積分電路區段150C具有改良光學偵測之時間解析度之一功能。

該判定結果積分電路區段150C包含一感測電路區段

120、第一暫存器區段210及第二暫存器區段220、一4位元匯流排230及一輸出電路240。

該第一暫存器區段210具有4位元暫存器211-0、211-1、...，該等4位元暫存器211-0、211-1、...循序傳送對應於該像素陣列區段110之像素之行配置之感測電路121-0、121-1、...之輸出。

該第一暫存器區段210具有等效於其中保持並輸出一列之讀取資料之線路緩衝器被排列成四列之組態之一組態。

該第二暫存器區段220具有4位元暫存器221-0、221-1、...，4位元暫存器221-0、221-1、...循序傳送該第一暫存器區段210之4位元暫存器211-0、211-1、...之輸出。

該第二暫存器區段220具有等效於其中保持並輸出一列之讀取資料之線路緩衝器被排列成四列之組態之一組態。

該匯流排230傳輸該第二暫存器區段220之輸出資料至該輸出電路240。

該輸出電路240具有一計數電路241及一輸出鎖存器242。該計數電路241計數或相加透過該匯流排230傳輸之每一列為「1」之資料。

而且在該第四實施例中，該像素區塊160(160-0、160-1、...)經組態以包含如該第一實施例中之128個數位像素DPX及一選擇電路。該選擇電路選擇該等像素之一者以實行重設或讀取。

而且在該第四實施例中，根據藉由該列驅動電路170驅動之一列控制線180選擇該像素區塊中之一像素。

在讀取時，將所選擇之像素上是否存在一光子之一入射以一電信號輸出至該輸出信號線131，且該感測電路121(121-0、121-1、...)判定二進位值。

舉例而言，若光入射在所選擇之像素上，則該感測電路121(121-0、121-1、...)判定「1」作為一判定值，且若光未入射在該所選擇之像素上，則判定「0」作為一判定值，並鎖存該判定值。

接著，將該感測電路121(121-0、121-1、...)之判定值傳輸至該第一4位元暫存器區段之4位元暫存器211(211-0、211-1、...)之第一位元。因此，下一列之信號讀取及判定變得可能。

對四列持續執行此一操作。當各自列之判定值儲存於該等4位元暫存器211(211-0、211-1、...)之不同位元中時，其等被同時傳送至在下一階之該第二暫存器區段220之4位元暫存器221(221-0、221-1、...)。

接著，該第二暫存器區段220之4位元暫存器220(220-0、220-1、...)中保持之資料循序地輸出至該4位元匯流排230並接著傳輸至該輸出電路240。

在該輸出電路240安置計數電路241以計數或相加每一列為「1」之資料。在傳送四列之全部行資料項後，將每一列之相加值儲存於該輸出鎖存器242中。

另一方面，在進行上文描述之傳送操作的同時，持續實施該像素陣列區段110之讀取，且將下一個四列之判定值儲存於該第一暫存器區段210之該等4位元暫存器211(211-0、

211-1、...)中。即，至該輸出電路240資料之讀取及傳送係經管線傳送。

在此一晶片中，假設執行一列之讀取耗費250奈秒，則128行之資料傳送經執行持續1微秒。

因為一行之4位元傳送係7.8奈秒，所以用於一正規半導體電路中之資料傳送之時間係充足的。周邊電路組態極為簡單。

此外，對於來自外部之資料讀取，較佳地可獲取儲存於該輸出電路240之輸出鎖存器242中之四列之計數值持續1微秒。

因為對於該讀取而言此係一極充足時間，所以一外部系統可自許多成像裝置並行讀取資料。

該外部系統可藉由相加全部列之讀取資料而導出在最大32微秒之單位曝光時間內入射在成像裝置上之光子之總數目。

藉由持續重複此1025個循環並相加該等計數值，可獲得24位元灰階資料持續1/30秒。

此處，將參考圖14描述使用根據該第四實施例之成像裝置之光子偵測之解析度。

圖14係用於解釋使用根據該第四實施例之成像裝置之光子偵測之時間解析度之一圖。圖14展示其中根據時間消逝對每一列循序實行讀取及重設之一狀態。

在一PET或類似物中，當 γ 射線入射在一閃爍體上時，產生許多光子以待入射在對應的成像裝置上。

假設此時序係一虛線251，則僅在其中曝光時間包含此時間之列讀取(用粗斜線表達：RD)中選擇性地偵測一光子。

在此實例中，執行偵測直到列位址(列位址：7)自一光子產生後即刻讀取耗費近一巡迴，且接著資料變為零。即，若在該列位址耗費一巡迴之一週期期間持續或即刻發生1或多個列資料之一輸出，則此係光子產生。

此處，同時入射在成像裝置上之光子之總數目係持續一巡迴之列資料輸出之總相加值。此外，可估計產生時間係介於其中1或多個之一輸出首先出現之一列之讀取時間與其中1或多個之一輸出首先出現之該列之前之一列之讀取時間之間之252處。該時間解析度係一列之一讀取時間，即，250奈秒。

即，使用此方法，藉由循環執行光子偵測並使每一列之讀取時間移位，自每一列之入射數目之分佈來規定複數個光子同時入射在成像裝置上時之入射時間。在此情況中，每一列之讀取時序移位量對應於時間解析度。因此，若使移位量為小，則偵測之時間解析度經改良與其成比例。

<6.第五實施例>

圖15係展示根據本發明之一第五實施例之一CMOS影像感測器(成像裝置)之組態之一實例之一圖。

根據該第五實施例之一CMOS影像感測器(成像裝置)100D在以下方面不同於根據圖13中展示之第四實施例之CMOS影像感測器100C。

在該第四實施例中，位移量幾乎等於一列之讀取時間。而且在該第五實施例中，即使位移量減小，亦可在未改變讀取時間之情況下改良時間解析度。

在判定結果積分電路區段150D中，兩個相鄰感測電路121-0及121-1對應於該感測電路區段120D中之一列。

對應於此，該第一暫存器區段210D之兩個相鄰4位元暫存器211-0及211-1對應於一列。

此外，在第二暫存器區段220D中，8位元暫存器222-0、...經排列對應於4位元暫存器。

而且，在該第五實施例中，該像素區塊160(160-0、160-1、...)經組態以包含如該第四實施例中之128個數位像素DPX及一選擇電路。該選擇電路選擇該等像素之一者以實行重設或讀取。

而且在該第五實施例中，根據藉由該列驅動電路170驅動之列控制線群組180來選擇該像素區塊中之一像素。

此外，在該第五實施例中，針對每一行製備兩個電路以用於讀取，使得至不同電路之連接替代地製成奇數或偶數列。

舉例而言，當讀取一像素DPX00時，將所選擇之像素上是否存在一光子之一入射以一電信號輸出至該輸出信號線131-1，且藉由該感測電路121-0判定二進位值。舉例而言，若光入射在所選擇之像素上，則該感測電路121-0判定「1」作為一判定值，且若光並未入射在該所選擇之像素上，則判定「0」作為一判定值，並鎖存該判定值。接

著，將該感測電路121-0之判定值傳輸至該第一4位元暫存器區段210D之4位元暫存器211-0之第一位元。對四列持續執行此一操作。

另一方面，當讀取一像素DPX01時，將所選擇之像素上是否存在一光子之一入射以一電信號輸出至該輸出信號線123-1，且藉由該感測電路121-1判定二進位值。該判定值藉由該感測電路121-1鎖存，且接著傳輸至在下一階之該4位元暫存器211-1。對四列實行此讀取。

在對四列執行上述讀取後，該等判定值同時傳送至在下一階之該第二暫存器區段220D之一個八位元暫存器222。接著，每一列之8位元暫存器222中保持之資料循序輸出至一8位元匯流排230D並接著傳輸至該輸出電路240D。在該輸出電路240D中安置一計數電路241D以計數或相加每一列為「1」之資料。在傳送八列之全部行資料項後，將每一列之相加值儲存於輸出鎖存器242D中。

接著，讀取、傳送及輸出之程序基本上與圖14中之程序相同，但是在此實例中將該讀取操作根據奇數及偶數列分隔。

同時使時序移位半個週期來並行實行此等操作。

此處，將參考圖16描述使用根據該第五實施例之光子偵測之時間解析度。

圖16係用於解釋使用根據該第五實施例之成像裝置之光子偵測之時間解析度之一圖。圖16展示其中根據時間之經過對每一列循序實行讀取及重設之一狀態。

藉由並行提供兩個讀取電路，在未等待先前列之讀取之完成之情況下開始下一列之讀取。此外，讀取時間之移位係該讀取週期之半個週期。

在一PET或類似物中，當 γ 射線入射在一閃爍體上時，產生許多光子以待入射在對應的成像裝置上。假設此時序係一虛線253，則僅在其中曝光時間包含此時間之列讀取(用粗斜線表達：RD)中選擇性地偵測一光子。

在此實例中，執行偵測直到列位址(列位址：12)自一光子產生後即刻讀取耗費近一巡迴，且接著資料變為零。即，若在該列位址耗費一巡迴之一週期期間持續或即刻發生1或多個列資料之一輸出，則此係光子產生。

此處，同時入射在成像裝置上之光子之總數目係持續一巡迴之列資料輸出之總相加值。此外，可估計產生時間係在其中1或多個之一輸出首先出現之一列之讀取時間與其中1或多個之一輸出首先出現之該列之前之一列之讀取時間之間之254處。

該時間解析度係一列之一讀取時間之半個週期，即，125奈秒。

因此，可在未縮短自身之讀取週期之情況下減小該讀取週期之移位。舉例而言，亦可藉由進一步增加讀取系統之數目達到可與一光電倍增管比較之時間解析度。

舉例而言，在對該PET之一應用之情況中，根據本發明之實施例之許多成像裝置被排列成一環狀，且該系統每單位曝光對每一成像裝置循序讀取每一列之光子之數目。接著，當偵測到一光子之產生時，同時入射在該等成像裝置

上之光子之總數目及產生光子之時間戳記被記錄在一記憶體上。存在極有效地收集之必要且充足資料。

藉由在完成該成像後組合資料以識別上面同時入射光子之一對成像裝置，可假設在連接該對成像裝置之線上存在一幅照材料。

與先前技術相比，使用此技術可顯著地增加成像裝置自身之數目。此外，亦可組合上面光子之同時入射待判定之成像裝置來顯著地擴展自由度。因此，因為靈敏度可大幅改良，所以所給予之藥品數目可顯著地減小。因此，可藉由抑制光子之意外同時產生減小一主體之輻射曝光，且亦可改良量測精確度。

此外，根據上文描述之第一實施例及第二實施例之固態成像裝置亦可應用為一數位相機或一視訊攝影機之成像裝置。

<7.第六實施例>

圖17係展示應用根據本發明之實施例之固態成像裝置之一相機系統之組態之一實例之一圖。

如圖17所示，一相機系統600包含應用根據所提出實施例之一CMOS影像感測器(成像裝置)100之一成像裝置610。

該相機系統600包含一光學系統，該光學系統引導入射在該成像裝置610之一像素區域上之光(形成一主體影像)，例如，在成像表面上形成入射光(影像光)之一透鏡620。

此外，該相機系統600包含用於驅動該成像裝置610之一

驅動電路(DRV)630及用於處理該成像裝置610之一輸出信號之一信號處理電路(PRC)640。

該驅動電路630包含產生涉及用於驅動該成像裝置610中之電路之一開始脈衝或一時脈脈衝之各種時序信號之一時序產生器(未展示)，並用一預判定之時序信號驅動該成像裝置610。

此外，該信號處理電路640對該成像裝置610之輸出信號執行預判定之信號處理。

由該信號處理電路640處理之影像信號被記錄在一記錄媒體(諸如一記憶體)上。記錄在該記錄媒體上之影像資訊之硬複製係藉由一印表機或類似物實行。此外，由該信號處理電路640處理之影像信號經投射作為藉由一液晶顯示器或類似物形成之一監視器上之一移動影像。

如上所述，可藉由提供上文描述之固態成像裝置100作為一成像設備中之成像裝置610實現消耗低電功率之一高精度相機(諸如一數位靜態相機)。

此外，雖然圖1中複數個像素共用一感測電路之組態在於相同的半導體基板上提供該等像素及該感測電路時係必要的，但是近年來亦出現使用晶圓接合技術形成具有多層之一半導體層之一技術。在此一情況中，舉例而言，可在每一像素之底層中提供每一像素之一感測電路。

而且在此情況中，可藉由使複數個感測電路共用包含一計數器之一積分電路而容易地實行像素之間之相加。因此，在成像時可改良該動態範圍。

本發明包含關於2010年10月1日在日本專利局申請之日本優先權專利申請案JP 2010-224235號中揭示之標的，該案之全部內容以引用方式併入本文。

習知此項技術者應瞭解可取決於設計需求及其他因素而發生各種修改、組合、子組合，前提是該等修改、組合、子組合在隨附申請專利範圍或其等效物之範疇內。

【圖式簡單說明】

圖1係展示根據本發明之一第一實施例之一CMOS影像感測器(成像裝置)之組態之一實例之一圖；

圖2係展示所提出實施例中之一光接收區段之一概念圖；

圖3係展示圖2中展示之光接收區段之一網格之一單元柵格上之光子入射次數之平均數與計數之平均數之間之關係之一圖；

圖4係展示所提出實施例中之一像素之電路組態之一實例之一圖；

圖5係用於解釋該第一實施例中之像素區塊之循環存取之一圖；

圖6係展示具有一自參照功能之一感測電路之一實例之一電路圖；

圖7A至圖7F係用於解釋在圖4中之像素之實例中使用具有一自參照功能之感測電路(圖6中展示該感測電路)之一讀操作之一實例之時序圖；

圖8係用於解釋本發明之一第二實施例之一圖，且亦係

展示對應於使用一內部放大型光電二極體之第一實施例之一像素區塊之組態之一實例之一圖；

圖9A至圖9B係根據本發明之實施例之成像裝置應用於電腦斷層掃描(CT)成像時一成像設備之概念圖；

圖10係展示其中根據本發明之實施例之成像裝置(光接收裝置)排列成一維線性形狀之一線性成像設備之一實例之一圖；

圖11係展示根據本發明之實施例之成像裝置(光接收裝置)之一防輻射保護之實例之一圖；

圖12係展示藉由同時偵測光子估計輻射入射之方向之一實例之一示意圖；

圖13係展示根據本發明之一第四實施例之一CMOS影像感測器(成像裝置)之組態之一實例之一圖；

圖14係用於解釋使用根據該第四實施例之成像裝置之光子偵測之時間解析度之一圖；

圖15係展示根據本發明之一第五實施例之一CMOS影像感測器(成像裝置)之組態之一實例之一圖；

圖16係用於解釋使用根據該第五實施例之成像裝置之光子偵測之時間解析度之一圖；及

圖17係展示應用根據本發明之實施例之固態成像裝置之一相機系統之組態之一實例之一圖。

【主要元件符號說明】

100	互補金屬氧化物半導體影像感測器
100B	互補金屬氧化物半導體影像感測器

	(成像裝置)
100C	互補金屬氧化物半導體影像感測器
	(成像裝置)
100D	互補金屬氧化物半導體影像感測器
	(成像裝置)
110	像素陣列區段
111	光電二極體
111B	內部放大型光電二極體
112	傳送電晶體
112B	傳送(選擇)電晶體
113	重設電晶體
113B	重設電晶體
114	放大器電晶體
115	累積節點
116	浮動擴散節點
120	感測電路區段
120D	感測電路區段
121-0	感測電路
121-1	感測電路
121-2	感測電路
121-3	感測電路
121A	感測電路
121B	感測電路
130	輸出信號線群組

131	輸出信號線
131-0	輸出信號線
131-1	輸出信號線
131-2	輸出信號線
131-3	輸出信號線
140	傳送線群組
141-0	傳送線
141-1	傳送線
141-2	傳送線
141-3	傳送線
150	判定結果積分電路區段
150C	判定結果積分電路區段
150D	判定結果積分電路區段
151-0	暫存器
151-1	暫存器
151-2	暫存器
151-3	暫存器
152	選擇電路
153	計數電路
154	記憶體
160-0	像素區塊
160-1	像素區塊
160-2	像素區塊
160-3	像素區塊

160B	像素區塊
170	列驅動電路
180	列控制線群組
180-1	列控制線群
180-2	列控制線群
180-p	列控制線群
181	傳送線
181B	共同傳送線
182	重設線
180B	共同重設線
200	電路區塊
210	第一暫存器區段
210D	第一暫4位存器區段
211-0	4位元暫存器
211-1	4位元暫存器
220	第二暫存器區段
220D	第二暫存器區段
221-0	4位元暫存器
221-1	4位元暫存器
222	8位元暫存器
230	4位元匯流排
230D	8位元匯流排
240	輸出電路
240D	輸出電路

241	計數電路
241D	計數電路
242	輸出鎖存器
242D	輸出鎖存器
251	時序
252	產生時間
253	時序
254	產生時間
300	光接收區段
310	光接收表面
400	成像設備
410	X射線源
420	成像裝置
421	光子計數器
421a	光子計數器421之光接收表面
422	閃爍體
423	準直儀
424	光纖
425	X射線屏蔽板
500	線性成像裝置
510	成像裝置(光接收裝置)
520	有效像素區段
600	相機系統
610	成像裝置

620	透鏡
630	驅動電路
640	信號處理電路
C121	電容器
C122	電容器
DPX	像素
DPX-00	像素
DPX-01	像素
DPX-02	像素
DPX-03	像素
DPX-10	像素
DPX-11	像素
DPX-12	像素
DPX-13	像素
DPX-p0	像素
DPX-p1	像素
DPX-p2	像素
DPX-p3	像素
DPXB	像素
IMAGE SIGNAL	影像信號
IV121	反相器
IV122	反相器
L121	供應線
LVRST	重設電位線

OBJ	主體
OFFSET	偏移信號
SAOUT	輸出終端
SIG	終端
SW121	開關
SW122	開關
SW123	開關
X-ray	X射線
γ -ray	γ 射線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100133081

※申請日：100.9.14

※IPC 分類：H04N5/335 (2011.01)

一、發明名稱：(中文/英文)

H03M1/12 (2006.01)

成像裝置及相機系統

IMAGING DEVICE AND CAMERA SYSTEM

二、中文發明摘要：

本發明提供一種成像裝置，該成像裝置包含：一像素陣列區段，其用作一光接收區段，該像素陣列區段包含光電轉換裝置並且在該像素陣列區段中將複數個像素安置成一陣列，該複數個像素在光子入射時輸出電信號；一感測電路區段，在該感測電路區段中排列複數個感測電路，該複數個感測電路接收來自該等像素之電信號並在一預判定週期中執行關於該等像素上是否存在光子之一入射之二進位判定；及一判定結果積分電路區段，其具有對各自像素或對每一像素群組積分該等感測電路之複數個判定結果之一功能，其中該判定結果積分電路區段藉由執行光子計數而導出該光接收區段上光子入射數量以積分該複數個像素中之該複數個判定結果。

三、英文發明摘要：

An imaging device includes: a pixel array section functioning as a light receiving section which includes photoelectric conversion devices and in which a plurality of pixels, which output electric signals when photons are incident, are disposed in an array; a sensing circuit section in which a plurality of sensing circuits, which receive the electric signals from the pixels and perform binary determination regarding whether or not there is an incidence of photons on the pixels in a predetermined period, are arrayed; and a determination result integration circuit section having a function of integrating a plurality of determination results of the sensing circuits for the respective pixels or for each pixel group, wherein the determination result integration circuit section derives the amount of photon incidence on the light receiving section by performing photon counting for integrating the plurality of determination results in the plurality of pixels.

七、申請專利範圍：

1. 一種成像裝置，其包括：

一像素陣列區段，其用作一光接收區段，該像素陣列區段包含光電轉換裝置並且在該像素陣列區段中將複數個像素安置成一陣列，該複數個像素在光子入射時輸出電信號；

一感測電路區段，在該感測電路區段中排列複數個感測電路，該複數個感測電路接收來自該等像素之電信號並在一預判定週期中執行關於該等像素上是否存在光子之一入射之二進位判定；及

一判定結果積分電路區段，其具有對各自像素或對每一像素群組積分該等感測電路之複數個判定結果之一功能，

其中該判定結果積分電路區段藉由執行光子計數而導出該光接收區段上光子入射量以積分該複數個像素中之該複數個判定結果。

2. 如請求項1之成像裝置，

其中藉由使用依相等距離劃分之一光接收表面及依相等距離劃分之一時間軸而在該光接收區段中形成複數個網格來實行該光子計數。

3. 如請求項2之成像裝置，

其中每一網格具有邏輯1及邏輯0之兩個值，

該等感測電路之各者判定每一網格上是否入射一或多個光子並在無論入射光子數目為何之情況下當存在一入

射時判定1，且當不存在入射時判定0，及

該判定結果積分電路區段對每一感測電路計數1之一總和。

4. 如請求項1之成像裝置，

其中在該像素陣列區段中形成複數個像素區塊，且每一像素區塊包含複數個像素及選擇構件，及

在該感測電路區段中，安置對應於該等像素區塊之各者之一分離感測電路。

5. 如請求項4之成像裝置，

其中該像素區塊之該等選擇構件依一循環方式選擇該對應像素區塊中之像素並輸出一經選擇之像素之一信號至該感測電路，及

該感測電路在自前一選擇至當前選擇之一固定週期中判定每一像素上是否存在一光子之一入射。

6. 如請求項5之成像裝置，

其中設定一重設功能，該重設功能使該等像素之各者重設為其中並未入射一光子之一狀態，及

設定一調整功能，該調整功能藉由在該像素區塊中之每一像素之一選擇輸出與下一個選擇輸出之間插入重設處理而調整一曝光週期使得每一像素之一曝光時間固定。

7. 如請求項1之成像裝置，

其中該判定結果積分電路區段包含：

一計數電路，其執行計數處理以積分該等感測電路

之判定結果；及

一記憶體，其將每一像素之一計數結果儲存於該計數電路中，

其中該複數個感測電路共用該計數電路以積分該等判定結果。

8. 如請求項1之成像裝置，

其中在該像素陣列區段中，將該複數個像素排列成一矩陣，及

該判定結果積分電路區段輸出每一列中之光子入射之一相加值。

9. 如請求項8之成像裝置，

其中該判定結果積分電路區段包含：

至少一暫存器區段，其包含對每一列保持並輸出該感測電路之判定值之至少一線路緩衝器；

一匯流排，透過該匯流排傳輸該線路緩衝器之輸出資料；及

一計數電路，其執行計數處理以積分透該匯流排傳輸之該感測電路之判定結果資料。

10. 如請求項9之成像裝置，

其中在該感測電路區段中，執行關於複數個像素之讀取之判定之複數個線路之感測電路被安置在每一行中，及

該判定結果積分電路區段在時間移位時讀取每一行之該複數個線路之該等感測電路之判定值並使該等判定值保持在該暫存器區段中，且透過該匯流排傳輸儲存於

該暫存器區段中之該複數個線路之資料。

11. 如請求項1之成像裝置，

其中設定一重設功能，該重設功能使該等像素之各者重設為其中並未入射一光子之一狀態，及

該感測電路藉由讀取一重設狀態中之一信號及曝光後之一讀取信號並給該重設狀態及該讀取信號之任一者相加一偏移值且比較藉由相加該偏移值而獲得之一信號與另一信號來實行二進位判定。

12. 如請求項1之成像裝置，

其中各自包含該像素陣列區段、該感測電路區段及該判定結果積分電路區段之複數個電路區塊經線性安置或安置成一陣列。

13. 一種相機系統，其包括：

一成像裝置；

一光學系統，其在該成像裝置上形成一主體影像；及

一信號處理電路，其處理該成像裝置之一輸出影像信號，

其中該成像裝置包含：一像素陣列區段，其用作一光接收區段，該像素陣列區段包含光電轉換裝置並且在該像素陣列區段中將複數個像素安置成一陣列，該複數個像素在光子入射時輸出電信號；一感測電路區段，在該感測電路區段中排列複數個感測電路，該複數個感測電路接收來自該等像素之電信號並在一預判定週期中執行關於該等像素上是否存在光子之一入射之二進位判定；

及一判定結果積分電路區段，其具有對各自像素或對每一像素群組積分該等感測電路之複數個判定結果之一功能，且

其中該判定結果積分電路區段藉由執行光子計數而導出該光接收區段上光子入射數量以積分該複數個像素中之該複數個判定結果。

八、圖式：

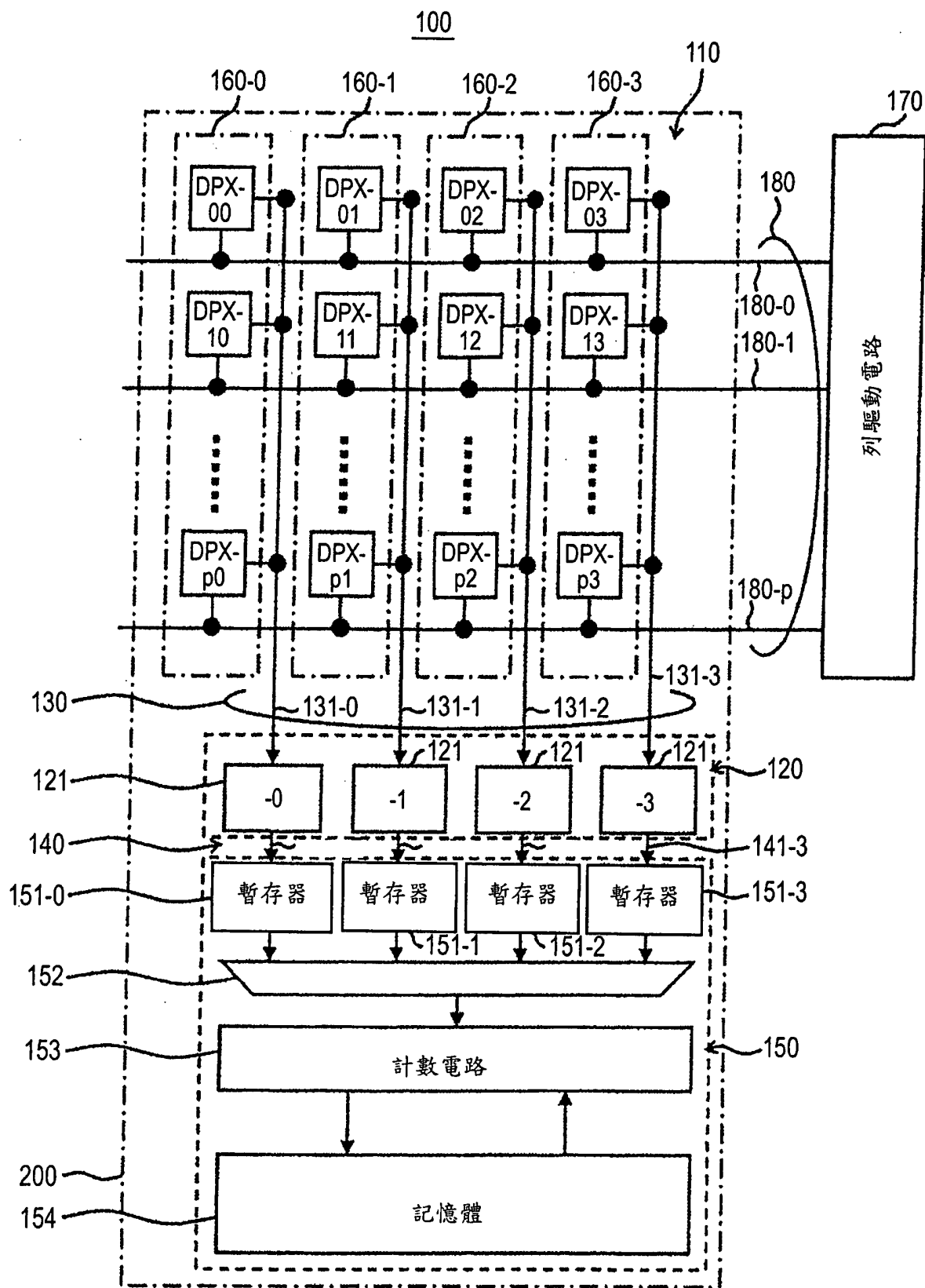


圖 1

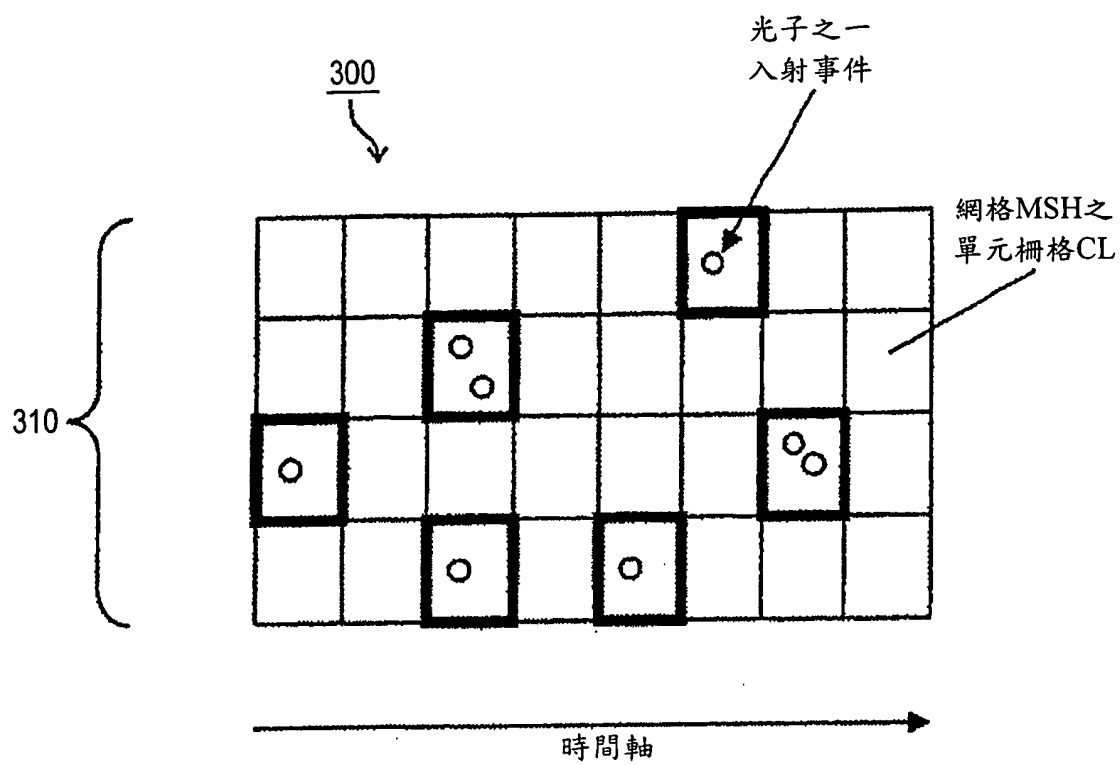


圖 2

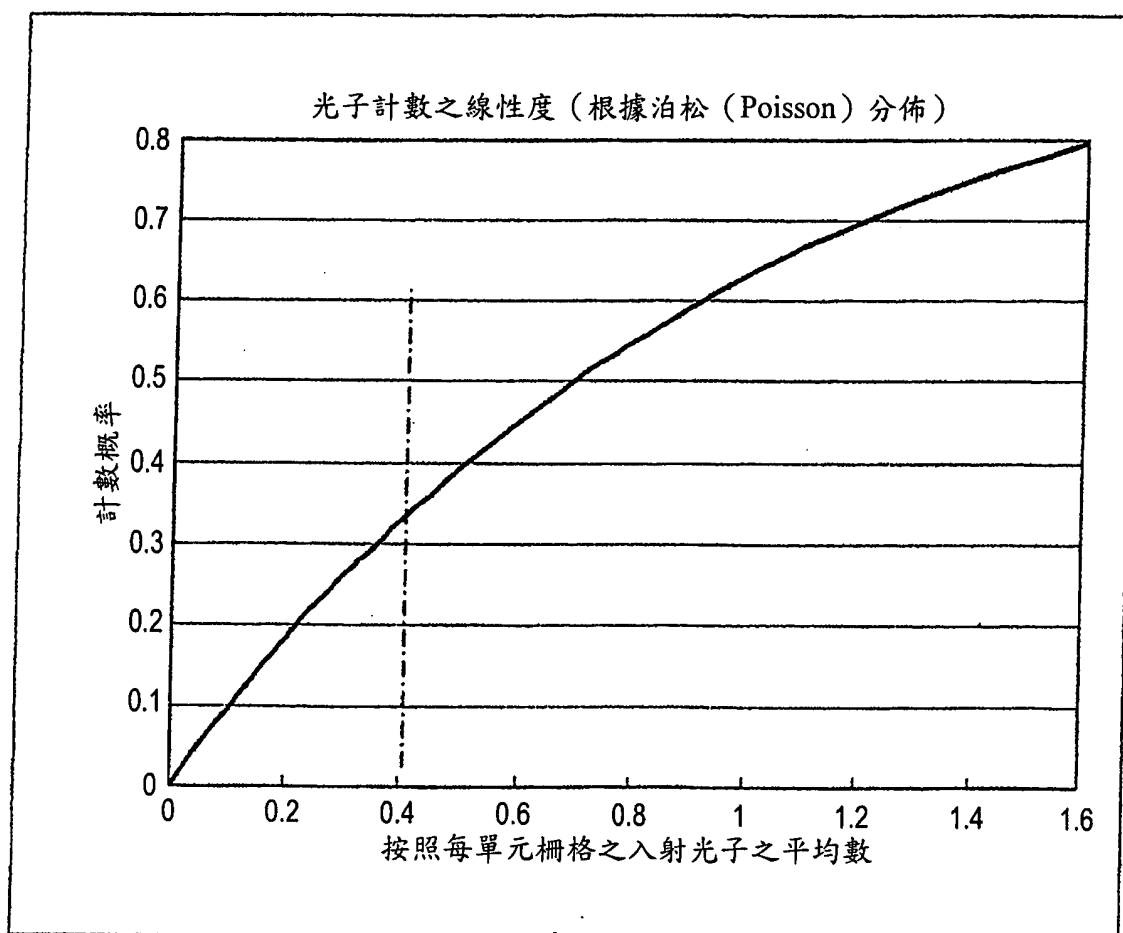


圖 3

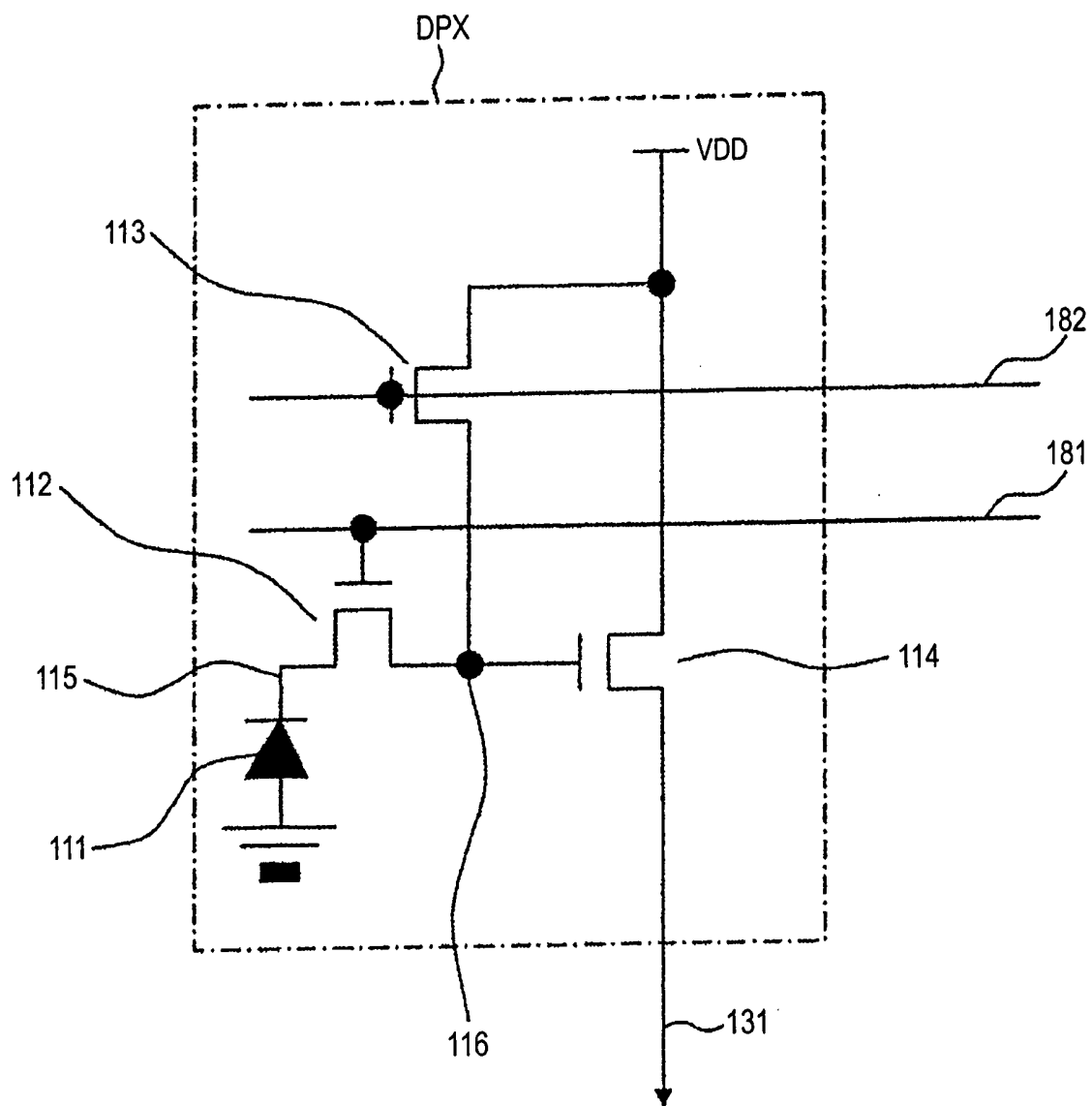


圖 4

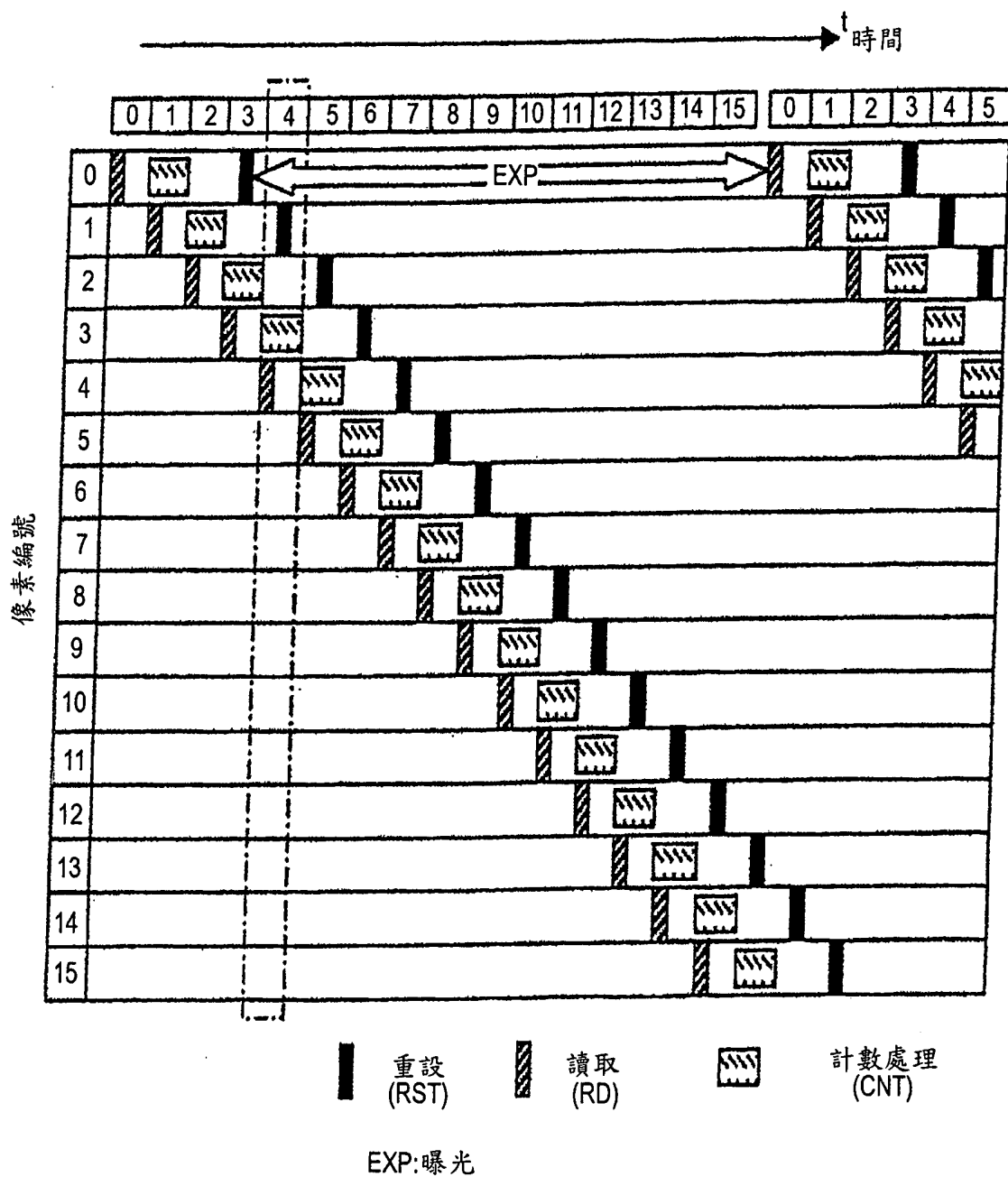
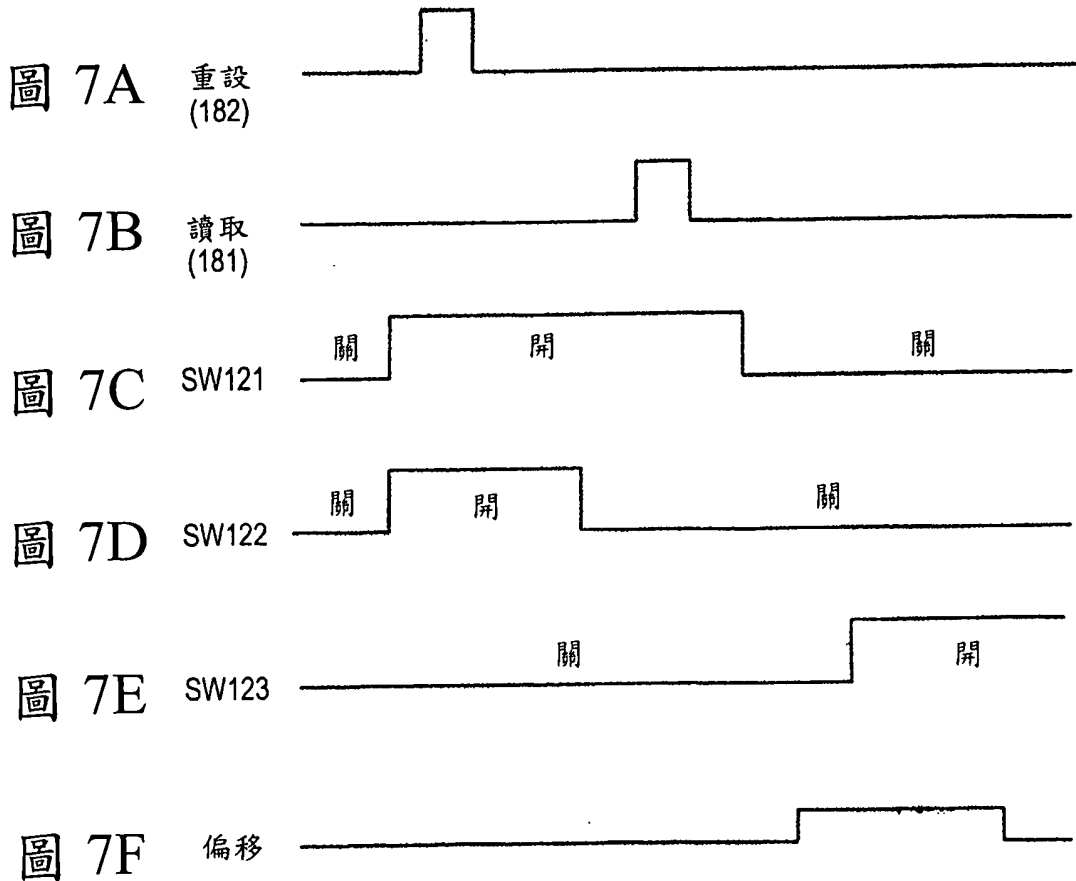
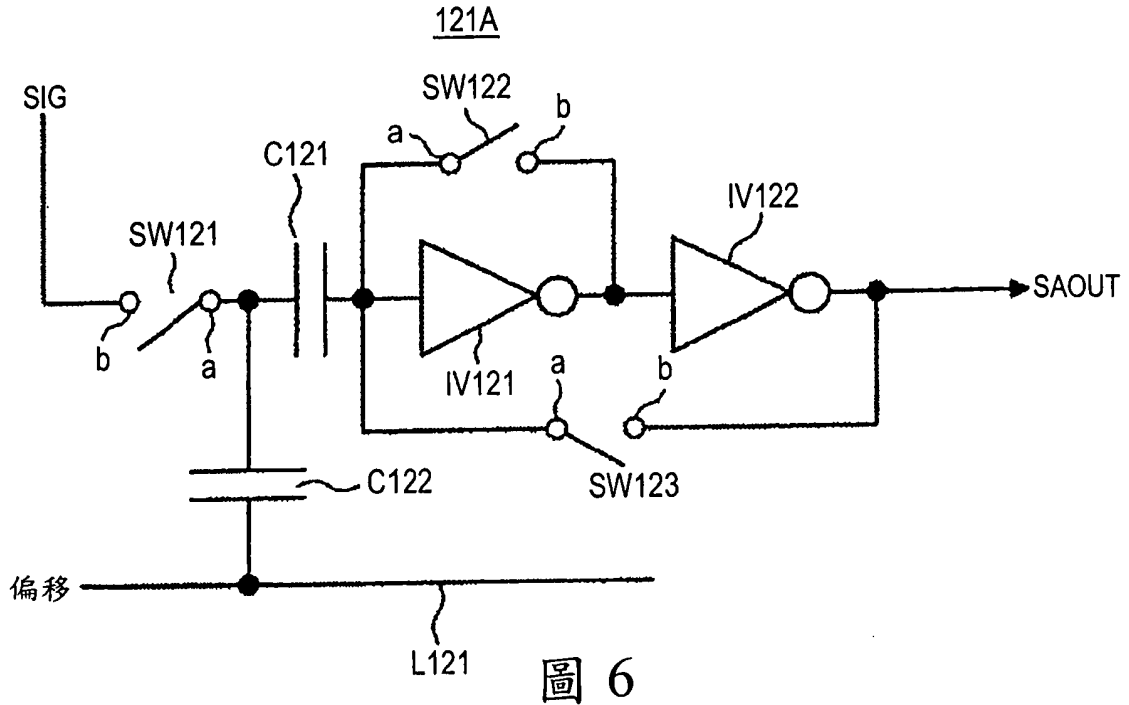


圖 5



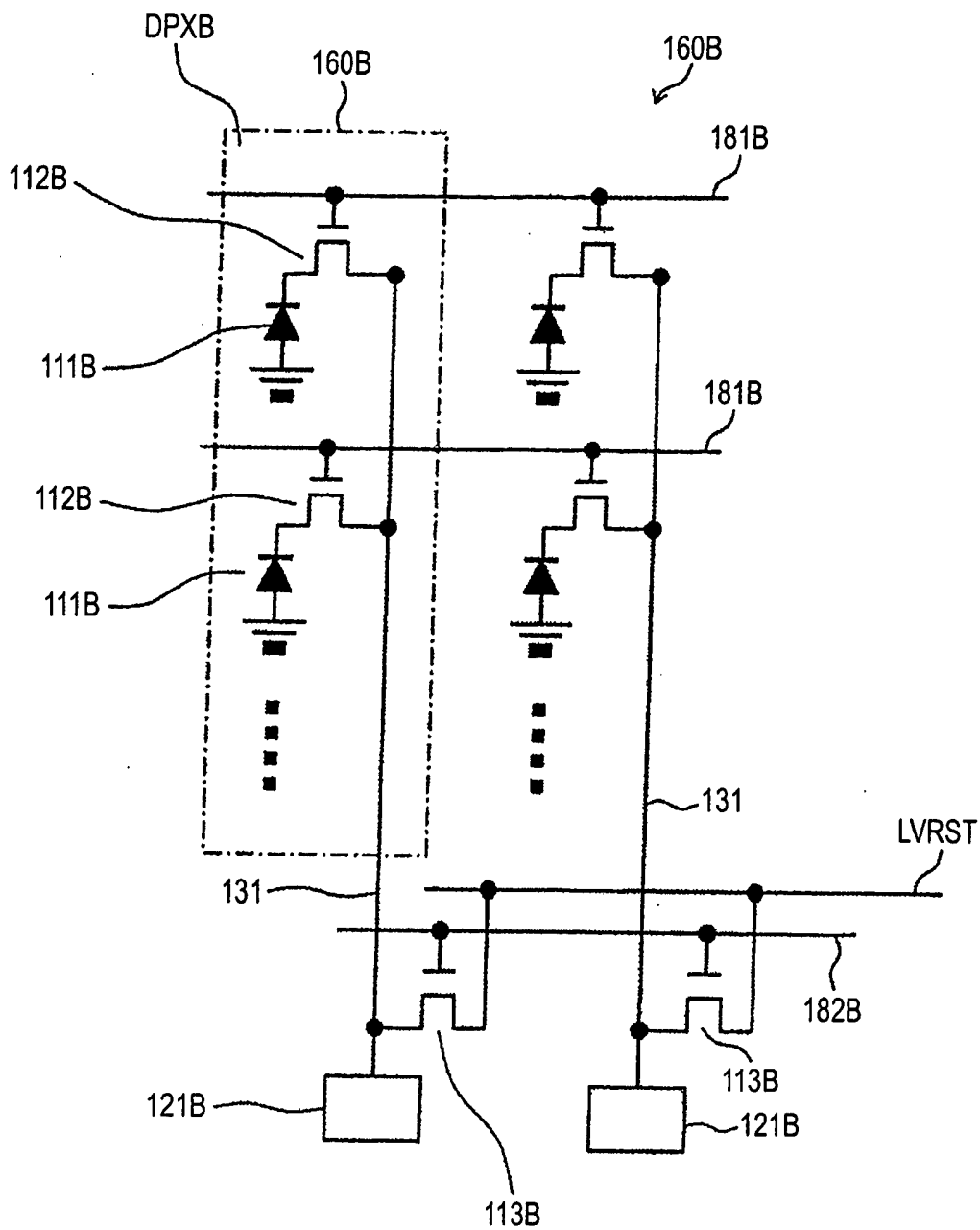


圖 8

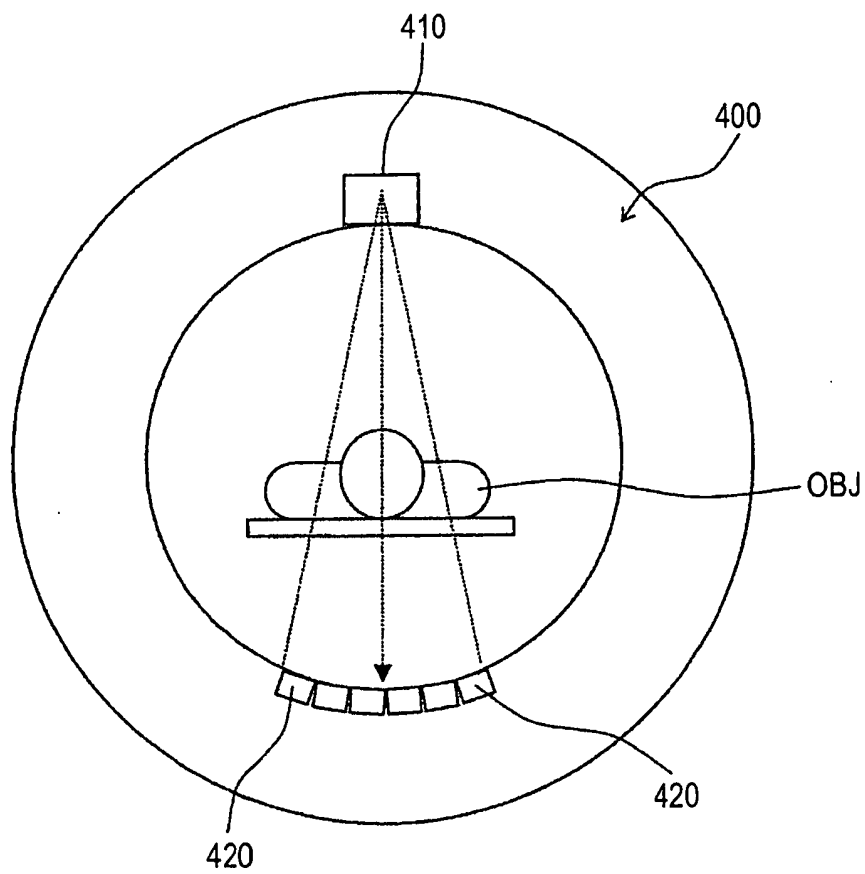


圖 9A

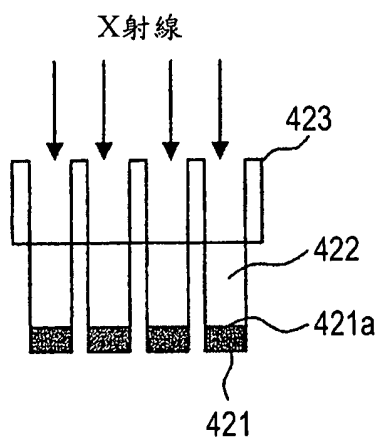


圖 9B

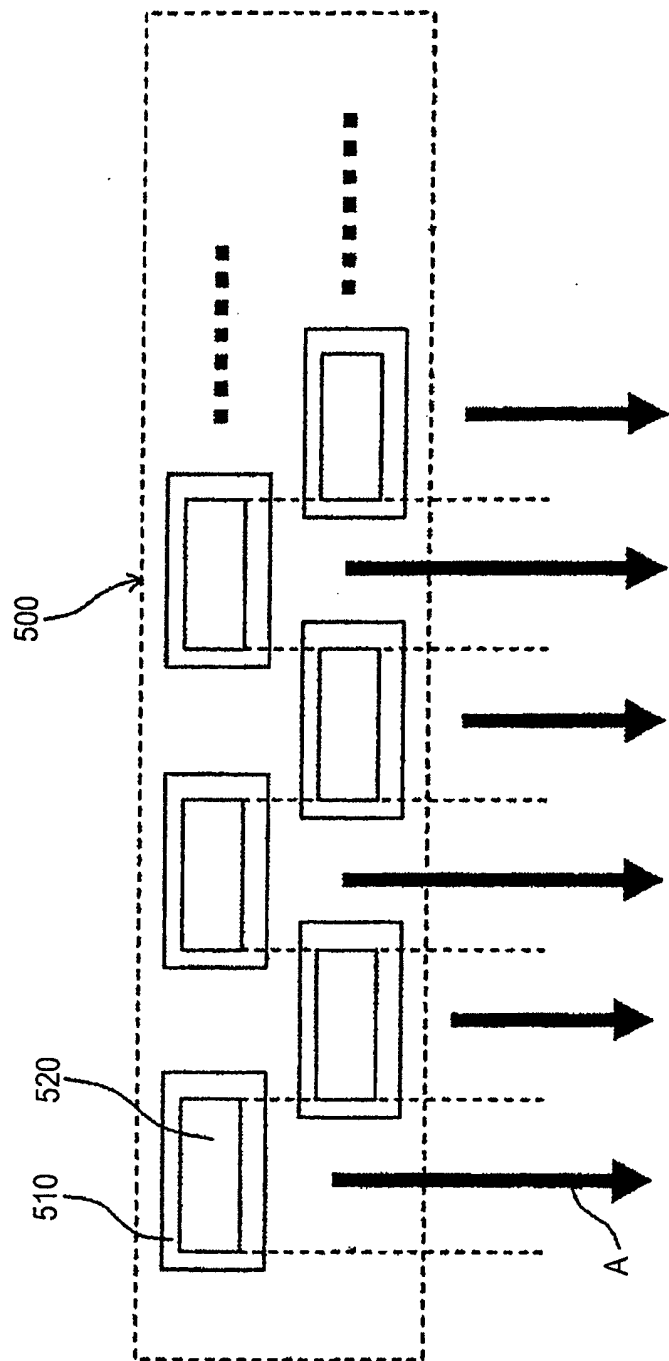


圖 10

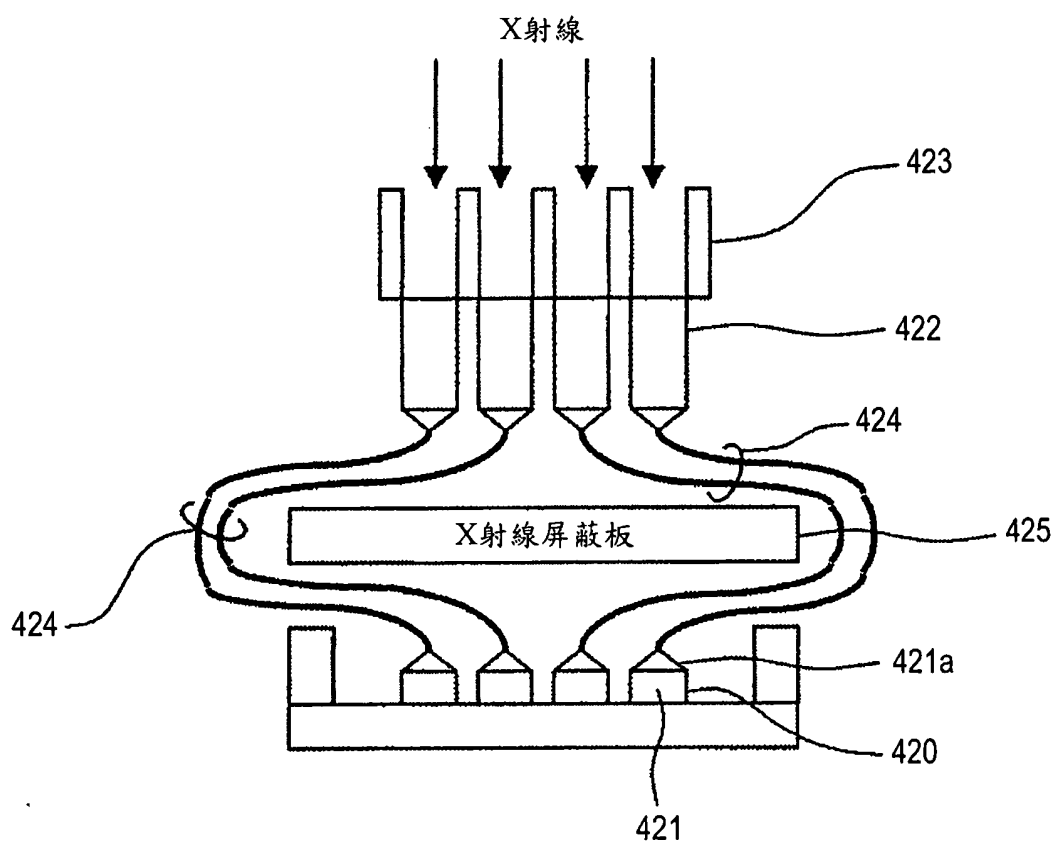


圖 11

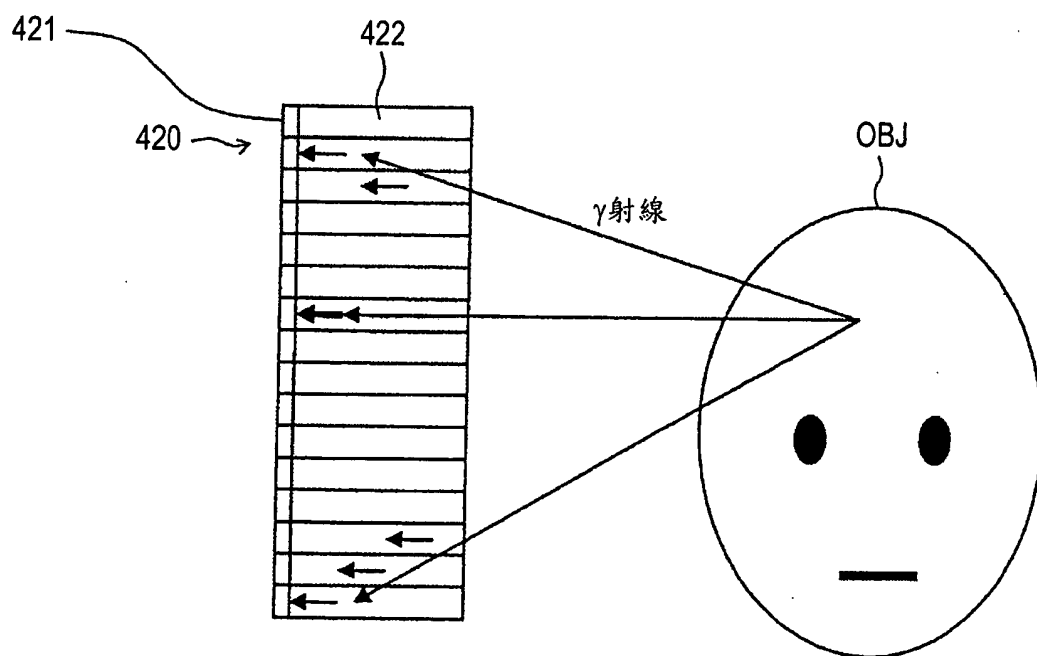


圖 12

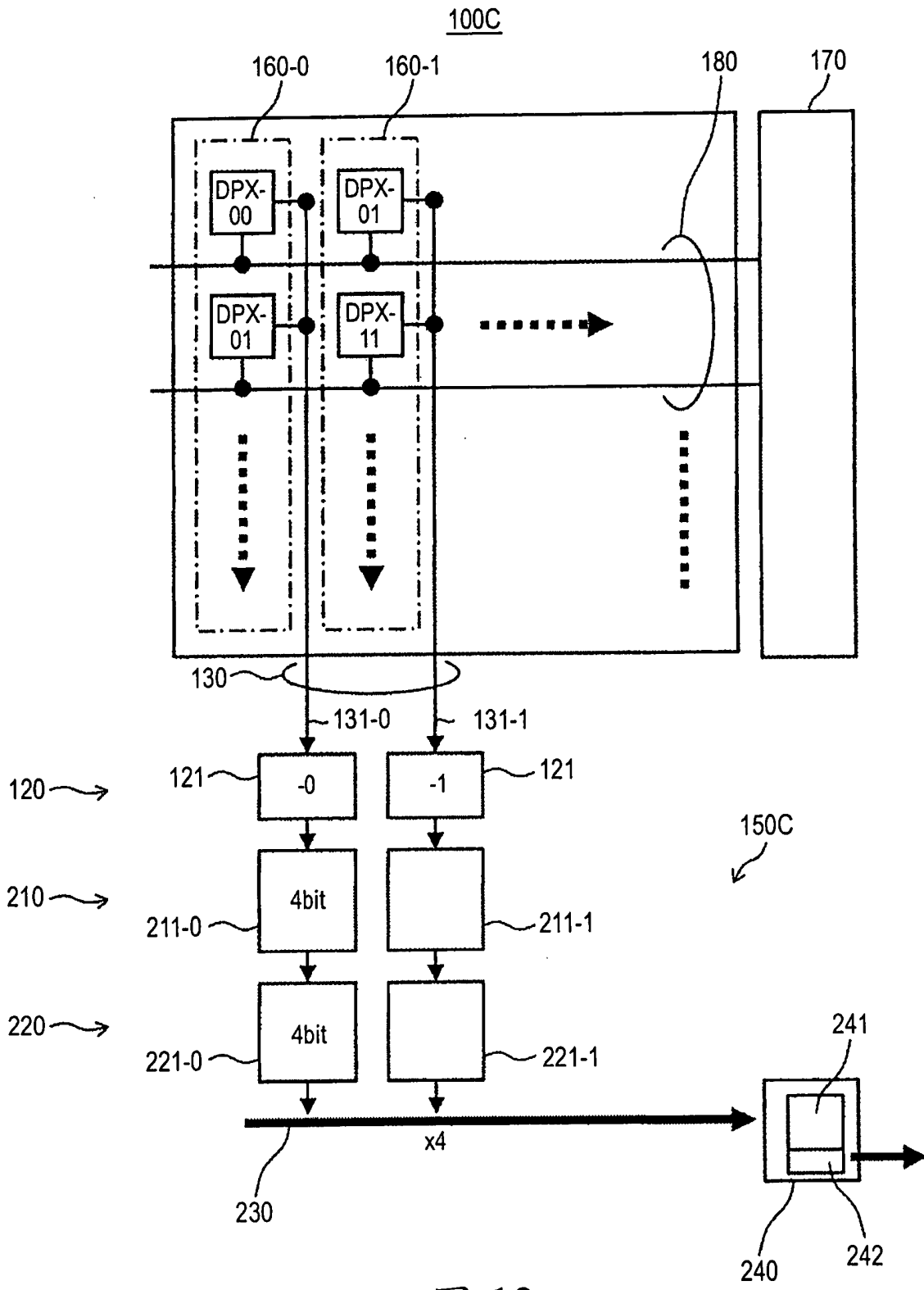


圖 13

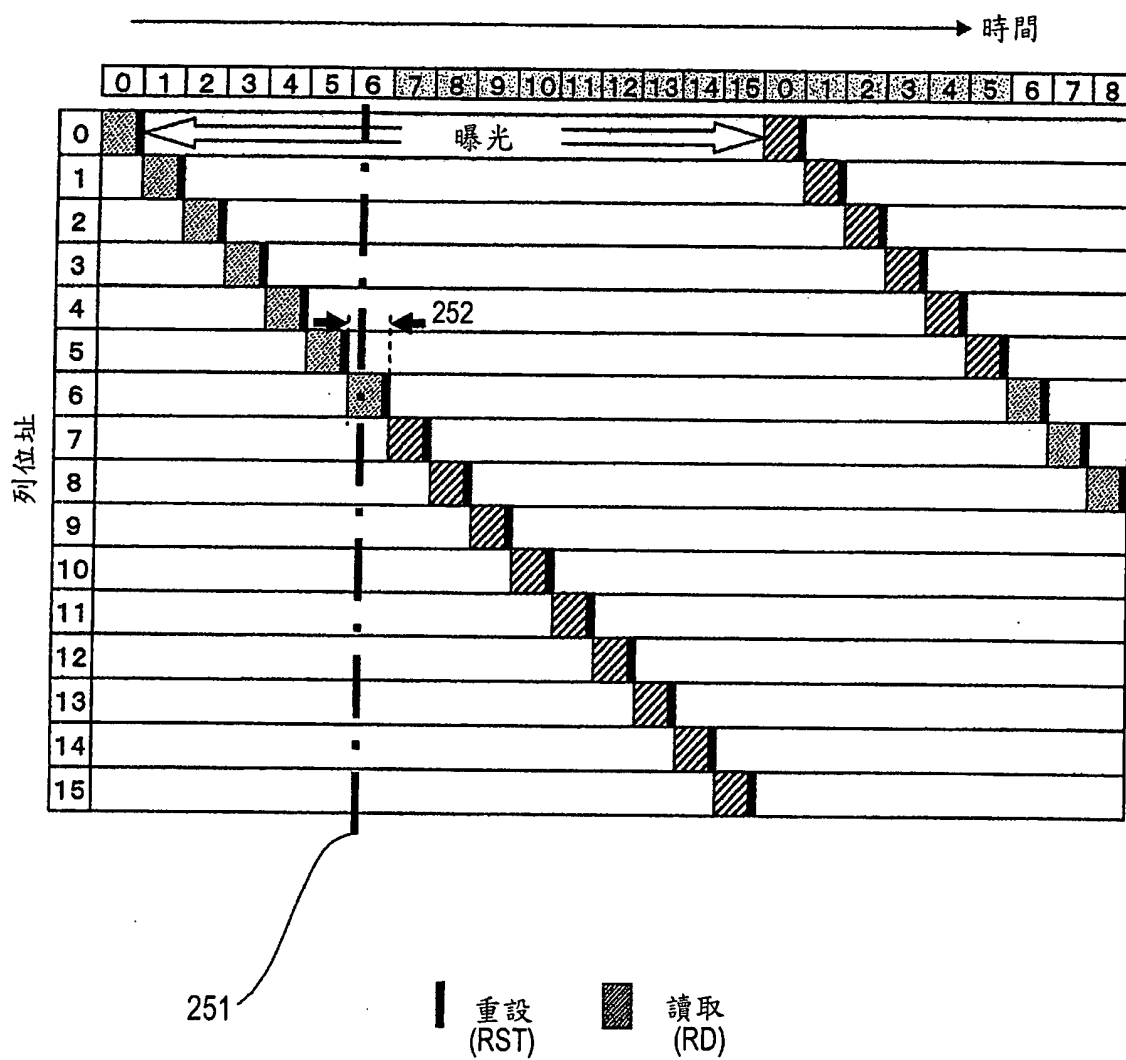


圖 14

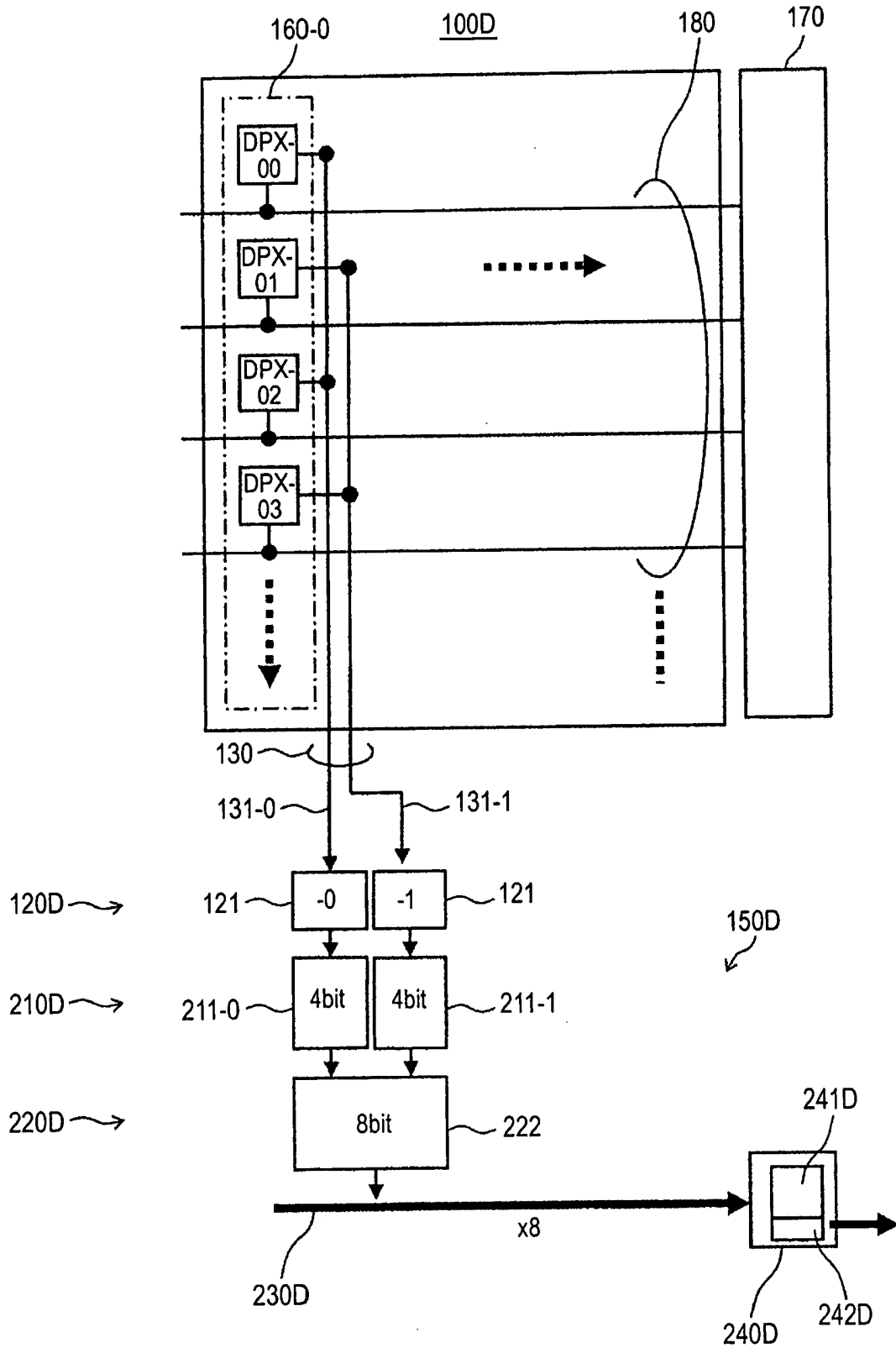


圖 15

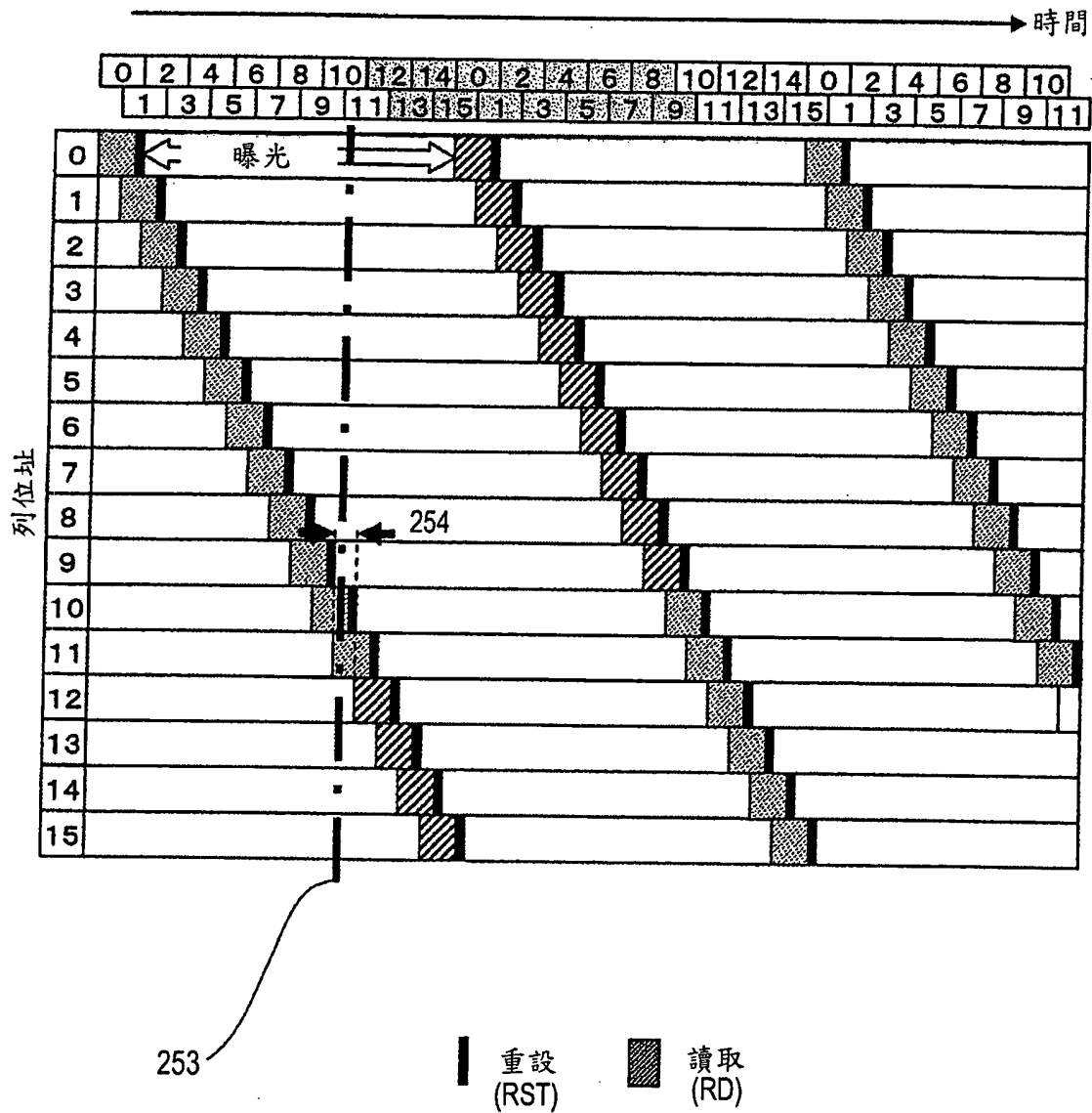


圖 16

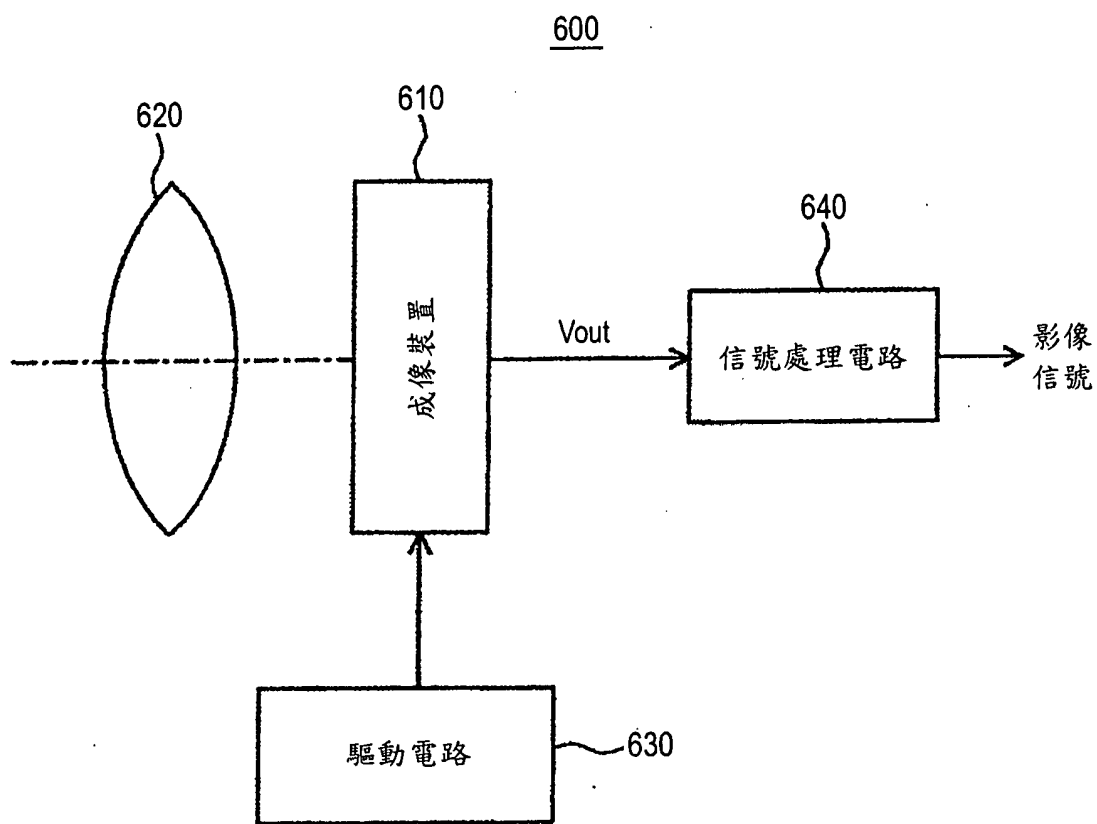


圖 17

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	互補金屬氧化物半導體影像感測器
110	像素陣列區段
120	感測電路區段
121-0	感測電路
121-1	感測電路
121-2	感測電路
121-3	感測電路
130	輸出信號線群組
131-0	輸出信號線
131-1	輸出信號線
131-2	輸出信號線
131-3	輸出信號線
140	傳送線群組
141-0	傳送線
141-1	傳送線
141-2	傳送線
141-3	傳送線
150	判定結果積分電路區段
151-0	暫存器
151-1	暫存器
151-2	暫存器

151-3	暫存器
152	選擇電路
153	計數電路
154	記憶體
160-0	像素區塊
160-1	像素區塊
160-2	像素區塊
160-3	像素區塊
170	列驅動電路
180	列控制線群組
180-1	列控制線群
180-2	列控制線群
180-p	列控制線群
200	電路區塊
DPX-00	像素
DPX-01	像素
DPX-02	像素
DPX-03	像素
DPX-10	像素
DPX-11	像素
DPX-12	像素
DPX-13	像素
DPX-p0	像素
DPX-p1	像素

DPX-p2 像素

DPX-p3 像素

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)