

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 5 月 12 日(12.05.2011)

PCT

(10) 国際公開番号
WO 2011/055433 A1

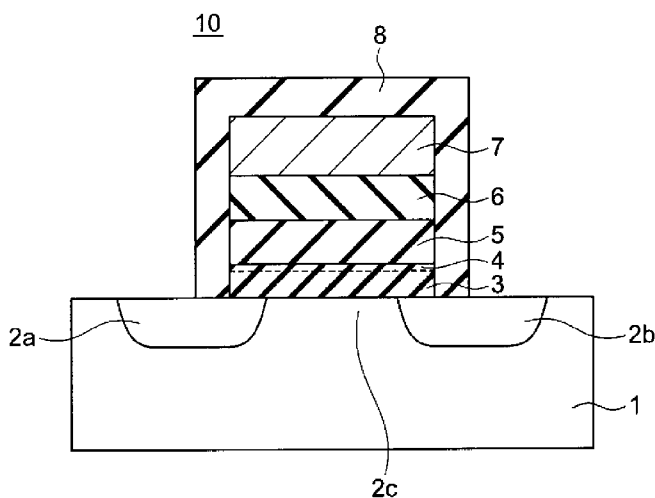
- (51) 国際特許分類:
H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)
- (21) 国際出願番号: PCT/JP2009/068845
- (22) 国際出願日: 2009 年 11 月 4 日(04.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 平野 泉 (HIRANO Izumi) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 藤井 章輔 (FUJII Shosuke) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 三谷 祐一郎 (MITANI Yuichiro) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP). 安田 直樹 (YASUDA Naoki) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番 1 号 株式会社 東芝 知的財産部内 Tokyo (JP).
- (74) 代理人: 吉武 賢次, 外 (YOSHITAKE Kenji et al.); 〒1000005 東京都千代田区丸の内三丁目 2 番 3 号 富士ビル 3 2 3 号 協和特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 不揮発性半導体記憶装置

[図5]



(57) Abstract: Disclosed is a nonvolatile semiconductor storage device wherein deterioration of a tunnel insulation film caused by writing and erasing stress can be suppressed. Specifically disclosed is a nonvolatile semiconductor storage device which comprises a semiconductor layer (1), a first insulating film (3) which is formed on the semiconductor layer and composed of a single layer film containing silicon oxide or silicon oxynitride, a charge trapping film (5) which is formed on the first insulating film, a second insulating film (6) which is formed on the charge trapping film, and a control gate electrode (7) which is formed on the second insulating film. Atoms of a metal selected from a group consisting of Al, Hf, Zr, Ti and Mg are present in the interface between the first insulating film and the charge trapping film.

(57) 要約: [課題] 書き込みおよび消去ストレスによって引き起こされるトンネル絶縁膜の劣化を抑制することを可能にする。[解決手段] 半導体層 1 と、半導体層上に形成され、酸化シリコンまたは酸窒化シリコン

を含む単層膜からなる第 1 絶縁膜 3 と、第 1 絶縁膜上に形成された電荷トラップ膜 5 と、電荷トラップ膜上に形成された第 2 絶縁膜 6 と、第 2 絶縁膜上に形成された制御ゲート電極 7 と、を備え、第 1 絶縁膜と電荷トラップ膜との界面に、Al、Hf、Zr、Ti、Mg のグループから選択された金属原子が存在している。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

— 補正された請求の範囲 (条約第 19 条(1))

明 細 書

発明の名称 : 不揮発性半導体記憶装置

技術分野

[0001] 本発明は、不揮発性半導体記憶装置に関する。

背景技術

[0002] 近年、電氣的な書込および消去が可能な不揮発性半導体記憶装置 (nonvolatile semiconductor memory apparatus) の高性能化が進められている。この不揮発性半導体記憶装置としては、例えば、EEPROM (Electrically Erasable Programmable Read Only Memory) があり、ゲートがMONOS (Metal Oxide Nitride Oxide Semiconductor) 構造を有するMONOS型メモリが次世代のフラッシュメモリの代表的な候補として検討されている (非特許文献 1 参照)。

[0003] MONOS型メモリのメモリセルは、上から制御ゲート電極、ブロック絶縁膜、電荷トラップ膜、トンネル絶縁膜、基板の順に積層された構造を有している。この構造において書込は、ゲート電極に高電圧を印加することでトンネル絶縁膜を介して基板から電荷トラップ膜に電子を注入して蓄える。そして消去は、ゲート電極に逆バイアスを印加することによりトンネル絶縁膜を介して基板から電荷トラップ膜に正孔を注入することで、電荷トラップ膜に蓄えられた電子と正孔とを対消滅させる方法が取られている。このような構造を採用することにより、従来の浮遊ゲート型の不揮発性半導体記憶装置において問題となっていた隣接セル間の干渉や、トンネル絶縁膜の欠陥による保持データの破損などが低減されることが考えられている。

先行技術文献

非特許文献

[0004] 非特許文献1 : Chang Hyun Lee et al., IEDM2003 p. 613

発明の概要

発明が解決しようとする課題

[0005] しかしながら、MONOS型メモリを実用化するにあたり、信頼性が問題となっている。信頼性のなかでも繰り返し印加される書き込みおよび消去ストレスによって引き起こされるトンネル絶縁膜の劣化は、データ保持特性を劣化させてしまうため、大きな問題であり、MONOS型メモリを次世代の不揮発性メモリとして採用するにはこの書き換え耐性の向上が必須である。

[0006] 本発明は、上記事情を考慮してなされたものであって、書き込みおよび消去ストレスによって引き起こされるトンネル絶縁膜の劣化を抑制することのできる不揮発性半導体記憶装置を提供する。

課題を解決するための手段

[0007] 本発明の一態様による不揮発性半導体記憶装置は、半導体層と、前記半導体層上に形成され、酸化シリコンまたは酸化窒化シリコンを含む単層膜からなる第1絶縁膜と、前記第1絶縁膜上に形成された電荷トラップ膜と、前記電荷トラップ膜上に形成された第2絶縁膜と、前記第2絶縁膜上に形成された制御ゲート電極と、を備え、前記第1絶縁膜と前記電荷トラップ膜との界面に、Al、Hf、Zr、Ti、Mgのグループから選択された金属原子が存在していることを特徴とする。

発明の効果

[0008] 本発明によれば、書き込みおよび消去ストレスによって引き起こされるトンネル絶縁膜の劣化を抑制することができる。

図面の簡単な説明

[0009] [図1]書き込み、消去時のパルス印加とCV測定を説明する模式図。

[図2] CVストレッチの見積もり方を説明する図。

[図3] 図3(a)、3(b)は、それぞれ書き込み時および消去時の注入電荷量とCVストレッチ量との相関を示す図。

[図4] 消去時における電流の電界依存性を示す図。

[図5] 本発明の第1実施形態による不揮発性半導体記憶装置のメモリセルを示す断面図。

[図6] 図6(a)、6(b)はそれぞれ第1実施形態の不揮発性半導体記憶装

置における、電荷保持時および消去時のエネルギーバンドを示す図。

[図7] N A N D型不揮発性半導体記憶装置の回路図。

[図8] 書き込み時の電荷量とトンネル絶縁膜の膜厚との関係を示す図。

[図9] 第1実施形態における、エネルギーバンドを示す図。

[図10] 図10(a)、10(b)は、第1実施形態における電子デトラップ量および正孔注入量に関する、トンネル絶縁膜における電界依存性を示す図。

[図11] 図11(a)、11(b)は、第1実施形態における電子放出増加割合と正孔注入増加割合に関する、金属酸化膜の膜厚依存性を示す図。

[図12] 第2実施形態による不揮発性半導体記憶装置を示す断面図。

発明を実施するための形態

[0010] 以下、図面を参照して本発明の実施形態について詳細に説明する。尚、以後の説明では、共通の構成に同一の符号を付すものとし、重複する説明は省略する。また、各図は模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、実際の装置を製造する際は、以下の説明と公知の技術を参酌して判断することができる。

[0011] まず、本発明に至った経緯および概要について説明する。

[0012] 本発明者達は、MONOS型メモリのメモリセルに書き込みおよび消去を行った時の注入電荷量とC Vストレッチ量を測定する実験を行った。図1(a)に実験装置を示し、図1(b)に書き込みパルス波形および消去パルス波形ならびにC V測定の時系列を示す。半導体層1上に、トンネル絶縁膜3、電荷トラップ膜5、ブロック絶縁膜6、および制御ゲート電極7がこの順序で積層された構造を有するメモリセル10を用意する。なお、本明細書においては、半導体層は、半導体基板上に形成されたウェル領域、S O I (Silicon On Insulator) 基板のS O I 層、またはバルク半導体基板であることを意味する。まず、図1(b)に示すように、スイッチ104およびスイッチ105を用いて接続を切り変えることにより、C-V測定装置102によって、メモリセル10の初期状態、すなわち書き込みパルスおよび消去パルスを

印加しない状態におけるC-V特性を測定する。その後、スイッチ104およびスイッチ105を用いて接続を切り変えることにより、パルス発生装置からメモリセル10に書き込みパルスおよび消去パルスを一組として繰り返して印加する。その後、スイッチ104およびスイッチ105を用いて接続を切り変えることにより、C-V測定装置102によってC-V特性を測定する。これら書き込みパルスおよび消去パルスの印加工程と、C-V特性の測定工程とを繰り返して行う。なお、図1(b)に示すように、書き込みパルスはメモリセルに印加されるパルス電圧が正である場合を意味し、消去パルスはパルス電圧が負である場合を意味する。ここで、書き込みパルスの幅および消去パルスの幅は100 μ sec~100 msecの間で変化させて実験を行った。また、図1(b)において、C-Vは、C-V特性を測定している状態を示す。

[0013] 次に、上記実験から得られる、初期状態のC-V特性と、書き込みパルスおよび消去パルスを一組として繰り返して印加した後のC-V特性とを用いてCVストレッチ量を計算した。CVストレッチ量 $C-V_{stretch}$ は次の式によって計算した。

$$C-V_{stretch} = \Delta V_{cycled} - \Delta V_{initial}$$

ここで、 $\Delta V_{initial}$ は初期状態のC-V特性から求められる。この時のC-V特性を最大容量 C_{max} で正規化した場合のC-V特性を図2のグラフ g_1 に示す。ここで通常のMONOS構造におけるVfbは、 C_{max} の80%~90%となる電圧となるため、初期状態の正規化されたC-V特性 g_1 において、 $C/C_{max}=0.85$ の時の、電荷を蓄積する際のゲート電圧と、反転する（電荷を放出する）際のゲート電圧との差を $\Delta V_{initial}$ として求めた（図2のグラフ g_1 参照）。また、 ΔV_{cycled} は書き込みパルスおよび消去パルスを繰り返して印加した場合のC-V特性から求められる。この時のC-V特性を最大容量 C_{max} で正規化した場合のC-V特性を図2のグラフ g_2 に示す。この正規化されたC-V特性 g_2 において、 $C/C_{max}=0.85$ の時の蓄積する際のゲート電圧と、反転する際のゲート電圧との差を $\Delta V_{initial}$ として求めた（図2のグラフ g_2 参

照)。したがって、 CV ストレッチ量 $C-V_{stretch}$ はトンネル絶縁膜の界面準位増加量、すなわちトンネル絶縁膜の劣化量を示している。

[0014] このようにして求めた CV ストレッチ量 $C-V_{stretch}$ と、この CV ストレッチ量 $C-V_{stretch}$ を得るために電荷トラップ膜に印加した書き込みパルスの積算量 Q_{pgm} との関係を図3 (a) に示す。また、 CV ストレッチ量 $C-V_{stretch}$ と、この CV ストレッチ量 $C-V_{stretch}$ を得るために電荷トラップ膜に印加した消去パルスの積算量 Q_{era} との関係を図3 (b) に示す。なお、図3 (a)、3 (b) においては、 CV ストレッチ量 $C-V_{stretch}$ は縦軸に示されている。図3 (a) の横軸は Q_{pgm} を示し、図3 (b) の横軸は Q_{era} を示す。また、図4に、消去時の電流の電界依存性を示す。白丸は実験によって得られた電流値を示しており、実線は電流が基板からの正孔注入であると仮定して、後述する(2)式～(8)式を用いて計算した結果である。実験値と計算値がほぼ一致することから、消去はほぼ正孔注入によって行われていると考えられる。そのため、図3 (a) に示した積算量 Q_{pgm} はほぼ電子の積算量を示し、図3 (b) に示した積算量 Q_{era} はほぼ正孔の積算量を示す。図3 (a) からわかるように、 CV ストレッチ量は積算量 Q_{pgm} と相関がない。しかし、図3 (b) からわかるように、 CV ストレッチ量は積算量 Q_{era} と相関がある。これらの結果から、トンネル絶縁膜の劣化は、電荷トラップ膜に注入された正孔量で決まっていると考えられる。

[0015] そこで、本発明者達は、書き込みおよび消去ストレスによって引き起こされるトンネル絶縁膜の劣化、すなわち書き換え耐性(Endurance特性)を向上させるためには、消去時における電荷トラップ膜への正孔の注入を抑制し、電荷トラップ膜から電子を放出することによって消去をするような領域または膜が必要であると考えた。すなわち、本発明の一実施形態によれば、例えば、図5に示すメモリセル10を少なくとも1個備えた不揮発性半導体記憶装置を提供する。この実施形態に係るメモリセル10は、半導体層1に離間して設けられたソース領域2aおよびドレイン領域2bと、ソース領域2aとドレイン領域2bとの間のチャネル2cとなる半導体層1上に設けられ酸

素を含むトンネル絶縁膜 3 と、トンネル絶縁膜 3 上に設けられた電荷トラップ膜 5 と、電荷トラップ膜 5 上に設けられたブロック絶縁膜 6 と、ブロック絶縁膜 6 上に設けられた制御ゲート電極 7 とを備え、トンネル絶縁膜 3 と、電荷トラップ膜 5 との界面のトンネル絶縁膜 3 側の領域（界面領域）4 に金属原子を含み、この金属原子がトンネル絶縁膜 3 の酸素と結合している。後述するように、この界面領域 4 は非常に薄い以下の説明では、便宜上、界面領域 4 を金属酸化膜 4 とも称する。すなわち、金属酸化膜 4 はトンネル絶縁膜 3 の一部である。ブロック絶縁膜 6 は、電荷が電荷トラップ膜 5 から制御ゲート電極 7 に侵入するのをブロックする。なお、本実施形態に係るメモリセルにおいては、制御ゲート電極 7 の上面、および制御ゲート電極 7、ブロック絶縁膜 6、電荷トラップ膜 5、金属酸化膜 4、およびトンネル絶縁膜のそれぞれの側面は、絶縁体（例えば、シリコン酸化膜）のスペーサ膜 8 によって覆われている。

[0016] このように、トンネル絶縁膜 3 と、電荷トラップ膜 5 との間に金属酸化膜 4 を設けることにより、トンネル絶縁膜 3 と金属酸化膜 4 との界面にダイポールが発生する。本実施形態に係るメモリセルにおける、電荷保持状態と、消去状態のエネルギーバンド図をそれぞれ図 6（a）、6（b）に示す。トンネル絶縁膜 3 と金属酸化膜 4 との界面にダイポールが発生することにより、電荷トラップ膜 5 との界面におけるトンネル絶縁膜の伝導帯の障壁が変調され、電子に対する障壁が低くなる（図 6（a）、6（b））。なお、図 6（a）、図 6（b）において、波線は、ダイポールが発生しない場合のゲート絶縁膜の伝導帯の障壁を示す。このため、消去時には、図 6（b）に示すように、ダイポールが発生した場合（金属酸化膜 4 を設けた場合）の方が、ダイポールが発生しない場合（金属酸化膜 4 を設けない場合）に比べて、電子に対する障壁が低下し、電子が電荷トラップ膜 5 から、金属酸化膜 4 およびトンネル絶縁膜 3 を介して半導体層 1 に放出され易くなる。その結果、電子の放出による消去が促進され、トンネル絶縁膜の劣化を抑制することができる。なお、図 6（b）において、上側の矢印は電荷トラップ膜 5 からの電

子の放出を示し、下側の矢印は電荷トラップ膜 5 への正孔の注入を示す。このような構成の不揮発性半導体記憶装置の実施形態を以下に説明する。

[0017] (第 1 実施形態)

次に、本発明の第 1 実施形態による不揮発性半導体記憶装置は、NAND 型不揮発性半導体記憶装置であって、図 7 に示すように、複数のメモリセル M を有している。これらの複数のメモリセル 10 は、隣接するもの同士でソースおよびドレインを共有する形で直列接続されて NAND 列を構成する。このような NAND 列がマトリクス状に配列されてメモリセルアレイが構成される。

[0018] メモリセルアレイの列方向に並ぶ NAND 列の一端側のドレインは、選択トランジスタ S1 を介してビット線 BL に共通に接続され、他端側ソースはやはり選択トランジスタ S2 を介して共通ソース線（図示せず）に接続される。図 7 に示す横方向に並ぶメモリセル 10 の制御ゲートは、共通にワード線 WL に接続される。選択トランジスタ S1、S2 のゲートも同様に選択ゲート線 SSL、GSL に共通接続される。一つのワード線により駆動される NAND 列の範囲が NAND 列ブロックを構成している。通常、このような NAND 列ブロックがビット線方向に複数個配置されてメモリセルアレイが構成される。

[0019] 各メモリセル 10 は図 5 に示す MONOS 型のメモリセルである。すなわち、p 型の Si 層 1 に離間して形成された、n 型不純物（例えば、P または As）を含む n 型のソース領域 2a およびドレイン領域 2b を備えている。ソース領域 2a とドレイン領域 2b との間のチャネル 2c となる Si 層 1 上に、シリコン酸化膜またはシリコン酸窒化膜を含むトンネル絶縁膜 3 が形成され、このトンネル絶縁膜 3 上に金属酸化膜 4 が形成されている。なお、上述したように、金属酸化膜 4 は、トンネル絶縁膜 3 と、電荷トラップ膜 5 との界面のトンネル絶縁膜 3 側の界面領域であって、この界面領域 4 に金属原子を含み、この金属原子がトンネル絶縁膜 3 の酸素と結合している。すなわち、金属酸化膜 4 はトンネル絶縁膜 3 の一部である。金属酸化膜 4 上に電荷

トラップ膜 5 が形成され、この電荷トラップ膜 5 上にブロック絶縁膜 6 が形成され、このブロック絶縁膜 6 上に制御ゲート電極 7 が形成された構成となっている。そして、制御ゲート電極 7、ブロック絶縁膜 6、電荷蓄積膜 5、金属酸化膜 4、およびトンネル絶縁膜 3 からなる積層構造のゲートは、シリコン酸化膜 8 によって覆われている。ここで、金属酸化膜 4 としては、電荷トラップ膜 5 からトンネル絶縁膜 3 の方向にダイポールを形成する材料、すなわち、電荷トラップ膜 5 側に正の電荷が存在し、トンネル絶縁膜 3 側に負の電荷が存在する材料、例えば Al_2O_3 、 HfO_2 、 ZrO_2 、 TiO_2 、 MgO のグループから選択された材料が用いられる。すなわち、金属酸化膜 4 としては、 Al 、 Hf 、 Zr 、 Ti 、 Mg のグループから選択された一つの元素を含んでいる。

[0020] なお、トンネル絶縁膜は酸化シリコンまたは酸窒化シリコンを含む単層膜であってもよい。この場合においても、金属酸化膜は上述したように、トンネル絶縁膜の界面領域であるから、 Al 、 Hf 、 Zr 、 Ti 、 Mg のグループから選択された一つの金属原子は、トンネル絶縁膜の界面領域に含まれかつトンネル絶縁膜中の酸素と結合している。また、トンネル絶縁膜が酸窒化シリコンを含む単層膜である場合には、膜厚方向に窒素の濃度分布を有していてもよく、 Si 層との界面または電荷トラップ膜 5 との界面に窒素が含まれない領域があってもよい。ここで、シリコン酸化膜に窒素を添加することによって、劣化耐性が向上することが知られている。しかし、シリコン酸化膜に窒素を添加すると金属酸化膜によるダイポールが小さくなることが報告されている (Y. Yamamoto et al. IWDTF2006 p. 65)。そのため、窒素濃度 $[N]$ は、トンネル絶縁膜の劣化耐性を確保でき、かつダイポールが生成する量として、 $[N] < 20 \text{ at } \%$ であることが望ましい。

[0021] また、トンネル絶縁膜の膜厚は、書き込み電圧の低減のため薄くすることが望ましいが、薄すぎると、リーク電流が増大して電荷保持特性が劣化してしまう。また通常、 SiO_2 膜は Si 基板 (Si 層) や他の酸化物との間に 0.6 nm 程度の遷移層が形成され、この遷移層は膜質が悪いため、上下の Si

SiO₂遷移層に加えて、さらに0.6nm以上を足した、1.8nm以上の膜厚を有することが望ましい。また、例えば、メモリセル10の閾値電圧シフト量 ΔV_{th} が7Vとすれば、書き込み消去動作時に電荷トラップ膜5中に捕獲されなければならない電荷量 Q_{trap} は、Si基板1から荷電中心位置までの電氣的距離 z と、MONOS構造のEOT (Equivalent Oxide Thickness) とを用いて

[数1]

$$Q_{trap} = \frac{\epsilon_{ox} \Delta V_{th}}{(EOT - z)} \quad (1)$$

と表される。ここで、 ϵ_{ox} はSiO₂の誘電率を、 ΔV_{th} は閾値電圧のシフト量を表す。

[0022] ここで典型的なMONOS構造におけるトンネル絶縁膜／電荷トラップ膜／ブロック絶縁膜の積層構造として、シリコン酸化膜／シリコン窒化膜 (SiN膜)／アルミナ (Al₂O₃) 膜を用い、書き込み消去動作により注入される電荷の荷電中心位置を、公知文献 (S.Fujii et al. SSDM2009) を参考にしてSiN膜とAl₂O₃膜との界面に存在しているとして計算をすると、(1) 式の (EOT - z) は、ブロック膜の電氣的膜厚になる。たとえば ΔV_{th} が7V必要であるとする、 $Q_{trap} = 5 \times 10^{-6}$ [C/cm²] が必要であることがわかる。例えば100 μ secの電圧印加時間で書き込み動作を完了させるとする。図8に100 μ secで書き込むことのできる電荷量の膜厚依存性を示す。ここでは、制御ゲート電極7にかかる電圧を20Vとし、ブロック絶縁膜6の膜厚を13nm、電荷トラップ膜5の膜厚5nmとして計算を行った。図8からわかるように、トンネル絶縁膜3が5nm以上であると、注入電荷量 $Q = 5 \times 10^{-6}$ [C/cm²] を確保できないため、トンネル絶縁膜3の膜厚は5nm未満であることが望ましい。

[0023] (実施例)

以下に本実施形態の一実施例を説明する。この実施例では、半導体層1と

してp型Si層を、トンネル絶縁膜3としてシリコン酸化膜を、ダイポールを形成するための金属酸化膜4として Al_2O_3 膜を、電荷トラップ膜5として Si_3N_4 膜を用いている。電荷トラップ膜となる Si_3N_4 膜5に捕獲された電子の準位はSiの伝導帯から1.3 eVの位置にあることがわかっている。また、 Al_2O_3 膜を SiO_2 膜と Si_3N_4 膜との界面に挿入すると、ダイポールが生成され、 SiO_2 の電子に対するバンドオフセットが下がることが報告されている（例えば、IEDM2007 Y. Kamimuta et al参照）。ここで、バンドの変調量は、挿入された Al_2O_3 膜の膜厚に依存し、 Al_2O_3 膜の膜厚が0.2 nmで0.4 eV、 Al_2O_3 膜の膜厚が0.5 nmで0.5 eV、1 nmで0.58 eV、1.5 nm以上では0.6 eVである。

[0024] 本実施形態においては、 Al_2O_3 膜の膜厚が1 ML (Molecular Layer) 以下、すなわち膜厚が Al_2O_3 の格子定数（=0.47 nm）未満の場合は、 Al_2O_3 膜4はバルクとして存在せずに SiO_2 膜3と Si_3N_4 膜5との界面にダイポールのみが形成されると考え、図9に示すようなバンド図となっていると考え、格子定数以上では、 Al_2O_3 膜4はバルクの性質を有するとして、リーク電流の計算を行った。ここでトンネル絶縁膜3の膜厚を T_1 、金属酸化膜4の膜厚を T_2 とする。

[0025] このようなバンド構造を仮定して、トンネル絶縁膜3を通過するリーク電流を計算し、電子放出量と正孔注入量を求める。リーク電流は、以下の（2）、（3）式を用いて計算によって求めた。

[数2]

$$J = \frac{4\pi me}{h^3} \int_0^\infty \zeta(E_x) P^*(E_x) dE_x \quad (2)$$

$$\zeta(E_x) = \int_0^\infty \frac{dE_r}{1 + \exp[(E_r + E_x - E_F)/(k_B T)]} \quad (3)$$

ここで、eは素電荷、mは真空中における電子の質量、hはプランク定数、 k_B はボルツマン定数、Tは絶対温度である。また、 E_x は電子のトンネル方

向の位置 x におけるエネルギーであって E を電子の持つエネルギーとしたとき $E_x = E - E_r$ と表され、 E_F はトンネル絶縁膜のフェルミレベル、 $P^*(E_x)$ はアシストレベルがない場合のトンネル絶縁膜を流れる電子の実効的トンネル確率である。

[0026] トンネル絶縁膜 3、金属酸化膜 4 の誘電率をそれぞれ ε_1 、 ε_2 とし、トンネル絶縁膜 3、金属酸化膜 4 にかかる電圧を V_1 、 V_2 としたとき、トンネル絶縁膜 3、金属酸化膜 4 にかかる実電界 E_1 、 E_2 は、

$$\varepsilon_{ox} E_{ox} = \varepsilon_1 E_1 = \varepsilon_2 E_2 \quad (4)$$

となる。ここで、 ε_{ox} ($= 3.9$) は SiO_2 の誘電率である。なお、実電界 E_1 、 E_2 は、

$$E_1 = V_1 / T_1, \quad E_2 = V_2 / T_2 \quad (5)$$

と定義した。

[0027] また、(2) 式の実効的なトンネル確率 $P^*(E_x)$ は、

[数3]

$$P^*(E_x) = P_{FN}(\phi_{b1}^*, m_1^*, E_1) P_{FN}^{-1}(\phi_{b1}^* - V_1, m_1^*, E_1) P_{FN}(\phi_{b2}^*, m_2^*, E_2) P_{FN}^{-1}(\phi_{b2}^* - V_2, m_2^*, E_2) \quad (6)$$

と表される。ここで、 $\phi_{b1}^* = \phi_{b1} + E_F - E_x$ 、 $\phi_{b2}^* = \phi_{b2} + E_F - E_x - V_1$ 、 m_1^* および m_2^* は、それぞれトンネル絶縁膜 3 および金属酸化膜 4 におけるトンネル電子の有効質量である。有効質量は典型的な値として $0.5m$ とした。ここで、 m は真空における電子の質量である。また、 P_{FN} は、Fowler-Nordheim (F-N) トンネルの確率であって、 $0 \leq E_x < \phi_b^*$ の場合は、次の (7) 式

[数4]

$$P_{FN}(\phi_b^*, m^*, E) = \exp \left[- \frac{8\pi(2m^*)^{1/2}}{3heE} \phi_b^{*1/2} \right] \quad (7)$$

で定義され、 $\phi_b^* \leq E_x$ の場合は、次の (8) 式

$$T_{FN}(\phi_b^*, m^*, E) = 1 \quad (8)$$

で定義される。ここで、 m^* はトンネル絶縁膜中をトンネルしている電子の有

効質量、 ϕ_b^* はトンネル絶縁膜の実効的なバリアハイト、 E_F はフェルミレベル、 E_x は電子のトンネル方向のエネルギー、 e は素電荷、 h はプランク定数、 E_1 および E_2 はそれぞれトンネル絶縁膜3および金属酸化膜4における実電界を示す。なお、F-Nトンネルとは、電子が絶縁膜の傾斜した伝導帯を通り抜けるトンネルを意味する。トンネル確率は、(5)式に示すように、このF-Nトンネル確率の組み合わせで表現できる。

[0028] 例として、トンネル絶縁膜3の膜厚を3 nm、金属酸化膜4の膜厚を0.4 nmとし、電子放出量 J_e および正孔注入量 J_h の酸化膜電界依存性を計算した結果を図10(a)、10(b)に実線でそれぞれ示す。比較のためにトンネル絶縁膜がSiO₂膜の単層からなる場合を波線で示す。ここで、実際は電荷蓄積層からデトラップする電子は蓄積膜中にトラップされて、束縛されている状態であるが、計算では電子も正孔も自由電子、自由正孔として扱った。図10(a)、10(b)からわかるように、消去時の電界 $E_{ox} = 1.5 \text{ MV/cm}$ においては、電子のデトラップ量はトンネル絶縁膜がSiO₂膜の単層である場合に比べて増加するが、正孔注入量はほとんど変化しないことがわかる。また、金属酸化膜としてAl₂O₃膜を挿入しない場合に比べて、挿入した場合における、消去時の電界($E_{ox} = 1.5 \text{ MV/cm}$)を印加したときの電子デトラップの増加割合を図11(a)に示し、正孔の注入増加割合を図11(b)に示す。図11(a)、11(b)において、横軸はAl₂O₃の膜厚を示し、黒丸はシミュレーション結果を示し、白丸は外挿した点を示す。これらの結果から、金属酸化膜4としてのAl₂O₃膜の膜厚 $T_{Al_2O_3}$ が $0 < T_{Al_2O_3} < 0.47 \text{ nm}$ の時、消去電界での電子デトラップは促進されるが、正孔注入量は変わらないことがわかる。また、 $T_{Al_2O_3} \geq 0.47 \text{ nm}$ では、電子デトラップの増加割合は1未満になり、電子デトラップが抑制されることがわかる。すなわち、 $0 < T_{Al_2O_3} < 0.47 \text{ nm}$ の時、金属酸化膜4を挿入した場合の方が、正孔注入による消去に対する電子デトラップによる消去の割合が多くなり、このため、同じ消去特性を得る場合に、正孔注入量を減少させることが可能となり、トンネル絶縁膜4の劣化を抑制

することができる。ここで、 Al_2O_3 膜4の膜厚が格子定数(0.47 nm)未満であることは、言い換えると、Alの面密度が $2.2 \times 10^{15} \text{ atoms/cm}^2$ 未満であることを意味する。

[0029] なお、電荷トラップ膜が Si_3N_4 膜の場合は、金属酸化膜4として、 Al_2O_3 の他に、 HfO_2 、 MgO 、 TiO_2 、または ZrO_2 を用いることができる。また、電荷トラップ膜がハフニア(HfO_2 膜)の場合は、金属酸化膜4として、 HfO_2 よりもダイポールが大きくなる材料、たとえば、 Al_2O_3 、 TiO_2 、または ZrO_2 を用いることができる。この場合、トンネル絶縁膜3の劣化を抑制するための金属酸化膜4の膜厚の上限は、それぞれの材料の格子定数から求められる。 HfO_2 の格子定数は0.51 nm、 MgO の格子定数は0.41 nm、 TiO_2 の格子定数は0.46 nm、 ZrO_2 の格子定数は0.52 nmであるから、金属酸化膜4の材料として、 HfO_2 、 MgO 、 TiO_2 、または ZrO_2 を用いた場合の金属酸化膜4の膜厚の上限はそれぞれ、0.51 nm、0.41 nm、0.46 nm、または0.52 nmとなる。金属酸化膜4すなわち界面領域4における面密度で表現すると、Hfが $1.3 \times 10^{15} \text{ atoms/cm}^2$ 、Mgが $2.2 \times 10^{15} \text{ atoms/cm}^2$ 、Tiが $2.9 \times 10^{15} \text{ atoms/cm}^2$ 、Zrが $1.5 \times 10^{15} \text{ atoms/cm}^2$ 未満となる。

[0030] なお、金属酸化膜はスパッタ法、ALD法またはCVD法によって、金属酸化膜を堆積することができる。

[0031] 以上説明したように、本実施形態によれば、電子デトラップによる消去が促進され、書き込みおよび消去ストレスによって引き起こされるトンネル絶縁膜の劣化を抑制することができる。

[0032] (第2実施形態)

次に、本発明の第2実施形態による不揮発性半導体記憶装置を図12に示す。本実施形態の不揮発性半導体記憶装置は、ドーピングされたポリシリコンなどからなる制御ゲートと、シリコン酸化膜などからなる層間絶縁膜を多重に堆積させた積層構造を有するMONOS型の半導体メモリあって、複数

のメモリセルを備えている。

[0033] 本実施形態の不揮発性半導体記憶装置は、図示しない基板上に、ドーピングされたポリシリコンなどからなる制御ゲート202と、シリコン酸化膜などからなる層間絶縁膜203とを多重に堆積させた積層構造200を有している(図12)。この積層構造200には、積層方向に沿って設けられた開口204が設けられている。この開口204の内壁に高誘電率絶縁膜またはシリコン酸化膜からなるブロック絶縁膜205が形成されている。開口204の内壁に形成されたブロック絶縁膜205の内側(積層構造200と反対側)の表面を覆うように電荷トラップ膜206となるシリコン窒化膜が形成されている。シリコン窒化膜206の内側(ブロック絶縁膜205と反対側)の表面を覆うように金属酸化膜207、例えば Al_2O_3 膜が形成されている。この金属酸化膜207の内側(シリコン窒化膜206と反対側)の表面を覆うようにトンネル絶縁膜208が形成されている。第1実施形態と同様に、金属酸化膜207は非常に薄く、トンネル絶縁膜208と、電荷トラップ膜206との界面のトンネル絶縁膜208側の領域(界面領域)に形成され、この界面領域207に金属原子を含み、この金属原子がトンネル絶縁膜208の酸素と結合している。したがって、金属酸化膜207はトンネル絶縁膜208に含まれる。なお、このトンネル絶縁膜208は、シリコン酸化膜の単層であってもよいし、シリコン酸窒化膜の単層でもよい。ただし、シリコン酸窒化膜の単層である場合には、膜厚方向に窒素の濃度分布を有していてもよく、後述する半導体層208との界面または電荷トラップ膜206との界面に窒素が含まれない領域があってもよい。トンネル絶縁膜208の内側(金属酸化膜207と反対側)の表面を覆うようにチャネルとなる半導体層209が形成されている。なお、金属酸化膜207としては、電荷トラップ膜206からトンネル絶縁膜208の方向にダイポールを形成する材料、すなわち、電荷トラップ膜206側に正の電荷が存在し、トンネル絶縁膜208側に負の電荷が存在する材料、例えば Al_2O_3 、 HfO_2 、 ZrO_2 、 TiO_2 、 MgO のグループから選択された材料が用いられる。すなわち、金

属酸化膜 207 としては、Al、Hf、Zr、Ti、Mg のグループから選択された一つの元素を含んでいる。なお、金属酸化膜 207 の膜厚は、第 1 実施形態の場合と同様に、0 より大きく、金属酸化膜 207 を構成する材料の格子定数未満であることが好ましい。

[0034] このように構成された本実施形態の不揮発性半導体記憶装置は 3 次元構造を有する半導体記憶装置であって、第 1 実施形態と同様に、トンネル絶縁膜 208 と、電荷トラップ膜 206 との間に金属酸化膜 207 が設けられているので、トンネル絶縁膜 208 と金属酸化膜 208 との界面にダイポールが発生する。これにより、第 1 実施形態と同様に、電子の放出による消去が促進され、トンネル絶縁膜の劣化を抑制することができる。

[0035] 第 1 および第 2 実施形態においては、金属酸化膜 4 の膜厚は、0 より大きく、金属酸化膜 4 を構成する材料の格子定数未満であった。すなわち、金属酸化膜 4 は、トンネル絶縁膜 3 と、電荷トラップ膜 5 との界面のトンネル絶縁膜 3 側の界面領域 4 であって、この界面領域 4 に金属原子を含み、この金属原子がトンネル絶縁膜 3 の酸素と結合しダイポールを形成している。すなわち、トンネル絶縁膜 3 と電荷トラップ膜 5 との界面に、Al、Hf、Zr、Ti、Mg のグループから選択された少なくとも一つの金属原子が存在し、この金属原子が電荷トラップ膜 5 に拡散していてもよい。

[0036] また、本実施形態においては、3 次元構造を有する不揮発性半導体記憶装置について説明したが、例えば、フィン型不揮発性半導体記憶層、ナノワイヤー型不揮発性半導体記憶装置、特開 2007-266143 号公報に記載された不揮発性半導体記憶装置、または R. Katsumata et al., 2009 VLSI symposium p136 に示す 3 次元に積層された不揮発性半導体記憶装置にも適用することができる。

符号の説明

- [0037] 1 半導体層
2 a ソース領域
2 b ドレイン領域

- 3 トンネル絶縁膜
- 4 金属酸化膜（界面領域）
- 5 電荷トラップ膜
- 6 ブロック絶縁膜
- 7 制御ゲート電極
- 8 スペース膜
- 10 メモリセル
- 200 積層構造
- 202 制御ゲート
- 203 層間絶縁膜
- 204 開口
- 205 ブロック絶縁膜
- 206 電荷トラップ膜
- 207 金属酸化膜
- 208 トンネル絶縁膜
- 209 半導体層（チャネル）

請求の範囲

- [請求項1] 半導体層と、
 前記半導体層上に形成され、酸化シリコンまたは酸化窒化シリコンを含む単層膜からなる第1絶縁膜と、
 前記第1絶縁膜上に形成された電荷トラップ膜と、
 前記電荷トラップ膜上に形成された第2絶縁膜と、
 前記第2絶縁膜上に形成された制御ゲート電極と、
 を備え、前記第1絶縁膜と前記電荷トラップ膜との界面に、Al、Hf、Zr、Ti、Mgのグループから選択された金属原子が存在していることを特徴とする不揮発性半導体記憶装置。
- [請求項2] 前記トンネル絶縁膜の界面領域における前記金属原子の面密度は、前記金属原子がHfの場合は $1.3 \times 10^{15} \text{ atomic/cm}^2$ 未満であり、Mgの場合は $2.2 \times 10^{15} \text{ atomic/cm}^2$ 未満であり、Tiの場合は $2.9 \times 10^{15} \text{ atomic/cm}^2$ 未満であり、Zrの場合は $1.5 \times 10^{15} \text{ atomic/cm}^2$ 未満であることを特徴とする請求項1記載の不揮発性半導体記憶装置。
- [請求項3] 前記第1絶縁膜はシリコン酸化膜であり、膜厚が1.8nm以上5nm未満であることを特徴とする請求項1記載の不揮発性半導体記憶装置。
- [請求項4] 前記第1絶縁膜はシリコン酸化窒化膜であり、このシリコン酸化窒化膜の窒素濃度が20at%未満であることを特徴とする請求項1記載の不揮発性半導体記憶装置。
- [請求項5] 前記電荷トラップ膜はシリコン窒化膜であることを特徴とする請求項1記載の不揮発性半導体記憶装置。
- [請求項6] 前記電荷トラップ膜はハフニアであり、前記金属原子はAl、Zr、Tiのグループから選択されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

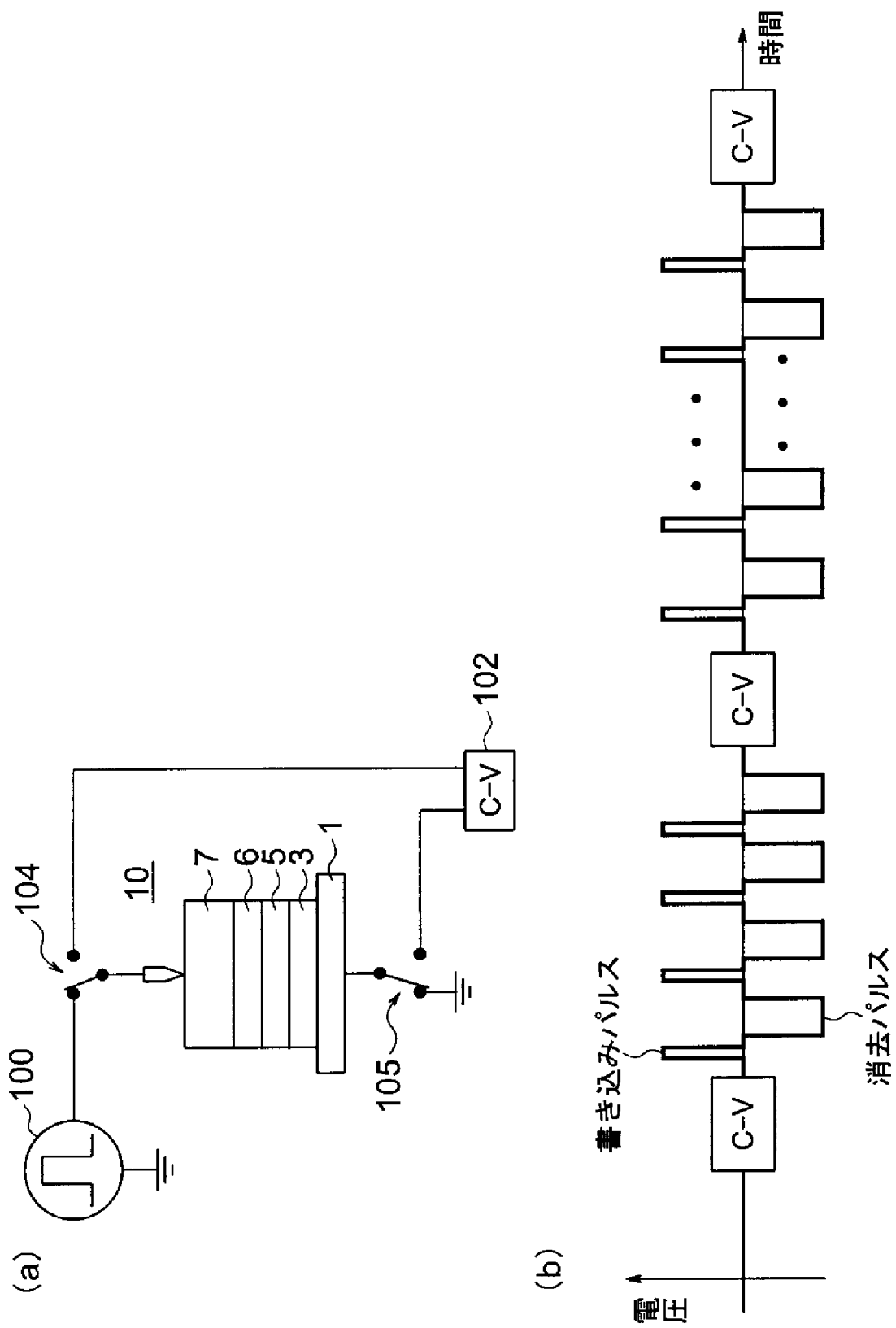
補正された請求の範囲

[2010年5月26日 (26.05.2010) 国際事務局受理]

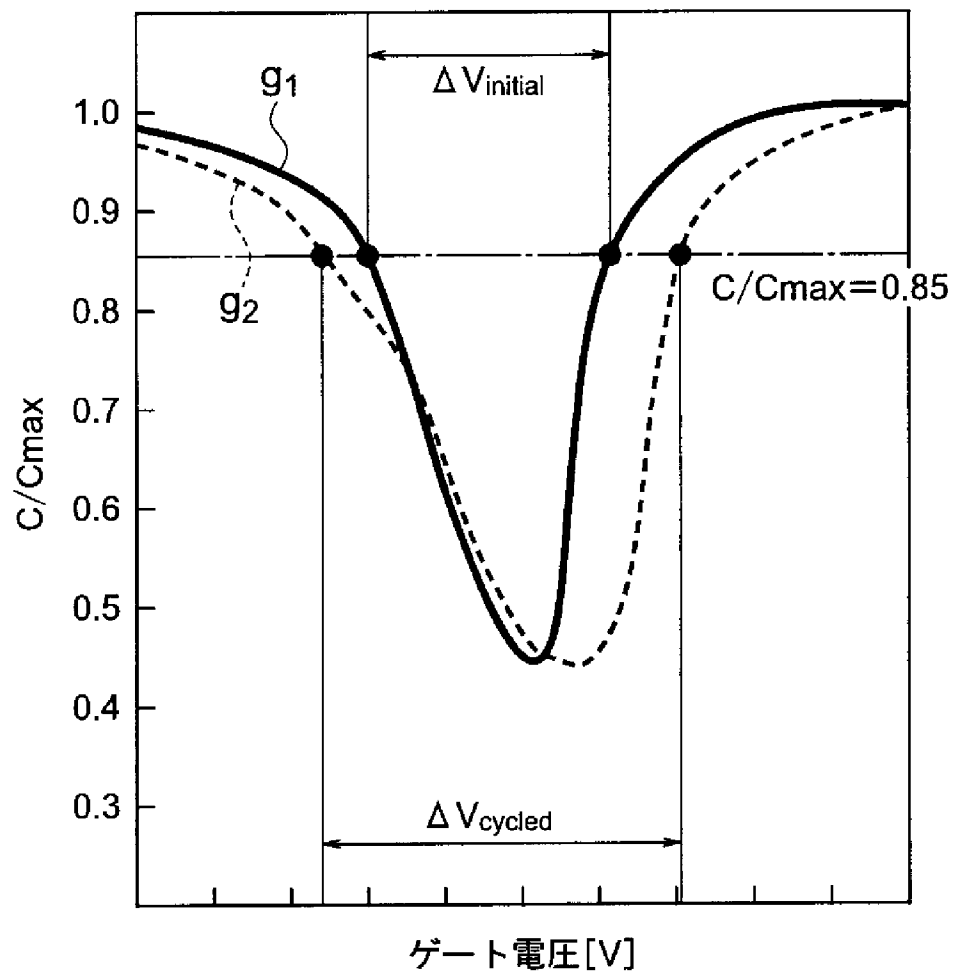
- [請求項 1] (補正後) 半導体層と、
前記半導体層上に形成され、酸化シリコンまたは酸窒化シリコンを含む単層膜からなる第 1 絶縁膜と、
前記第 1 絶縁膜上に形成された電荷トラップ膜と、
前記電荷トラップ膜上に形成された第 2 絶縁膜と、
前記第 2 絶縁膜上に形成された制御ゲート電極と、
を備え、前記第 1 絶縁膜と前記電荷トラップ膜との界面に、 Al_2O_3 、 HfO_2 、 ZrO_2 、 TiO_2 、 MgO のグループから選択された化学量論的組成の金属酸化物が存在し、前記電荷トラップ膜は前記金属酸化物とは異なる材料であることを特徴とする不揮発性半導体記憶装置。
- [請求項 2] (補正後) 前記トンネル絶縁膜の界面領域における前記金属酸化物の金属原子の面密度は、前記金属原子が Hf の場合は $1.3 \times 10^{15} \text{ atomic/cm}^2$ 未満であり、 Mg の場合は $2.2 \times 10^{15} \text{ atomic/cm}^2$ 未満であり、 Ti の場合は $2.9 \times 10^{15} \text{ atomic/cm}^2$ 未満であり、 Zr の場合は $1.5 \times 10^{15} \text{ atomic/cm}^2$ 未満であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。
- [請求項 3] 前記第 1 絶縁膜はシリコン酸化膜であり、膜厚が 1.8 nm 以上 5 nm 未満であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。
- [請求項 4] 前記第 1 絶縁膜はシリコン酸窒化膜であり、このシリコン酸窒化膜の窒素濃度が $20 \text{ at\%}$ 未満であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。
- [請求項 5] 前記電荷トラップ膜はシリコン窒化膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。
- [請求項 6] (補正後) 前記電荷トラップ膜はハフニアであり、前記金属酸化物の

金属原子はA l、Z r、T iのグループから選択されることを特徴とする請求項1記載の不揮発性半導体記憶装置。

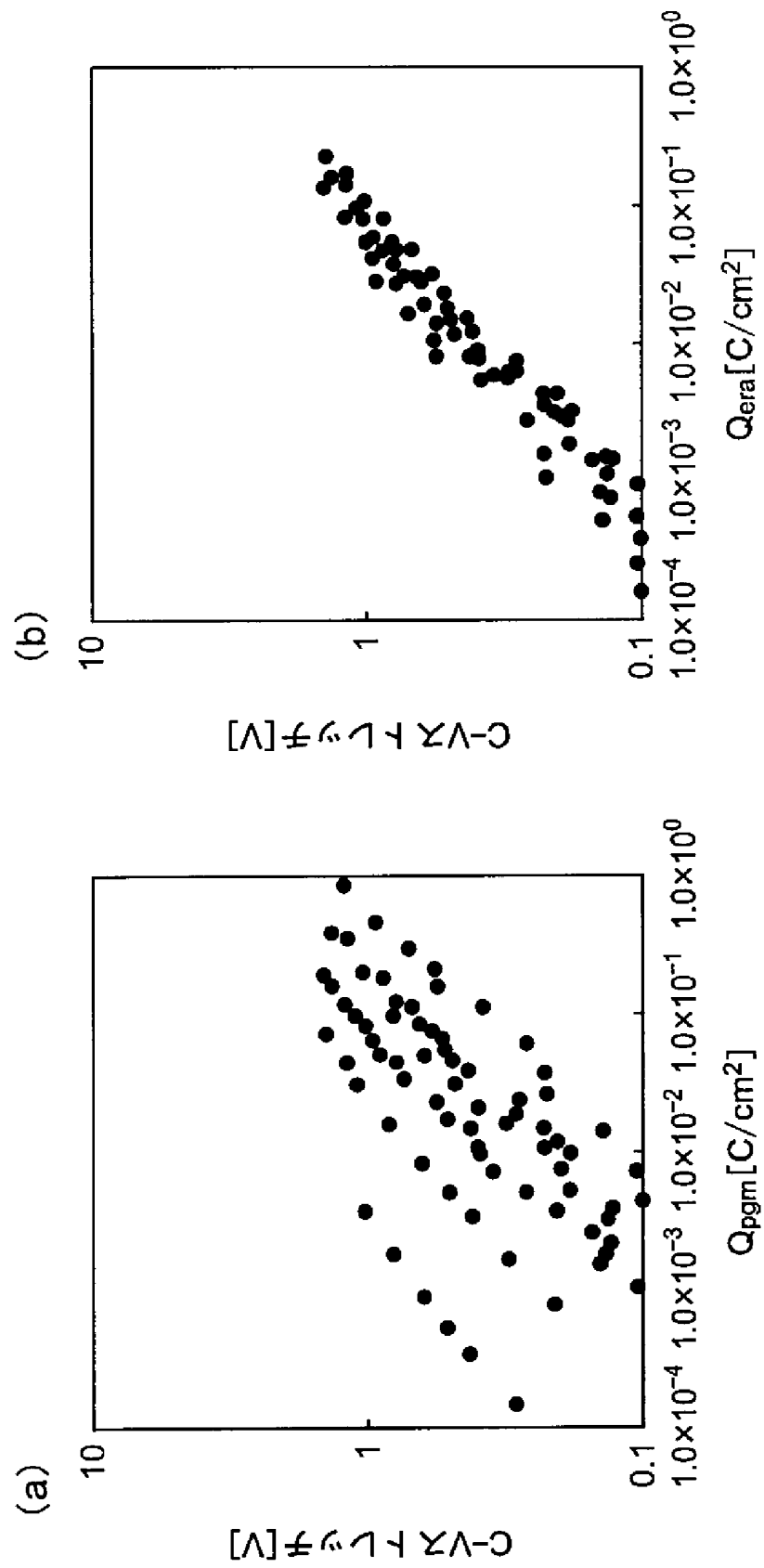
[図1]



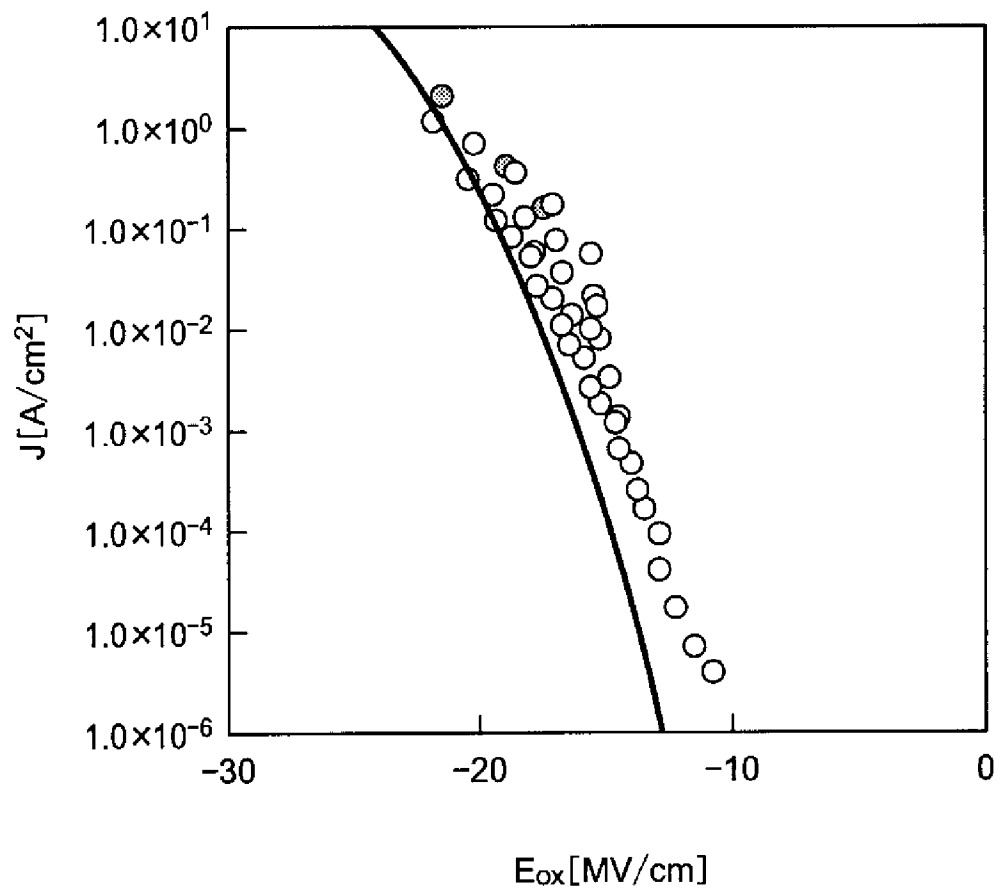
[図2]



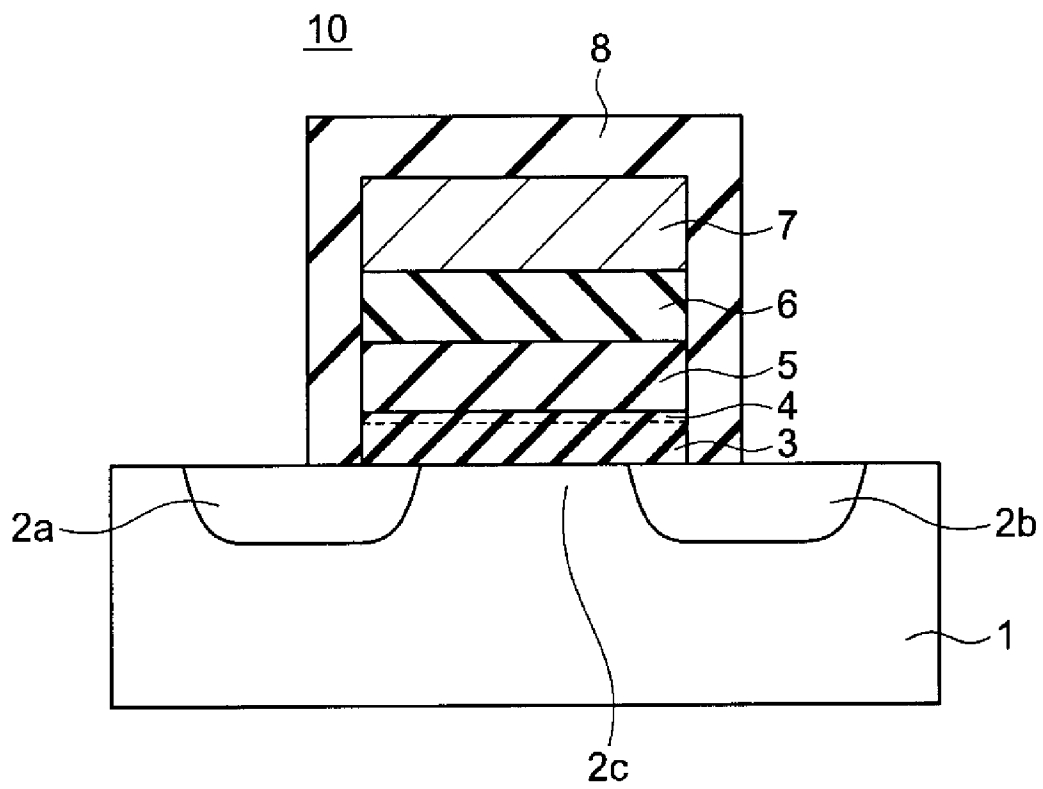
[図3]



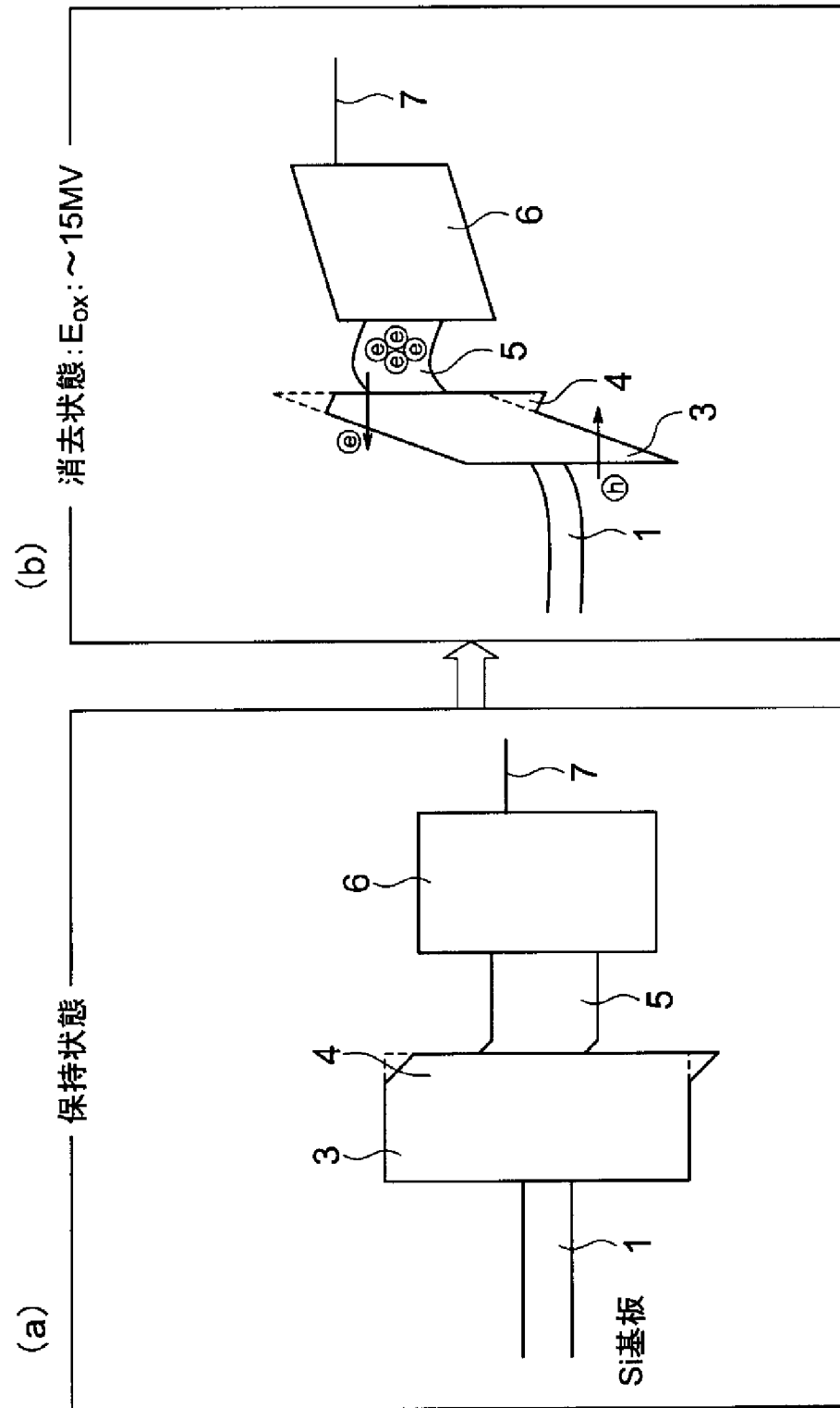
[図4]



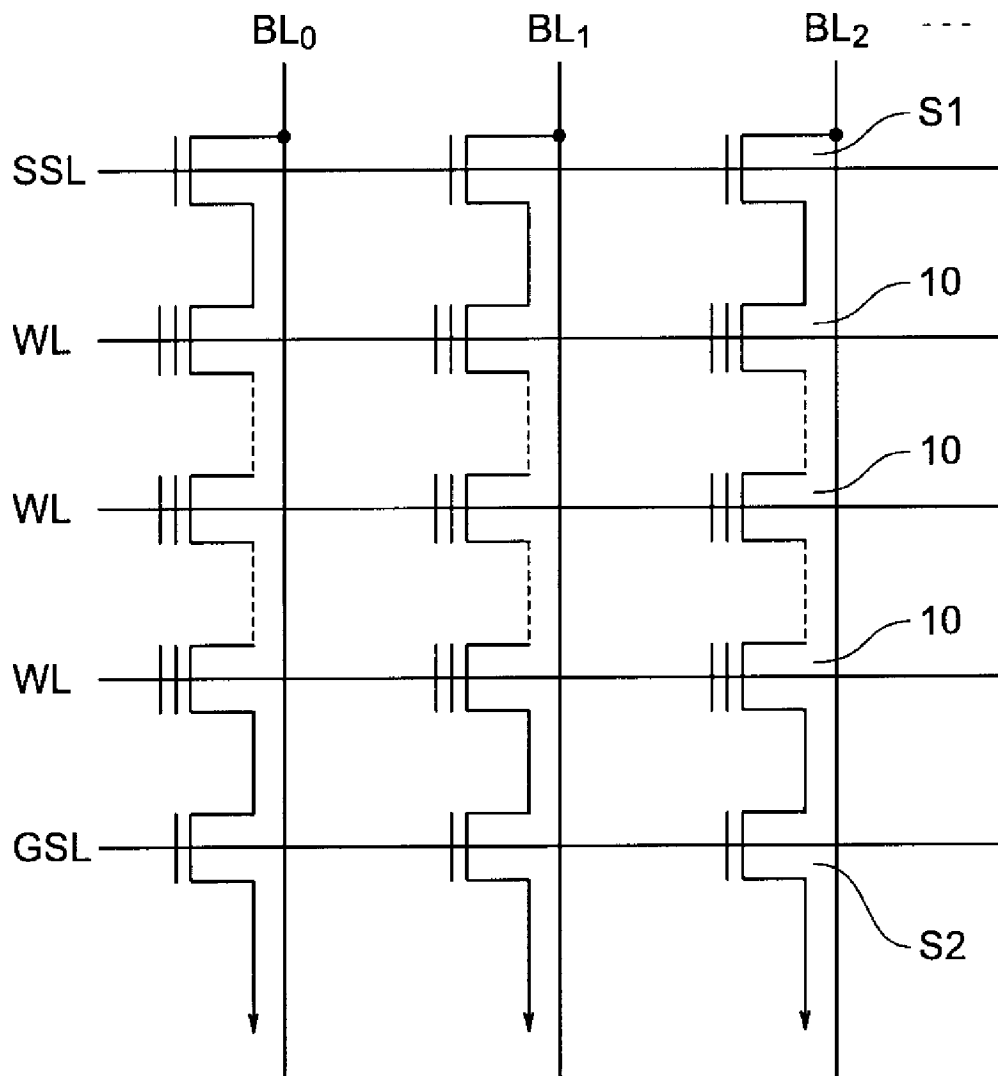
[図5]



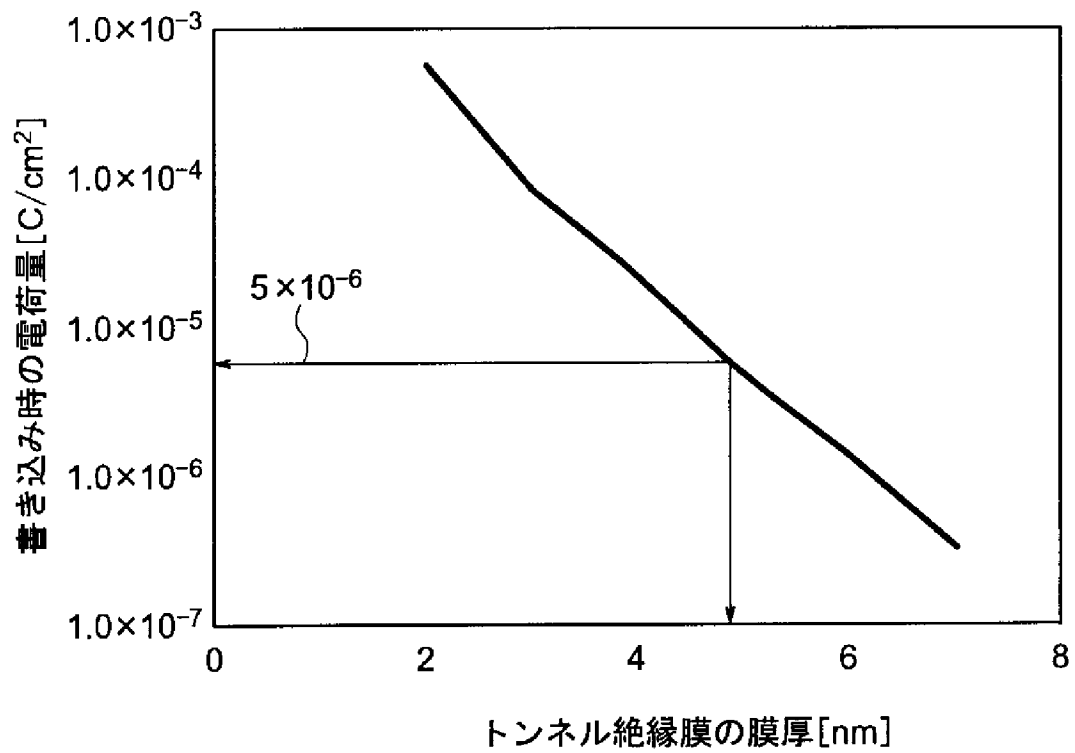
[図6]



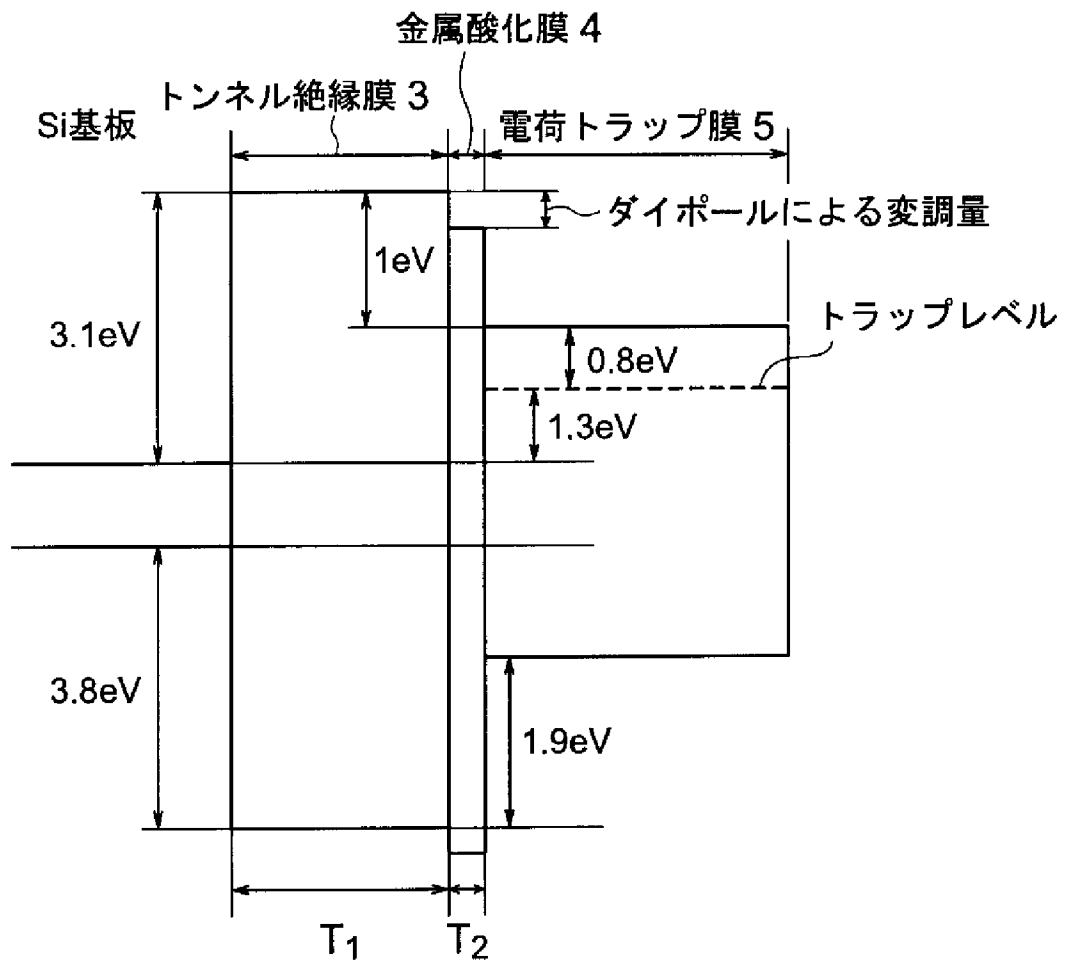
[図7]



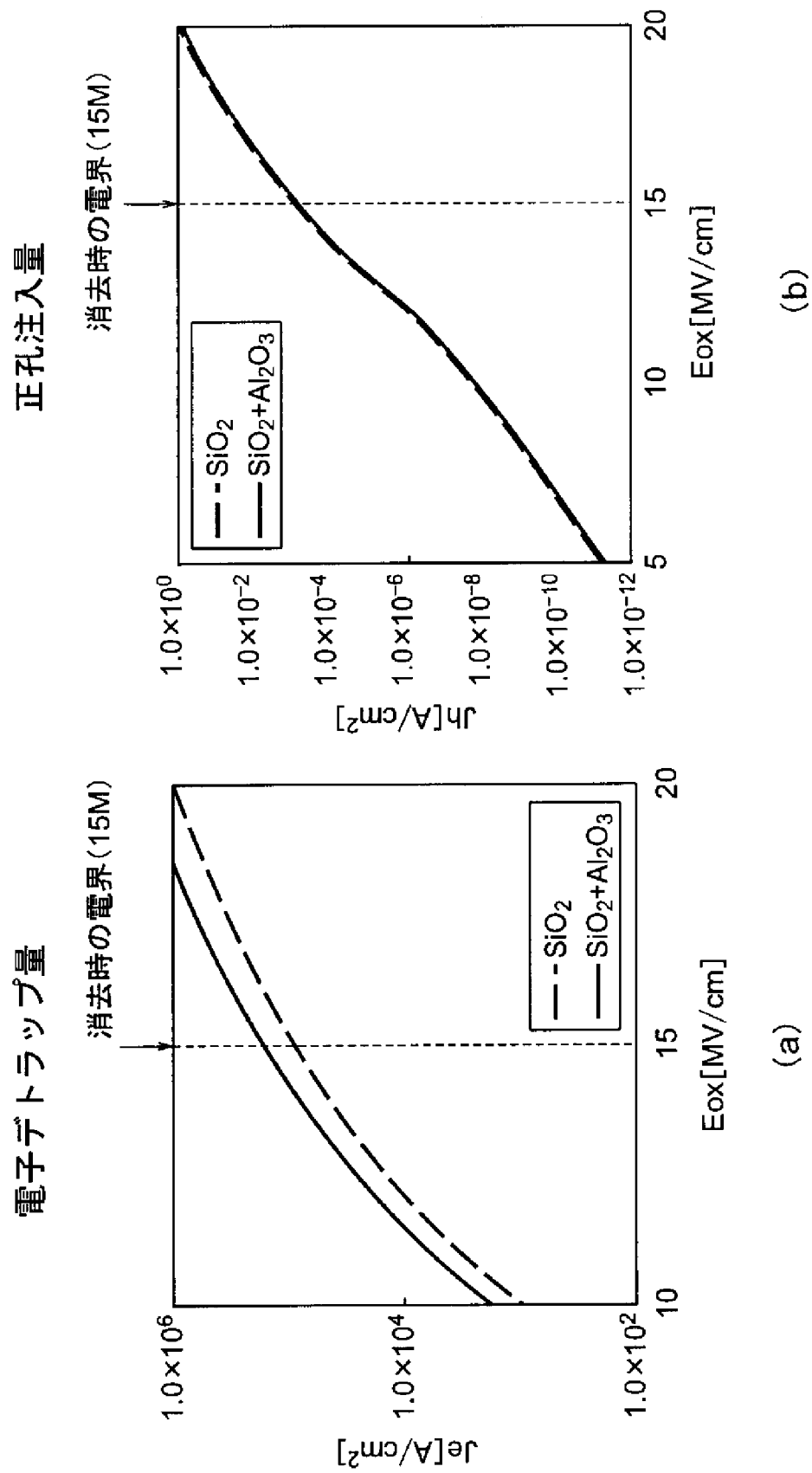
[図8]



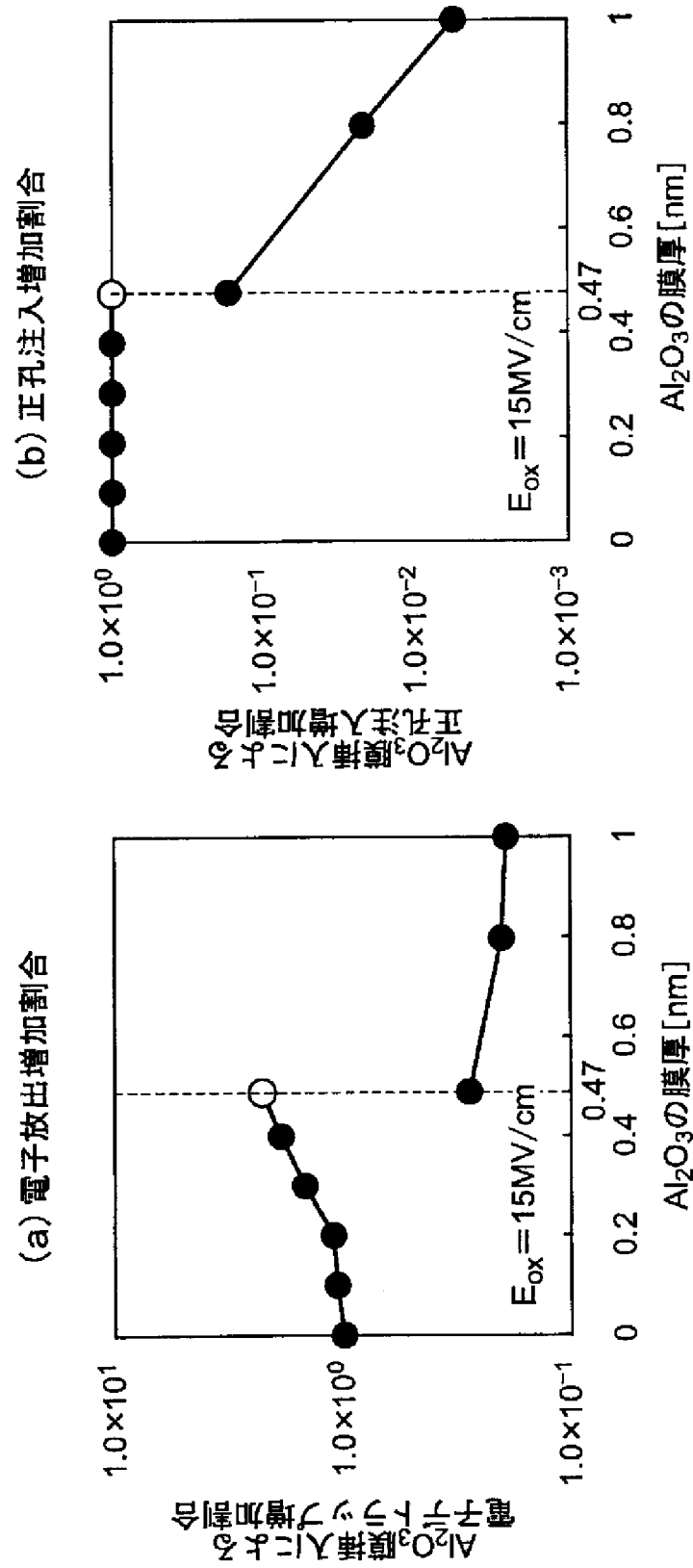
[図9]



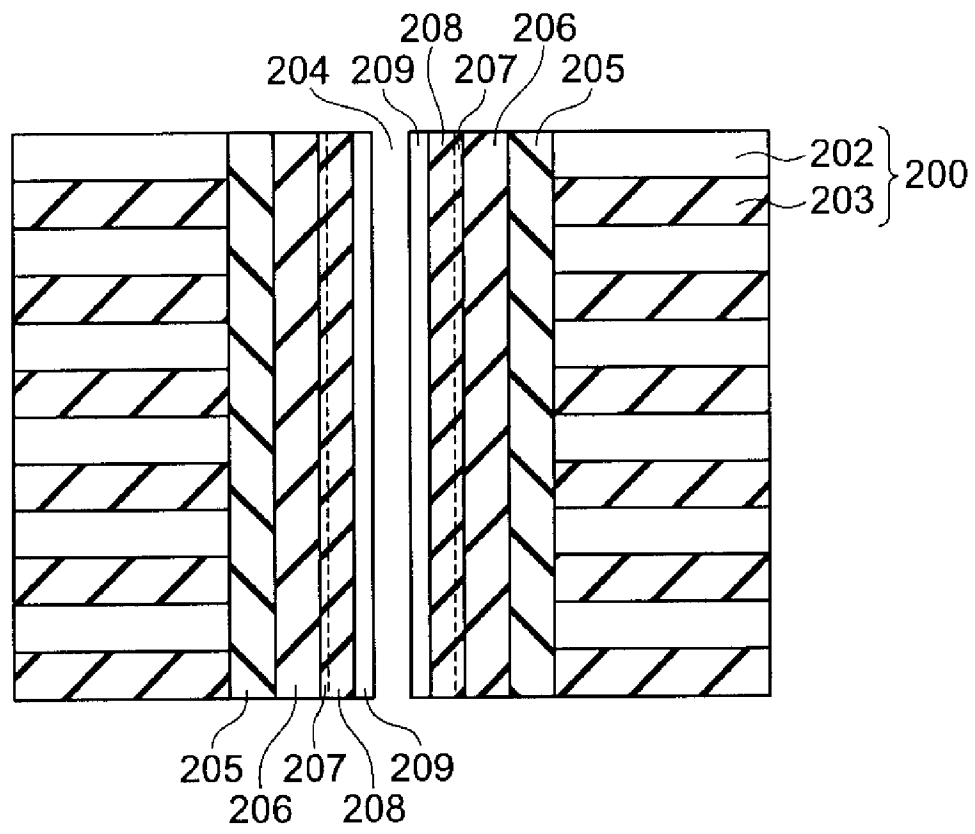
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068845

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i,
H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-212321 A (Nippon Telegraph And Telephone Corp.), 17 September 2009 (17.09.2009), paragraphs [0021] to [0029]; fig. 1 to 5 (Family: none)	1, 5-6 2-4
X Y	JP 2006-324351 A (Nippon Telegraph And Telephone Corp.), 30 November 2006 (30.11.2006), paragraphs [0031] to [0049]; fig. 1 to 5C (Family: none)	1-2, 6 3-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
20 January, 2010 (20.01.10)

Date of mailing of the international search report
02 February, 2010 (02.02.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/068845

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-231373 A (Toshiba Corp.), 08 October 2009 (08.10.2009), paragraphs [0020] to [0022], [0039] to [0043], [0047] to [0049], [0070], [0087] to [0092]; fig. 1 to 3, 10 to 11, 22 to 23, 53 to 54 (Family: none)	1, 3, 5 4
X Y	JP 2009-81203 A (Toshiba Corp.), 16 April 2009 (16.04.2009), paragraphs [0128] to [0136], [0141] to [0150]; fig. 37, 39 & US 2009/0078983 A1 & CN 101399290 A	1-2, 6 4
Y	JP 2004-103902 A (Sony Corp.), 02 April 2004 (02.04.2004), paragraphs [0028] to [0034], [0042]; fig. 2 to 3 (Family: none)	4

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-212321 A (日本電信電話株式会社) 2009.09.17, 段落【0021】-【0029】, 図1-5 (ファミリーなし)	1, 5-6 2-4
X Y	JP 2006-324351 A (日本電信電話株式会社) 2006.11.30, 段落【0031】-【0049】, 図1-5 C (ファミリーなし)	1-2, 6 3-4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 1 . 2 0 1 0

国際調査報告の発送日

0 2 . 0 2 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小川 将之

4 M

9 6 3 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-231373 A (株式会社東芝) 2009. 10. 08, 段落【0020】－【0022】、【0039】－【0043】、【0 047】－【0049】、【0070】、【0087】－【0092】、 図1－3、10－11、22－23、53－54 (ファミリーなし)	1, 3, 5 4
X Y	JP 2009-81203 A (株式会社東芝) 2009. 04. 16, 段落【0128】－【0136】、【0141】－【0150】、 図37、39 & US 2009/0078983 A1 & CN 101399290 A	1-2, 6 4
Y	JP 2004-103902 A (ソニー株式会社) 2004. 04. 02, 段落【0028】－【0034】、【0042】、図2－3 (ファミリーなし)	4