



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I441181 B

(45)公告日：中華民國 103 (2014) 年 06 月 11 日

(21)申請案號：099130478

(22)申請日：中華民國 99 (2010) 年 09 月 09 日

(51)Int. Cl. : G11C16/00 (2006.01)

(71)申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION INC. (TW)
新竹縣竹北市台元街 36 號 8 樓之 1

(72)發明人：楊宗杰 YANG, TSUNG CHIEH (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 5027374	US 2007/0266303A1
US 2008/0162791A1	US 2009/0094505A1
US 2009/0129169A1	US 2009/0132755A1
US 2009/0132889A1	US 2010/0199149A1

審查人員：蕭明椿

申請專利範圍項數：30 項 圖式數：15 共 0 頁

(54)名稱

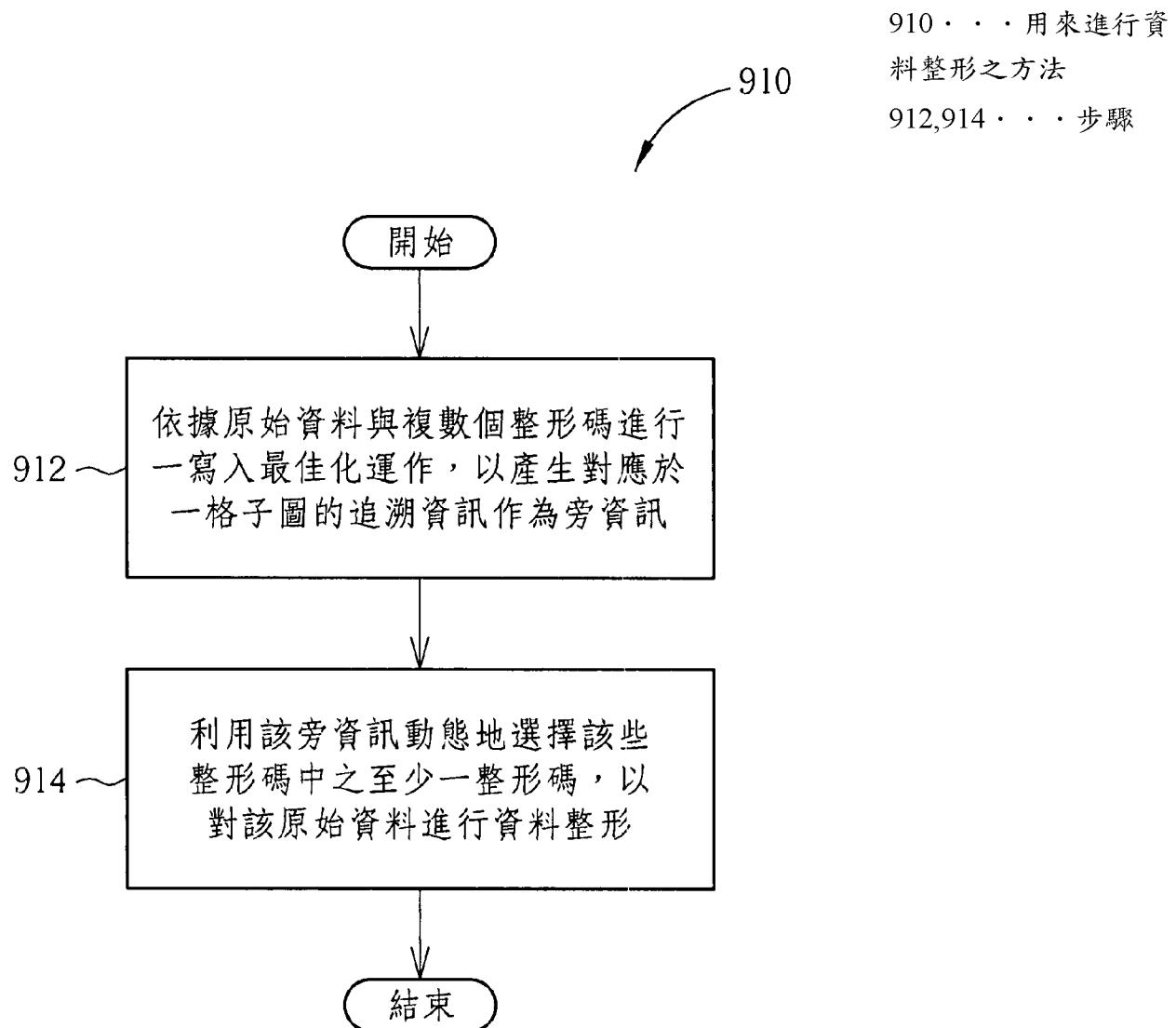
用來進行資料整形之方法以及其記憶裝置及控制器

METHOD FOR PERFORMING DATA SHAPING, AND ASSOCIATED MEMORY DEVICE AND
CONTROLLER THEREOF

(57)摘要

本發明提供一種用來進行資料整形之方法，該方法係應用於一快閃記憶體的控制器，該快閃記憶體包含複數個區塊，該方法包含有：依據原始資料與複數個整形碼進行一寫入最佳化運作，以產生對應於一格子圖的追溯資訊作為旁資訊；以及依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。本發明另提供相關之記憶裝置及其控制器。

A method for performing data shaping is provided. The method is applied to a controller of a Flash memory, where the Flash memory includes a plurality of blocks. The method includes: performing a program optimization operation according to original data and a plurality of shaping codes, in order to generate trace back information corresponding to a Trellis diagram and utilize the trace back information as side information; and dynamically selecting at least one shaping code from the shaping codes according to the side information to perform data shaping on the original data. An associated memory device and a controller thereof are also provided.



第2圖

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99130418

99. 9. 09

※申請日： 99. 9. 09 ※IPC 分類：

一、發明名稱：(中文/英文)

G11C 16/00

2006.01

用來進行資料整形之方法以及其記憶裝置及控制器/METHOD FOR
PERFORMING DATA SHAPING, AND ASSOCIATED MEMORY
DEVICE AND CONTROLLER THEREOF

二、中文發明摘要：

本發明提供一種用來進行資料整形之方法，該方法係應用於一快閃記憶體的控制器，該快閃記憶體包含複數個區塊，該方法包含有：依據原始資料與複數個整形碼進行一寫入最佳化運作，以產生對應於一格子圖的追溯資訊作為旁資訊；以及依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。本發明另提供相關之記憶裝置及其控制器。

三、英文發明摘要：

A method for performing data shaping is provided. The method is applied to a controller of a Flash memory, where the Flash memory includes a plurality of blocks. The method includes: performing a program optimization operation according to original data and a plurality of shaping codes, in order to generate trace back information

I441181

corresponding to a Trellis diagram and utilize the trace back information as side information; and dynamically selecting at least one shaping code from the shaping codes according to the side information to perform data shaping on the original data. An associated memory device and a controller thereof are also provided.

EP(x)
2012066436

四、指定代表圖：

(一)本案指定代表圖為：第（2）圖。

(二)本代表圖之元件符號簡單說明：

910 用來進行資料整形之方法

912, 914 步驟

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係有關於快閃記憶體（Flash Memory）之存取（Access），尤指一種用來進行資料整形（Data Shaping）之方法以及相關之記憶裝置及其控制器。

【先前技術】

近年來由於快閃記憶體的技術不斷地發展，各種可攜式記憶裝置（例如：符合 SD/MMC、CF、MS、XD 標準之記憶卡）或具備快閃記憶體之固態硬碟（Solid State Drive, SSD）被廣泛地實施於諸多應用中。因此，這些記憶裝置中之快閃記憶體的存取控制遂成為相當熱門的議題。

以常用的 NAND 型快閃記憶體而言，其主要可區分為單階細胞（Single Level Cell, SLC）與多階細胞（Multiple Level Cell, MLC）兩大類之快閃記憶體。單階細胞快閃記憶體中之每個被當作記憶單元的電晶體只有兩種電荷值，分別用來表示邏輯值 0 與邏輯值 1。另外，多階細胞快閃記憶體中之每個被當作記憶單元的電晶體的儲存能力則被充分利用，係採用較高的電壓來驅動，以透過不同級別的電壓在一個電晶體中記錄兩組（或以上）位元資訊（00、01、11、

10)；理論上，多階細胞快閃記憶體的記錄密度可以達到單階細胞快閃記憶體的記錄密度之兩倍，這對於曾經在發展過程中遇到瓶頸的NAND型快閃記憶體之相關產業而言，是非常好的消息。

相較於單階細胞快閃記憶體，由於多階細胞快閃記憶體之價格較便宜，並且在有限的空間裡可提供較大的容量，故多階細胞快閃記憶體很快地成為市面上之可攜式記憶裝置競相採用的主流。然而，多階細胞快閃記憶體的不穩定性所導致的問題也一一浮現。為了確保記憶裝置對快閃記憶體之存取控制能符合相關規範，快閃記憶體的控制器通常備有某些管理機制以妥善地管理資料之存取。

依據相關技術，有了這些管理機制的記憶裝置還是有不足之處。舉例來說，使用者可能基於其使用習慣而不斷地寫入具有某些特定資料型樣的資料，而這些特定資料型樣特別容易造成錯誤（例如：寫入錯誤、讀取錯誤...等）；雖然在記憶裝置中設置有隨機函數發生器（Randomizer）來調整資料以期解決這樣的問題，卻由於傳統的低成本設計，以致調整後的資料不夠隨機。另外，一旦快閃記憶體的資料儲存樣態有特定的限制，可能發生硬體資源不足與增加成本之間的取捨（Trade-off）的問題。因此，需要一種新穎的方法針對該控制器所存取之資料來進行妥善的資料型樣管理，以減少錯誤的發生。

【發明內容】

因此本發明之目的之一在於提供一種用來進行資料整形（Data Shaping）之方法以及相關之記憶裝置及其控制器，以解決上述問題。

本發明之另一目的在於提供一種用來進行資料整形之方法以及相關之記憶裝置及其控制器，以抑制資料錯誤。

本發明之另一目的在於提供一種用來進行資料整形之方法以及相關之記憶裝置及其控制器，以便在可供用來進行資料整形之整形碼（Shaping Code）的數量甚多的狀況下，仍可以迅速地篩選適用的整形碼，且不需要實施龐大的硬體架構。

本發明之較佳實施例中提供一種用來進行資料整形之方法，該方法係應用於一快閃記憶體（Flash Memory）的控制器，該快閃記憶體包含複數個區塊，該方法包含有：依據原始資料與複數個整形碼進行一寫入最佳化（Program Optimization）運作，以產生對應於一格子圖（Trellis Diagram）的追溯（Trace Back）資訊作為旁資訊（Side Information）；以及依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。

本發明於提供上述方法之同時，亦對應地提供一種記憶裝置，其包含有：一快閃記憶體，該快閃記憶體包含複數個區塊；以及一控制器，用來存取（Access）該快閃記憶體以及管理該複數個區塊，並且另針對該控制器本身所存取之資料來進行資料整形。另外，該

控制器依據原始資料與複數個整形碼進行一寫入最佳化運作，以產生對應於一格子圖的追溯資訊作為旁資訊。此外，該控制器包含有至少一資料整形模組／資料重獲（Recovery）模組，用來依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。

本發明於提供上述方法之同時，亦對應地提供一種記憶裝置之控制器，該控制器係用來存取一快閃記憶體，該快閃記憶體包含複數個區塊，該控制器包含有：一唯讀記憶體（Read Only Memory, ROM），用來儲存一程式碼；一微處理器，用來執行該程式碼以控制對該快閃記憶體之存取以及管理該複數個區塊，其中在該微處理器之控制下，該控制器針對該控制器本身所存取之資料來進行資料整形。另外，該控制器依據原始資料與複數個整形碼進行一寫入最佳化運作，以產生對應於一格子圖的追溯資訊作為旁資訊。此外，該控制器另包含有至少一資料整形模組／資料重獲模組，用來依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。

【實施方式】

請參考第 1A 圖，第 1A 圖為依據本發明第一實施例之一種記憶裝置 100 的示意圖，其中本實施例之記憶裝置 100 尤其可為可攜式記憶裝置，例如：符合 SD/MMC、CF、MS、XD 標準之記憶卡，

或通用序列匯流排快閃碟（Universal Serial Bus Flash Drive, USB Flash Drive，亦稱為 USB Flash Disk），即所謂的隨身碟，但不以此為限。記憶裝置 100 包含有：一快閃記憶體（Flash Memory）120；以及一控制器，用來存取快閃記憶體 120，其中該控制器例如一記憶體控制器 110。依據本實施例，記憶體控制器 110 包含一微處理器 112、一唯讀記憶體（Read Only Memory, ROM）112M、一控制邏輯 114、一緩衝記憶體 116、與一介面邏輯 118。另外，控制邏輯 114 包含至少一資料整形模組／資料重獲（Recovery）模組，諸如一資料整形模組 114DS，且另包含一編碼器 114E 與一前處理器 114P，其中資料整形模組 114DS 包含一調整單元 114A、一附加單元 114AP、與一整形碼（Shaping Code）產生器 114G。實作上，調整單元 114A 可為一互斥或（Exclusive OR, XOR）邏輯閘或一加法器。請注意，在此係以可攜式記憶裝置為例；這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，記憶裝置 100 可為固態硬碟（Solid State Drive, SSD）。

於本實施例中，唯讀記憶體 112M 係用來儲存一程式碼 112C，而微處理器 112 則用來執行程式碼 112C 以控制對快閃記憶體 120 之存取（Access）。於典型狀況下，快閃記憶體 120 包含複數個區塊（Block），而該控制器（例如：透過微處理器 112 執行程式碼 112C 之記憶體控制器 110）對快閃記憶體 120 進行抹除資料之運作係以區塊為單位來進行抹除。另外，一區塊可記錄特定數量的頁（Page），其中上述之控制器對快閃記憶體 120 進行寫入資料之運作係以頁為

單位來進行寫入。

實作上，透過微處理器 112 執行程式碼 112C 之記憶體控制器 110 可利用其本身內部之元件來進行諸多控制運作，例如：利用控制邏輯 114 來控制快閃記憶體 120 之存取運作（尤其是對至少一區塊或至少一頁之存取運作）、利用緩衝記憶體 116 進行所需之緩衝處理、以及利用介面邏輯 118 來與一主裝置（Host Device）溝通。依據本實施例，除了能存取快閃記憶體 120，記憶體控制器 110 還能妥善地管理該複數個區塊。

另外，記憶體控制器 110 還可針對其本身所存取之資料（例如：資料 D1）來進行資料整形（Data Shaping）。尤其是，在微處理器 112 之控制下，針對記憶體控制器 110 本身所存取之資料，記憶體控制器 110 藉由利用上述之至少一資料整形模組／資料重獲模組（例如：資料整形模組 114DS）之運作來進行資料整形以抑制資料錯誤。更明確而言，該控制器（於本實施例中尤其是其內的前處理器 114P）依據複數個整形碼與原始資料諸如資料 D1 進行一寫入最佳化（Program Optimization）運作，以產生對應於一格子圖（Trellis Diagram）的追溯（Trace Back）資訊作為旁資訊（Side Information） I_{SIDE} ，而上述之至少一資料整形模組／資料重獲模組（例如：資料整形模組 114DS）則依據旁資訊 I_{SIDE} 動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。

於本實施例中，前處理器 114P 可依據資料 D1 與先前資料資訊 I_{PD} (即先前資料之資訊，例如快閃記憶體中前一記憶頁所儲存的資訊) 來產生旁資訊 I_{SIDE} ，其中該控制器可於接收到一寫入／讀取命令時利用旁資訊 I_{SIDE} 中之至少一部分或其代表資訊來進行相關運作，而該寫入／讀取命令係用來指示該控制器於快閃記憶體 120 寫入／讀取資料。例如：在上述之寫入／讀取命令代表一寫入命令的狀況下，該控制器可立即使用旁資訊 I_{SIDE} 來進行資料整形。更明確而言，整形碼產生器 114G 可依據旁資訊 I_{SIDE} 中之至少一部分或其代表資訊來產生至少一整形碼，諸如相對應之一個或多個整形碼 114SPC，以供用來於該控制器接收到該寫入命令時調整該原始資料 (諸如資料 D1) 之複數個位元。另外，調整單元 114A 依據上述之至少一整形碼，來調整資料 D1 以產生調整後之資料 D_{RND1} 。此外，附加單元 114AP 可將旁資訊 I_{SIDE} 中之至少一部分或其代表資訊附加於資料 D_{RND1} ，作為其附加資訊 I_A 。如此，編碼器 114E 可對資料 D_{RND1} 連同附加資訊 I_A 進行編碼。因此，於一寫入運作期間，該控制器不但將資料儲存於快閃記憶體 120，亦將旁資訊 I_{SIDE} 中之至少一部分或其代表資訊儲存於快閃記憶體 120，以供該原始資料之重獲之用。於是，在上述之寫入／讀取命令代表一讀取命令的狀況下，於一讀取運作期間，該控制器可自快閃記憶體 120 取得旁資訊 I_{SIDE} 中之該至少一部分或其代表資訊，並且上述之至少一資料整形模組／資料重獲模組(例如：資料整形模組 114DS)可據以重獲(Recover)該原始資料諸如資料 D1。

請注意，依據本實施例之一特例，資料整形模組 114DS 可用來當作一資料重獲模組，其可於一讀取運作期間重獲資料。尤其是，資料整形模組 114DS 中之調整單元 114A 及整形碼產生器 114G 可於一讀取運作期間用來重獲資料，其中附加單元 114AP 可藉由切換電路之路徑切換被暫時地斷開而不電氣連接至調整單元 114A。依據本實施例之另一特例，除了資料整形模組 114DS，上述之至少一資料整形模組／資料重獲模組可另包含一資料重獲模組，其可於一讀取運作期間重獲資料，如此一來，記憶體控制器 110 即可同時進行寫入與讀取運作。例如：該資料重獲模組可藉由切換電路之路徑切換來利用調整單元 114A 及／或整形碼產生器 114G。又例如：資料重獲模組可包含其本身的調整單元。又例如：該資料重獲模組可包含其本身的整形碼產生器。

依據本實施例，在上述之寫入／讀取命令代表該寫入命令的狀況下，當通過調整單元 114A 之資料路徑代表一寫入路徑時，資料 D₁ 可代表該控制器欲寫入快閃記憶體 120 之該原始資料，而資料 D_{RND1} 可代表調整後的資料，並且資料 D_{RND1} 及附加資訊 I_A 被送予編碼器 114E；於是，編碼器 114E 據以進行編碼，尤其是進行錯誤更正碼（Error Correction Code, ECC）編碼以產生編碼資料，並將該編碼資料寫入快閃記憶體 120，其中該編碼資料可包含奇偶校驗碼（Parity Code）。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一特例，諸如上述資料整形模組 114DS 可用來當作資料重獲模組之特例，在上述之寫入／讀取命令代表該讀取命

令的狀況下，當通過調整單元 114A 之資料路徑代表一讀取路徑時，該讀取路徑可耦接至一解碼器 114D（未顯示於第 1A 圖中），其中解碼器 114D 對讀取自快閃記憶體 120 之編碼資料進行解碼，尤其是進行錯誤更正碼解碼以產生解碼資料，諸如資料 D_{RND1} 及附加資訊 I_A （即旁資訊 I_{SIDE} 中之至少一部分或其代表資訊）。此狀況下，調整單元 114A 之輸入與輸出對調；而調整單元 114A 依據至少一整形碼，諸如相對應之一個或多個整形碼 114SPC，來調整資料 D_{RND1} 以重獲資料 $D1$ ，以供進一步處理。

依據本實施例之一變化例，該寫入最佳化運作可利用程式碼 112C 中之至少一程式模組來實現；如此，前處理器 114P 可代換為透過微處理器 112 執行該程式模組之記憶體控制器 110。

第 1B 圖與第 1C 圖為第 1A 圖所示之記憶裝置 100 於一實施例中的實施細節。如第 1B 圖所示，在上述之寫入／讀取命令代表該寫入命令的狀況下，前處理器 114P 自緩衝記憶體 116 讀出先前資料資訊 I_{PD} ，並依據資料 $D1$ 與先前資料資訊 I_{PD} 進行該寫入最佳化運作以產生旁資訊 I_{SIDE} 。另外，資料整形模組 114DS 則自緩衝記憶體 116 讀出資料 $D1$ 並依據旁資訊 I_{SIDE} 動態地選擇該些整形碼中之至少一整形碼，以對資料 $D1$ 進行資料整形來產生資料 D_{RND1} 。如此，資料整形模組 114DS 依據旁資訊 I_{SIDE} 產生至少一整形碼，諸如相對應之一個或多個整形碼 114SPC，並據以調整資料 $D1$ 之複數個位元以產生調整後之資料 D_{RND1} 。資料整形模組 114DS 另將附加資訊 I_A

附加於資料 D_{RND1} 以產生組合資料（於第 1B 圖中係繪示為附加了附加資訊 I_A 之資料 D_{RND1} ）。此外，編碼器 114E 對該組合資料進行錯誤更正碼編碼以產生編碼資料（於第 1B 圖之右上角係繪示為附加了附加資訊 I_A 與奇偶校驗碼 $P1$ 之資料 D_{RND1} ），並將該編碼資料寫入快閃記憶體 120。

如第 1C 圖所示，在上述之寫入／讀取命令代表該讀取命令的狀況下，記憶體控制器 110 自快閃記憶體 120 所讀取之編碼資料（於第 1C 圖之右上角係繪示為附加了附加資訊 I_A 與奇偶校驗碼 $P1$ 之資料 D_{RND1} ）分別被傳送至解碼器 114D 與緩衝記憶體 116，其中在記憶體控制器 110 之控制下，緩衝記憶體 116 只暫時地儲存資料 D_{RND1} 與附加資訊 I_A 而非奇偶校驗碼 $P1$ 。讀取重試控制器 114RR 係用來於解碼器 114D 進行解碼時進行讀取重試控制。另外，解碼器 114D 對讀取自快閃記憶體 120 之編碼資料進行解碼；一旦偵測到錯誤，就產生更正資料以更正緩衝記憶體 116 中之資料 D_{RND1} 及／或附加資訊 I_A 。於是，資料重獲模組 114DR 依據附加資訊 I_A （即上述旁資訊 I_{SIDE} 中之至少一部分或其代表資訊）重獲資料 $D1$ 。依據本實施例，資料重獲模組 114DR 可依據附加資訊 I_A 產生至少一整形碼，諸如相對應之一個或多個整形碼 114SPC，並據以調整資料 D_{RND1} 之複數個位元以重獲資料 $D1$ ，以供進一步處理。

依據本實施例之一變化例，資料整形模組 114DS 與資料重獲模組 114DR 可為同一個元件，且因此可一併稱為資料整形模組／資料

重獲模組。

第 1D 圖為一實施例中關於第 1A 圖所示之整形碼產生器 114G 的實施細節。本實施例之整形碼產生器 114G 包含一控制單元 114C 與一查對表 (Look-up Table) 114T，其中查對表 114T 儲存有該複數個整形碼。由於該複數個整形碼包含上述之一個或多個整形碼 114SPC，故該一個或多個整形碼 114SPC 之任一者係選自於該複數個整形碼。

於本實施例中，控制單元 114C 可依據旁資訊 I_{SIDE} 產生相對應的控制訊號 C_1 ，並藉由利用查對表 114T 來據以進行查對以產生該一個或多個整形碼 114SPC。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，整形碼產生器 114G 可直接使用旁資訊 I_{SIDE} (或附加資訊 I_A) 之至少一部分作為控制訊號 C_1 ，且於本變化例中並不需要設置上述之控制單元 114C。依據本實施例之另一變化例，上述之控制單元 114C 被代換為一選擇單元，用以選擇旁資訊 I_{SIDE} (或附加資訊 I_A) 之至少一部分作為控制訊號 C_1 。

請注意，本實施例之整形碼產生器 114G 亦可應用於第 1A 圖至第 1C 圖所示之實施例或其變化例中之資料重獲模組。

第 1E 圖為另一實施例中關於第 1A 圖所示之整形碼產生器 114G 的實施細節，其中本實施例係為第 1D 圖所示實施例之變化例。除

了上述之控制單元 114C 與查對表 114T，本實施例之整形碼產生器 114G 另包含一隨機函數發生器 (Randomizer)／解隨機函數發生器 (Derandomizer) 114R，且另包含一多工器 114M，其中查對表 114T 儲存有該複數個整形碼中之一部分，而隨機函數發生器／解隨機函數發生器 114R 可產生該複數個整形碼中之另一部分之任一整形碼。

於本實施例中，控制單元 114C 可依據旁資訊 I_{SIDE} 產生相對應的控制訊號 C_0 ，並藉由利用控制訊號 C_0 來選擇查對表 114T 之輸出、或隨機函數發生器／解隨機函數發生器 114R 之輸出，作為整形碼產生器 114G 之輸出。例如：在控制單元 114C 藉由利用控制訊號 C_0 來選擇查對表 114T 之輸出作為整形碼產生器 114G 之輸出的狀況下，控制單元 114C 可依據旁資訊 I_{SIDE} 產生相對應的控制訊號 C_1 ，並藉由利用查對表 114T 來進行查對以產生該一個或多個整形碼 114SPC 之至少一部分。又例如：在控制單元 114C 藉由利用控制訊號 C_0 來選擇隨機函數發生器／解隨機函數發生器 114R 之輸出作為整形碼產生器 114G 之輸出的狀況下，控制單元 114C 可依據旁資訊 I_{SIDE} 產生相對應的控制訊號 C_2 ，作為隨機函數發生器／解隨機函數發生器 114R 之輸入種子 (Seed)，使隨機函數發生器／解隨機函數發生器 114R 據以產生至少一隨機函數 (Random Function)，其中隨機函數發生器／解隨機函數發生器 114R 輸出該隨機函數之序列(其可稱為隨機序列)，作為該一個或多個整形碼 114SPC 之至少一部分。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之不同的變化例，整形碼產生器 114G 可直接使用旁資訊 I_{SIDE}

(或附加資訊 I_A) 之至少一部分作為控制訊號 C_0 、 C_1 、及／或 C_2 ，且於該些變化例中並不需要設置上述之控制單元 114C。依據本實施例之其它變化例，上述之控制單元 114C 被代換為至少一選擇單元，用以選擇旁資訊 I_{SIDE} (或附加資訊 I_A) 之至少一部分作為控制訊號 C_0 、 C_1 、及／或 C_2 。

請注意，本實施例之整形碼產生器 114G 亦可應用於第 1A 圖至第 1C 圖所示之實施例或其變化例中之資料重獲模組。

依據本發明之一實施例，諸如第 1D 圖與第 1E 圖所示實施例之一變化例，整形碼產生器 114G 包含隨機函數發生器／解隨機函數發生器 114R，其中本變化例中並不需要設置上述之查對表 114T 與多工器 114M，也不需要產生控制訊號 C_0 與 C_1 。於本實施例中，隨機函數發生器／解隨機函數發生器 114R 可產生該複數個整形碼中之任一整形碼，而隨機函數發生器／解隨機函數發生器 114R 輸出該隨機函數之序列 (即該隨機序列)，作為該一個或多個整形碼 114SPC。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，整形碼產生器 114G 可直接使用旁資訊 I_{SIDE} (或附加資訊 I_A) 之至少一部分作為控制訊號 C_2 ，且於本變化例中並不需要設置上述之控制單元 114C。依據本實施例之另一變化例，上述之控制單元 114C 被代換為一選擇單元，用以選擇旁資訊 I_{SIDE} (或附加資訊 I_A) 之至少一部分作為控制訊號 C_2 。

基於以上揭露之各個實施例／變化例中之架構，本發明可賦予多階細胞（Multiple Level Cell, MLC）快閃記憶體極佳的運作效能，尤其是賦予三階細胞快閃記憶體極佳的運作效能。記憶體控制器 110 進行資料整形的相關細節可參考第 2 圖來進一步說明。

第 2 圖為依據本發明一實施例之一種用來進行資料整形之方法 910 的流程圖。該方法可應用於第 1A 圖所示之記憶裝置 100，尤其是上述之控制器（例如：透過微處理器 112 執行程式碼 112C 之記憶體控制器 110）。另外，該方法可藉由利用第 1A 圖所示之記憶裝置 100 來實施，尤其是藉由利用上述之控制器來實施。該方法說明如下：

步驟 912：該控制器（於本實施例中尤其是其內的前處理器 114P）依據原始資料（例如：資料 D1）與複數個整形碼進行一寫入最佳化運作諸如上述之寫入最佳化運作，以產生對應於一格子圖的追溯資訊作為旁資訊 I_{SIDE} 。請注意，依據本實施例之一變化例，諸如該寫入最佳化運作可利用程式碼 112C 中之該程式模組來實現之變化例，前處理器 114P 可代換為透過微處理器 112 執行該程式模組之記憶體控制器 110。

步驟 914：上述之至少一資料整形模組／資料重獲模組（例如：資料整形模組 114DS）依據旁資訊 I_{SIDE} 動態地選擇該些整形碼中之至少一整形碼，諸如上述之一個或多個

整形碼 114SPC，以對該原始資料進行資料整形。例如：上述之資料整形的運作可實施為對該原始資料之至少一部分以及上述之至少一整形碼進行互斥或（XOR）運算，尤其是對兩者（該原始資料之該至少一部分以及上述之至少一整形碼）之相對應位元進行互斥或運算，其中這樣的互斥或運算可稱為「位元互斥或」（Bitwise XOR）運算。

依據本實施例，該格子圖包含複數級（Stage）360-1、360-2、...、360-(K - 1)、與 360-K。該格子圖的各級中之每一級諸如第 k 級 360-k ($k = 1, 2, \dots, (K - 1), \text{ 或 } K$ ，其中 K 為正整數) 包含複數個子路徑 $\{P_{X1(k), X2(k)}\}$ 。例如： $X1(k)$ 與 $X2(k)$ 可為同一個整數的集合中之任意整數，尤其是非負數之整數。在此，一子路徑 $P_{X1(k), X2(k)}$ 為第 k 級 360-k 當中由一開始狀態 $S_{X1(k)}$ 至一結果狀態 $S_{X2(k)}$ 之狀態轉換的路徑，其中若存在下一級（即第 $(k + 1)$ 級 360- $(k + 1)$ ），則結果狀態 $S_{X2(k)}$ 為下一級之一開始狀態。為了簡明起見，上述之開始狀態 $S_{X1(k)}$ 與結果狀態 $S_{X2(k)}$ 可分別寫成狀態 $S_X(k)$ 與 $S_X(k + 1)$ 。例如：在該格子圖係為四狀態格子圖的情況下， $X = 0, 1, 2, \text{ 或 } 3$ 。又例如：在該格子圖係為八狀態格子圖的情況下， $X = 0, 1, \dots, \text{ 或 } 7$ 。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之不同的變化例，狀態索引 X 的可能值之數量可為除了四與八之外的正整數，且此數量之典型值大於一。依據本實施例之其它變化例，狀態索引 X 不必是整數。

另外，每一級之該些子路徑分別代表該些整形碼。例如：於每一級諸如第 k 級 360-k 當中，該些子路徑 $\{P_{X1(k), X2(k)}\}$ 中之某一子路徑 $P_{X1(k), X2(k)}$ 代表該些整形碼中之一整形碼 $SPC_{X1(k), X2(k)}$ 。尤其是，在每一級當中相關之候選整形碼均為同一組整形碼諸如步驟 912 所述之該些整形碼的狀況下，整形碼 $SPC_{X1(k), X2(k)}$ 可改寫成 $SPC_{X1, X2}$ ，使得不論索引 k 之值為 1、2、…、(K - 1)、或 K，子路徑 $P_{X1(k), X2(k)}$ 總是代表該些整形碼中之同一個整形碼 $SPC_{X1, X2}$ 。也就是說，在此狀況下，整形碼 $SPC_{X1, X2}$ 與第 k 級 360-k 的索引 k 無關。如此，於該格子圖的該些級當中，任一級內對應於特定狀態轉換之一子路徑以及另一級內對應於相同狀態轉換之子路徑均代表該些整形碼當中之同一整形碼。

於本實施例中，該控制器尋找該格子圖中之一最佳化路徑，並產生該最佳化路徑中相對於各級（例如：第 k 級 360-k）之各個子路徑（例如：該些子路徑 $\{P_{X1(k), X2(k)}\}$ ）的子路徑追溯資訊作為旁資訊 I_{SIDE} 之至少一部分，其中該最佳化路徑之終點係為該格子圖之最後一級 360-K 的各個結果狀態 $S_x(K + 1)$ （例如： $X = 0, 1, 2, \dots$ 等）中之一最佳狀態 $S_{x0}(K + 1)$ ，且旁資訊 I_{SIDE} 包含代表最佳狀態 $S_{x0}(K + 1)$ 之終點資訊，諸如 X_0 的二進位值。尤其是，針對該格子圖的各級，該控制器進行對應於維特比（Viterbi）演算法之相加、比較、與選擇（Add Compare Select, ACS）運作，以產生該些級中之至少一級（例如：該些級中之全部）的各個結果狀態之追溯指示

器 (Trace Back Indicator) 並尋找該格子圖之最後一級 360-K 的該些結果狀態 $S_X(K + 1)$ 中之最佳狀態 $S_{X0}(K + 1)$ ，其中旁資訊 I_{SIDE} 中之該子路徑追溯資訊包含該些追溯指示器中之至少一部分。例如：該控制器可產生該格子圖的各級諸如第 k 級 360- k 的各個結果狀態 $S_X(k + 1)$ 之追溯指示器 $TBI_X(k)$ 。如此，該控制器可依據該終點資訊（例如： X_0 的二進位值）與該子路徑追溯資訊（例如：追溯指示器 $TBI_X(k)$ 中之至少一部分）找到該最佳化路徑，並據以決定該最佳化路徑中對應於任一級諸如第 k_0 級之子路徑所代表之整形碼，以對該原始資料中對應於第 k_0 級之部分進行資料整形。例如：在該最佳化路徑中對應於第 k_0 級之子路徑為子路徑 $P_{X1(k_0), X2(k_0)}$ 的狀況下，由於子路徑 $P_{X1(k_0), X2(k_0)}$ 代表之候選整形碼是整形碼 $SPC_{X1, X2}$ ，該控制器就藉由利用整形碼 $SPC_{X1, X2}$ ，對該原始資料中對應於第 k_0 級之部分進行資料整形。

第 3A 圖至第 3C 圖為第 2 圖所示之方法 910 於一實施例中關於寫入最佳化運作的實施細節，其中第 3C 圖另繪示第 1A 圖所示之資料整形模組 114DS 於進行資料整形時所採用之整形碼 310，諸如整形碼 310-1、310-2、…、310-($K - 1$)、與 310-K，而每一整形碼 310- k ($k = 1, 2, \dots, (K - 1)$ 、或 K) 均選自於步驟 912 所述之該些整形碼。請注意，步驟 912 所述之該原始資料，諸如第 3C 圖所示之原始資料 308，包含分別對應於該格子圖的各級 360-1、360-2、…、與 360-K 之部分資料 (Partial Data) 308-1、308-2、…、與 308-K，即原始資料 308 中分別對應於第 1 級 360-1、第 2 級 360-2、…、與

第 K 級 360-K 之部分。

如第 3A 圖所示，該格子圖的各級中之每一級諸如第 k 級 360-k 包含 8 個子路徑 $\{P_{0,0}, P_{0,1}, P_{1,2}, P_{1,3}, P_{2,0}, P_{2,1}, P_{3,2}, P_{3,3}\}$ ，而這 8 個子路徑分別為第 k 級 360-k 當中由狀態 $\{S_0(k), S_1(k), S_2(k), S_3(k)\}$ 至狀態 $\{S_0(k+1), S_1(k+1), S_2(k+1), S_3(k+1)\}$ 之狀態轉換的路徑。另外，這 8 個子路徑 $\{P_{0,0}, P_{0,1}, P_{1,2}, P_{1,3}, P_{2,0}, P_{2,1}, P_{3,2}, P_{3,3}\}$ 分別代表 8 個整形碼 $\{SPC_{0,0}, SPC_{0,1}, SPC_{1,2}, SPC_{1,3}, SPC_{2,0}, SPC_{2,1}, SPC_{3,2}, SPC_{3,3}\}$ 。於本實施例中，由狀態 $S_0(k)$ 指向狀態 $S_0(k+1)$ 及 $S_1(k+1)$ 的路徑可分別記錄為 0、1。相仿地，由狀態 $S_1(k)$ 指向狀態 $S_2(k+1)$ 及 $S_3(k+1)$ 的路徑可分別記錄為 0、1。另外，由狀態 $S_3(k)$ 指向狀態 $S_3(k+1)$ 及 $S_2(k+1)$ 的路徑可分別記錄為 0、1。相仿地，由狀態 $S_2(k)$ 指向狀態 $S_1(k+1)$ 及 $S_0(k+1)$ 的路徑可分別記錄為 0、1。

如第 3B 圖所示，於尋找該最佳化路徑諸如第 3C 圖所示之最佳化路徑 390 的過程中，該控制器會計算每一級諸如第 k 級 360-k 之各個結果狀態 $S_X(k+1)$ 的量度值 (Metric) $Met_X(k+1)$ ，其中該控制器可將第 1 級 360-1 之各個開始狀態 $S_X(1)$ 的量度值 $Met_X(1)$ 設定為同一數值，尤其是零。於本實施例中，針對對應於第 k 級 360-k 之部分資料 308-k，該控制器計算分別對應於至少兩個整形碼之至少兩個分支量度值 (Branch Metric) (例如：分別對應於整形碼 $SPC_{0,0}$ 與 $SPC_{2,0}$ 之分支量度值 $BM_{0,0}(k)$ 與 $BM_{2,0}(k)$)。針對分別對應於該些級 360-1、360-2、...、與 360-K 之部分資料 308-1、308-2、...、

與 308-K，藉由進行類似的計算，該控制器可累計該些級之複數個分支量度值中之至少一部分，以進行該寫入最佳化運作。

例如：在已取得第 k 級 360-k 之開始狀態 $S_0(k)$ 的量度值 $Met_0(k)$ 與開始狀態 $S_2(k)$ 的量度值 $Met_2(k)$ 的狀況下，該控制器可先取得子路徑 $P_{0,0}$ 與 $P_{2,0}$ 所分別代表之整形碼 $SPC_{0,0}$ 與 $SPC_{2,0}$ ，再依據整形碼 $SPC_{0,0}$ 與 $SPC_{2,0}$ 來計算分別對應於這兩個整形碼 $SPC_{0,0}$ 與 $SPC_{2,0}$ （或分別對應於這兩個子路徑 $P_{0,0}$ 與 $P_{2,0}$ ）之分支量度值 $BM_{0,0}(k)$ 與 $BM_{2,0}(k)$ ，並且計算分別對應於這兩個子路徑 $P_{0,0}$ 與 $P_{2,0}$ 之累計值 $(Met_0(k) + BM_{0,0}(k))$ 與 $(Met_2(k) + BM_{2,0}(k))$ 。尤其是，該控制器可對部分資料 308-k 與整形碼 $SPC_{0,0}$ 進行「位元互斥或」運算（於第 3B 圖之左上角係標示為「 \oplus 」）以產生整形資料 $SPD_{0,0}(k)$ ，並據以計算分支量度值 $BM_{0,0}(k)$ 。相仿地，該控制器可對部分資料 308-k 與整形碼 $SPC_{2,0}$ 進行「位元互斥或」運算（於第 3B 圖之左下角係標示為「 \oplus 」）以產生整形資料 $SPD_{2,0}(k)$ ，並據以計算分支量度值 $BM_{2,0}(k)$ 。實作上，先前資料資訊 I_{PD} 可載有先前資料之至少一部分或其代表資訊，故該控制器可藉由比較 $SPD_{0,0}(k)$ 與先前資料資訊 I_{PD} 中之相關部分來計算分支量度值 $BM_{0,0}(k)$ ，並藉由比較 $SPD_{2,0}(k)$ 與先前資料資訊 I_{PD} 中之相關部分來計算分支量度值 $BM_{2,0}(k)$ 。

於本實施例中，該控制器可依據至少一預定規則，來選擇累計值 $(Met_0(k) + BM_{0,0}(k))$ 與 $(Met_2(k) + BM_{2,0}(k))$ 中之某一累計值作為結果狀態 $S_0(k+1)$ 的量度值 $Met_0(k+1)$ ，且產生結果狀態 $S_0(k+1)$

之追溯指示器 $TBI_0(k)$ 並且予以暫存，其中追溯指示器 $TBI_0(k)$ 之值指出該控制器所選擇的累計值所對應之子路徑。例如：在該預定規則指出該控制器應選擇最大的累計值的狀況下，則該控制器可選擇這兩個累計值 $(Met_0(k) + BM_{0,0}(k))$ 與 $(Met_2(k) + BM_{2,0}(k))$ 中之最大的累計值作為結果狀態 $S_0(k+1)$ 的量度值 $Met_0(k+1)$ 。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，在該預定規則指出該控制器應選擇最小的累計值的狀況下，則該控制器可選擇這兩個累計值 $(Met_0(k) + BM_{0,0}(k))$ 與 $(Met_2(k) + BM_{2,0}(k))$ 中之最小的累計值作為結果狀態 $S_0(k+1)$ 的量度值 $Met_0(k+1)$ 。依據本實施例之另一變化例，在上述之至少一預定規則包含複數個預定規則。

實作上，一旦該控制器選擇了這兩個累計值 $(Met_0(k) + BM_{0,0}(k))$ 與 $(Met_2(k) + BM_{2,0}(k))$ 中之某一個累計值，就捨棄另一個累計值以減少該控制器之工作量。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，在可供選擇之累計值包含至少三個累計值的狀況下，一旦該控制器選擇了上述之至少三個累計值中之某一個累計值，就捨棄其它累計值以減少該控制器之工作量。

依據本實施例，該控制器依據上述之至少一預定規則或其它預定規則，於最後一級 360-K 之各個結果狀態 $S_X(K+1)$ 中選出最佳狀態 $S_{X0}(K+1)$ ，尤其是藉由比較最後一級之各個結果狀態 $S_X(K+1)$ 之量度值 $Met_X(K+1)$ ，諸如 $Met_0(K+1)$ 、 $Met_1(K+1)$ 、 $Met_2(K+1)$ 、

與 $\text{Met}_3(K + 1)$ ，來選出最佳狀態 $S_{X0}(K + 1)$ 。於是，依據該些追溯指示器 $TBI_X(k)$ 之至少一部分，由最佳狀態 $S_{X0}(K + 1)$ 起，該控制器可逐一找出該最佳化路徑諸如第 3C 圖所示之最佳化路徑 390 之各個子路徑。例如：前處理器 114P 可依據第 3A 圖所示之子路徑簡易標示，來記錄追溯指示器 $TBI_X(k)$ 。此狀況下，前處理器 114P 可將子路徑追溯資訊記錄為 10...01，且可將終點資訊 X0 諸如二進位值 00 以及子路徑追溯資訊 10...01 合併記錄為旁資訊 I_{SIDE} ，即 10...0100。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，第 3A 圖所示之子路徑簡易標示可予以改變。例如：指向同一狀態 $S_X(k + 1)$ 之兩個子路徑中之上方、下方子路徑可分別簡易地標示為 0、1，而前處理器 114P 可依據這些子路徑簡易標示來記錄追溯指示器 $TBI_X(k)$ 。如此，在追溯指示器 $TBI_X(k) = 1$ 的狀況下，追溯指示器 $TBI_X(k)$ 指出最佳化路徑 390 於第 k 級 360-k 中自狀態 $S_X(k + 1)$ 返回下方子路徑；而在追溯指示器 $TBI_X(k) = 0$ 的狀況下，追溯指示器 $TBI_X(k)$ 指出最佳化路徑 390 於第 k 級 360-k 中自狀態 $S_X(k + 1)$ 返回上方子路徑。

以第 3C 圖所示之狀況為例，在上述之最佳狀態（例如最佳化路徑 390 之終點）為狀態 $S_0(K + 1)$ 的狀況下，該控制器依據追溯指示器 $TBI_0(K)$ 找到最佳化路徑 390 中相對於第 K 級之子路徑 $P_{2,0}(K)$ ，再依據追溯指示器 $TBI_2(K - 1)$ 找到最佳化路徑 390 中相對於第 (K - 1) 級之子路徑 $P_{1,2}(K - 1)$ ，依此類推。相仿地，該控制器依據追溯指示器 $TBI_2(2)$ 找到最佳化路徑 390 中相對於第 2 級之子路徑 $P_{1,2}(2)$ ，再

依據追溯指示器 $TBI_1(1)$ 找到最佳化路徑 390 中相對於第 1 級之子路徑 $P_{0,1}(1)$ 。於是，該控制器（於本實施例中尤其是其內的前處理器 114P）將最佳化路徑 390 中相對於該格子圖的各級（諸如第 1 級 360-1、第 2 級 360-2、…、第 $(K - 1)$ 級 360- $(K - 1)$ 、與第 K 級 360-K）之各個子路徑 $P_{0,1}(1)、P_{1,2}(2)、…、P_{1,2}(K - 1)、與 P_{2,0}(K)$ 的子路徑追溯資訊傳送予上述之資料整形模組／資料重獲模組；如此，旁資訊 I_{SIDE} 包含最佳化路徑 390 中相對於該格子圖的各級之各個子路徑 $P_{0,1}(1)、P_{1,2}(2)、…、P_{1,2}(K - 1)、與 P_{2,0}(K)$ 的子路徑追溯資訊。

於是，針對對應於一特定級之特定部分資料（例如：對應於第 k 級 360-k 之部分資料 308-k），上述之資料整形模組／資料重獲模組（例如：資料整形模組 114DS）依據旁資訊 I_{SIDE} 中之至少一部分於該些整形碼中選出一特定整形碼，以進行對應於該特定部分資料之資料整形。以第 3C 圖所示之狀況為例，上述之資料整形模組／資料重獲模組依據旁資訊 I_{SIDE} 中關於各個子路徑 $P_{0,1}(1)、P_{1,2}(2)、…、P_{1,2}(K - 1)、與 P_{2,0}(K)$ 的子路徑追溯資訊，分別選出整形碼 $SPC_{0,1}、SPC_{1,2}、…、SPC_{1,2}、與 SPC_{2,0}$ 作為第 3C 圖所示之整形碼 310-1、310-2、…、310- $(K - 1)$ 、與 310-K，以分別進行對應於部分資料 308-1、308-2、…、308- $(K - 1)$ 、與 308-K 之資料整形。

請注意，針對每一級諸如第 k 級 360-k，在可供選擇之累計值僅具有兩個累計值的狀況下，追溯指示器 $TBI_X(k)$ 之值可為一位元的資訊；由於該格子圖內共有 K 級，故旁資訊 I_{SIDE} 中之子路徑追溯資訊

可僅具有 K 位元。另外，在狀態索引 X 的可能值之數量是四的狀況下，旁資訊 I_{SIDE} 中之終點資訊諸如 X_0 的二進位值可僅具有 2 位元。如此，於本實施例中，旁資訊 I_{SIDE} 可僅具有 $(K + 2)$ 位元，故本發明於快閃記憶體 120 中針對附加資訊 I_A 所需之儲存空間極小。因此，相較於任何相關技術之架構，本發明能在極度地節省儲存空間的狀況下，提供極佳的運作效能。

第 4A 圖至第 4E 圖為第 2 圖所示之方法 910 於另一實施例中關於寫入最佳化運作的實施細節。請參照第 4A 圖，第 4A 圖係繪示原始資料 400 與其部分資料 400-1、400-2、400-3、400-4 之關係。在此實施例中，主裝置欲將資料長度為一記憶頁的原始資料 400 寫入快閃記憶體 120，原始資料 400 係被區分為部分資料 400-1 至 400-4。

首先，請參照第 4B 圖，前處理器 114P 係針對部分資料 400-1 進行處理。前處理器 114P 係依照第 3B 圖所示之方式對部分資料 400-1 進行資料整形、計算與選擇。前處理器 114P 分別將部分資料 400-1 與 8 個不同的候選整形碼進行位元互斥或運算產生 8 筆不同的整形資料。這 8 個不同的候選整形碼分別對應至第 3A 圖所示之路徑 $P_{0,0}、P_{0,1}、P_{1,2}、P_{1,3}、P_{2,0}、P_{2,1}、P_{3,2}、P_{3,3}$ 。前處理器 114P 係分別對 8 筆不同的整形資料進行計算。在一實施例中，前處理器 114P 可將整形資料與快閃記憶體中前一記憶頁中相對應的部分資料逐位元地進行比對，若相同（例如同為邏輯 0 或同為邏輯 1）則累進一分，若不同，則不加分。在此實施例中，各個整形資料所得

之分數(分支量度值)係標示於第 4B 圖相對應之路徑上。例如，與路徑 $P_{0,0}$ 相對應的整形碼進行位元互斥或運算所產生的整形資料係得到 102 分 (如第 4B 圖路徑 $P_{0,0}$ 上之數字所示)，即 $BM_{0,0}(0)=102$ 。與路徑 $P_{0,1}$ 相對應的整形碼進行位元互斥或運算所產生的整形資料係得到 79 分，即 $BM_{0,1}(0)=79$ 。以此類推。

請注意到，前處理器 114P 在對 8 筆不同的整形資料進行積分計算時，亦不得不參考前一記憶頁中相對應的部份資料。前處理器 114P 得分別計算各整形資料中邏輯 0 或邏輯 1 的數目，以使整形資料中邏輯 0 或邏輯 1 數目最接近的具有最高積分、或者邏輯 1 較多者有較高積分、或者邏輯 0 較多者有較高積分。而且，針對存放在不同記憶頁的整形資料，也可以有不同的積分計算規則。例如，針對錯誤率較低的記憶頁，可使整形資料中邏輯 1 較多者有較高積分。而針對錯誤率較高的記憶頁，可使整形資料中邏輯 0 較多者有較高積分。進行積分計算的規則可依各種不同的快閃記憶體特性而定。

而於進行選擇時，前處理器 114P 會對指向各結果狀態的各路徑積分進行比較。如前所述，開始狀態 $S_0(0)$ 、 $S_1(0)$ 、 $S_2(0)$ 、 $S_3(0)$ 的量度值均預設為 0 (分別標示於各狀態之圓圈上方)。舉例來說，指向結果狀態 $S_0(1)$ 的路徑為 $P_{0,0}$ 與 $P_{2,0}$ 。路徑 $P_{0,0}$ 的積分為分支量度值 $BM_{0,0}(0)$ 加上開始狀態 $S_0(0)$ 的量度值 $Met_0(0)$ ，即 $102+0=102$ 。路徑 $P_{2,0}$ 的積分為分支量度值 $BM_{2,0}(0)$ 加上開始狀態 $S_2(0)$ 的量度值 $Met_2(0)$ ，即 $95+0=95$ 。在此實施例中，前處理器 114P 選擇積分較大

者作為存活路徑。例如，路徑 $P_{0,0}$ 的積分（102）大於路徑 $P_{2,0}$ 的積分(95)，故將路徑 $P_{0,0}$ 作為存活路徑，並將結果狀態 $S_0(1)$ 的量度值 $Met_0(1)$ 記錄為 102（標示於狀態 $S_0(1)$ 之圓圈上方，如第 4B 圖最右側所示），依此類推。

接著，請參考第 4C 圖前處理器 114P 係針對部分資料 400-2 進行資料整形、計算與選擇。前處理器 114P 針對部分資料 400-2 進行資料整形、計算與選擇之方式係類似於第 4B 圖，為求簡潔，類似之部分不予贅述。結果狀態 $S_0(1)$ 、 $S_1(1)$ 、 $S_2(1)$ 、 $S_3(1)$ 的量度值與各分支量度值係如第 4C 圖所示。請注意到，第 4B 圖中，開始狀態 $S_0(0)$ 、 $S_1(0)$ 、 $S_2(0)$ 、 $S_3(0)$ 的量度值均預設為 0。而第 4C 圖中，開始狀態 $S_0(1)$ 、 $S_1(1)$ 、 $S_2(1)$ 、 $S_3(1)$ （於第 4B 圖中可稱為結果狀態）的量度值分別為 102、80、90、105。前處理器 114P 在進行路徑選擇時，需考慮到各開始狀態（例如前一級的結果狀態）的量度值。舉例來說，指向結果狀態 $S_1(2)$ 的路徑為 $P_{0,1}$ 與 $P_{2,1}$ 。路徑 $P_{0,1}$ 的積分為分支量度值 $BM_{0,1}(1)$ 加上開始狀態 $S_0(1)$ 的量度值 $Met_0(1)$ ，即 $68+102=170$ 。路徑 $P_{2,1}$ 的積分為分支量度值 $BM_{2,1}(1)$ 加上開始狀態 $S_2(1)$ 的量度值 $Met_2(1)$ ，即 $63+90=153$ 。前處理器 114P 選擇積分較大者作為存活路徑。路徑 $P_{0,1}$ 的積分（170）大於路徑 $P_{2,1}$ 的積分（153），故將路徑 $P_{0,1}$ 作為存活路徑，並將結果狀態 $S_1(2)$ 的量度值 $Met_1(2)$ 記錄為 170，依此類推。

請參考第 4D 圖，待前處理器 114P 對部分資料 400-1 至 400-4

進行資料整形、計算與選擇完畢後，可得到結果狀態 $S_0(4)$ 、 $S_1(4)$ 、 $S_2(4)$ 、 $S_3(4)$ 的量度值分別為 380、367、355、370。在此實施例中，前處理器 114P 選擇量度值最高的結果狀態 $S_0(4)$ 作為最佳狀態，並藉由其存活路徑找出最佳路徑 490。而在記錄旁資訊 I_{SIDE} 時，可依據最佳狀態 $S_0(4)$ 將終點資訊記錄為 00。而記錄子路徑追溯資訊時，可依據最佳路徑 490 及第 3A 圖之子路徑簡易標示，將子路徑追溯資訊記錄為 0010。故，可將終點資訊記錄及子路徑追溯資訊合併記錄為旁資訊 I_{SIDE} ，即 001000。第 4E 圖即為資料整形模組 114DS 所產生之資料 D_{RND1} 及附加資訊 I_A 之示意圖，在此實施例中，附加資訊 I_A 即為旁資訊 I_{SIDE} ，本發明並不以此為限，附加資訊 I_A 亦得包含其他資訊。

第 5 圖繪示一實施例中關於第 1A 圖所示之快閃記憶體 120 中之一記憶單元 (cell) 的位元資訊 510 及其相關之各階 {L0, L1, L2, L3, L4, L5, L6, L7}，其中位元資訊 510 包含最高有效位元 (Most Significant Bit) MSB、中央有效位元 (Central Significant Bit) CSB、與最低有效位元 (Least Significant Bit) LSB。依據本實施例，若最高有效位元 MSB 為 1 且其餘位元 CSB 與 LSB 均為 0，則該記憶單元的儲存階為第 4 階 L4。另外，若最高有效位元 MSB 及其餘位元 CSB 與 LSB 均為 0，則該記憶單元的儲存階為第 0 階 L0。如此，針對位元資訊 510 的各個可能的二進位值 {000, 001, 010, 011, 100, 101, 110, 111}，該記憶單元的儲存階分別為相對應之各階 {L0, L1, L2, L3, L4, L5, L6, L7}。

於本實施例中，該控制器針對該原始資料（例如：資料 D1）中關於該記憶單元之某一（些）位元進行資料整形，而非對該原始資料中關於該記憶單元之全部位元進行資料整形。尤其是，該控制器針對該原始資料中關於該記憶單元之最高有效位元 MSB 進行資料整形，而不對該原始資料中關於該記憶單元之其餘位元諸如中央有效位元 CSB 與最低有效位元 LSB 進行資料整形。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，該控制器針對該原始資料中關於該記憶單元之最高有效位元 MSB 與中央有效位元 CSB 進行資料整形，而不對該原始資料中關於該記憶單元之其餘位元諸如最低有效位元 LSB 進行資料整形。依據本實施例之另一變化例，該控制器針對該原始資料中關於該記憶單元之最高有效位元 MSB 與次高有效位元（例如：於本變化例中該次高有效位元係中央有效位元 CSB）進行資料整形，而不對該原始資料中關於該記憶單元之其餘位元諸如最低有效位元 LSB 進行資料整形。亦可依據該記憶單元中各不同位元出錯的機率決定是否需要進行資料整形。例如，該記憶單元中，最高有效位元 MSB 出錯機率最低，相較中央有效位元 CSB、最低有效位元 LSB 其僅需最低位元數的錯誤更正碼保護，故可有多餘的空間儲存旁資訊 I_{SIDE} ，因此，僅對最高有效位元 MSB 進行資料整形。

本發明的好處之一是，藉由適當地設計上述之資料整形模組／資料重獲模組，輔以相關的資料流控制（例如：第 1A 圖至第 1C 圖

之資料流控制)，本發明能針對該控制器所存取之資料來進行妥善的資料型樣管理，以減少錯誤的發生。另外，依據以上各個實施例／變化例來實施並不會增加許多額外的成本，甚至比相關技術更能節省成本。因此，基於以上揭露的內容，相關技術的問題已被解決，且整體成本不會增加太多。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1A 圖為依據本發明一第一實施例之一種記憶裝置的示意圖。

第 1B 圖與第 1C 圖為第 1A 圖所示之記憶裝置於一實施例中的實施細節。

第 1D 圖與第 1E 圖為不同的實施例中關於第 1A 圖所示之整形碼 (Shaping Code) 產生器的實施細節。

第 2 圖為依據本發明一實施例之一種用來進行資料整形 (Data Shaping) 之方法的流程圖。

第 3A 圖至第 3C 圖為第 2 圖所示之方法於一實施例中關於寫入最佳化 (Program Optimization) 運作的實施細節，其中第 3C 圖另繪示第 1A 圖所示之資料整形模組於進行資料整形時所採用之整形碼。

第 4A 圖至第 4E 圖為第 2 圖所示之方法於另一實施例中關於寫入最

佳化運作的實施細節。

第 5 圖繪示一實施例中關於第 1A 圖所示之快閃記憶體中之一記憶單元的位元資訊及其相關之各階。

【主要元件符號說明】

100	記憶裝置
110	記憶體控制器
112	微處理器
112C	程式碼
112M	唯讀記憶體
114	控制邏輯
114A	調整單元
114AP	附加單元
114C	控制單元
114D	解碼器
114DR	資料重獲模組
114DS	資料整形模組
114E	編碼器
114G	整形碼產生器
114M	多工器
114P	前處理器
114R	隨機函數發生器／解隨機函

	數發生器
114RR	讀取重試控制器
114SPC	整形碼
114T	查對表
116	緩衝記憶體
118	介面邏輯
120	快閃記憶體
308, 308-k, D1, D _{RND1} , 400, 400-1, 400-2, 400-3, 400-4	資料／部分資料
310, 310-1, 310-2, ..., 310-(K - 1), 310-K	整形碼
360-k, 360-1, 360-2, ..., 360-(K - 1), 360-K	格子圖的各級
390, 490	於不同實施例中之最佳化路 徑
510, MSB, CSB, LSB	快閃記憶體中之一記憶單元 的位元資訊
910	用來進行資料整形之方法
912, 914	步驟
BM _{0, 0} (k), BM _{2, 0} (k)	分支量度值
C ₀ , C ₁ , C ₂	用來產生整形碼之控制訊號
I _A	附加資訊
I _{PD}	先前資料資訊

I_{SIDE}	旁資訊
L_0, L_1, \dots, L_7	該位元資訊之相關之各階
$Met_0(k), Met_2(k), Met_0(k + 1)$	量度值
P_1	奇偶校驗碼
$P_{0,0}, P_{0,1}, P_{1,2}, P_{1,3},$ $P_{2,0}, P_{2,1}, P_{3,2}, P_{3,3}$	格子圖的各級中之子路徑
$P_{0,1}(1), P_{1,2}(2), \dots,$ $P_{1,2}(K - 1), P_{2,0}(K)$	於該實施例中之最佳化路徑 上之子路徑
$S_0(0), S_1(0), S_2(0), S_3(0),$ $S_0(1), S_1(1), S_2(1), S_3(1),$ $S_0(2), S_1(2), S_2(2), S_3(2),$ $S_0(3), S_1(3), S_2(3), S_3(3),$ $S_0(4), S_1(4), S_2(4), S_3(4),$ $S_0(k), S_1(k), S_2(k), S_3(k),$ $S_0(k + 1), S_1(k + 1),$ $S_2(k + 1), S_3(k + 1)$	格子圖的各級之複數個狀態
$SPC_{0,0}, SPC_{2,0}$	候選整形碼
$SPD_{0,0}(k), SPD_{2,0}(k),$ $410-1, 410-2, 410-3, 410-4$	整形資料

七、申請專利範圍：

1. 一種用來進行資料整形（Data Shaping）之方法，該方法係應用於一快閃記憶體（Flash Memory）的控制器，該快閃記憶體包含複數個區塊，該方法包含有：
依據原始資料與複數個整形碼（Shaping Code）進行一寫入最佳化（Program Optimization）運作，以產生對應於一格子圖（Trellis Diagram）的追溯（Trace Back）資訊作為旁資訊（Side Information）；以及
依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。
2. 如申請專利範圍第 1 項所述之方法，其中該格子圖的各級（Stage）中每一級包含複數個子路徑；以及每一級之該些子路徑分別代表該些整形碼。
3. 如申請專利範圍第 2 項所述之方法，其中依據該原始資料與該些整形碼進行該寫入最佳化運作以產生對應於該格子圖的追溯資訊作為該旁資訊之步驟另包含：
尋找該格子圖中之一最佳化路徑，並產生該最佳化路徑中相對於各級之各個子路徑的子路徑追溯資訊作為該旁資訊之至少一部分，其中該最佳化路徑之終點係為該格子圖之最後一級的各個結果狀態中之一最佳狀態，且該旁資訊包含

代表該最佳狀態之終點資訊。

4. 如申請專利範圍第 3 項所述之方法，其中依據該原始資料與該些整形碼進行該寫入最佳化運作以產生對應於該格子圖的追溯資訊作為該旁資訊之步驟另包含：
針對該格子圖的各級，進行對應於維特比（Viterbi）演算法之相加、比較、與選擇（Add Compare Select, ACS）運作，以產生該些級中之至少一級的各個結果狀態之追溯指示器（Trace Back Indicator）並尋找該格子圖之該最後一級的該些結果狀態中之該最佳狀態，其中該旁資訊中之該子路徑追溯資訊包含該些追溯指示器中之至少一部分。
5. 如申請專利範圍第 1 項所述之方法，其中該原始資料包含分別對應於該格子圖的各級（Stage）之部分資料（Partial Data）；以及依據該原始資料與該些整形碼進行該寫入最佳化運作以產生對應於該格子圖的追溯資訊作為該旁資訊之步驟另包含：
針對對應於一特定級之特定部分資料，計算分別對應於至少兩個整形碼之至少兩個分支量度值（Branch Metric）；以及累計該些級之複數個分支量度值中之至少一部分，以進行該寫入最佳化運作。
6. 如申請專利範圍第 1 項所述之方法，其中依據該旁資訊動態地選擇該些整形碼中之該至少一整形碼以對該原始資料進行資

料整形之步驟另包含：

針對該原始資料中關於該快閃記憶體中之一記憶單元之最高有效位元進行資料整形，而非對該原始資料中關於該記憶單元之全部位元進行資料整形。

7. 如申請專利範圍第 1 項所述之方法，其中於該格子圖的各級 (Stage) 當中，任一級內對應於特定狀態轉換之一子路徑以及另一級內對應於相同狀態轉換之子路徑均代表該些整形碼當中之同一整形碼。
8. 如申請專利範圍第 1 項所述之方法，其中該原始資料包含分別對應於該格子圖的各級 (Stage) 之部分資料 (Partial Data)；以及依據該旁資訊動態地選擇該些整形碼中之該至少一整形碼以對該原始資料進行資料整形之步驟另包含：
針對對應於一特定級之特定部分資料，依據該旁資訊中之至少一部分於該些整形碼中選出一特定整形碼，以進行對應於該特定部分資料之資料整形。
9. 如申請專利範圍第 1 項所述之方法，其另包含有：
將該旁資訊中之至少一部分或其代表資訊儲存於該快閃記憶體，以供該原始資料之重獲 (Recovery) 之用。
10. 如申請專利範圍第 9 項所述之方法，其另包含有：

於一讀取運作期間，自該快閃記憶體取得該旁資訊中之該至少一部分或其代表資訊，並據以重獲（Recover）該原始資料。

11. 一種記憶裝置，其包含有：

一快閃記憶體（Flash Memory），該快閃記憶體包含複數個區塊；以及

一控制器，用來存取（Access）該快閃記憶體以及管理該複數個區塊，並且另針對該控制器本身所存取之資料來進行資料整形（Data Shaping），其中該控制器依據原始資料與複數個整形碼（Shaping Code）進行一寫入最佳化（Program Optimization）運作，以產生對應於一格子圖（Trellis Diagram）的追溯（Trace Back）資訊作為旁資訊（Side Information），以及該控制器包含有：

至少一資料整形模組／資料重獲（Recovery）模組，用來依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。

12. 如申請專利範圍第 11 項所述之記憶裝置，其中該格子圖的各級（Stage）中之每一級包含複數個子路徑；以及每一級之該些子路徑分別代表該些整形碼。

13. 如申請專利範圍第 12 項所述之記憶裝置，其中該控制器尋找

該格子圖中之一最佳化路徑，並產生該最佳化路徑中相對於各級之各個子路徑的子路徑追溯資訊作為該旁資訊之至少一部分；以及該最佳化路徑之終點係為該格子圖之最後一級的各個結果狀態中之一最佳狀態，且該旁資訊包含代表該最佳狀態之終點資訊。

14. 如申請專利範圍第 13 項所述之記憶裝置，其中針對該格子圖的各級，該控制器進行對應於維特比（Viterbi）演算法之相加、比較、與選擇（Add Compare Select, ACS）運作，以產生該些級中之至少一級的各個結果狀態之追溯指示器（Trace Back Indicator）並尋找該格子圖之該最後一級的該些結果狀態中之該最佳狀態；以及該旁資訊中之該子路徑追溯資訊包含該些追溯指示器中之至少一部分。
15. 如申請專利範圍第 11 項所述之記憶裝置，其中該原始資料包含分別對應於該格子圖的各級（Stage）之部分資料（Partial Data）；針對對應於一特定級之特定部分資料，該控制器計算分別對應於至少兩個整形碼之至少兩個分支量度值（Branch Metric）；以及該控制器累計該些級之複數個分支量度值中之至少一部分，以進行該寫入最佳化運作。
16. 如申請專利範圍第 11 項所述之記憶裝置，其中該控制器針對該原始資料中關於該快閃記憶體中之一記憶單元之最高有效

位元進行資料整形，而非對該原始資料中關於該記憶單元之全部位元進行資料整形。

17. 如申請專利範圍第 11 項所述之記憶裝置，其中於該格子圖的各級（Stage）當中，任一級內對應於特定狀態轉換之一子路徑以及另一級內對應於相同狀態轉換之子路徑均代表該些整形碼當中之同一整形碼。
18. 如申請專利範圍第 11 項所述之記憶裝置，其中該原始資料包含分別對應於該格子圖的各級（Stage）之部分資料（Partial Data）；以及針對對應於一特定級之特定部分資料，該資料整形模組／資料重獲模組依據該旁資訊中之至少一部分於該些整形碼中選出一特定整形碼，以進行對應於該特定部分資料之資料整形。
19. 如申請專利範圍第 11 項所述之記憶裝置，其中該控制器將該旁資訊中之至少一部分或其代表資訊儲存於該快閃記憶體，以供該原始資料之重獲之用。
20. 如申請專利範圍第 19 項所述之記憶裝置，其中於一讀取運作期間，該控制器自該快閃記憶體取得該旁資訊中之該至少一部分或其代表資訊，並且該資料整形模組／資料重獲模組據以重獲（Recover）該原始資料。

21. 一種記憶裝置之控制器，該控制器係用來存取（Access）一快閃記憶體（Flash Memory），該快閃記憶體包含複數個區塊，該控制器包含有：
一唯讀記憶體（Read Only Memory, ROM），用來儲存一程式碼；
一微處理器，用來執行該程式碼以控制對該快閃記憶體之存取以及管理該複數個區塊，其中在該微處理器之控制下，該控制器針對該控制器本身所存取之資料來進行資料整形（Data Shaping），其中該控制器依據原始資料與複數個整形碼（Shaping Code）進行一寫入最佳化（Program Optimization）運作，以產生對應於一格子圖（Trellis Diagram）的追溯（Trace Back）資訊作為旁資訊（Side Information）；以及
至少一資料整形模組／資料重獲（Recovery）模組，用來依據該旁資訊動態地選擇該些整形碼中之至少一整形碼，以對該原始資料進行資料整形。
22. 如申請專利範圍第 21 項所述之控制器，其中該格子圖的各級（Stage）中之每一級包含複數個子路徑；以及每一級之該些子路徑分別代表該些整形碼。
23. 如申請專利範圍第 22 項所述之控制器，其中該控制器尋找該

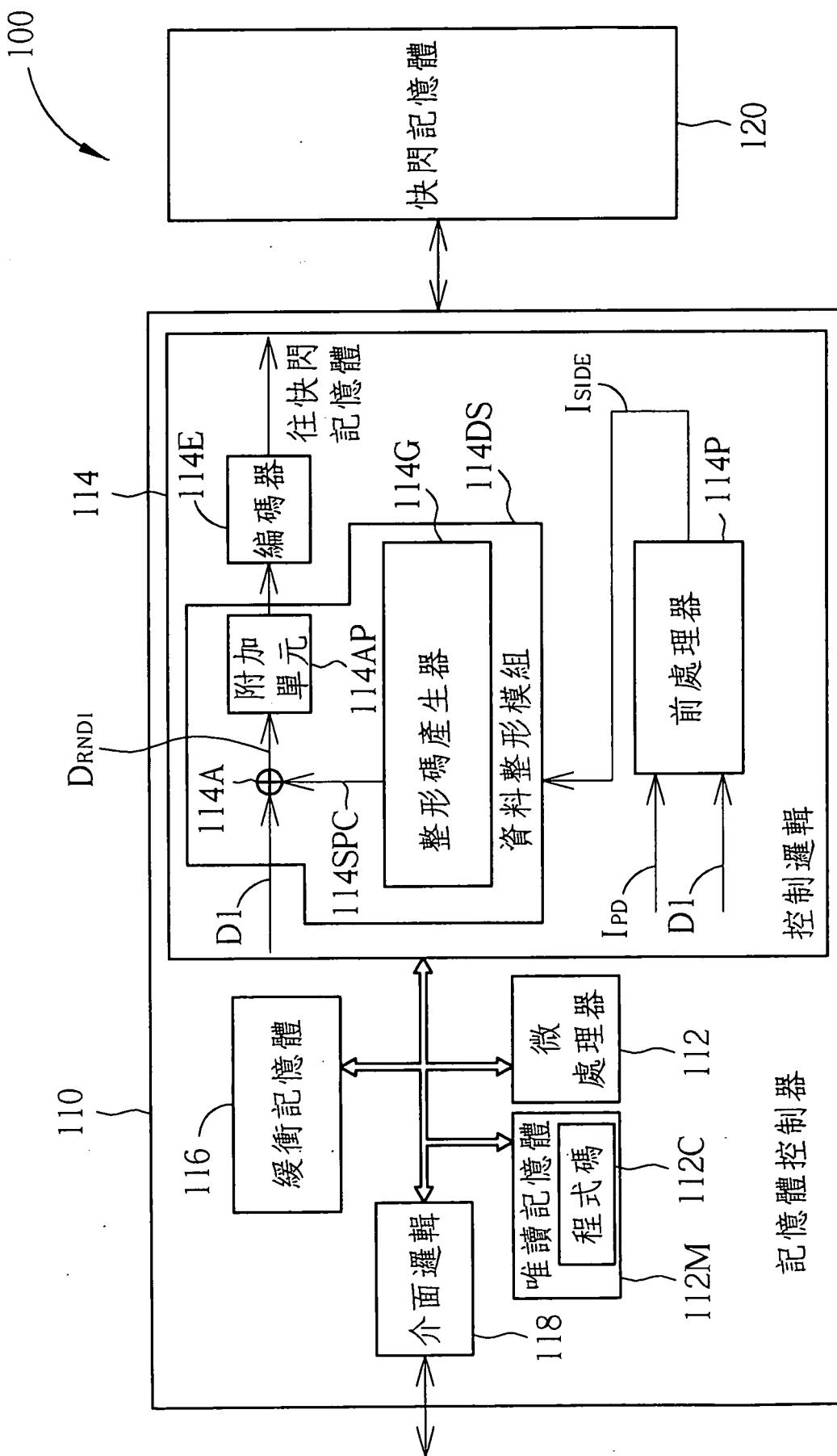
格子圖中之一最佳化路徑，並產生該最佳化路徑中相對於各級之各個子路徑的子路徑追溯資訊作為該旁資訊之至少一部分；以及該最佳化路徑之終點係為該格子圖之最後一級的各個結果狀態中之一最佳狀態，且該旁資訊包含代表該最佳狀態之終點資訊。

24. 如申請專利範圍第 23 項所述之控制器，其中針對該格子圖的各級，該控制器進行對應於維特比（Viterbi）演算法之相加、比較、與選擇（Add Compare Select, ACS）運作，以產生該些級中之至少一級的各個結果狀態之追溯指示器（Trace Back Indicator）並尋找該格子圖之該最後一級的該些結果狀態中之該最佳狀態；以及該旁資訊中之該子路徑追溯資訊包含該些追溯指示器中之至少一部分。
25. 如申請專利範圍第 21 項所述之控制器，其中該原始資料包含分別對應於該格子圖的各級（Stage）之部分資料（Partial Data）；針對對應於一特定級之特定部分資料，該控制器計算分別對應於至少兩個整形碼之至少兩個分支量度值（Branch Metric）；以及該控制器累計該些級之複數個分支量度值中之至少一部分，以進行該寫入最佳化運作。
26. 如申請專利範圍第 21 項所述之控制器，其中該控制器針對該原始資料中關於該快閃記憶體中之一記憶單元之最高有效位

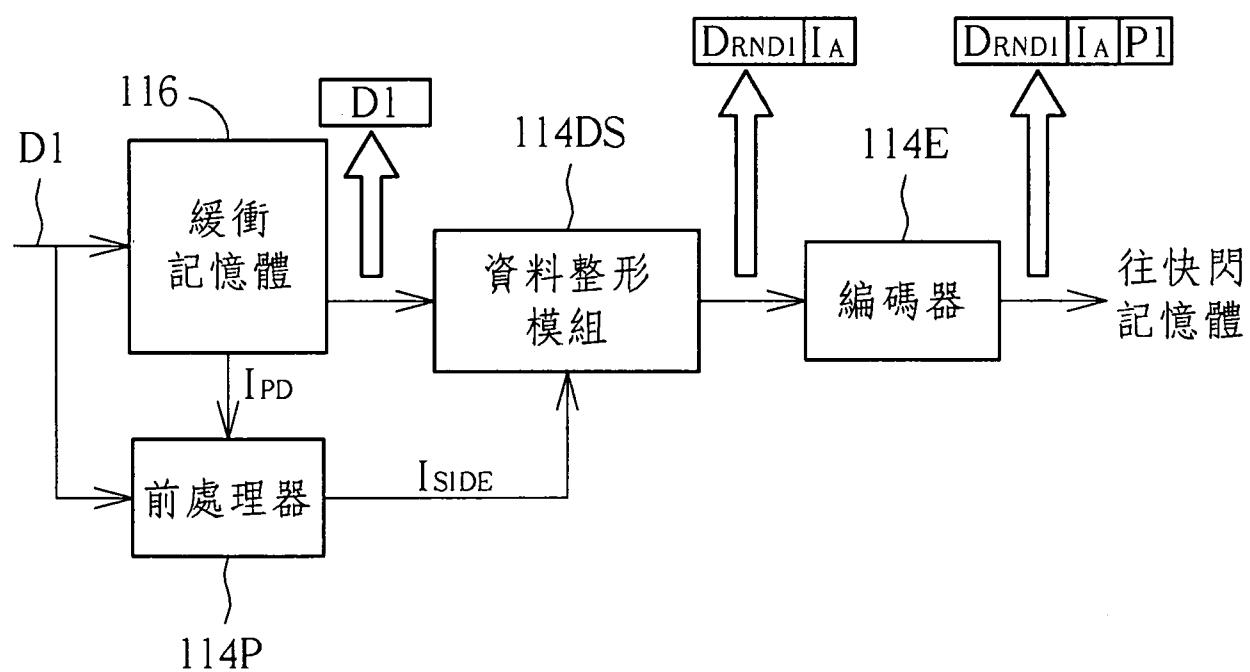
元進行資料整形，而非對該原始資料中關於該記憶單元之全部位元進行資料整形。

27. 如申請專利範圍第 21 項所述之控制器，其中於該格子圖的各級（Stage）當中，任一級內對應於特定狀態轉換之一子路徑以及另一級內對應於相同狀態轉換之子路徑均代表該些整形碼當中之同一整形碼。
28. 如申請專利範圍第 21 項所述之控制器，其中該原始資料包含分別對應於該格子圖的各級（Stage）之部分資料（Partial Data）；以及針對對應於一特定級之特定部分資料，該資料整形模組／資料重獲模組依據該旁資訊中之至少一部分於該些整形碼中選出一特定整形碼，以進行對應於該特定部分資料之資料整形。
29. 如申請專利範圍第 21 項所述之控制器，其中該控制器將該旁資訊中之至少一部分或其代表資訊儲存於該快閃記憶體，以供該原始資料之重獲之用。
30. 如申請專利範圍第 29 項所述之控制器，其中於一讀取運作期間，該控制器自該快閃記憶體取得該旁資訊中之該至少一部分或其代表資訊，並且該資料整形模組／資料重獲模組據以重獲（Recover）該原始資料。

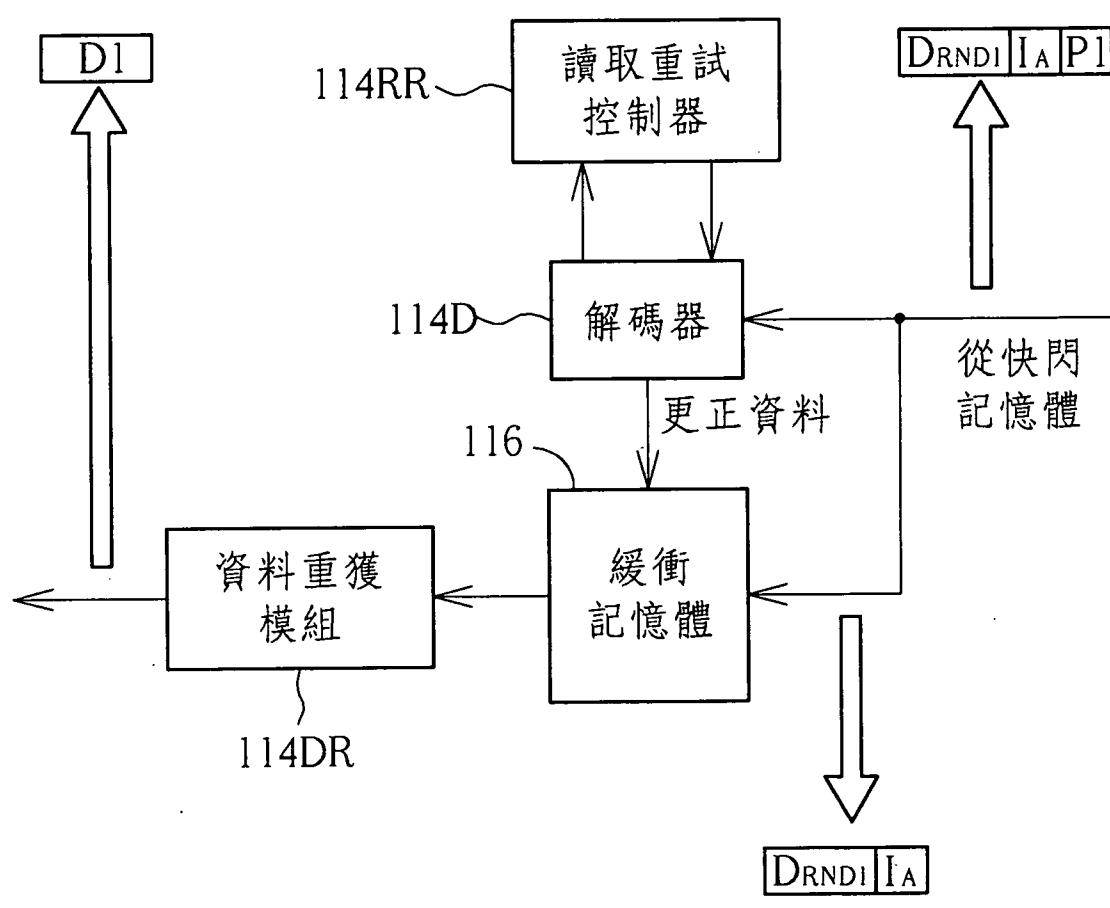
八、圖式：



第 1 A 圖

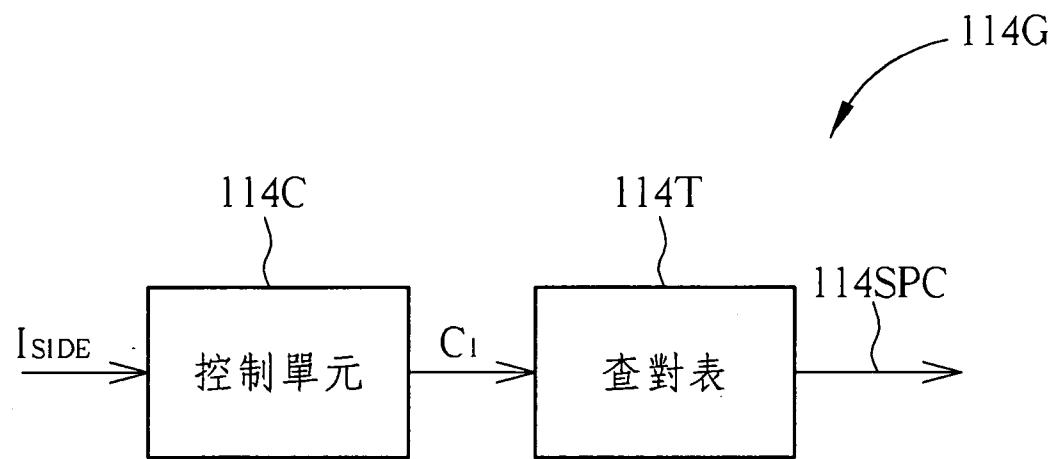


第1B圖

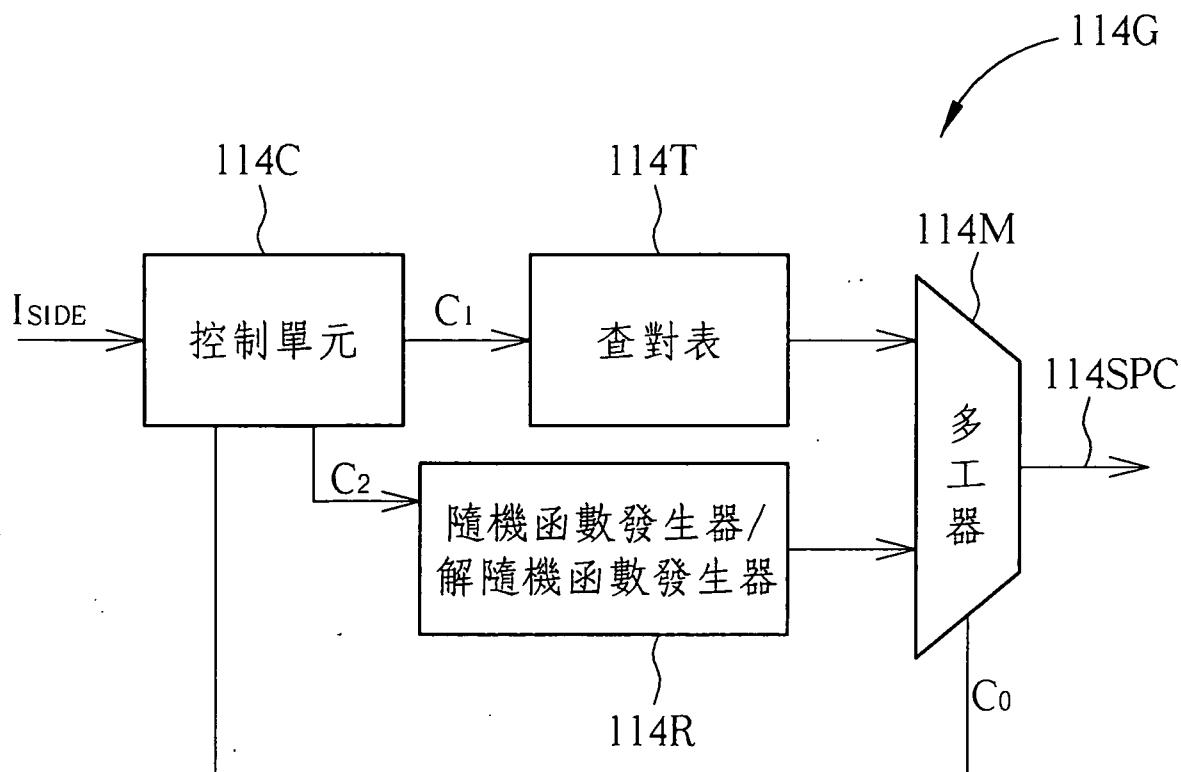


第1C圖

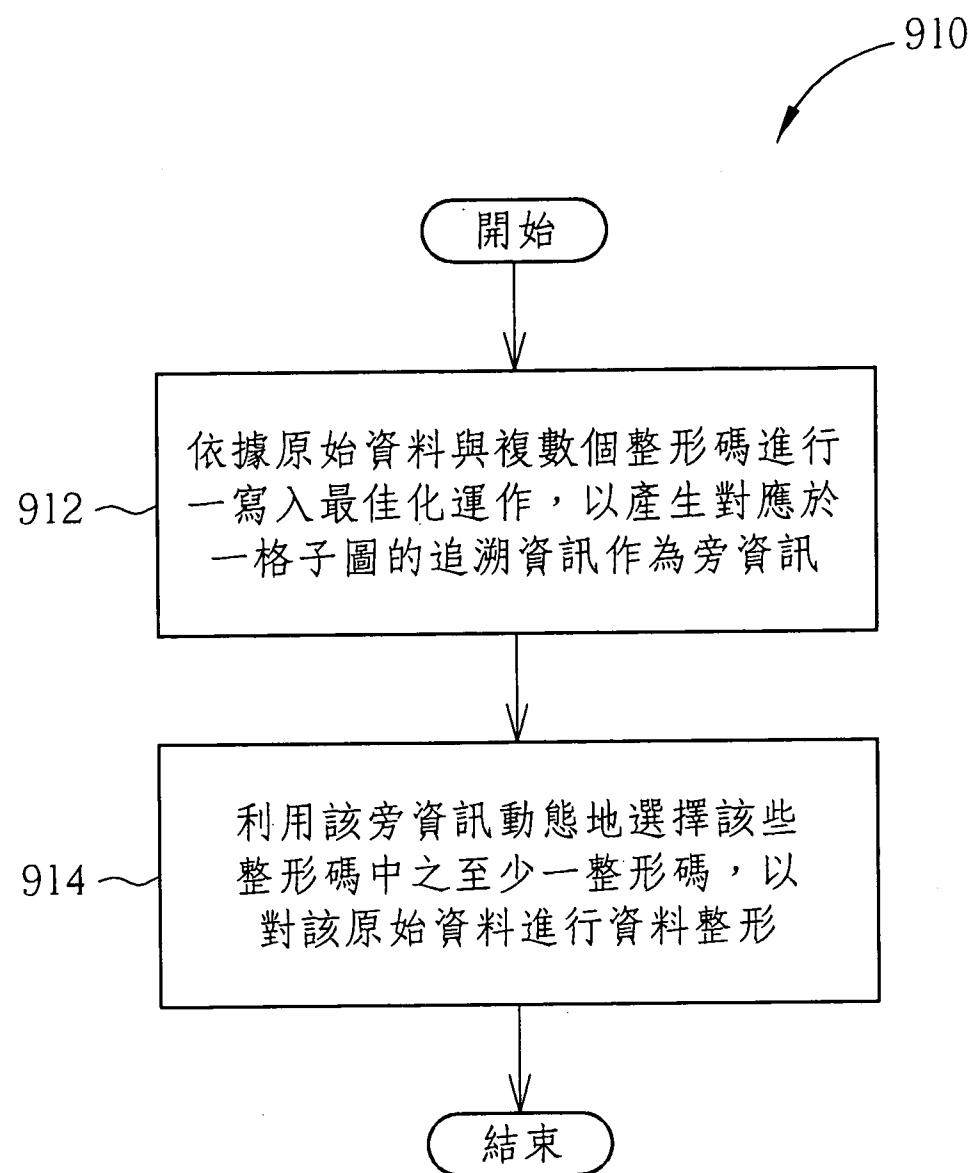
I441181



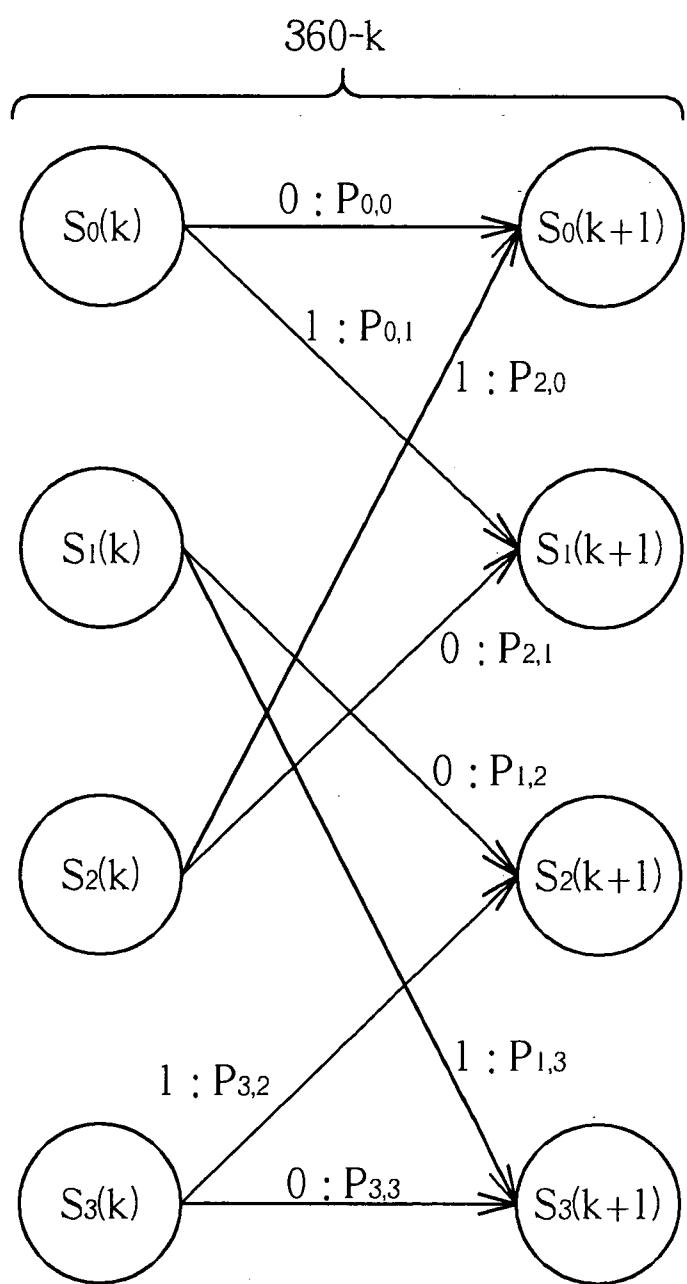
第1D圖



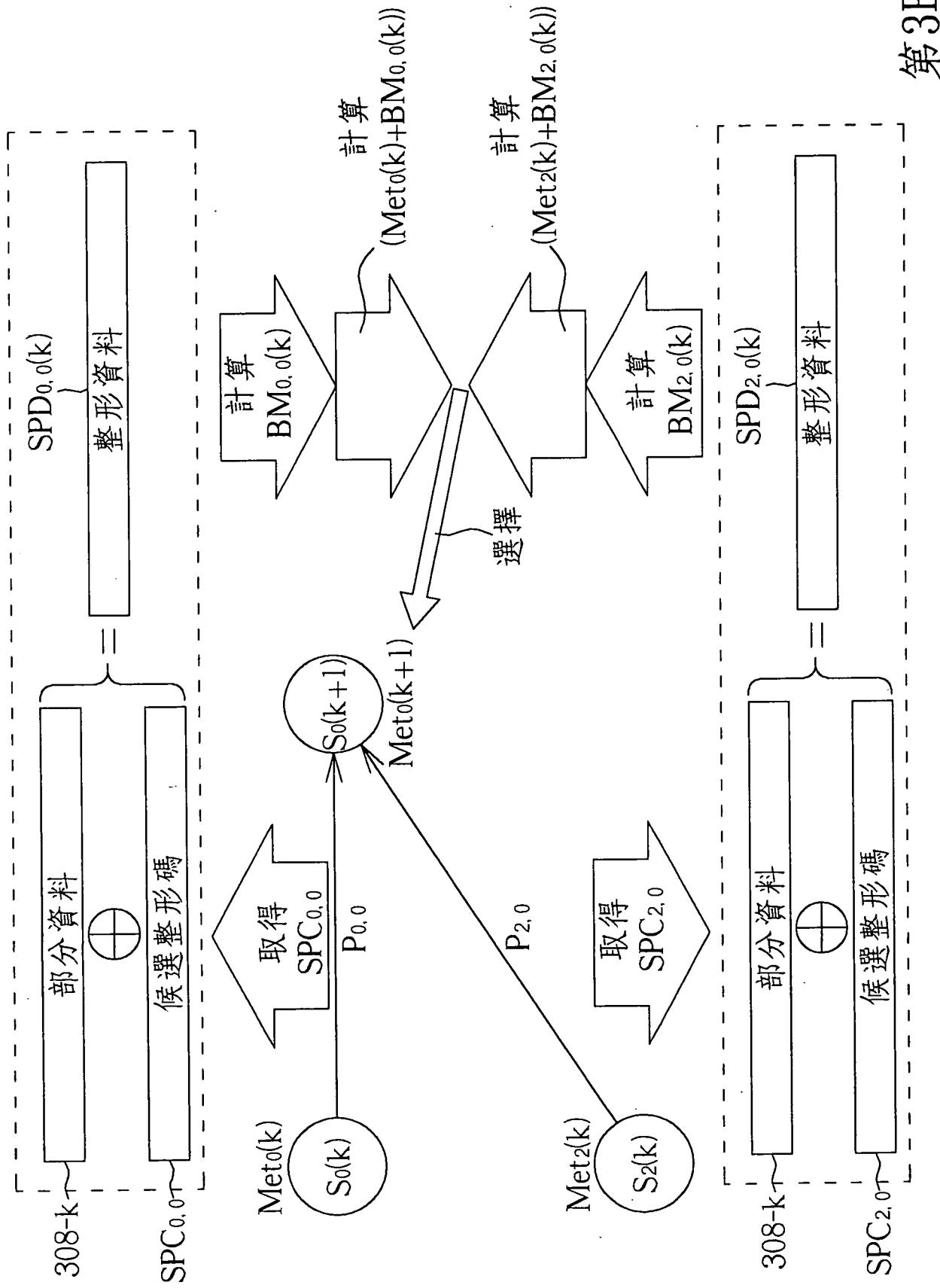
第1E圖



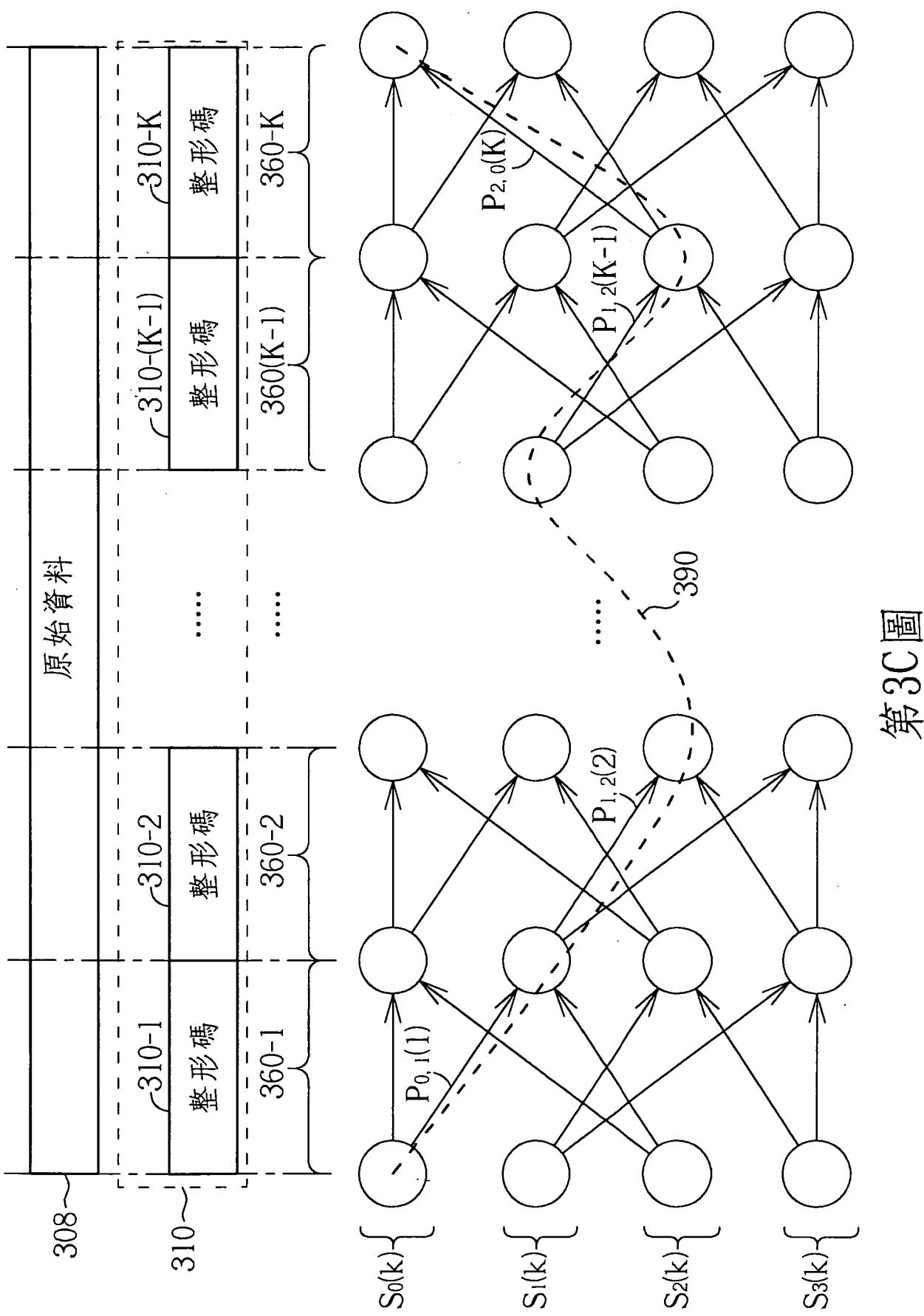
第2圖



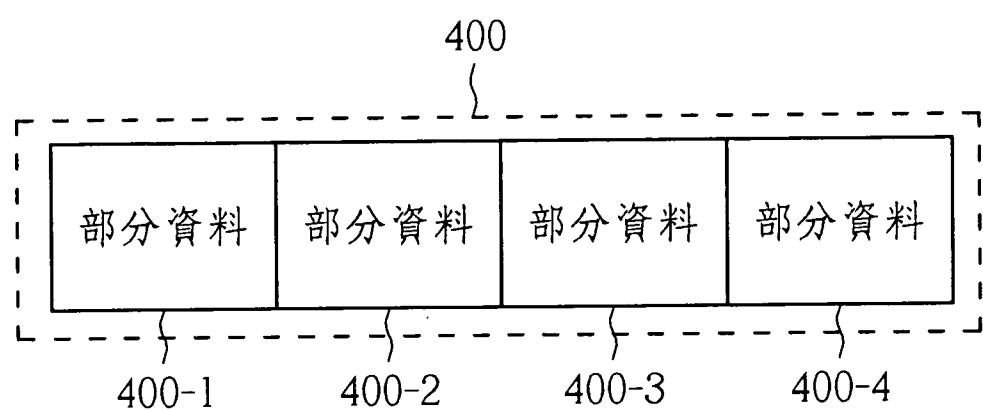
第3A圖



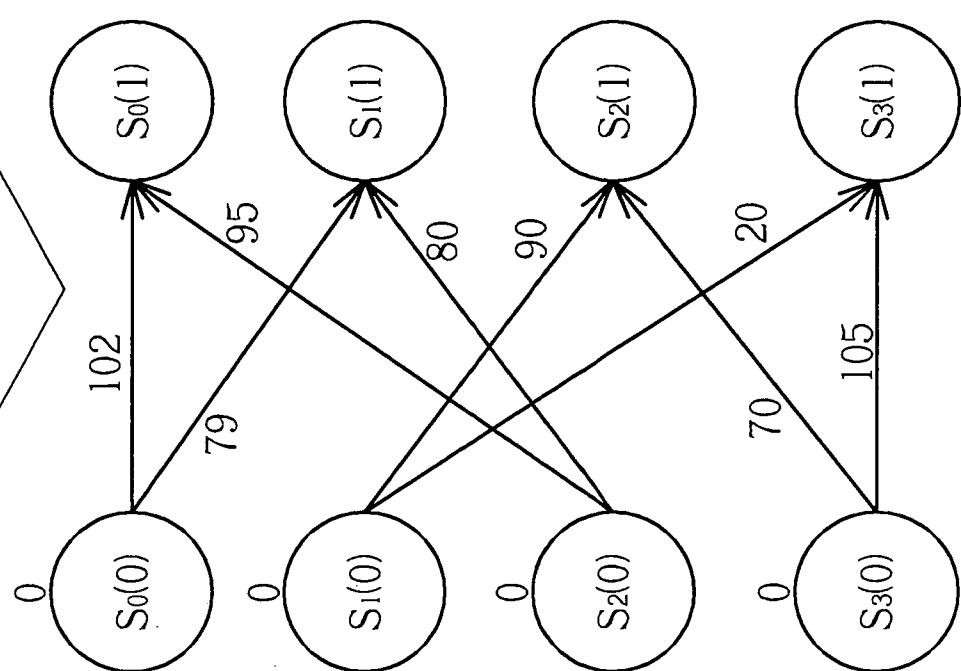
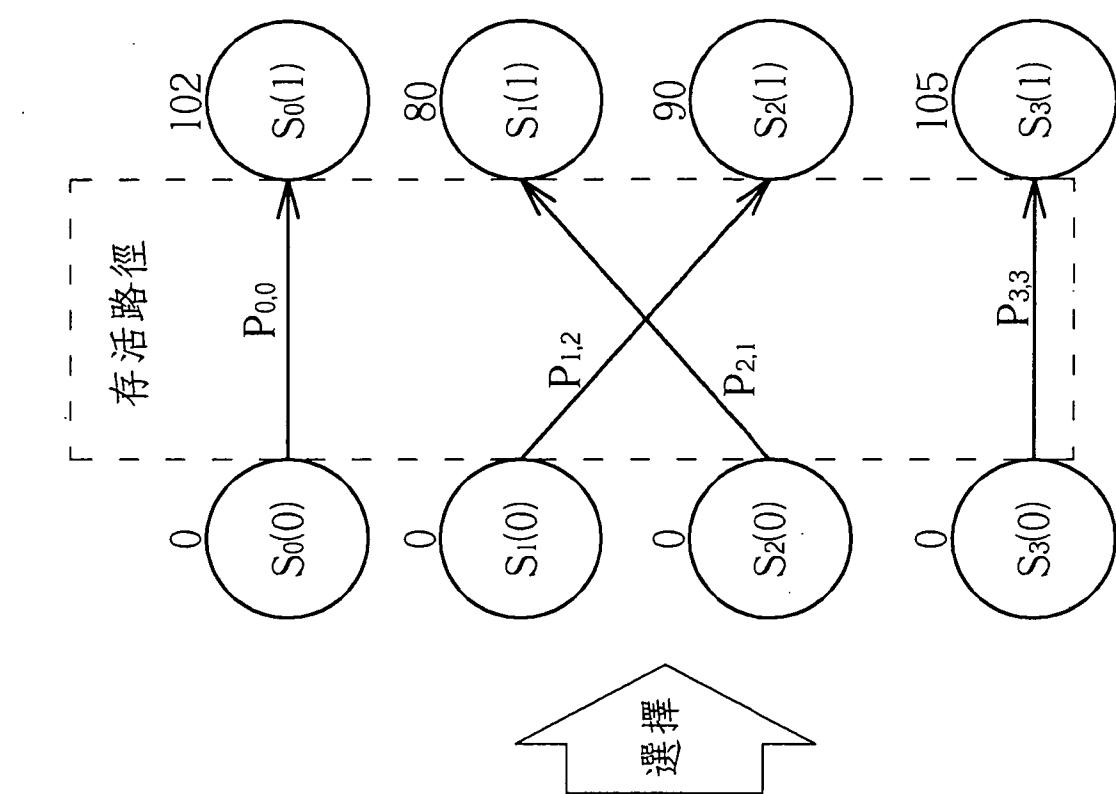
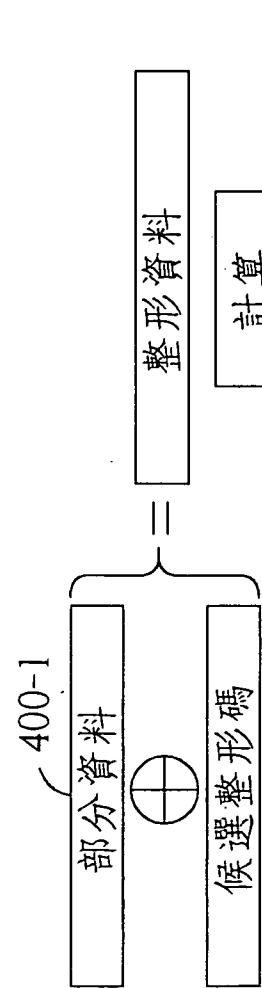
第3B圖



第3C圖



第4A圖



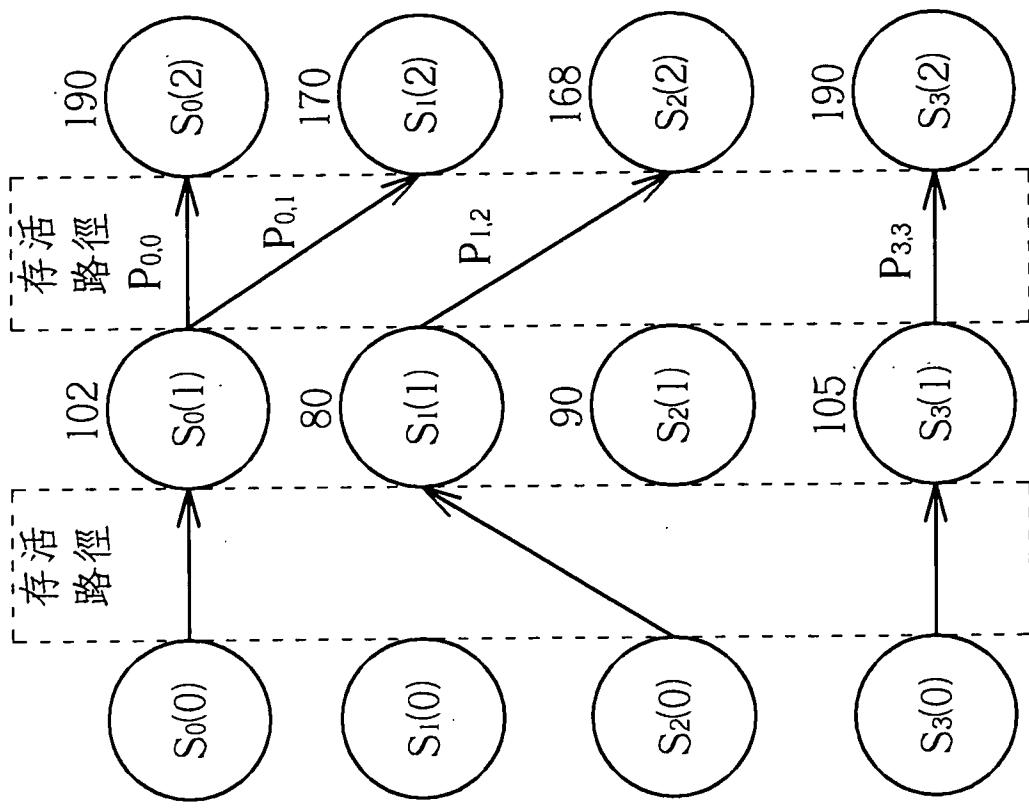
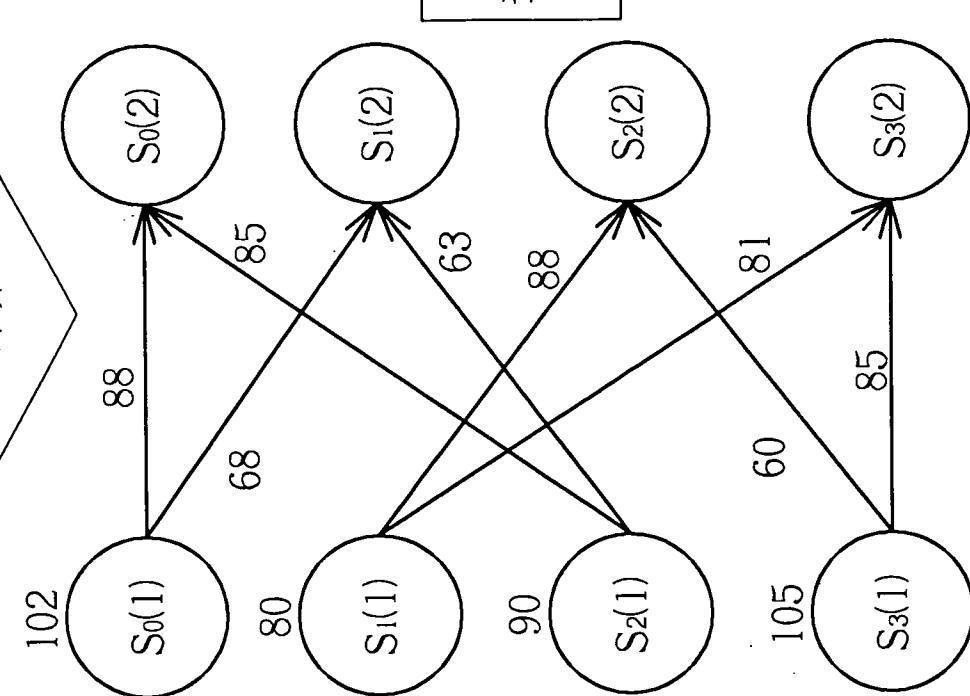
第4B圖

400-2
 部分資料

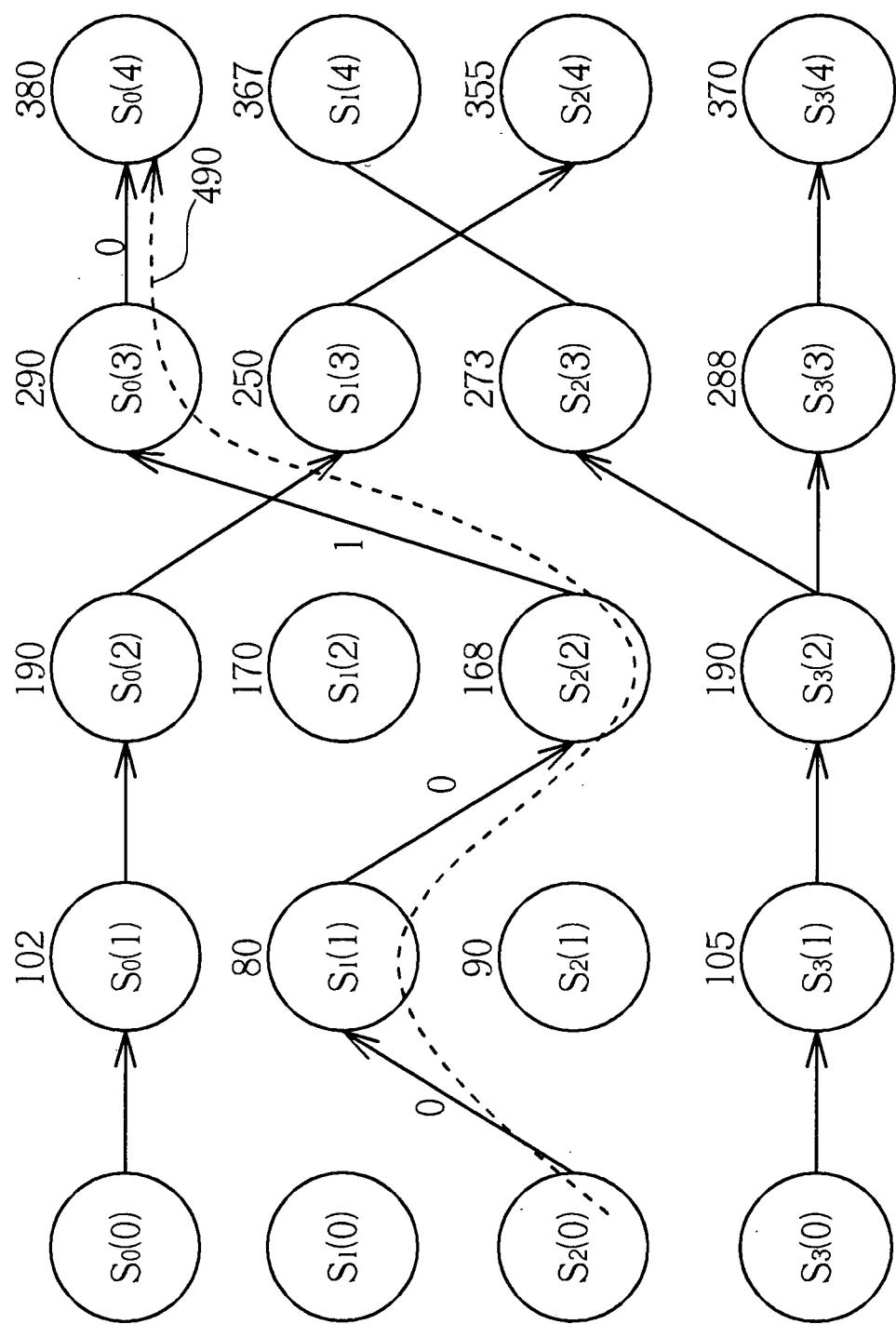
 候選整形碼

= 整形資料

計算

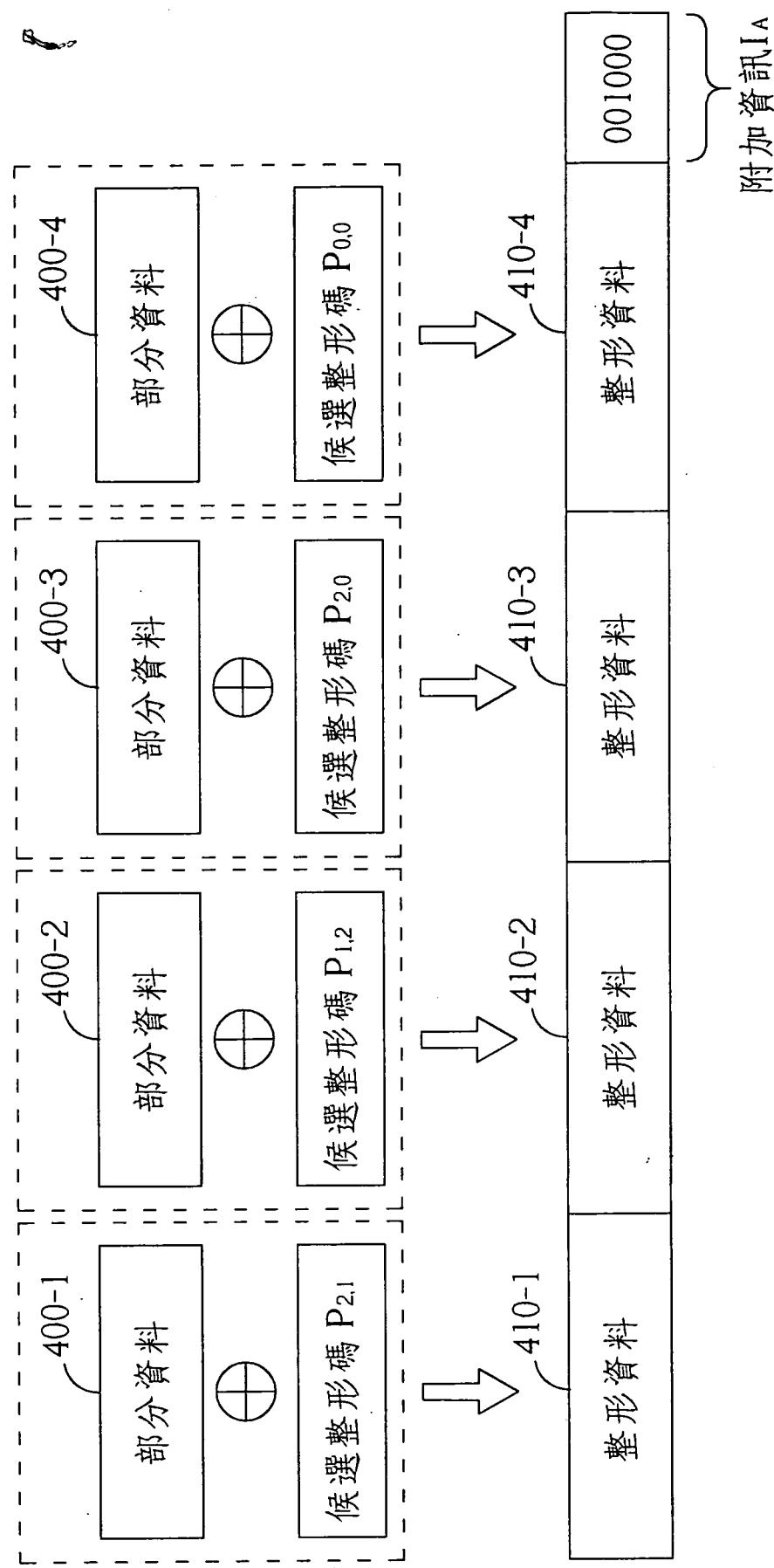


第4C圖

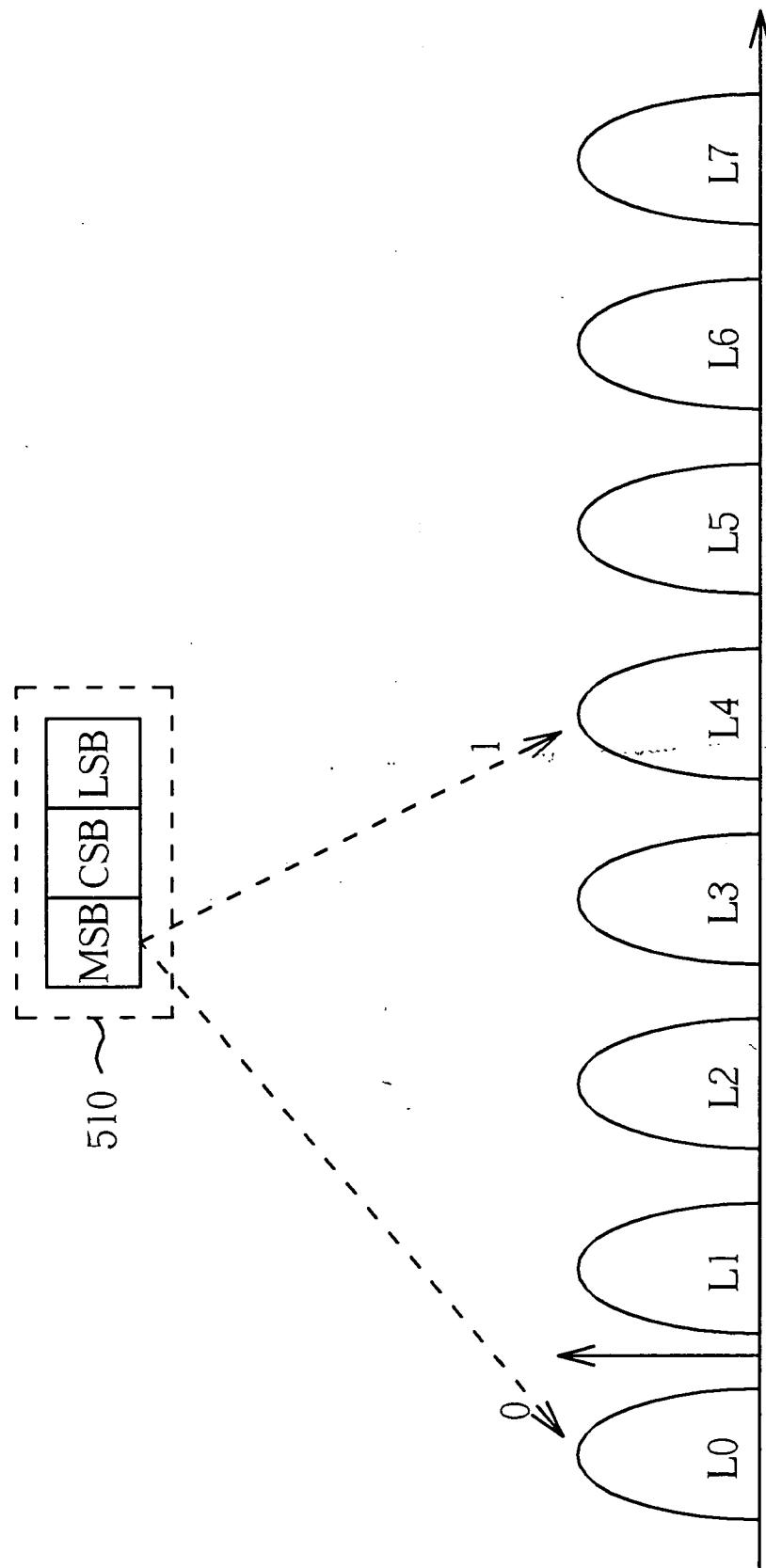


第4D圖

第4E圖



I441181



第5圖