



(12) 发明专利

(10) 授权公告号 CN 119855481 B

(45) 授权公告日 2025. 07. 08

(21) 申请号 202510324804.5

H10N 60/01 (2023.01)

(22) 申请日 2025.03.19

G06N 10/40 (2022.01)

(65) 同一申请的已公布的文献号

申请公布号 CN 119855481 A

(56) 对比文件

CN 119522032 A, 2025.02.25

(43) 申请公布日 2025.04.18

审查员 聂立璠

(73) 专利权人 南京乾海通信技术有限公司

地址 210000 江苏省南京市栖霞区尧化街
道科创路1号南京金港科创园一期04
栋二层20-366室

(72) 发明人 余同心 刘银银

(74) 专利代理机构 南京汇业佳知识产权代理事

务所(普通合伙) 32708

专利代理师 吴冲般

(51) Int. Cl.

H10N 60/81 (2023.01)

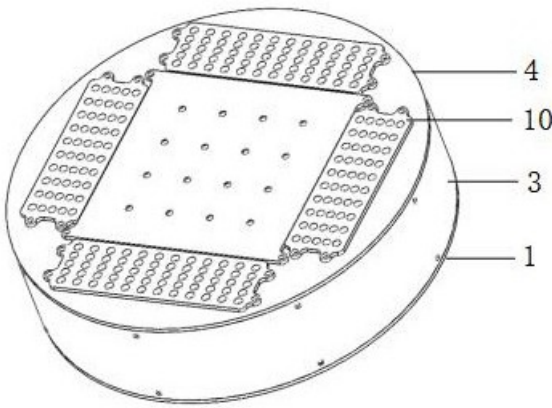
权利要求书3页 说明书10页 附图4页

(54) 发明名称

一种消除准粒子影响的量子芯片封装方法

(57) 摘要

本发明公开了一种消除准粒子影响的量子芯片封装装置,包括屏蔽桶底板、基板、封装上板、PCB板、连接板部件、盖板部件以及屏蔽桶桶身,屏蔽桶底板位于屏蔽桶桶身底端,基板上设有第一方孔、第二方孔、第三方孔以及第四方孔和芯片方孔,封装上板内部设有第五方孔、第六方孔、第七方孔、第八方孔和中心方孔,连接板部件包括第一连接板和第二连接板,第一连接板置于PCB板上;第二连接板置于第五方孔、第六方孔、第七方孔以及第八方孔内,盖板部件包括第一盖板、第二盖板、第三盖板和中心盖板,屏蔽桶桶身与屏蔽桶底板和封装上板装配。本发明实现了高集成、磁屏蔽及极低温环境下的稳定性能,能够有效减少准粒子干扰,确保量子计算的高稳定性。



1. 一种消除准粒子影响的量子芯片封装方法,其特征在于,包括以下步骤:

步骤一:在屏蔽桶底板、屏蔽桶桶身和封装上板内壁沉积高临界温度的超导材料层,形成超导层间屏蔽结构,并在屏蔽桶桶身内部涂覆红外胶涂层;

步骤二:在基板和PCB板的表面涂覆掺杂石墨烯的超导体低能态陷阱材料层,特别是在芯片方孔周围增加涂层厚度,并采用低温热处理优化陷阱能态分布,以俘获准粒子并将其限制在局部极小势阱中;

步骤三:在芯片方孔内壁及封装上板内部中心方孔表面沉积量子点吸附层;

步骤四:组装屏蔽桶桶身、屏蔽桶底板、封装上板、基板、PCB板、盖板部件和连接板部件,形成完整封装结构,并在第一凹槽、第二凹槽和第三凹槽内引入微结构导流层,使俘获的准粒子向低温区扩散;

步骤五:在低温环境下,对封装结构进行多维度性能测试,并根据多维度性能测试结果,判断准粒子抑制能力;

所述步骤五中对封装结构进行多维度性能测试,包括以下步骤:

使用低温探针扫描技术或微波谐振测量,在不同位置测量准粒子密度,记录准粒子数目与分布情况,并计算准粒子密度的变化量 $\rho_{qp}(r,t)$,计算公式为:

$$\rho_{qp}(r,t) = \frac{N_{qp}(r,t)}{V}$$

其中: $N_{qp}(r,t)$ 是单位体积内准粒子的数目, V 是测量区域的体积, r 是封装材料的位置, t 是时间;

通过量子点吸附层对准粒子的能量耗散效应进行测试,使用纳米级热探针测量准粒子在吸附层中的动能转化情况,根据准粒子在量子点层的能量消耗效率,计算其能量耗散效率 $\eta_{diss}(q)$,并将其与理论预期值进行对比,以评估吸附层的准粒子耗散能力,其中,能量耗散效率 $\eta_{diss}(q)$ 的计算公式为:

$$\eta_{diss}(q) = \frac{P_{diss}(q)}{P_{total}(q)}$$

其中: $P_{diss}(q)$ 表示耗散能量, $P_{total}(q)$ 表示准粒子的总能量, q 表示准粒子动能;

使用标准的量子比特相干时间测量方法对量子比特进行测试,记录不同封装方案下量子比特的相干时间 $T_{coh}(\theta)$,并与没有任何准粒子抑制方案的基准值进行对比, θ 是环境因素影响下的调节因子;

采用量子电流传输测量技术或微波反射测量,通过比较不同层的准粒子透过率 $\alpha_{trans}(r)$,得出封装结构中每个层次的有效屏蔽能力;其中准粒子透过率 $\alpha_{trans}(r)$ 的计算公式为:

$$\alpha_{trans}(r) = \frac{I_{trans}(r)}{I_{incident}(r)}$$

其中, $I_{trans}(r)$ 是通过材料的准粒子流强度, $I_{incident}(r)$ 是入射准粒子的流强度。

2. 如权利要求1所述的消除准粒子影响的量子芯片封装方法,其特征在于:所述封装结

构的准粒子抑制能力与准粒子密度的变化量 $\rho_{qp}(r,t)$ 、能量耗散效率 $\eta_{diss}(q)$ 、比特的相干时间 $T_{coh}(\theta)$ 以及准粒子透过率 $\alpha_{trans}(r)$ 相关；准粒子抑制能力的数学表达式为：

$$QPI = \frac{\int_{\Omega} [\rho_{qp}(r,t) \cdot e^{-\beta r}] d\Omega}{\left(\int_0^{\infty} \eta_{diss}(q) \cdot e^{-\alpha q^2} dq \right)^{\frac{1}{2}}} \cdot \frac{\int_A \left(\frac{T_{coh}(\theta)}{1 + \gamma \cdot \alpha_{trans}(r)} \right) dA}{V}$$

其中：

QPI 为一个综合性指标,用于量化不同封装方案对准粒子的抑制效果；

$\rho_{qp}(r,t)$ 准粒子密度变化量,表示在封装材料的位置 r 和时间 t 上,准粒子的浓度变化；

$e^{-\beta r}$ 为指数衰减因子,表示准粒子在空间中传播时的衰减效应,随着距离 r 增加,准粒子密度会呈指数衰减,其中, β 是材料的衰减系数,反映了材料对准粒子的屏蔽能力；

$\eta_{diss}(q)$ 为能量耗散效率函数,准粒子动能在量子点或其他材料层中被转化为热能或其他形式的能量的效率；

$e^{-\alpha q^2}$ 为高斯衰减因子,描述了准粒子动能 q 对能量耗散的影响,随着准粒子动能 q 增加,能量的耗散效率呈现衰减趋势, α 是与准粒子动能和材料特性相关的衰减系数；

$d\Omega$ 表示空间积分区域,用于计算整个封装区域的准粒子密度变化；

$\int_0^{\infty} \eta_{diss}(q) \cdot e^{-\alpha q^2} dq$ 代表对所有准粒子的能量耗散的总效应；

$\frac{T_{coh}(\theta)}{1 + \gamma \cdot \alpha_{trans}(r)}$ 描述了相干时间与透过率的综合效应,随着透过率增加,相干时间降低,显示出封装对准粒子抑制的效果；

γ 是调节因子,表示封装设计对透过率的影响；

$T_{coh}(\theta)$ 为量子比特相干时间,表示量子比特在不受外界干扰的情况下,能够保持其量子态的时间；

$\alpha_{trans}(r)$ 为准粒子透过率,表示封装层对准粒子的屏蔽效果,衡量不同屏蔽层对准粒子的透过程度；

V 表示封装的体积；

A 表示封装的表面积；

值域含义：

当 $QPI > 0.8$,表示封装方案的准粒子抑制效果良好,适合长期稳定运行；

当 $0.5 < QPI \leq 0.8$,表示封装方案需要优化；

当 $QPI \leq 0.5$,表示封装方案准粒子抑制效果差,需要重新设计材料和结构。

3. 如权利要求2所述的消除准粒子影响的量子芯片封装方法,其特征在于:所述封装结构中引入有动态准粒子输运控制机制,通过可调节微结构通道,引导准粒子向能量耗散区移动,以提高封装的准粒子抑制能力。

4. 如权利要求3所述的消除准粒子影响的量子芯片封装方法,其特征在于:所述动态准粒子输运控制机制包括以下步骤:

在封装层内部集成可调节微结构通道,所述通道通过超导微桥或量子点阵列形成周期

性势场,引导准粒子向低温区扩散;

通过低温电场或磁场调节微结构通道的输运特性,使准粒子的运动方向和分布动态优化;

在封装外部增加实时监测系统,结合微波谐振测量和纳米级热探针分析准粒子的密度分布,并根据监测数据调节微结构通道的开闭状态,以增强封装结构的屏蔽能力;

结合准粒子抑制能力数学表达式,动态调整指数衰减因子 $e^{-\beta r}$ 中的系数 β 和高斯衰减因子 $e^{-\alpha q^2}$ 中的系数 α ,使准粒子的耗散效率最大化。

一种消除准粒子影响的量子芯片封装方法

技术领域

[0001] 本发明涉及量子芯片封装技术领域,尤其涉及一种消除准粒子影响的量子芯片封装方法。

背景技术

[0002] 量子技术研究已成为当前世界科技研究的一大热点,其中,量子计算机的研究是量子技术领域的重要方向。量子计算机具有远超经典计算机的计算能力,其核心组件——量子比特(qubit)的数量和质量直接决定了计算机的算力。为进一步提升量子计算机的算力,需要不断拓展量子比特的数量,并集成到高密度量子芯片上。然而,随着量子芯片的尺寸不断扩大,其封装结构对量子比特的影响愈发明显。

[0003] 在量子芯片封装技术中,准粒子(quasiparticle)的影响已成为限制量子比特性能的重要因素。准粒子是指在低温下,由于超导材料的库珀对被破坏而产生的激发态粒子。这些准粒子在量子芯片中的输运和累积,会导致超导量子比特的能量弛豫,从而缩短量子比特的相干时间,影响量子计算的稳定性。现有的量子芯片封装技术通常采用超导屏蔽层或低温处理来抑制准粒子影响,但仍难以有效控制准粒子在芯片中的输运和累积,导致量子比特相干时间难以进一步提升。

发明内容

[0004] 本部分的目的在于概述本发明的实施例的一些方面以及简要介绍一些较佳实施例。在本部分以及本申请的说明书摘要和发明名称中可能会做些简化或省略以避免使本部分、说明书摘要和发明名称的目的模糊,而这种简化或省略不能用于限制本发明的范围。

[0005] 为解决上述技术问题,本发明提供如下技术方案:一种消除准粒子影响的量子芯片封装装置,主要包括:

[0006] 屏蔽桶底板,所述屏蔽桶底板位于屏蔽桶桶身底端,其上设有第一凹槽、第二凹槽和第三凹槽;

[0007] 基板,所述基板上设有用于放置连接器的第一方孔、第二方孔、第三方孔以及第四方孔和用于放置量子芯片的芯片方孔;

[0008] 封装上板,所述封装上板为圆柱体结构,内部设有第五方孔、第六方孔、第七方孔、第八方孔和中心方孔,所述中心方孔置于封装上板中心位置;

[0009] PCB板,所述PCB板置于基板上;

[0010] 连接板部件,所述连接板部件包括第一连接板和第二连接板,所述第一连接板置于所述PCB板上;所述第二连接板置于第五方孔、第六方孔、第七方孔以及第八方孔内;

[0011] 盖板部件,所述盖板部件包括第一盖板、第二盖板、第三盖板和中心盖板,分别封装于不同位置以保护内部组件;

[0012] 屏蔽桶桶身,所述屏蔽桶桶身与屏蔽桶底板和封装上板装配,形成封装装置的外围屏蔽结构。

[0013] 作为本发明所述消除准粒子影响的量子芯片封装装置的一种优选方案,其中:所述屏蔽桶底板包括底板外壁和底板内壁,其中,底板外壁外径大于底板内壁外径,且底板外壁相对于底板内壁的突出厚度与屏蔽桶桶身的壁厚相匹配。

[0014] 作为本发明所述消除准粒子影响的量子芯片封装装置的一种优选方案,其中:所述封装上板包括上板外壁和上板内壁,上板外壁外径大于上板内壁外径,且上板外壁相对于上板内壁的突出厚度与屏蔽桶桶身的壁厚相匹配;所述第五方孔、第六方孔、第七方孔和第八方孔位置分别与基板上第一方孔、第二方孔、第三方孔以及第四方孔位置同轴设置。

[0015] 作为本发明所述消除准粒子影响的量子芯片封装装置的一种优选方案,其中:所述第一连接板尺寸根据连接器尺寸及数量设置,且第一连接板的位置与基板上的第一方孔、第二方孔、第三方孔以及第四方孔相对应,所述第一连接板上设有用于固定连接器的连接孔,所述第一连接板两边突出部分设有螺纹孔,所述第一连接板、PCB板以及基板之间通过螺钉固定连接;所述第二连接板上设有用于固定连接器的连接孔,所述第二连接板两边突出部分设有螺纹孔,所述封装上板上设有与第二连接板同轴对应的螺纹孔,所述第二连接板与基板之间通过螺钉固定连接。

[0016] 作为本发明所述消除准粒子影响的量子芯片封装装置的一种优选方案,其中:所述第一盖板封装于第一方孔、第二方孔、第三方孔以及第四方孔下面,且所述第一盖板置于第二凹槽内,所述第一盖板两边均设有圆弧突出,且圆弧突出置于第三凹槽内,且突出的圆弧中间设有螺纹孔,所述第一盖板与基板通过螺钉连接固定;所述第二盖板封装于芯片方孔下面,所述第二盖板顶部设有凹槽,所述凹槽用于芯片金丝键合,所述第二盖板置于第一凹槽内,并通过螺钉与基板固定连接;所述第三盖板封装芯片上方,并通过螺钉与PCB板固定连接;所述第三盖板嵌入在由第一连接板所包围的中间部分,且第三盖板的厚度与第一连接板厚度一致;所述中心盖板置于中心方孔内,用于封装中心方孔,所述中心盖板采用梯形结构设计,上层尺寸大于下层尺寸,所述中心盖板与封装上板通过螺钉固定连接;

[0017] 所述屏蔽桶桶身内部涂有红外胶涂层,所述屏蔽桶底板、基板、第一连接板、第二连接板、第一盖板、中心盖板、封装上板、屏蔽桶桶身均由无氧铜构成,第二盖板和第三盖板由坡莫合金构成。

[0018] 应用于上述一种消除准粒子影响的量子芯片封装装置的封装方法,该方法包括:

[0019] 步骤一:在屏蔽桶底板、屏蔽桶桶身和封装上板内壁沉积高临界温度的超导材料层,形成超导层间屏蔽结构,并在屏蔽桶桶身内部涂覆红外胶涂层;

[0020] 步骤二:在基板和PCB板的表面涂覆掺杂石墨烯的超导体低能态陷阱材料层,特别是在芯片方孔周围增加涂层厚度,并采用低温热处理优化陷阱能态分布,以俘获准粒子并将其限制在局部极小势阱中;

[0021] 步骤三:在芯片方孔内壁及封装上板内部中心方孔表面沉积量子点吸附层;

[0022] 步骤四:组装屏蔽桶桶身、屏蔽桶底板、封装上板、基板、PCB板、盖板部件和连接板部件,形成完整封装结构,并在第一凹槽、第二凹槽和第三凹槽内引入微结构导流层,使俘获的准粒子向低温区扩散;

[0023] 步骤五:在低温环境下,对封装结构进行多维度性能测试,并根据多维度性能测试结果,判断准粒子抑制能力。

[0024] 作为本发明所述一种消除准粒子影响的量子芯片封装方法的一种优选方案,其

中:所述步骤五中对封装结构进行多维度性能测试,包括以下步骤:

[0025] 使用低温探针扫描技术或微波谐振测量,在不同位置测量准粒子密度,记录准粒子数目与分布情况,并计算准粒子密度的变化量 $\rho_{qp}(r,t)$,计算公式为:

$$[0026] \quad \rho_{qp}(r,t) = \frac{N_{qp}(r,t)}{V}$$

[0027] 其中: $N_{qp}(r,t)$ 是单位体积内准粒子的数目, V 是测量区域的体积;

[0028] 通过量子点吸附层对准粒子的能量耗散效应进行测试,使用纳米级热探针测量准粒子在吸附层中的动能转化情况,根据准粒子在量子点层的能量消耗效率,计算其能量耗散效率 $\eta_{diss}(q)$,并将其与理论预期值进行对比,以评估吸附层的准粒子耗散能力,其中,能量耗散效率 $\eta_{diss}(q)$ 的计算公式为:

$$[0029] \quad \eta_{diss}(q) = \frac{P_{diss}(q)}{P_{total}(q)}$$

[0030] 其中: $P_{diss}(q)$ 表示耗散能量, $P_{total}(q)$ 表示准粒子的总能量;

[0031] 使用标准的量子比特相干时间测量方法对量子比特进行测试,记录不同封装方案下量子比特的相干时间 $T_{coh}(\theta)$,并与没有任何准粒子抑制方案的基准值进行对比;

[0032] 采用量子电流传输测量技术或微波反射测量,通过比较不同层的准粒子透过率 $\alpha_{trans}(r)$,得出封装结构中每个层次的有效屏蔽能力;其中准粒子透过率 $\alpha_{trans}(r)$ 的计算公式为:

$$[0033] \quad \alpha_{trans}(r) = \frac{I_{trans}(r)}{I_{incident}(r)}$$

[0034] 其中, $I_{trans}(r)$ 是通过材料的准粒子流强度, $I_{incident}(r)$ 是入射准粒子的流强度。

[0035] 作为本发明所述一种消除准粒子影响的量子芯片封装方法的一种优选方案,其中:所述封装结构的准粒子抑制能力与准粒子密度的变化量 $\rho_{qp}(r,t)$ 、能量耗散效率 $\eta_{diss}(q)$ 、比特的相干时间 $T_{coh}(\theta)$ 以及准粒子透过率 $\alpha_{trans}(r)$ 相关;所述准粒子抑制能力的数学表达式为:

$$[0036] \quad QPI = \frac{\int_{\Omega} [\rho_{qp}(r,t) \cdot e^{-\beta r}] d\Omega}{\left(\int_0^{\infty} \eta_{diss}(q) \cdot e^{-\alpha q^2} dq \right)^{\frac{1}{2}}} \cdot \frac{\int_A \left(\frac{T_{coh}(\theta)}{1 + \gamma \cdot \alpha_{trans}(r)} \right) dA}{V}$$

[0037] 其中:

[0038] QPI 为一个综合性指标,用于量化不同封装方案对准粒子的抑制效果;

[0039] $\rho_{qp}(r,t)$ 准粒子密度变化量,表示在封装材料的位置 r 和时间 t 上,准粒子的浓度变化;

[0040] $e^{-\beta r}$ 为指数衰减因子,表示准粒子在空间中传播时的衰减效应,随着距离 r 增加,准粒子密度会呈指数衰减,其中, β 是材料的衰减系数,反映了材料对准粒子的屏蔽能力;

[0041] $\eta_{diss}(q)$ 为能量耗散效率函数,准粒子动能在量子点或其他材料层中被转化为热能或其他形式的能量的效率;

[0042] $e^{-\alpha q^2}$ 为高斯衰减因子,描述了准粒子动能 q 对能量耗散的影响,随着准粒子动

能 q 增加,能量的耗散效率呈现衰减趋势, α 是与准粒子动能和材料特性相关的衰减系数;

[0043] $d\Omega$ 表示空间积分区域,用于计算整个封装区域的准粒子密度变化;

[0044] $\int_0^\infty \eta_{diss}(q) \cdot e^{-\alpha q^2} dq$ 代表对所有准粒子的能量耗散的总效应;

[0045] $\frac{T_{coh}(\theta)}{1 + \gamma \cdot \alpha_{trans}(r)}$ 描述了相干时间与透过率的综合效应,随着透过率增加,相干时间降低,显示出封装对准粒子抑制的效果;

[0046] γ 是调节因子,表示封装设计对透过率的影响;

[0047] $T_{coh}(\theta)$ 为量子比特相干时间,表示量子比特在不受外界干扰的情况下,能够保持其量子态的时间;

[0048] $\alpha_{trans}(r)$ 为准粒子透过率,表示封装层对准粒子的屏蔽效果,衡量不同屏蔽层对准粒子的透过程度;

[0049] V 表示封装的体积;

[0050] A 表示封装的表面积;

[0051] 值域含义:

[0052] 当 $QPI > 0.8$,表示封装方案的准粒子抑制效果良好,适合长期稳定运行;

[0053] 当 $0.5 < QPI \leq 0.8$,表示封装方案需要优化;

[0054] 当 $QPI \leq 0.5$,表示封装方案准粒子抑制效果差,需要重新设计材料和结构。

[0055] 作为本发明所述一种消除准粒子影响的量子芯片封装方法的一种优选方案,其中:所述封装结构中引入有动态准粒子输运控制机制,通过可调节微结构通道,引导准粒子向能量耗散区移动,以提高封装的准粒子抑制能力。

[0056] 作为本发明所述一种消除准粒子影响的量子芯片封装方法的一种优选方案,其中:所述动态准粒子输运控制机制包括以下步骤:

[0057] 在封装层内部集成可调节微结构通道,所述通道通过超导微桥或量子点阵列形成周期性势场,引导准粒子向低温区扩散;

[0058] 通过低温电场或磁场调节微结构通道的输运特性,使准粒子的运动方向和分布动态优化;

[0059] 在封装外部增加实时监测系统,结合微波谐振测量和纳米级热探针分析准粒子的密度分布,并根据监测数据调节微结构通道的开闭状态,以增强封装结构的屏蔽能力;

[0060] 结合准粒子抑制能力数学表达式,动态调整指数衰减因子 $e^{-\beta r}$ 中的系数 β 和高斯衰减因子 $e^{-\alpha q^2}$ 中的系数 α ,使准粒子的耗散效率最大化,并提高封装整体的屏蔽性能。

[0061] 本发明的有益效果:

[0062] 1、本发明中提出封装装置能够实现高集成,磁屏蔽,且在极低温环境下仍能保持良好的性能。另外,整个器件零部件简单,易于装配,也易于大批量生产。

[0063] 2、本发明通过在封装结构内部引入高临界温度的超导材料层、掺杂石墨烯的低能态陷阱材料层以及量子点吸附层,从多个维度减少准粒子对量子比特的干扰。其中,陷阱材料层可捕获并限制准粒子在局部势阱中,量子点吸附层可高效耗散准粒子能量,从而降低其对量子比特相干时间的影响。同时,采用微结构导流层和动态输运控制机制,引导准粒子

向低温能量耗散区扩散,进一步增强封装结构的屏蔽能力,从而可显著降低准粒子密度,提高量子比特的相干时间,确保量子计算的高稳定性和长寿命。

[0064] 3、本发明在封装结构中集成动态准粒子输运控制机制,利用可调节微结构通道,引导准粒子向特定耗散区域移动,并通过低温电场或磁场调节微结构通道的输运特性,提高准粒子屏蔽效果。同时,实时监测系统结合微波谐振测量和纳米级热探针技术,可动态调整材料系数,使封装结构在不同环境下保持最佳的准粒子屏蔽能力。此外,通过指数衰减因子、高斯衰减因子的动态调整,使准粒子的耗散效率最大化,确保量子芯片封装具备长期稳定的抗干扰能力,并适应不同温度和环境条件下的量子计算需求。

附图说明

[0065] 为了更清楚地说明本发明实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其它的附图。其中:

[0066] 图1为本发明的一种消除准粒子影响的量子芯片封装装置的组装后的整体结构示意图。

[0067] 图2为本发明的一种消除准粒子影响的量子芯片封装装置的拆分示意图。

[0068] 图3为本发明的一种消除准粒子影响的量子芯片封装装置的基板的结构示意图。

[0069] 图4为本发明的一种消除准粒子影响的量子芯片封装装置的屏蔽桶底板的结构示意图。

[0070] 图5为本发明的一种消除准粒子影响的量子芯片封装装置的封装上板的结构示意图。

[0071] 图中:1、屏蔽桶底板;101、第一凹槽;102、第二凹槽;103、第三凹槽;104、底板内壁;105、底板外壁;2、基板;201、第一方孔;202、第二方孔;203、第三方孔;204、第四方孔;205、芯片方孔;3、屏蔽桶桶身;4、封装上板;401、第五方孔;402、第六方孔;403、第七方孔;404、第八方孔;405、中心方孔;406、上板内壁;407、上板外壁;5、PCB板;6、第一连接板;7、第一盖板;8、第二盖板;9、第三盖板;10、第二连接板;11、中心盖板。

具体实施方式

[0072] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合说明书附图对本发明的具体实施方式做详细的说明。

[0073] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其他不同于在此描述的其它方式来实施,本领域技术人员可以在不违背本发明内涵的情况下做类似推广,因此本发明不受下面公开的具体实施例的限制。

[0074] 其次,此处所称的“一个实施例”或“实施例”是指可包含于本发明至少一个实现方式中的特定特征、结构或特性。在本说明书中不同地方出现的“在一个实施例中”并非均指同一个实施例,也不是单独的或选择性的与其他实施例互相排斥的实施例。

[0075] 再其次,本发明结合示意图进行详细描述,在详述本发明实施例时,为便于说明,表示器件结构的剖面图会不依一般比例作局部放大,而且所述示意图只是示例,其在此不

应限制本发明保护的范围。此外,在实际制作中应包含长度、宽度及深度的三维空间尺寸。

[0076] 实施例1

[0077] 参照图1-5,为本发明的一个实施例,提供了一种消除准粒子影响的量子芯片封装装置,包括:

[0078] 屏蔽桶底板1,如图4,屏蔽桶底板1为圆柱体,承托整个装配结构,屏蔽桶底板1位于屏蔽桶桶身3底端,其上设有第一凹槽101、第二凹槽102和第三凹槽103;另外,屏蔽桶底板1包括底板外壁105和底板内壁104,其中,底板外壁105外径大于底板内壁104外径,且底板外壁105相对于底板内壁104的突出厚度与屏蔽桶桶身3的壁厚相匹配。

[0079] 基板2,如图3,基板2上设有用于放置连接器的第一方孔201、第二方孔202、第三方孔203以及第四方孔204和用于放置量子芯片的芯片方孔205。

[0080] 封装上板4,封装上板4为圆柱体结构,内部设有第五方孔401、第六方孔402、第七方孔403、第八方孔404和中心方孔405,中心方孔405置于封装上板4中心位置。

[0081] PCB板5,PCB板5置于基板2上。

[0082] 连接板部件,连接板部件包括第一连接板6和第二连接板10,第一连接板6置于PCB板5上;第二连接板10置于第五方孔401、第六方孔402、第七方孔403以及第八方孔404内。

[0083] 盖板部件,盖板部件包括第一盖板7、第二盖板8、第三盖板9和中心盖板11,分别封装于不同位置以保护内部组件。

[0084] 屏蔽桶桶身3,屏蔽桶桶身3与屏蔽桶底板1和封装上板4装配,形成封装装置的外围屏蔽结构。

[0085] 具体的,如图5,封装上板4包括上板外壁407和上板内壁406,上板外壁407外径大于上板内壁406外径,且上板外壁407相对于上板内壁406的突出厚度与屏蔽桶桶身3的壁厚相匹配。第五方孔401、第六方孔402、第七方孔403和第八方孔404位置分别与基板2上第一方孔201、第二方孔202第三方孔203以及第四方孔204位置同轴设置。

[0086] 如图2,第一连接板6尺寸根据连接器尺寸及数量设置,且第一连接板6的位置与基板2上的第一方孔201、第二方孔202、第三方孔203以及第四方孔204相对应,第一连接板6上设有用于固定连接器的连接孔,第一连接板6两边突出部分设有螺纹孔,第一连接板6、PCB板5以及基板2之间通过螺钉固定连接。

[0087] 第二连接板10上设有用于固定连接器的连接孔,第二连接板10两边突出部分设有螺纹孔,封装上板4上设有与第二连接板10同轴对应的螺纹孔,第二连接板10与基板2之间通过螺钉固定连接。

[0088] 如图2,第一盖板7封装于第一方孔201、第二方孔202、第三方孔203以及第四方孔204下面,且第一盖板7置于第二凹槽102内,第一盖板7两边均设有圆弧突出,且圆弧突出置于第三凹槽103内,且突出的圆弧中间设有螺纹孔,第一盖板7与基板2通过螺钉连接固定。

[0089] 第二盖板8封装于芯片方孔205下面,第二盖板8顶部设有凹槽,凹槽用于芯片金丝键合,第二盖板8置于第一凹槽101内,并通过螺钉与基板2固定连接。

[0090] 第三盖板9嵌入在由第一连接板6所包围的中间部分,且第三盖板9的厚度与第一连接板6厚度一致,第三盖板9封装芯片上方,并通过螺钉与PCB板5固定连接。

[0091] 中心盖板11置于中心方孔405内,用于封装中心方孔405,中心盖板11采用梯形结构设计,上层尺寸大于下层尺寸,中心盖板11设有螺纹孔,封装上板4相应位置设有与中心

盖板11同轴对应的螺纹孔,中心盖板11与封装上板4通过螺钉固定连接。

[0092] 屏蔽桶桶身3内部涂有红外胶涂层,屏蔽桶底板1、基板2、第一连接板6、第二连接板10、第一盖板7、中心盖板11、封装上板4、屏蔽桶桶身3均由无氧铜构成,第二盖板8和第三盖板9由坡莫合金构成。

[0093] 本发明采用的无氧铜材料,使得量子封装设计可以在超级低温环境下依然保持良好的性能,达到了高集成、高导热和磁屏蔽的效果,且可快速将量子芯片工作时产生的热量散发出去。器件的整体结构非常结实可靠,构成器件的零部件简单,易于装配和大批量生产。

[0094] 使用上述一种消除准粒子影响的量子芯片封装装置的封装方法,该方法包括:

[0095] 步骤一:在屏蔽桶底板、屏蔽桶桶身和封装上板内壁沉积高临界温度的超导材料层,形成超导层间屏蔽结构,并在屏蔽桶桶身内部涂覆红外胶涂,以增强热辐射吸收和屏蔽效果,提高封装系统的低温性能;其中,超导层间屏蔽结构采用多层超导-绝缘体-超导体(SIS)结构设计,通过低温等离子体增强沉积(PECVD)技术优化覆盖均匀性,从而形成有效的准粒子屏蔽屏障,减少准粒子向量子芯片区域的扩散。

[0096] 步骤二:在基板和PCB板的表面涂覆掺杂石墨烯的超导体(如NbSe₂+石墨烯)或氧化铝)低能态陷阱材料层,特别是在芯片方孔周围增加涂层厚度,并采用低温热处理优化陷阱能态分布,以俘获准粒子并将其限制在局部极小势阱中,提高准粒子消散能力。其中,极小势阱指的是在掺杂石墨烯的超导体低能态陷阱材料层中,通过调整材料的能态分布和优化处理,使得准粒子(如超导体系中的准粒子激发态电子或库珀对破裂后的单电子)被局限在局部的低能量区域(即极小势阱),从而减少其对量子芯片的干扰。

[0097] 具体而言,极小势阱具备以下特性:

[0098] 局部低能区域:由于材料的掺杂和低温热处理,使得某些局部区域的势能比周围区域更低,形成一个“陷阱”作用,使准粒子倾向于停留在此区域。

[0099] 准粒子俘获能力:通过调整掺杂石墨烯超导体材料的能带结构,可以调节这些极小势阱的深度和密度,使其能够有效捕获并约束准粒子,减少其向芯片内部扩散。

[0100] 步骤三:在芯片方孔内壁及封装上板内部中心方孔表面沉积如PbSe或InAs的半导体量子点吸附层,以利用局部电子-声子耦合效应主动耗散准粒子的动能,并通过化学气相沉积(CVD)或喷涂纳米材料法确保量子点均匀分布,从而提升封装系统对准粒子的主动消耗能力。

[0101] 步骤四:组装屏蔽桶桶身、屏蔽桶底板、封装上板、基板、PCB板、盖板部件和连接板部件,形成完整封装结构,并在第一凹槽、第二凹槽和第三凹槽内引入微结构导流层,使俘获的准粒子向低温区扩散,同时通过低温探针扫描(LT-SPM)或微波谐振测量优化封装材料厚度与层数,以提升准粒子抑制效果。

[0102] 步骤五:在低温环境下,对封装结构进行多维度性能测试,并根据多维度性能测试结果,判断准粒子抑制能力。

[0103] 具体的,对封装结构进行多维度性能测试,包括以下步骤:

[0104] 使用低温探针扫描技术或微波谐振测量,在不同位置测量准粒子密度,记录准粒子数目与分布情况,并计算准粒子密度的变化量 $\rho_{qp}(r,t)$,计算公式为:

$$[0105] \quad \rho_{qp}(r,t) = \frac{N_{qp}(r,t)}{V}$$

[0106] 其中： $N_{qp}(r,t)$ 是单位体积内准粒子的数目， V 是测量区域的体积；

[0107] 通过量子点吸附层对准粒子的能量耗散效应进行测试，使用纳米级热探针测量准粒子在吸附层中的动能转化情况，根据准粒子在量子点层的能量消耗效率，计算其能量耗散效率 $\eta_{diss}(q)$ ，并将其与理论预期值进行对比，以评估吸附层的准粒子耗散能力，其中，能量耗散效率 $\eta_{diss}(q)$ 的计算公式为：

$$[0108] \quad \eta_{diss}(q) = \frac{P_{diss}(q)}{P_{total}(q)}$$

[0109] 其中： $P_{diss}(q)$ 表示耗散能量， $P_{total}(q)$ 表示准粒子的总能量；

[0110] 使用标准的量子比特相干时间测量方法对量子比特进行测试，记录不同封装方案下量子比特的相干时间 $T_{coh}(\theta)$ ，并与没有任何准粒子抑制方案的基准值进行对比；

[0111] 采用量子电流传输测量技术或微波反射测量，通过比较不同层的准粒子透过率 $\alpha_{trans}(r)$ ，得出封装结构中每个层次的有效屏蔽能力；其中准粒子透过率 $\alpha_{trans}(r)$ 的计算公式为：

$$[0112] \quad \alpha_{trans}(r) = \frac{I_{trans}(r)}{I_{incident}(r)}$$

[0113] 其中， $I_{trans}(r)$ 是通过材料的准粒子流强度， $I_{incident}(r)$ 是入射准粒子的流强度。

[0114] 更进一步的，封装结构的准粒子抑制能力与准粒子密度的变化量 $\rho_{qp}(r,t)$ 、能量耗散效率 $\eta_{diss}(q)$ 、比特的相干时间 $T_{coh}(\theta)$ 以及准粒子透过率 $\alpha_{trans}(r)$ 相关；准粒子抑制能力的数学表达式为：

$$[0115] \quad QPI = \frac{\int_{\Omega} [\rho_{qp}(r,t) \cdot e^{-\beta r}] d\Omega}{\left(\int_0^{\infty} \eta_{diss}(q) \cdot e^{-\alpha q^2} dq \right)^{\frac{1}{2}}} \cdot \frac{\int_A \left(\frac{T_{coh}(\theta)}{1 + \gamma \cdot \alpha_{trans}(r)} \right) dA}{V}$$

[0116] 其中：

[0117] QPI 为一个综合性指标，用于量化不同封装方案对准粒子的抑制效果；

[0118] $\rho_{qp}(r,t)$ 准粒子密度变化量，表示在封装材料的位置 r 和时间 t 上，准粒子的浓度变化；

[0119] $e^{-\beta r}$ 为指数衰减因子，表示准粒子在空间中传播时的衰减效应，随着距离 r 增加，准粒子密度会呈指数衰减，其中， β 是材料的衰减系数，反映了材料对准粒子的屏蔽能力，具体值通过实验数据拟合得出；

[0120] $\eta_{diss}(q)$ 为能量耗散效率函数，准粒子动能在量子点或其他材料层中被转化为热能或其他形式的能量的效率；

[0121] $e^{-\alpha q^2}$ 为高斯衰减因子，描述了准粒子动能 q 对能量耗散的影响，随着准粒子动能 q 增加，能量的耗散效率呈现衰减趋势， α 是与准粒子动能和材料特性相关的衰减系数；

[0122] $d\Omega$ 表示空间积分区域，用于计算整个封装区域的准粒子密度变化；

[0123] $\int_0^\infty \eta_{diss}(q) \cdot e^{-\alpha q^2} dq$ 代表对所有准粒子的能量耗散的总效应；

[0124] $\frac{T_{coh}(\theta)}{1 + \gamma \cdot \alpha_{trans}(r)}$ 描述了相干时间与透过率的综合效应,随着透过率增加,相干时间降低,显示出封装对准粒子抑制的效果；

[0125] γ 是调节因子,表示封装设计对透过率的影响；

[0126] $T_{coh}(\theta)$ 为量子比特相干时间,表示量子比特在不受外界干扰的情况下,能够保持其量子态的时间, θ 是环境因素(如温度、磁场等)影响下的调节因子；

[0127] $\alpha_{trans}(r)$ 为准粒子透过率,表示封装层对准粒子的屏蔽效果,衡量不同屏蔽层(如超导层、陷阱涂层)对准粒子的透过程度；

[0128] V 表示封装的体积；

[0129] A 表示封装的表面积；

[0130] 值域含义；

[0131] 当 $QPI > 0.8$,表示封装方案的准粒子抑制效果良好,适合长期稳定运行；

[0132] 当 $0.5 < QPI \leq 0.8$,表示封装方案需要优化,尤其是在能量耗散或相干时间方面；

[0133] 当 $QPI \leq 0.5$,表示封装方案准粒子抑制效果差,需要重新设计材料和结构。

[0134] 该公式采用了综合性积分形式,结合了准粒子密度、能量耗散、量子比特相干时间和透过率的物理机制,反映了不同封装方案对准粒子抑制的多维度影响。

[0135] 更进一步的,封装结构中引入有动态准粒子输运控制机制,通过可调节微结构通道,引导准粒子向能量耗散区移动,以提高封装的准粒子抑制能力。动态准粒子输运控制机制包括以下步骤：

[0136] 在封装层内部集成可调节微结构通道,通道通过超导微桥或量子点阵列形成周期性势场,引导准粒子向低温区扩散；

[0137] 通过低温电场或磁场调节微结构通道的输运特性,使准粒子的运动方向和分布动态优化,以提高整体能量耗散效率；

[0138] 在封装外部增加实时监测系统,结合微波谐振测量和纳米级热探针分析准粒子的密度分布,并根据监测数据调节微结构通道的开闭状态,以增强封装结构的屏蔽能力；

[0139] 结合准粒子抑制能力数学表达式,动态调整指数衰减因子 $e^{-\beta r}$ 中的系数 β 和高斯衰减因子 $e^{-\alpha q^2}$ 中的系数 α ,使准粒子的耗散效率最大化,并提高封装整体的屏蔽性能。

[0140] 综上,本发明通过在封装结构内部引入高临界温度的超导材料层、掺杂石墨烯的低能态陷阱材料层以及量子点吸附层,从多个维度减少准粒子对量子比特的干扰。其中,陷阱材料层可捕获并限制准粒子在局部势阱中,量子点吸附层可高效耗散准粒子能量,从而降低其对量子比特相干时间的影响。同时,采用微结构导流层和动态输运控制机制,引导准粒子向低温能量耗散区扩散,进一步增强封装结构的屏蔽能力,从而可显著降低准粒子密度,提高量子比特的相干时间,确保量子计算的高稳定性和长寿命。本发明在封装结构中集成动态准粒子输运控制机制,利用可调节微结构通道,引导准粒子向特定耗散区域移动,并通过低温电场或磁场调节微结构通道的输运特性,提高准粒子屏蔽效果。同时,实时监测系统结合微波谐振测量和纳米级热探针技术,可动态调整材料系数,使封装结构在不同环境

下保持最佳的准粒子屏蔽能力。此外,通过指数衰减因子、高斯衰减因子的动态调整,使准粒子的耗散效率最大化,确保量子芯片封装具备长期稳定的抗干扰能力,并适应不同温度和环境条件下的量子计算需求。

[0141] 应说明的是,以上实施例仅用以说明本发明的技术方案而非限制,尽管参照较佳实施例对本发明进行了详细说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或者等同替换,而不脱离本发明技术方案的精神和范围,其均应涵盖在本发明的权利要求范围当中。

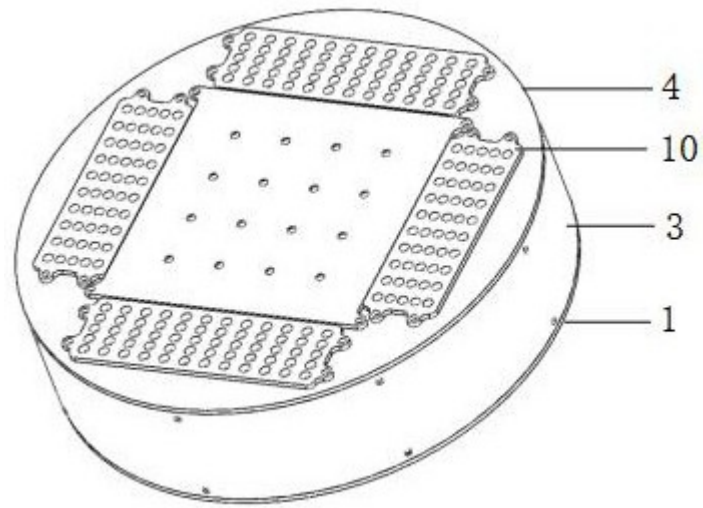


图 1

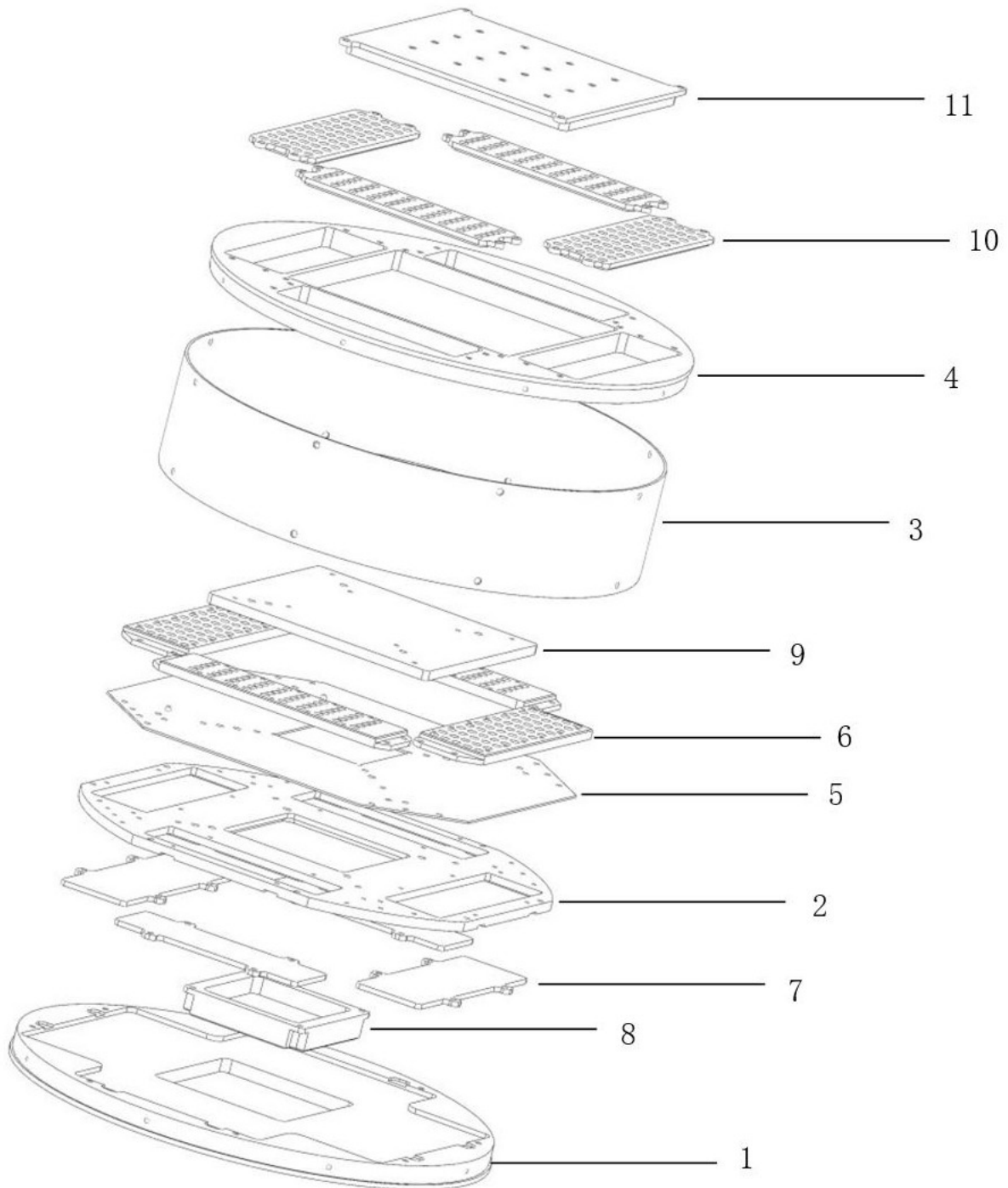


图 2

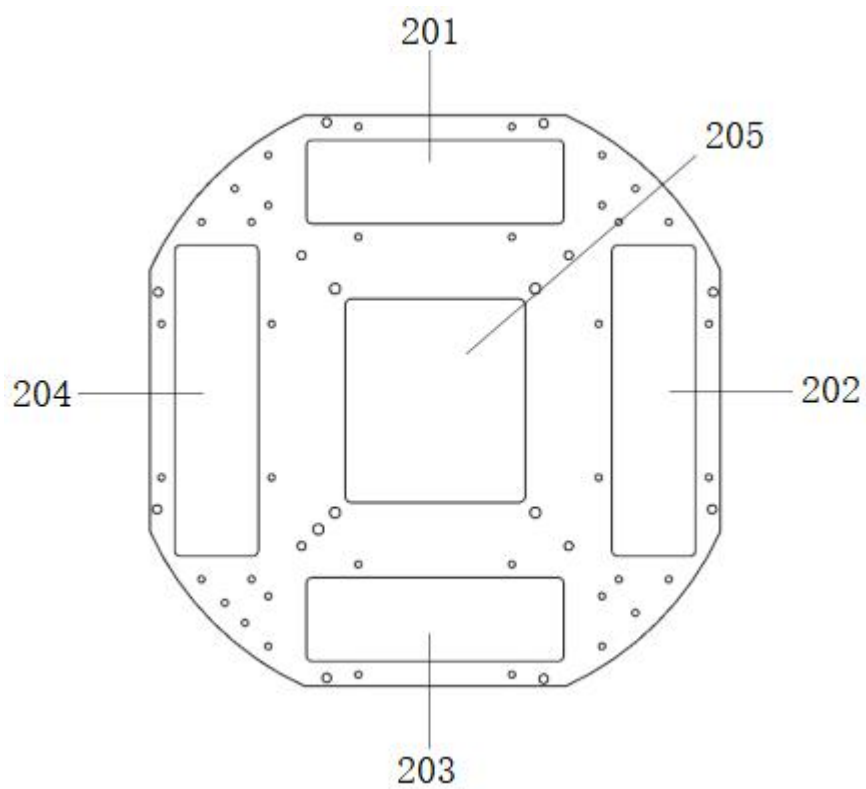


图 3

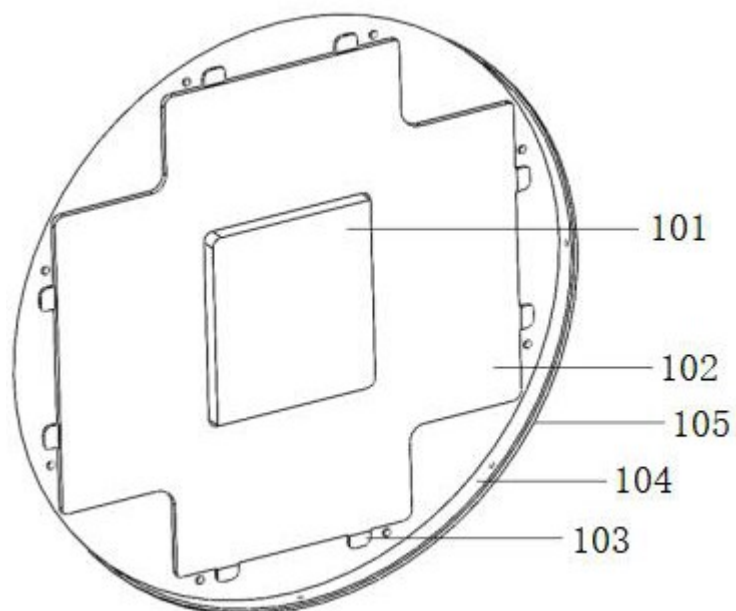


图 4

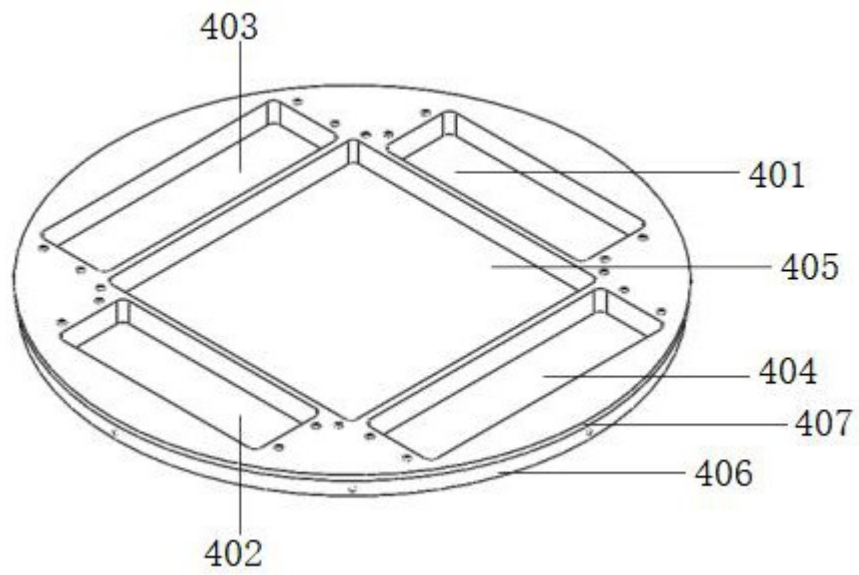


图 5