

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-252034

(P2005-252034A)

(43) 公開日 平成17年9月15日(2005.9.15)

(51) Int. Cl.<sup>7</sup>

H01L 21/8247  
H01L 27/115  
H01L 29/788  
H01L 29/792

F I

H01L 29/78 371  
H01L 27/10 434

テマコード(参考)

5F083  
5F101

審査請求有 請求項の数 9 O L (全 14 頁)

(21) 出願番号 特願2004-61269(P2004-61269)  
(22) 出願日 平成16年3月4日(2004.3.4)

(71) 出願人 000002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(74) 代理人 100094053  
弁理士 佐藤 隆久  
(72) 発明者 森 日出樹  
東京都品川区北品川6丁目7番35号 ソ  
ニー株式会社内  
Fターム(参考) 5F083 EP02 EP18 EP22 EP48 EP62  
EP63 EP68 EP69 ER02 ER11  
ER22 ER30 GA01 GA05 HA02  
LA08 ZA21  
5F101 BA01 BA45 BB02 BC11 BD04  
BD07 BD13 BD30 BE02 BE05  
BE07 BE11 BF05

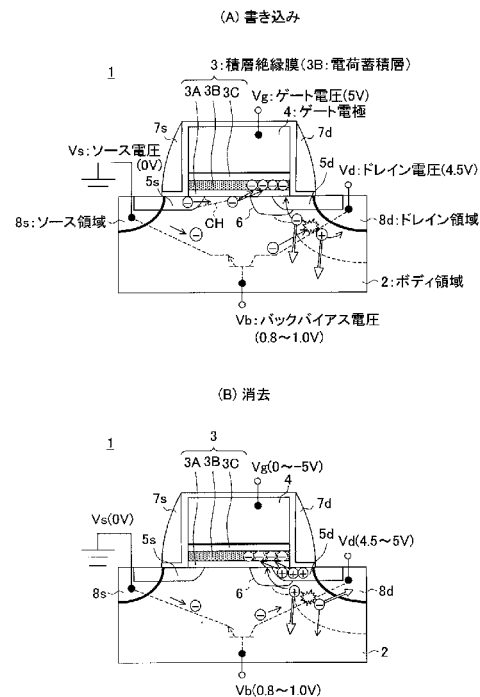
(54) 【発明の名称】 不揮発性半導体メモリ装置とその電荷注入方法、および、電子装置

(57) 【要約】

【課題】ソース領域とドレイン領域に異なる電圧を付与して行う電荷注入方法においてホットキャリアの発生効率を高める。

【解決手段】メモリトランジスタ1の電荷蓄積層3Bに、たとえば、書き込み時に電子を注入し、消去時に正孔を注入する。これらの電荷の注入時に、ソース領域8sの電圧Vsを基準にドレイン領域8dに正の電圧Vdを印加し、注入しようとする電荷に応じた極性の電圧Vgをゲート電極4に印加する。このときボディ領域2に対しては、ソース電圧Vsとドレイン電圧Vdの間の電圧値(0.8~1.0V)を有し、N型のソース領域8sとP型のボディ領域2とにより形成されるダイオードをオンさせるバックバイアス電圧Vbを印加する。また、このとき寄生バイポーラトランジスタがオンし、これによりドレイン側でインパクトイオン化が生じ注入電荷量が増える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板内に形成され、または、基体に支持されている半導体層として形成されている第 1 導電型のボディ領域と、ボディ領域内に互いに離間して形成されている第 2 導電型半導体領域からなるソース領域およびドレイン領域と、ボディ領域の上に形成され電荷蓄積層を含む積層絶縁膜と、積層絶縁膜の上に形成されて電荷蓄積層およびボディ領域の電界を制御するゲート電極とを備えるメモリトランジスタを有し、当該メモリトランジスタの電荷蓄積層に電荷を注入することによってデータの記憶状態を変化させる不揮発性半導体メモリ装置の電荷注入方法であって、

前記電荷の注入時に、

前記ソース領域および前記ドレイン領域に異なる電圧を印加し、

当該ソース領域とドレイン領域にそれぞれ印加され互いに異なる電圧の間の電圧値を有し、第 2 導電型のソース領域と第 1 導電型のボディ領域とにより形成されるダイオードをオンさせるバックバイアス電圧をボディ領域に印加し、

注入しようとする電荷に応じた極性の電圧を前記ゲート電極に印加する

不揮発性半導体メモリ装置の電荷注入方法。

10

## 【請求項 2】

前記電荷蓄積層に正孔を注入する場合、前記ソース領域と前記ドレイン領域の一方を基準に他方に正電圧を印加し、当該正電圧より低い正電圧を前記ボディ領域に印加し、前記ゲート電極に負電圧を印加する

請求項 1 に記載の不揮発性半導体メモリ装置の電荷注入方法。

20

## 【請求項 3】

前記電荷蓄積層に電子を注入する場合、前記ソース領域と前記ドレイン領域の一方を基準に他方に正電圧を印加し、当該正電圧より低い正電圧を前記ボディ領域に印加し、前記ゲート電極に正電圧を印加する

請求項 1 に記載の不揮発性半導体メモリ装置の電荷注入方法。

## 【請求項 4】

半導体基板内に形成され、または、基体に支持されている半導体層として形成されている第 1 導電型のボディ領域と、ボディ領域内に互いに離間して形成されている第 2 導電型半導体領域からなるソース領域およびドレイン領域と、ボディ領域の上に形成され電荷蓄積層を含む積層絶縁膜と、積層絶縁膜の上に形成されて電荷蓄積層およびボディ領域の電界を制御するゲート電極とを備えるメモリトランジスタと、

当該メモリトランジスタに対し、前記電荷蓄積層の電荷蓄積状態を変化させてデータの記憶動作を制御する周辺回路とを有する不揮発性半導体メモリ装置であって、

前記周辺回路が生成する電圧のうち、前記ソース領域および前記ドレイン領域に異なる電圧を印加し、前記ゲート電極にゲート電圧を印加することによって前記電荷蓄積層に電荷を注入するときに前記ボディ領域に供給されるバックバイアスの電圧値が、ソース領域に供給するソース電圧とドレイン領域に供給するドレイン電圧の間で、かつ、第 2 導電型のソース領域と第 1 導電型のボディ領域とにより形成されるダイオードをオンさせる電圧値に設定されている

不揮発性半導体メモリ装置。

30

40

## 【請求項 5】

前記ソース領域およびドレイン領域に異なる電圧を供給したときに前記ボディ領域を流れる電流経路がドレイン領域側で狭くなるように、前記ボディ領域の表面側部分の平面形状が規定されている

請求項 4 に記載の不揮発性半導体メモリ装置。

## 【請求項 6】

前記積層絶縁膜が、

前記ボディ領域側の第 1 の絶縁膜と、

前記ゲート電極側の第 2 の絶縁膜と、

50

第1および第2の絶縁膜の間に形成され、第1および第2の絶縁膜より電荷トラップ密度が高い絶縁膜からなる電荷蓄積層と

を含む請求項4に記載の不揮発性半導体メモリ装置。

【請求項7】

不揮発性半導体メモリ装置を搭載している電子装置であって、

前記不揮発性メモリ装置は、

半導体基板内に形成され、または、基体に支持されている半導体層として形成されている第1導電型のボディ領域と、

ボディ領域内に互いに離間して形成されている第2導電型半導体領域からなるソース領域およびドレイン領域と、

ボディ領域の上に形成され電荷蓄積層を含む積層絶縁膜と、

積層絶縁膜の上に形成されて電荷蓄積層およびボディ領域の電界を制御するゲート電極とを有し、

前記電荷蓄積層に電荷を注入する際に、前記ボディ領域、前記ソース領域、前記ドレイン領域および前記ゲート電極にそれぞれに印加する電圧のうち、すくなくともボディ領域に印加するバックバイアス電圧を発生させ不揮発性半導体メモリ装置に供給する電圧供給回路が当該電子装置内に設けられ、

前記バックバイアス電圧の電圧値が、前記ソース領域に供給するソース電圧とドレイン領域に供給するドレイン電圧の間で、第2導電型のソース領域と第1導電型のボディ領域とにより形成されるダイオードをオンさせる電圧値に設定されている

電子装置。

【請求項8】

前記ソース領域およびドレイン領域に異なる電圧を供給したときに前記ボディ領域を流れる電流経路がドレイン領域側で狭くなるように、前記ボディ領域の表面側部分の平面形状が規定されている

請求項7に記載の電子装置。

【請求項9】

前記積層絶縁膜が、

前記ボディ領域側の第1の絶縁膜と、

前記ゲート電極側の第2の絶縁膜と、

第1および第2の絶縁膜の間に形成され、第1および第2の絶縁膜より電荷トラップ密度が高い絶縁膜からなる電荷蓄積層と

を含む請求項7に記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソース領域とドレイン領域に異なる電圧を印加して行う不揮発性半導体メモリ装置（フラッシュEEPROM）の電荷注入方法、不揮発性半導体メモリ、および、これを内蔵している電子装置に関するものである。

【背景技術】

【0002】

不揮発性メモリの一種であるフラッシュEEPROMは、電荷蓄積層の電荷蓄積状態に応じてデータ記憶を行う。フラッシュEEPROMは、電荷蓄積層に蓄積されている電荷が導電性ポリシリコンからなるゲート構造を有するもの（FG型）と、MONOS（Metal-Oxide-Nitride-Oxide-Semiconductor）に代表されるように電荷蓄積層の導電性が極めて低いゲート構造を有するものが存在する。FG型では、たとえばチャネル全面から電子を注入し、ゲート酸化膜内をトンネリングさせて、そのゲート酸化膜上に設けられている電荷蓄積層（FG：フローティングゲート）に電子を蓄積させる（たとえば、特許文献1参照）。

【0003】

10

20

30

40

50

特許文献 1 に記載されている電荷注入方法では、ソースおよびドレインとなる不純物拡散領域をフローティングとした状態でゲート電極に約 18 V と高い電圧を印加する。そのとき、チャンネルが形成されるウェルは 0 V が印加されるが、メモリセルアレイの構造上ゲートに 18 V が印加される非選択のメモリトランジスタにおいて、ウェルに負電圧 (-1 ~ -2 V) を印加して誤った電荷注入を防止している。

#### 【0004】

ところで不揮発性メモリを、既存の MOS あるいは BiCMOS プロセスにより形成されているロジック部など同一チップに混載する場合（以下、ロジック混載メモリという）、とくに FG 型の場合は電荷蓄積層としてポリシリコンが余分に 1 層必要となることからロジック部とメモリ部でゲート構造上の相違が大きく、不揮発性メモリ形成のために特別にフォトマスクが必要で、工程数も大幅に増える。また、FG 型では、ゲート酸化膜（トンネル酸化膜）を余り薄くできない、あるいは、チャンネルに対するゲートの結合容量が大きいなどの理由により低電圧化が難しい。

10

#### 【0005】

これに対して MONOS 型ゲート構造をロジック混載メモリに適用すると、その MONOS トランジスタの電荷蓄積層が酸化膜に挟まれた窒化膜から構成されていることから、ポリシリコンのレイヤ数がロジック部と同じにでき、ロジック部とメモリ部とのゲート構造上の共通性が比較的高く、フォトマスク枚数や工程数の増加は僅かですむ。

#### 【0006】

ところが、フラッシュ EEPROM の場合、そのデータの書き込み電圧および消去電圧が高いと、内蔵されている電圧発生回路に高耐圧の MOS トランジスタが必要になる。この点は FG 型と MONOS 型に共通した課題であり、その意味では MONOS 型においても、ロジック部と不揮発性メモリとの混載を実現しようとする、やはりフォトマスク枚数や工程数のある程度の増加は避けられない。したがって、とくにロジック部と不揮発性メモリとを混載させた LSI 等では、高耐圧トランジスタを不要としてフォトマスク枚数や工程数の増加を極力抑えるために、書き込み電圧および消去電圧の低電圧化が検討されている（たとえば、特許文献 2 参照）。

20

#### 【0007】

特許文献 2 に記載されている電荷注入方法では、書き込み電圧や消去電圧をゲートとウェルに異なる極性で分割して付与することとし、その要請から、ウェルに正または負の電圧をかけている。この電荷注入方法は、特許文献 1 の場合と同様に、ソース領域とドレイン領域を同電位に保持した状態でチャンネル全面から電荷を電荷蓄積層に注入する。

30

#### 【0008】

ところで、MONOS トランジスタは電荷蓄積層の導電性が極めて低いことから局所的な電荷注入が可能であり、そのために適した電荷注入方法として、いわゆる CHE (Channel Hot Electron) 注入法が知られている。

#### 【0009】

図 5 (A) は、CHE を注入する動作の説明図である。

図 5 (A) に示すように、P 型半導体からなるボディ領域（基板の一部またはウェル）100 に、酸化膜 101 A、電荷蓄積層としての窒化膜 101 B および酸化膜 101 C からなる積層絶縁膜 101 が形成され、その上にゲート電極 102 が形成されている。ゲート電極 102 に一部重なる 2 つの N 型の LDD (lightly doped drain) 領域 103 s および 103 d が、互いに離れたボディ領域 100 の位置に形成されている。ゲート電極 102 の両側壁に、絶縁体からなるスペーサ 104 s および 104 d が形成されている。スペーサ 104 s により位置が規定されるボディ領域 100 の表面側部分に、N 型不純物領域からなるソース領域 105 s が形成され、同様に、スペーサ 104 d により位置が規定されるボディ領域 100 の表面側部分に、N 型不純物領域からなるドレイン領域 105 d が形成されている。

40

これらソース領域 105 s、ドレイン領域 105 d、ゲート電極 102 およびボディ領域 100 のそれぞれは、不図示のコンタクト部および配線を介して、それぞれに適した電

50

圧  $V_s$  ,  $V_d$  ,  $V_g$  ,  $V_b$  が印加可能となっている。

【0010】

このような構造の MONOS トランジスタにおいて、電荷蓄積層としての窒化膜 101 B は、上下の酸化膜 101 A と 101 C との界面付近でとくに電荷トラップ密度が高い。その電荷トラップに電子を注入して捕獲させた状態と、捕獲されている電子を消去した状態とでは、当該 MONOS トランジスタのしきい値電圧が変化する。このため、そのしきい値電圧の変化をデータの 2 値状態に対応させて、当該 MONOS トランジスタにデータの記憶が可能となる。

【0011】

電子を注入する動作を書き込みと定義する場合、書き込み動作では、ソース領域 105 s の電圧  $V_s$  を接地電圧 GND (= 0 V) として、これを基準として、ドレイン領域 105 d に正電圧  $V_d (+)$ 、ゲート電極 102 に正電圧  $V_g (+)$  を印加する。このときボディ領域 100 はソース領域 105 s と同じ接地電圧 GND で保持する。 10

このバイアス条件の下、ソース領域 105 s からチャネル CH に供給された電子がドレイン領域 105 d に向かって流れ、その最中に横方向電界により加速される。そして、最も電界が高いドレイン側 LDD 領域 103 d の端部付近で高エネルギー電子（ホットエレクトロン）が発生し、その一部が、酸化膜 101 A 等によるエネルギー障壁を越えて積層絶縁膜 101 の内部に飛び込み、酸化膜 101 B のドレイン端部を中心とした領域の電荷トラップに捕獲される。

この書き込み後のしきい値電圧は、積層絶縁膜 101 に捕獲された電子と、読み出し時にゲート電極 102 に印加される正電圧との相殺により、書き込み前のしきい値電圧より大きくなる。 20

【0012】

データの消去は、捕獲されている電子の電荷量をゼロまたは十分小さくすることで達成でき、電子を電界により引き抜く方法のほかに、逆極性の電荷（正孔）を注入して電子と電氣的に相殺させる方法がある。図 5 (B) は正孔を注入する消去動作例を示す図である。

この場合、前述した書き込みの場合と同様に、ソース領域 105 s およびボディ領域 100 を接地電位 GND で保持し、ドレイン領域 105 d に所定の正電圧  $V_d (+)$  を印加する。ただし、ゲート電極 102 に対しては、書き込み時と逆極性の負電圧  $V_g (-)$  を印加する。 30

このとき、ゲート電圧  $V_g (-)$  が負であることからチャネルが形成されず、ドレイン電圧  $V_d (+)$  がすべてドレイン領域 105 d および LDD 領域 103 d に印加される。その結果、負電圧印加の影響を受けるゲート電極 102 の下方の領域を中心とする LDD 領域 103 d の表面部に正孔の蓄積層が形成され、この正孔が横方向電界でドリフトしながら垂直方向電界により加速され高エネルギー電荷（HH：ホットホール）となり、酸化膜 101 A 等によるエネルギー障壁を越えて積層絶縁膜 101 の内部に飛び込み、酸化膜 101 B のドレイン端部を中心とした電子の蓄積領域に入る。書き込み時に捕獲されていた電子は、この消去時に注入される正孔と再結合することから、当該 MONOS トランジスタのしきい値電圧は書き込み動作を行う前の値に戻る。 40

【0013】

このようなソース領域とドレイン領域に異なる電圧を与えてデータを書き込みおよび消去する方法は、MONOS 型に限らず FG 型でも適用可能である。

【特許文献 1】特開平 11 - 86570 号公報

【特許文献 2】特開 2001 - 102553 号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

ところが、フラッシュ EEPROM のロジック混載化の要求などを背景として、フォトマスク枚数や工程数の増加を極力抑えるために、さらなる低電圧化を図る必要がある。そ 50

の場合、前述したCHE注入やHH注入などのようにソース領域とドレイン領域に異なる電圧を付与して行う電荷注入方法では、低い動作電圧のためにホットキャリアの発生効率が低下し、書き込み時間や消去時間が長くなってしまいう課題がある。

【0015】

本発明が解決しようとする課題は、ソース領域とドレイン領域に異なる電圧を付与して行う電荷注入方法において、動作電圧が低い場合であってもホットキャリアの発生効率を高めることにある。

【課題を解決するための手段】

【0016】

本発明に係る不揮発性半導体メモリ装置の電荷注入方法は、半導体基板内に形成され、または、基体に支持されている半導体層として形成されている第1導電型のボディ領域と、ボディ領域内に互いに離間して形成されている第2導電型半導体領域からなるソース領域およびドレイン領域と、ボディ領域の上に形成され電荷蓄積層を含む積層絶縁膜と、積層絶縁膜の上に形成されて電荷蓄積層およびボディ領域の電界を制御するゲート電極とを備えるメモリトランジスタを有し、当該メモリトランジスタの電荷蓄積層に電荷を注入することによってデータの記憶状態を変化させる不揮発性半導体メモリ装置の電荷注入方法であって、前記電荷の注入時に、前記ソース領域および前記ドレイン領域に異なる電圧を印加し、当該ソース領域とドレイン領域にそれぞれ印加され互いに異なる電圧の間の電圧値を有し、第2導電型のソース領域と第1導電型のボディ領域とにより形成されるダイオードをオンさせるバックバイアス電圧をボディ領域に印加し、注入しようとする電荷に応じた極性の電圧を前記ゲート電極に印加する。

特定の前に記電荷蓄積層に正孔を注入する場合、前記ソース領域と前記ドレイン領域の一方を基準に他方に正電圧を印加し、当該正電圧より低い正電圧を前記ボディ領域に印加し、前記ゲート電極に負電圧を印加する。

あるいは、前記電荷蓄積層に電子を注入する場合、前記ソース領域と前記ドレイン領域の一方を基準に他方に正電圧を印加し、当該正電圧より低い正電圧を前記ボディ領域に印加し、前記ゲート電極に正電圧を印加する。

【0017】

本発明に係る不揮発性半導体メモリ装置は、半導体基板内に形成され、または、基体に支持されている半導体層として形成されている第1導電型のボディ領域と、ボディ領域内に互いに離間して形成されている第2導電型半導体領域からなるソース領域およびドレイン領域と、ボディ領域の上に形成され電荷蓄積層を含む積層絶縁膜と、積層絶縁膜の上に形成されて電荷蓄積層およびボディ領域の電界を制御するゲート電極とを備えるメモリトランジスタと、当該メモリトランジスタに対し、前記電荷蓄積層の電荷蓄積状態を変化させてデータの記憶動作を制御する周辺回路とを有する不揮発性半導体メモリ装置であって、前記周辺回路が生成する電圧のうち、前記ソース領域および前記ドレイン領域に異なる電圧を印加し、前記ゲート電極にゲート電圧を印加することによって前記電荷蓄積層に電荷を注入するときに前記ボディ領域に供給されるバックバイアスの電圧値が、ソース領域に供給するソース電圧とドレイン領域に供給するドレイン電圧の間で、かつ、第2導電型のソース領域と第1導電型のボディ領域とにより形成されるダイオードをオンさせる電圧値に設定されている。

この不揮発性半導体メモリ装置は、好適に、前記ソース領域およびドレイン領域に異なる電圧を供給したときに前記ボディ領域を流れる電流経路がドレイン領域側で狭くなるように、前記ボディ領域の表面側部分の平面形状が規定されている。

【0018】

本発明に係る電子装置は、不揮発性半導体メモリ装置を搭載している電子装置であって、前記不揮発性メモリ装置は、半導体基板内に形成され、または、基体に支持されている半導体層として形成されている第1導電型のボディ領域と、ボディ領域内に互いに離間して形成されている第2導電型半導体領域からなるソース領域およびドレイン領域と、ボディ領域の上に形成され電荷蓄積層を含む積層絶縁膜と、積層絶縁膜の上に形成されて電荷

蓄積層およびボディ領域の電界を制御するゲート電極とを有し、前記電荷蓄積層に電荷を注入する際に、前記ボディ領域、前記ソース領域、前記ドレイン領域および前記ゲート電極にそれぞれに印加する電圧のうち、すくなくともボディ領域に印加するバックバイアス電圧を発生させ不揮発性半導体メモリ装置に供給する電圧供給回路が当該電子装置内に設けられ、前記バックバイアス電圧の電圧値が、前記ソース領域に供給するソース電圧とドレイン領域に供給するドレイン電圧の間で、第2導電型のソース領域と第1導電型のボディ領域とにより形成されるダイオードをオンさせる電圧値に設定されている。

#### 【0019】

本発明の不揮発性半導体メモリ装置およびその電荷注入方法によれば、ソース領域が第1導電型、ボディ領域が第2導電型であり両者は接触している。また、第2導電型のボディ領域の他の部分で第1導電型のドレイン領域が接触している。電荷注入時に、ソース領域とドレイン領域がそれぞれ異なる電圧で保持され、その間の電圧値のバックバイアス電圧をボディ領域に印加する。このとき、バックバイアス電圧はソース領域とボディ領域との接触部分に形成されている(PN接合)ダイオードをオンさせる範囲の電圧値を有する。このため、たとえば当該メモリトランジスタがNチャネル型の場合、すなわちソース領域とドレイン領域がN型、ボディ領域がP型の場合に、ソース領域をエミッタ、ボディ領域をベース、ドレイン領域をコレクタとするNPN型の寄生バイポーラトランジスタが動作する。その結果、ボディ領域内部に電流が流れるが、各電圧値を適切に設定すると、その電流に起因してドレイン領域近傍で電子と正孔の対が発生する。この電子・正孔対のうち、ゲート電極に印加されている電圧と逆極性の電荷は、ゲート電極に引き寄せられて高いエネルギーを得て、積層絶縁膜内部に注入され電荷蓄積層に捕獲される。

#### 【0020】

本発明に係る電子装置によれば、上記した高速で低電圧化が可能な電荷注入を実現するための各種電圧のうち、すくなくともバックバイアス電圧を発生させ不揮発性半導体メモリ装置に供給する電圧供給回路が電子装置に内蔵されている。

#### 【発明の効果】

#### 【0021】

本発明に係る不揮発性半導体メモリ装置およびその電荷注入方法によれば、バックバイアス電圧が印加されていない従来の場合に蓄積絶縁膜に注入される電荷とは別に、上述したバイポーラトランジスタがオンすることに起因して発生した電荷が、積層絶縁膜内に注入される。したがって電荷の注入効率が向上し、低い動作電圧でも所定のしきい値電圧変化を起こすための電荷注入時間が短くなる。また、電荷注入時間を同じとすれば、より低い動作電圧での電荷注入が可能となる。

#### 【0022】

本発明に係る電子装置によれば、バックバイアス電圧の発生機能がない構成の不揮発性半導体メモリ装置しか入手できない場合であっても、ボディ領域に電圧を供給するための端子さえ有しているならば、その不揮発性半導体メモリ装置を、同じ電子装置に内蔵されているバックバイアス電圧の供給回路と接続することにより、本発明の電荷注入方法の適用が可能となる。これにより、データ書き換え速度が高い、あるいは低電圧動作が可能な電子装置が実現できる。

#### 【発明を実施するための最良の形態】

#### 【0023】

以下、本発明の実施の形態を、Nチャネル型のMONOSトランジスタを有するフラッシュEEPROMを例として、図面を参照しつつ説明する。

なお、本発明は、MONOS型以外のゲート電極構造を有するメモリトランジスタにも適用できる。たとえば、FG型、いわゆるMNOS(Metal-Nitride-Oxide-Semiconductor)型、導電性微粒子を積層絶縁膜内に埋め込んだナノクリスタル型などのゲート構造を有するメモリトランジスタに広く本発明は適用可能である。また、Nチャネル型に限らずPチャネル型にも適用できる。その場合、以下の説明で述べる不純物やチャネルの導電性を逆極性とし、ソース領域とドレイン領域の電圧の極性を入れ替えることにより以下の説明

が類推適用できる。

【0024】

図2に、MONOSTランジスタの断面図を示す。

図2に示すMONOSTランジスタ1は、第1導電型(P型)を有する半導体からなるボディ領域2に形成されている。ここでボディ領域2の形態は、P型半導体基板の一部、半導体基板に必要な応じて他のウェルを介して形成されているP型ウェル、あるいは、基板に支持されているP型半導体層(たとえばSOI(Silicon-On-Insulator)層)などがある。

【0025】

ボディ領域2の表面に、第1酸化膜3A、電荷蓄積層としての窒化膜3Bおよび第2酸化膜3Cからなる積層絶縁膜3が形成され、その上にゲート電極4が形成されている。 10

窒化膜3Bは、第1および第2酸化膜3A, 3Cより電荷トラップ密度が高い材料からなり、電荷注入時に電荷蓄積層として機能する。なお、厳密には第1および第2酸化膜3A, 3Cにも電荷が捕獲されるが、その絶対量が窒化膜3Bに比べ少ないことから窒化膜3Bを電荷蓄積層と称している。

第1および第2酸化膜3A, 3Cは、ボディ領域2あるいはゲート電極4から窒化膜3Bを電氣的に分離し、電荷保持時に窒化膜3B中に電荷を閉じ込める役割を果たす。第1および第2酸化膜3A, 3Cは、窒化膜3Bと電荷トラップ密度差を有し電位障壁として機能するならば他の膜、たとえば酸化窒化膜などにより置き換え可能である。また、窒化膜3Bも電荷トラップ密度が高い金属酸化膜などにより置き換え可能である。 20

【0026】

ゲート電極4に一部重なる2つのN型のLDD(lightly doped drain)領域5sおよび5dが、互いに離れたボディ領域2の位置に形成されている。また、ドレイン側のLDD領域5dの端部付近からソース側に張り出してP型不純物領域からなるポケット領域6が形成されている。ポケット領域6は斜めイオン注入などによりP型不純物を注入することにより形成される。このときのイオン注入ドーズを最適化して、最終的にポケット領域6のP型不純物濃度が、ボディ領域のP型不純物濃度より必要なだけ高くなるように調整される。このようなポケット領域6が存在すると、ドレイン側のLDD領域5dの端部でP型不純物濃度が局所的に高くなることから、動作電圧印加時に、その部分での空乏層の伸びが抑えられ、その空乏層幅に反比例して横方向電界の集中度が高まる。このことは電荷 30  
注入効率の向上に寄与することから、ポケット領域6の形成は望ましいことであるが、本発明ではポケット領域6を設けることが必須の要件ではないことから、その省略も可能である。

【0027】

ゲート電極4の両側壁に、絶縁体からなるスペーサ7sおよび7dが形成されている。スペーサ7sにより位置が規定されるボディ領域2の表面側部分に、N型不純物領域からなるソース領域8sが形成され、同様に、スペーサ7dにより位置が規定されるボディ領域2の表面側部分に、N型不純物領域からなるドレイン領域8dが形成されている。

【0028】

ソース領域8sおよびドレイン領域8dは、N型不純物を比較的高濃度にイオン注入することにより形成されるが、このときスペーサ7s, 7dおよびゲート電極4が自己整合マスク層として機能し、ソース領域8sおよびドレイン領域8dの位置が決まる。また、LDD領域5sおよび5dは、スペーサ7s, 7dを形成するまえにN型不純物をイオン注入することにより形成されるが、その濃度は通常、ソース領域8sやドレイン領域8dより低く設定される。さらに、LDD領域5sおよび5dは、それぞれゲート電極4の端部と平面パターンで重なっている。これは、後述する正孔の注入時に、ゲートの電界がドレインに及びやすくして、低いドレイン電圧で正孔の発生を可能にするためである。 40

【0029】

なお、ゲートの電界がドレインに及びやすくするために、LDD領域5dはドレイン領域8dからゲート電極端部の直下に張り出していけばよく、その意味では、濃度の大小関 50



係を示唆しない「エクステンション領域」と称される場合がある。この場合、エクステンション領域のN型不純物濃度がドレイン領域8dのN型不純物濃度より低い必要は必ずしもない。

#### 【0030】

これらソース領域8s、ドレイン領域8d、ゲート電極4およびボディ領域2のそれぞれは、不図示のコンタクト部および配線を介して、それぞれの動作に適した電圧 $V_s$ （ソース電圧）、 $V_d$ （ドレイン電圧）、 $V_g$ （ゲート電圧）、 $V_b$ （バックバイアス電圧）が印加可能となっている。

#### 【0031】

このような構造のMONOSTランジスタが行列状に多数配置されて、当該不揮発性半導体メモリ装置のメモリセルアレイが構成されている。

各MONOSTランジスタにおいて、電荷蓄積層としての窒化膜3Bは、上下の第1および第2酸化膜3A、3Cとの界面付近でとくに電荷トラップ密度が高い。その電荷トラップに電子を注入して捕獲させた状態と、捕獲されている電子を消去した状態とでは、当該MONOSTランジスタのしきい値電圧が変化する。このため、そのしきい値電圧の変化をデータの2値状態に対応させて、当該MONOSTランジスタにデータの記憶が可能である。ただし、しきい値の相対的变化が検出できれば2値または多値の記憶データの読み出しは可能であることから、どのような状態を書き込み状態とし、どのような状態を消去状態とするかは定義上の問題である。

#### 【0032】

本実施の形態は、電荷注入時のバイアス電圧設定によってソース領域8sをエミッタとし、ドレイン領域8dをコレクタとし、ボディ領域2をベースとする寄生バイポーラトランジスタを動作させることにある。

このバイポーラ動作を伴う電荷注入を書き込みと消去の少なくとも一方に用いれば、本発明の実施の形態を構成する。より詳細には、(1)バイポーラ動作を伴う電子注入により書き込みを行い、バイポーラ動作を伴う正孔注入により、蓄積されている電子を相殺させることで消去を行う場合、(2)バイポーラ動作を伴う電子注入により書き込みを行い、当該電子を引き抜くことにより消去を行う場合、(3)バイポーラ動作を伴う正孔注入により書き込みを行い、バイポーラ動作を伴う電子注入により、蓄積されている正孔を相殺させることで消去を行う場合、(4)バイポーラ動作を伴う正孔注入により書き込みを行い、当該正孔を引き抜くことにより消去を行う場合の実施態様がある。また、消去は、メモリトランジスタが行列状に配置されているメモリセルアレイの一括消去、メモリセルアレイが複数のブロックから構成されている場合に、そのブロックまたはメモリセル行を単位とする消去、あるいは、ビットごとの消去のいずれでもよい。

#### 【0033】

以下、上記(1)の場合を例として、バイアス電圧の設定例と動作を説明する。図1(A)に書き込み動作の説明図を示す。

電子注入による書き込み動作では、ソース領域8sのソース電圧 $V_s$ を接地電圧(=約0V)として、これを基準として、ドレイン領域8dに正のドレイン電圧 $V_d$ 、ゲート電極4に正のゲート電圧 $V_g$ を印加する。

このときボディ領域2に対して、ソース電圧 $V_s$ とドレイン電圧 $V_d$ の間で、かつ、ソース領域8sとボディ領域2とのPN接合でダイオードを順方向にバイアスしてオンさせるバックバイアス電圧 $V_b$ を印加する。このときドレイン領域8dとボディ領域2とのPN接合でダイオードが逆方向にバイアスされ、空乏層が広がる。ドレイン電圧 $V_d$ およびゲート電圧 $V_g$ の電圧値は、トランジスタの最小寸法や使用電源電圧の変遷によっても変わってくるので任意であるが、一例を挙げるならばドレイン電圧 $V_d = 4.5V$ 、ゲート電圧 $V_g = 5V$ である。バックバイアス $V_b$ の電圧値は上記要件を満たす範囲で任意である。ソース側のダイオードのターンオン電圧(順方向電圧 $V_f$ )にもよるが、この $V_f$ が0.7~0.8V程度とすれば、それより僅かに高い $V_b = 0.8 \sim 1.0V$ 程度で当該ダイオードがオンし、それにより十分な効果が得られる。

10

20

30

40

50

## 【 0 0 3 4 】

このバイアス条件の下、通常のCHE注入動作に加えてバイポーラ動作が同時に起こる。

CHE注入動作では、ソース領域8sからチャンネルCHに供給された電子がドレイン領域8dに向かって流れ、その最中に横方向電界により加速される。このとき、ポケット領域6の存在により、この横方向電界の集中度が高く、そのポケット領域6付近で高エネルギー電子（ホットエレクトロン）が発生し、その一部が、第1酸化膜3A等によるエネルギー障壁を越えて積層絶縁膜3の内部に飛び込み、窒化膜3B（電荷蓄積層）のドレイン端部を中心とした領域の電荷トラップに捕獲される。

## 【 0 0 3 5 】

一方、バイポーラ動作では、エミッタとしてのソース領域8sから電子がボディ領域2内に供給され、ボディ領域内部で加速されながらコレクタとしてのドレイン領域8dの空乏層に供給される。このためインパクトイオン化が起こり、その結果、高エネルギーの正孔と電子の対を発生させる。これにより発生した正孔は、正のドレイン電圧Vdに引き寄せられてドレイン領域8dに吸収される。これに対し、インパクトイオン化で発生した電子は、その一部は正のバックバイアス電圧Vbによりボディ領域2内に散逸するが、残りの電子は、比較的高い正のゲート電圧Vgに引き寄せられ加速されながら、さらに高いエネルギーを得てホットエレクトロンとなり、第1酸化膜3A等によるエネルギー障壁を越えて積層絶縁膜3の内部に飛び込み、窒化膜3B（電荷蓄積層）のドレイン端部を中心とした領域の電荷トラップに捕獲される。

## 【 0 0 3 6 】

このように、通常のCHE注入による電荷に加えて、バイポーラ動作起因の電子も注入されることから、単位時間あたりの電子注入量が増加し、注入効率が高まる。この高効率な電子注入動作により、当該MONOSTランジスタのしきい値電圧が上昇する。より詳細には、その後データ読み出し動作を行うと、当該MONOSTランジスタの書き込み後のしきい値電圧は、積層絶縁膜3に捕獲された電子と、読み出し時にゲート電極4に印加される正電圧との相殺により決まる。ただし、その書き込み後のしきい値電圧の値は、電子が捕獲されていない状態での読み出し動作で得られる書き込み前のしきい値電圧より大きくなる。このしきい値電圧の変化の有無を電圧または電流に変換してセンシングすることにより、データの読み出しが可能となる。

## 【 0 0 3 7 】

バイポーラ動作による注入効率の向上を、しきい値電圧で定量的に説明すると、たとえば、消去時のしきい値電圧が2Vで、バイポーラ動作を伴わない通常のCHE注入により書き込み後のしきい値電圧が6Vになるとする。バックバイアス電圧Vbを印加すること以外の他の電圧値を同じとし、同じ書き込み時間でバイポーラ動作を伴うCHE注入書き込みを行うと、書き込み後のしきい値が6.5Vまで上昇する。したがって、しきい値電圧を6Vとするまでの時間が短くなり、高速書き込みが可能となる。また、書き込み時間を同じとすると、より動作電圧を低くでき、あるいは、しきい値電圧の初期のウィンドウ幅（書き込み状態と消去時のしきい値電圧差）を大きくして必要な電荷保持特性や書き換え特性を満足する時間（寿命）を長くすることができる。

## 【 0 0 3 8 】

正孔注入によるデータ消去動作の説明図を、図1(B)に示す。

この場合、前述した書き込みの場合と同様に、ソース領域8sを接地電位（=約0V）で保持し、ドレイン領域8dに所定の正電圧Vd、たとえば4.5~5Vを印加する。そして、書き込み時と同様、バックバイアス電圧Vbとしてボディ領域2に、たとえば0.8~1.0V程度の電圧を印加する。この電圧値が満たす要件は、バイポーラ動作させるために必要な書き込みの場合と同じである。また、消去の場合のゲート電圧Vgとしては、0Vの電圧または書き込み時と逆極性の負の電圧、たとえば0~-5Vがゲート電極4に印加される。

## 【 0 0 3 9 】

このとき、ゲート電圧  $V_g$  が 0 V または負であることからチャネルが形成されず、ドレイン電圧  $V_d$  がすべてドレイン領域  $8d$  および  $LDD$  領域  $5d$  に印加される。その結果、負電圧等の印加の影響を受けるゲート電極 4 の下方の領域を中心とする  $LDD$  領域  $5d$  の表面部に正孔の蓄積層が形成され、この正孔が横方向電界でドリフトしながら垂直方向電界により加速され高エネルギー電荷 (HH: ホットホール) となり、第 1 酸化膜 3A 等によるエネルギー障壁を越えて積層絶縁膜 3 の内部に飛び込み、窒化膜 3B (電荷蓄積層) のドレイン端部を中心とした電子の蓄積領域に入る。書き込み時に捕獲されていた電子は、この消去時に注入される正孔と再結合することから、当該 MONOS トランジスタのしきい値電圧は書き込み動作を行う前の値に戻る。

この消去動作においてもバイポーラ動作が起こるが、ゲート電圧  $V_g$  を負電圧とすると、インパクトイオン化で生じた正孔が、横方向電界によりドリフトしながらゲート電圧により引き寄せられ加速されながらホットホールとなり、電荷蓄積層の電子の蓄積領域に注入される。これにより、短時間での消去が可能であり、また、消去時間を同じとすれば、より低電圧での動作が可能となる。

#### 【0040】

もともと消去動作時に  $LDD$  領域表面からのホットホール注入効率は、書き込み動作時の CHE の注入効率より低く、これが消去動作に時間を要する原因となっている。上述のように、書き込み時も消去時もほぼ同じようにインパクトイオン化により正孔と電子の対を発生させ、その一方 (電子) を書き込みに用い、他方 (正孔) を消去に用いる。その場合、もともとのやり方では注入効率が悪い消去時の改善効果が大きい。つまり、本発明の適用による消去時のバイポーラ動作による寄与 (効果) は、書き込み時のそれより大きい。実際、消去時間の比較では、バイポーラ動作をさせると消去時間が 7 桁以上小さくなるという極めて大きな効果が得られることが確かめられている。

#### 【0041】

つぎに、MONOS トランジスタの平面パターンについて説明する。

図 3 (A) に、本実施の形態に適した平面パターンを有する MONOS トランジスタの平面図を示す。

図 3 (A) に示す平面パターンの特徴は、チャネル CH となるボディ領域 2 の表面側部分の平面形状が周囲の素子分離絶縁層 9 のパターンにより規定され、ドレイン側で細くなっていることである。つまり、ソース側のチャネル幅  $W_s$  に比べ、ドレイン側のチャネル幅  $W_d$  が小さくなっている。これにより、CHE 注入時の電流集中度が高まり、電子注入効率が高まるという利点がある。また、電子の蓄積領域がドレイン側のチャネル幅  $W_d$  が狭い部分に限定されることから、同じしきい値変化を得るための注入電荷量が少なくすむことから、その意味でも効率がよい。この点は、消去時に正孔を注入する領域が限定されていることから利点として働く。つまり、正孔が蓄積する  $LDD$  領域  $7d$  の面積が小さいことから、その部分に電界が集中し注入効率が高まる。

さらに、書き込みおよび消去時の寄生バイポーラトランジスタのインパクトイオン化の箇所も、このドレイン側の狭い部分に集中する。つまり、寄生バイポーラトランジスタの電流経路を絞る効果もあり、その意味でも効率がよい。

なお、電流経路を絞るとチャネル抵抗値が高くなり、そのことがマイナスに働くような場合は、図 3 (B) に示すように、ソース側とドレイン側のチャネル幅が等しい通常の平面パターンとしてもよい。

#### 【0042】

図 4 (A) に、本実施の形態に係る不揮発性メモリ装置の簡略化した全体構成を示す。

図示の不揮発性メモリ装置 10 はメモリセルアレイ 11 を有し、その内部に、上述した構成の MONOS トランジスタ 1 が多数配置されている。とくに図示しないが、メモリセルアレイ 11 は行および列の方向に配置されている配線を有し、これによって MONOS トランジスタ 1 に電圧を供給する構成となっている。メモリセルアレイ 11 の周囲に、メモリセルアレイ 11 の書き込み、消去および読み出しを制御する周辺回路 12 が設けられている。図 4 (A) においては、周辺回路 12 内に電圧供給回路 13 を示している。この

電圧供給回路 13 は、本発明の特徴であるバックバイアス電圧  $V_b$  を生成し供給可能な構成を有している。なお、電圧供給回路 13 は、他の電圧（ドレイン電圧  $V_d$  等）を生成する回路と兼用してもよいが、その回路と独立に設けられたものであってもよい。

【0043】

図 4 (A) は本実施の形態に係る不揮発性半導体メモリ装置内部にバックバイアス電圧を発生させる機能を有する場合であるが、この機能を、不揮発性半導体メモリ装置の外部に設けることもできる。ただし、その場合でも、不揮発性半導体メモリ装置は、バックバイアス電圧が印加可能なように、ボディ領域への良好なコンタクトが取られ、その電位が配線およびリード端子を介して外部から制御可能な構成を有している必要がある。

【0044】

図 4 (B) は、本発明の電子装置の実施の形態を示す図である。

この電子装置 30 内に、バックバイアス電圧  $V_b$  の発生機能はないが基板バイアス固定用などの外部端子 31A を有する不揮発性メモリ装置 31 と、この外部端子 31A にバックバイアス電圧  $V_b$  を供給する電圧供給回路 32 とを内蔵している。

以上より、バックバイアス電圧の発生機能がない不揮発性メモリしか入手できないような場合に、その基板バイアス固定用などの外部端子 31A を利用して、バックバイアス電圧  $V_b$  の印加が可能となる。

【0045】

なお、ボディ領域に印加するバックバイアス電圧  $V_b$  は、ソース電圧  $V_s$  とドレイン電圧  $V_d$  の間の電圧値を有することから、既存の電圧のレベルシフトなどで生成でき、電圧発生回路の負担増とならない。このことは、図 4 (A) に示すメモリ内部に内蔵されている電圧供給回路 13、および、図 4 (B) に示すメモリ外部に設けられている電圧供給回路 32 のいずれにおいても当てはまる。

また、とくにメモリ内蔵型の電圧供給回路 13 にとっては高耐圧トランジスタを必要としないという利点がある。これは、バックバイアスを印加させることによって、フォトマスク枚数や工程数の増加を伴わないことを意味する。したがって、本実施の形態では、バックバイアス電圧の印加により、前述した動作時間の短縮、低電圧化あるいは長寿命化などの数々の利点が、コスト的なマイナス面を伴うことなく得られる。

【図面の簡単な説明】

【0046】

【図 1】(A) は本発明の実施の形態において、本発明の電荷注入方法を用いる書き込み動作例の説明図、(B) は消去動作例の説明図である。

【図 2】本発明の実施の形態に係る MONOS トランジスタの断面図である。

【図 3】(A) は本発明の実施に適したパターンを有する MONOS トランジスタの平面図、(B) は採用可能な他のパターンを有する MONOS トランジスタの平面図である。

【図 4】(A) は本発明の実施の形態に係る不揮発性メモリ装置の簡略化した全体構成を示す図、(B) は本発明の実施の形態に係る電子装置の簡略化した構成を示す図である。

【図 5】(A) は、従来のバイアス条件により CHE を注入する動作の説明図である。(B) は、従来のバイアス条件によりホットホールをドレイン端から注入する動作の説明図である。

【符号の説明】

【0047】

1 ... メモリトランジスタ、2 ... ボディ領域、3 ... 積層絶縁膜、3A ... 第 1 の酸化膜、3B ... 電荷蓄積層としての窒化膜、3C ... 第 2 の酸化膜、4 ... ゲート電極、6 ... ポケット領域、8s ... ソース領域、8d ... ドレイン領域、10 ... 不揮発性半導体メモリ装置、12 ... 周辺回路、13, 32 ... 電圧供給回路、30 ... 電子装置

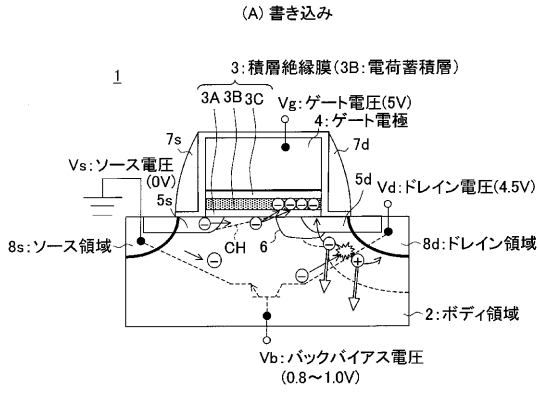
10

20

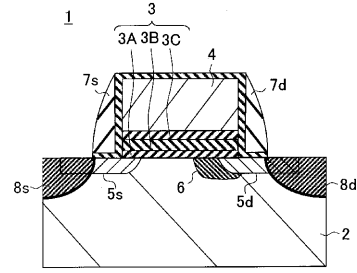
30

40

【 図 1 】

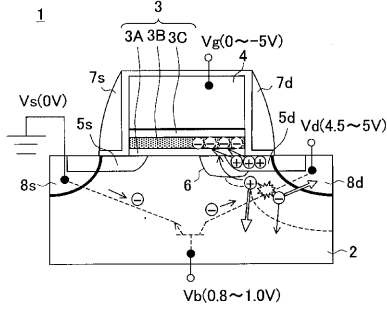


【 図 2 】

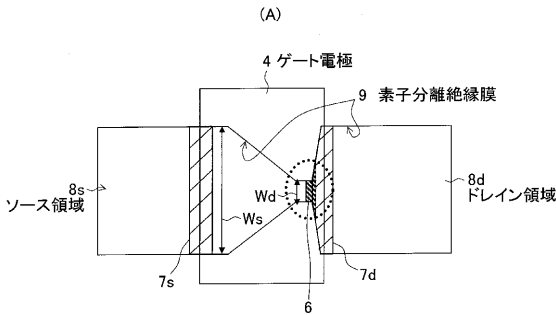


- 1...メモリランジスタ
- 2...ボディ領域
- 3...蓄積絶縁膜
- 3B...電荷蓄積層
- 4...ゲート電極
- 8s...ソース領域
- 8d...ドレイン領域

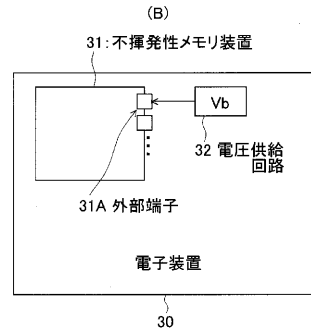
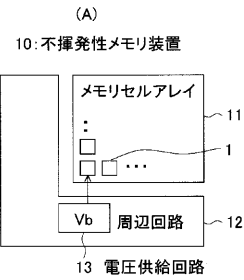
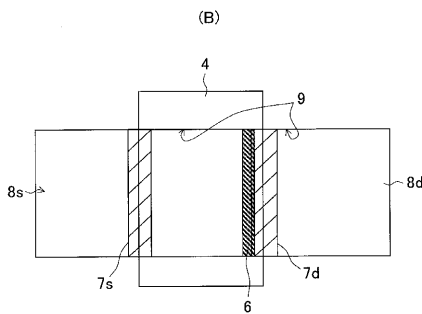
(B) 消去



【 図 3 】



【 図 4 】



【 図 5 】

