

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/115	(11) 공개번호 특2001-0004263
	(43) 공개일자 2001년01월 15일
(21) 출원번호 10-1999-0024886	
(22) 출원일자 1999년06월 28일	
(71) 출원인 현대전자산업 주식회사 김영환	
(72) 발명자 이근우	경기도 이천시 부발읍 아미리 산 136-1
	경기도이천시고담동72-1102-502호
	김기석
	경기도이천시갈산동468-1우성아파트 101-1202호
	신진
	서울특별시구로구고척2동경남아파트202-1103호
	박성기
	경상북도상주시화남면평은2리323
(74) 대리인 신영무, 최승민	

심사청구 : 있음

(54) 스택게이트 플래쉬 이이피룸 셀의 게이트 형성 방법

요약

본 발명은 자기 정렬 식각 공정에 의해 실리콘 기판상에 플로팅 게이트와 콘트롤 게이트가 적층된 적층 게이트가 형성되는 셀의 게이트 전체 상부에 제 1 베리어층인 산화막을 형성하는 단계와, 상기 제 1 베리어층 전체 상부에 제 2 베리어층인 나이트라이드를 형성하는 단계와, 상기 제 2 베리어층 형성 후 리옥시데이션 공정을 수행하는 단계와, 상기 제 2 베리어층을 제거하는 단계를 포함하여 이루어진 스택 게이트 플래쉬 이이피룸 셀의 게이트 형성 방법을 제공한다.

대표도

도2

색인어

산화막, 나이트라이드, ON 베리어

명세서

도면의 간단한 설명

도 1(a) 및 도 1(b)는 종래의 셀 게이트 형성 방법을 설명하기 위해 도시한 단면도.
도 2(a) 내지 도 2(c)는 본 발명에 따른 셀 게이트 형성 방법을 설명하기 위해 도시한 단면도.
<도면의 주요 부분에 대한 부호의 설명>

- 1: 실리콘 기판
- 2: 필드 산화막
- 3: 플로팅 게이트
- 4: 유전체막
- 5: 콘트롤 게이트
- 7: 산화막
- 8: 나이트라이드막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법에 관한 것으로, 특히 셀의 게이트 형성 시 ON(Oxide/Nitride) 게이트 상부에 베리어(Barrier)를 형성하여 플로팅 게이트와 콘트롤 게이트 사이의 절연 물질인 ONO의 측면 버즈 빅(Lateral bird's beak)을 감소시켜 커플링 비를 증가시킴으로써, 셀의 소거 동작 속도를 증가시킬 수 있도록 한 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법에 관한 것이다.

종래의 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법을 도 1을 참고하여 설명하면 다음과 같다.

도 1(a)는 일반적인 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법으로서, 실리콘 기판(1)상에는 플로팅 게이트(3)와 콘트롤 게이트(5)가 적층된 적층게이트가 형성된다. 플로팅 게이트(3)와 반도체 기판(1) 사이에는 터널 산화막(2)이 형성된다. 플로팅 게이트(3)와 콘트롤 게이트(5) 사이에는 유전체막(4)이 형성된다. 유전체막(4)은 ONO(Oxide-Nitride-Oxide) 구조가 널리 적용된다.

도 1(b)는 도 1(a)에서 ONO 구조의 유전체막(4)을 상세히 나타낸 도면으로서, 산화막(Oxide; 4A), 나이트라이드(4B), 산화막(Oxide; 4C)구조로 형성된다. 그러나, 종래의 셀 게이트 형성 방법은 셀 게이트를 형성한 후 데미지(Damage) 완화를 위하여 850°C의 리옥시데이션(Reoxidation) 과정을 수행하게 된다. 이때, 상기 유전체막(4)의 ONO 구조 주변의 폴리 실리콘들이 옥시데이션(Oxidation) 되어 도 1(b)에 도시된 바와 같이 ONO의 산화막(Oxide) 두께가 두꺼워지는 측면 버즈 빅(Lateral bird's beak; 4D)이 발생된다.

이러한 측면 버즈 빅의 발생 원인으로는 셀 게이트 형성시 두번의 식각 공정에 의해 이루어지게 되는데, 첫번째 식각 공정에서 ONO 식각 공정에 의한 ONO 사이드롤(Sideral) 부근의 데미지와 리옥시데이션(Reoxidation)시 산화막과 폴리실리콘 경계 부분에서 폴리 실리콘의 산화에 의한 것으로 추정된다. 캐패시턴스와 절연물질의 두께는 역비례 관계에 있으므로 이렇게 ONO 두께가 증가하면 캐패시턴스 값이 작아져서 커플링 비가 감소된다. 셀을 동작시키는 데 있어서 커플링 비는 매우 중요한 요소가 된다.

예를 들면, 콘트롤 게이트에 10V 전압이 가해지면 커플링 비=0.5일 때 플로팅 게이트에 걸리는 전압은 5V 전압으로 된다. 그러므로 커플링 비가 클수록 플로팅 게이트에 걸리는 전압이 증가하게 되는데 이는 셀 소거 동작을 시키는데 중요한 역할을 한다. 셀 소거는 보통 F-N 터널링을 이용하는데 커플링 비가 클수록 플로팅 게이트에 걸리는 전압이 커져서 플로팅 게이트에 있던 전자들을 채널 혹은 소스(Source) 지역으로 F-N 터널링 시키는데 유리하다. 사이드롤 버즈 빅에 의한 ONO 두께 증가는 커플링 비를 감소시켜 셀 소거 속도를 저하시키므로 전체 셀 소거 동작 속도를 저하시키는 중요 원인이 된다. 셀의 커플링 비는 0.6 이상이 되어야 원하는 셀 소거 동작 속도를 낼 수 있는데 기존의 공정에서 만들어 지는 셀의 커플링 비는 0.5 미만으로 셀 소거 동작 속도 저하의 주요 원인이 되고 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 셀 게이트 형성 후 ON(Oxide/Nitride) 베리어(Barrier)를 형성하여 플로팅 게이트와 콘트롤 게이트 사이의 절연 물질인 ONO의 측면 버즈 빅(Lateral bird's beak)을 감소시켜 커플링 비를 증가시킴으로써, 상기한 단점을 해결할 수 있는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법을 제공하는 데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명에 따른 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법은 자기 정렬 식각 공정에 의해 실리콘 기판상에 플로팅 게이트와 콘트롤 게이트가 적층된 적층 게이트가 형성되는 셀의 게이트 전체 상부에 제 1 베리어층인 산화막을 형성하는 단계와, 상기 제 1 베리어층 전체 상부에 제 2 베리어층인 나이트라이드막을 형성하는 단계와, 상기 제 2 베리어층 형성 후 리옥시데이션 공정을 수행하는 단계와, 상기 제 2 베리어층을 제거하는 단계를 포함하여 이루어진 것을 특징으로 한다.

본 발명은 ONO 측면 버즈 빅을 방지하기 위하여 셀 게이트 형성 후 ON 베리어 물질을 각각 50 내지 100 Å 두께로 증착한다. 이때 베리어층인 산화막은 ONO 에 영향을 주지 않기 위해 775°C 이하의 낮은 온도(HOT)로 증착한다.

ON 베리어 물질 증착은 반드시 리옥시데이션 공정 이전에 수행한다.

리옥시데이션 공정 후 후속 정션 임플란트(Junction implant) 공정을 원활히 수행하기 위하여 베리어층인 나이트라이드막을 제거한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참고하여 본 발명을 상세히 설명하기로 한다.

도 2(a) 내지 도 2(c) 는 본 발명에 따른 셀의 게이트 형성 방법을 설명하기 위해 도시한 단면도 이다.

도 2(a)는 자기 정렬 식각 공정에 의해 실리콘 기판(1)상에는 플로팅 게이트(3)와 콘트롤 게이트(5)가 적층된 적층 게이트가 형성된 상태의 단면도 이다. 즉, 플로팅 게이트(3)와 반도체 기판(1) 사이에는 터널 산화막(2)이 형성된다. 플로팅 게이트(3)와 콘트롤 게이트(5) 사이에는 유전체막(4)이 형성된다. 유전체막(4)으로는 ONO(Oxide-Nitride-Oxide) 구조(4A 내지 4C)가 형성된다. 이후, 전체 상부에 제 1 베리어층인 산화막(7)을 50 내지 100 Å 두께로 775°C 이하의 낮은 온도에서 증착한다. 이때, 산화막(7)은 셀 게이트를 불순물로 부터 보호하는 역할을 하며 후속 공정인 나이트라이드(Nitride) 증착시 스트레스(Stress) 완화 역할을 한다. 또한, 나이트라이드 제거시 셀 게이트를 보호해 주는 역할을 한다.

이후, 전체 상부에 제 2 베리어층인 나이트라이드막(8)을 50 내지 100 Å 두께로 CVD(화학기상증착법) 공정으로 증착한다. 나이트라이드막(8)은 리옥시데이션시 ONO 측면 버즈 빅의 발생을 막아주는 매우 중요

한 역할을 한다. 이때 나이트라이드막(8)의 두께가 너무 두꺼우면 나이트라이드막(8) 제거시 산화막도 함께 제거되는데 이때 셀 게이트에 영향을 주게 된다. 그리고 셀 크기와 관련하여 게이트 간의 스페이스(gate to gate space)를 고려하여 적절한 두께를 설정해야 한다.

이후, 리옥시데이션을 수행하여 850℃ 이상의 열공정으로 셀 게이트의 데미지 완화 및 증착 물질들을 자기 안정화 시킨다.

도 2(b)는 후속공정인 정선 임플란트 공정을 위해 나이트라이드막(8)을 인산을 이용한 습식 또는 건식 공정을 통해 완전히 제거한 상태의 단면도 이다.

도 2(c)는 리옥시데이션 공정을 수행하여 셀 게이트를 완성한 상태의 단면도 이다.

상술한 바와 같이 본 발명은 ON 베리어의 간단한 공정을 추가하여 ONO 측면 버즈 빅을 효과적으로 방지함으로써, 원하는 ONO 두께를 구현하여 콘트롤 게이트와 플로팅 게이트와의 커플링 비를 증가시켜 플로팅 게이트에 걸리는 전압을 증가시킬 수 있다. 그러므로, 낮은 콘트롤 게이트 전압에서도 셀 소거 동작시 속도를 증가시켜 셀 동작 특성을 향상시킬 수 있게 된다.

본 발명의 또 다른 실시 예로는, 산화막을 저온의 HDP(High density plasma)로 증착하여 ON 베리어를 지연시간 없이(No time delay) 진행하여 파티클 및 불순물로 부터 오염을 방지한다.

발명의 효과

상술한 바와 같이 본 발명은 셀 게이트 형성 후 리옥시데이션 이전에 산화막 및 나이트라이드막을 증착하여 셀 게이트를 불순물로 부터 보호 및 리옥시데이션시 ONO 측면 버즈 빅의 발생을 억제한다. 또한, ONO 두께의 증가를 예방함으로써 콘트롤 게이트와 플로팅 게이트 사이의 커플링 비를 증가시키며, 커플링 비의 증가에 의해 상대적으로 콘트롤 게이트에 낮은 전압을 가하고도 플로팅 게이트에 높은 전압을 가할 수 있으므로 셀 소거 동작시 속도를 증가시킬 수 있는 탁월한 효과가 있다.

(57) 청구의 범위

청구항 1

자기 정렬 식각 공정에 의해 실리콘 기판상에 플로팅 게이트와 콘트롤 게이트가 적층된 적층 게이트가 형성되는 셀의 게이트 형성 방법에 있어서,

전체 상부에 제 1 베리어층인 산화막을 형성하는 단계와,

상기 제 1 베리어층 전체 상부에 제 2 베리어층인 나이트라이드막을 형성하는 단계와,

상기 제 2 베리어층 형성 후 리옥시데이션 공정을 수행하는 단계와,

상기 제 2 베리어층을 제거하는 단계를 포함하여 이루어진 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

청구항 2

제 1 항에 있어서,

상기 산화막은 HDP 로 증착하는 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

청구항 3

제 1 항에 있어서,

상기 산화막은 775℃ 이하의 낮은 온도에서 증착하는 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

청구항 4

제 1 항에 있어서,

상기 산화막은 50 내지 100Å 두께로 형성하는 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

청구항 5

제 1 항에 있어서,

상기 나이트라이드막은 CVD 공정으로 형성하는 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

청구항 6

제 1 항에 있어서,

상기 나이트라이드막은 50 내지 100Å 두께로 형성하는 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

청구항 7

제 1 항에 있어서,

상기 산화막 공정과 나이트라이드막 공정을 지연시간 없이 진행하는 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

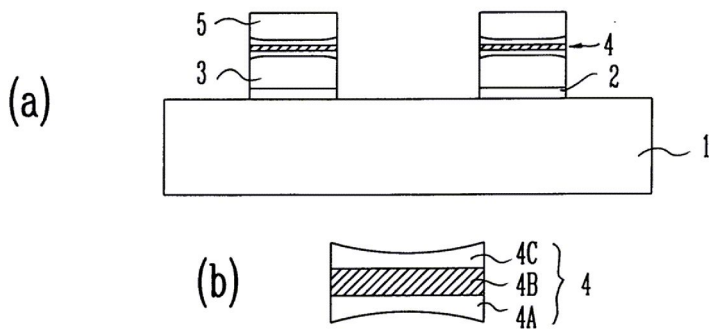
청구항 8

제 1 항에 있어서,

상기 산화막 공정과 나이트라이드막 공정을 리옥시데이션 공정 이전에 수행하는 것을 특징으로 하는 스택 게이트 플래쉬 이이피롬 셀의 게이트 형성 방법.

도면

도면1



도면2

