

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成21年3月5日(2009.3.5)

【公開番号】特開2008-15638(P2008-15638A)

【公開日】平成20年1月24日(2008.1.24)

【年通号数】公開・登録公報2008-003

【出願番号】特願2006-183973(P2006-183973)

【国際特許分類】

G 0 6 F 9/48 (2006.01)

【 F I 】

G 0 6 F 9/46 4 5 5 B

【手続補正書】

【提出日】平成21年1月21日(2009.1.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 C P U コアと、第 2 C P U コアとを具備して、

前記第 1 C P U コアは第 1 レジスタファイルと第 1 命令デコーダ・演算器とを含み、前記第 2 C P U コアは第 2 レジスタファイルと第 2 命令デコーダ・演算器とを含み、

前記第 1 C P U コアの前記第 1 レジスタファイルの内容と前記第 2 C P U コアは前記第 2 レジスタファイルの内容とを格納する共有メモリを更に具備して、

前記第 1 C P U コアは前記第 2 C P U コアの前記第 2 レジスタファイル内部のスタックポインタの値を前記第 1 C P U コアのスタックポインタの値として処理するための第 1 記憶回路を含み、前記第 2 C P U コアは前記第 1 C P U コアの前記第 1 レジスタファイル内部のスタックポインタの値を前記第 2 C P U コアのスタックポインタの値として処理するための第 2 記憶回路を含み、

前記第 1 C P U コアと前記第 2 C P U コアとの一方の C P U コアが優先度の高い処理を実行している間に、前記第 1 C P U コアと前記第 2 C P U コアとの他方の C P U コアに前記一方の C P U コアが実行している前記処理よりも優先度の低い要求が発生することによって、優先度の低い前記要求は前記他方の C P U コアによって実行されることなく中断され、前記他方の C P U コアの前記レジスタファイルのプログラムカウンタの内容とステータスレジスタの内容とがスタック領域に退避される一方、前記他方の C P U コアのレジスタファイルのその他の内容が前記共有メモリに退避され、

前記一方の C P U コアが優先度の高い前記処理を完了すると、前記一方の C P U コアは前記共有メモリに退避された前記他方の C P U コアの前記レジスタファイルの前記その他の内容を前記一方の C P U コアのレジスタファイルに格納して、前記一方の C P U コアは、前記他方の C P U コアの前記レジスタファイルのスタックポインタの内容を前記第 1 記憶回路と前記第 2 記憶回路の一方の記憶回路に転送して、前記他方の C P U コアによって中断された前記処理を前記一方の C P U コアが再開して実行するデータ処理装置。

【請求項 2】

前記第 1 C P U コアと前記第 2 C P U コアとに接続されたシステムコントローラを更に具備して、

前記システムコントローラは、第 1 フラグ情報と第 2 フラグ情報とを格納して、

前記一方の C P U コアが優先度の高い前記処理を完了すると、前記一方の C P U コアは

前記第 1 フラグ情報と前記第 2 フラグ情報との一方のフラグ情報を所定の状態にセットして、

前記一方のフラグ情報が前記所定の状態にセットされることに応答して、前記他方の CPU コアによって中断された前記処理を前記他方の CPU コアが再開して実行することが禁止され、前記他方の CPU コアによって中断された前記処理を前記一方の CPU コアが再開して実行することが許可される請求項 1 に記載のデータ処理装置。

【請求項 3】

前記システムコントローラは前記第 1 CPU コアの前記第 1 レジスタファイルの内容を前記共有メモリの第 1 領域に格納する一方、前記第 2 CPU コアの前記第 2 レジスタファイルの内容を前記共有メモリの前記第 1 領域と異なる第 2 領域に格納するアドレス管理ユニットを含む請求項 1 と請求項 2 のいずれかに記載のデータ処理装置。

【請求項 4】

前記データ処理装置は、前記第 1 CPU コアと前記第 2 CPU コアとに接続された内部メモリを更に具備する一方、メインメモリと接続可能であり、

前記内部メモリと前記メインメモリとの少なくともいずれか一方に、前記他方の CPU コアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とが退避される前記スタック領域が形成される請求項 1 から請求項 3 のいずれかに記載のデータ処理装置。

【請求項 5】

第 1 CPU コアと、第 2 CPU コアとを具備して、

前記第 1 CPU コアは第 1 レジスタファイルと第 1 命令デコーダ・演算器とを含み、前記第 2 CPU コアは第 2 レジスタファイルと第 2 命令デコーダ・演算器とを含み、

前記第 1 CPU コアの前記第 1 レジスタファイルの内容と前記第 2 CPU コアは前記第 2 レジスタファイルの内容とを格納する共有メモリを更に具備して、

前記第 1 CPU コアは前記第 2 CPU コアの前記第 2 レジスタファイル内部のスタックポインタの値を格納するための第 1 記憶回路を含み、前記第 2 CPU コアは前記第 1 CPU コアの前記第 1 レジスタファイル内部のスタックポインタの値を格納するための第 2 記憶回路を含み、

前記第 1 CPU コアと前記第 2 CPU コアとの一方の CPU コアが優先度の高い処理を実行している間に、前記第 1 CPU コアと前記第 2 CPU コアとの他方の CPU コアに前記一方の CPU コアが実行している前記処理よりも優先度の低い要求が発生することによって、優先度の低い前記要求は前記他方の CPU コアによって実行されることなく中断され、前記他方の CPU コアの前記レジスタファイルのプログラムカウンタの内容とステータスレジスタの内容とがスタック領域に退避される一方、前記他方の CPU コアのレジスタファイルのその他の内容が前記共有メモリに退避され、

前記一方の CPU コアが優先度の高い前記処理を完了すると、前記一方の CPU コアは前記共有メモリに退避された前記他方の CPU コアの前記レジスタファイルの前記その他の内容を読み出して、読み出された前記他方の CPU コアの前記レジスタファイルの前記その他の内容を前記一方の CPU コアの前記レジスタファイルに格納する処理と、前記一方の CPU コアは、前記他方の CPU コアの前記レジスタファイルのスタックポインタの内容を前記第 1 記憶回路と前記第 2 記憶回路の一方の記憶回路に転送する処理と、前記一方の CPU コアは、前記一方の記憶回路に転送された前記スタックポインタの前記内容で指示される前記スタック領域から前記他方の CPU コアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを読み出して、読み出された前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを前記一方の CPU コアの前記レジスタファイルのプログラムカウンタとステータスレジスタとにそれぞれ格納する処理とを実行して、

その後、前記一方の CPU コアは、前記一方の CPU コアの前記レジスタファイルに格納された前記他方の CPU コアの前記レジスタファイルの前記その他の内容と前記一方の CPU コアの前記レジスタファイルの前記プログラムカウンタと前記ステータスレジスタ

とにそれぞれ格納された前記他方のＣＰＵコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを使用することによって、前記他方のＣＰＵコアによって中断された前記処理を前記一方のＣＰＵコアが再開して実行するデータ処理装置。

【請求項 6】

前記第 1 ＣＰＵコアと前記第 2 ＣＰＵコアとに接続されたシステムコントローラを更に具備して、

前記システムコントローラは、第 1 フラグ情報と第 2 フラグ情報とを格納して、

前記一方のＣＰＵコアが優先度の高い前記処理を完了すると、前記一方のＣＰＵコアは前記第 1 フラグ情報と前記第 2 フラグ情報との一方のフラグ情報を所定の状態にセットして、

前記一方のフラグ情報が前記所定の状態にセットされることに応答して、前記他方のＣＰＵコアによる前記共有メモリに退避された前記他方のＣＰＵコアの前記レジスタファイルの前記その他の内容の読み出しが禁止される一方、前記一方のＣＰＵコアによる前記共有メモリに退避された前記他方のＣＰＵコアの前記レジスタファイルの前記その他の内容の読み出しが許可され、前記他方のＣＰＵコアによる前記スタック領域から前記他方のＣＰＵコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを読み出しが禁止されて、前記一方のＣＰＵコアによる前記スタック領域から前記他方のＣＰＵコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容との読み出しが許可され、読み出された前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを前記一方のＣＰＵコアの前記レジスタファイルのプログラムカウンタとステータスレジスタとにそれぞれ格納する請求項 5 に記載のデータ処理装置。

【請求項 7】

前記一方のフラグ情報が前記所定の状態にセットされることに応答して、前記他方のＣＰＵコアによって中断された前記処理を前記他方のＣＰＵコアが再開して実行することが禁止され、前記他方のＣＰＵコアによって中断された前記処理を前記一方のＣＰＵコアが再開して実行することが許可される請求項 6 に記載のデータ処理装置。

【請求項 8】

前記システムコントローラは前記第 1 ＣＰＵコアの前記第 1 レジスタファイルの内容を前記共有メモリの第 1 領域に格納する一方、前記第 2 ＣＰＵコアの前記第 2 レジスタファイルの内容を前記共有メモリの前記第 1 領域と異なる第 2 領域に格納するアドレス管理ユニットを含む請求項 5 から請求項 7 のいずれかに記載のデータ処理装置。

【請求項 9】

前記データ処理装置は、前記第 1 ＣＰＵコアと前記第 2 ＣＰＵコアとに接続された内部メモリを更に具備する一方、メインメモリと接続可能であり、

前記内部メモリと前記メインメモリとの少なくともいずれか一方に、前記他方のＣＰＵコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とが退避される前記スタック領域が形成される請求項 5 から請求項 7 のいずれかに記載のデータ処理装置。