

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成21年3月5日(2009.3.5)

【公開番号】特開2008-15638(P2008-15638A)

【公開日】平成20年1月24日(2008.1.24)

【年通号数】公開・登録公報2008-003

【出願番号】特願2006-183973(P2006-183973)

【国際特許分類】

G 06 F 9/48 (2006.01)

【F I】

G 06 F 9/46 4 5 5 B

【手続補正書】

【提出日】平成21年1月21日(2009.1.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1CPUコアと、第2CPUコアとを具備して、

前記第1CPUコアは第1レジスタファイルと第1命令デコーダ・演算器とを含み、前記第2CPUコアは第2レジスタファイルと第2命令デコーダ・演算器とを含み、
前記第1CPUコアの前記第1レジスタファイルの内容と前記第2CPUコアは前記第2レジスタファイルの内容とを格納する共有メモリを更に具備して、

前記第1CPUコアは前記第2CPUコアの前記第2レジスタファイル内部のスタックポインタの値を前記第1CPUコアのスタックポインタの値として処理するための第1記憶回路を含み、前記第2CPUコアは前記第1CPUコアの前記第1レジスタファイル内部のスタックポインタの値を前記第2CPUコアのスタックポインタの値として処理するための第2記憶回路を含み、

前記第1CPUコアと前記第2CPUコアとの一方のCPUコアが優先度の高い処理を実行している間に、前記第1CPUコアと前記第2CPUコアとの他方のCPUコアに前記一方のCPUコアが実行している前記処理よりも優先度の低い要求が発生することによって、優先度の低い前記要求は前記他方のCPUコアによって実行されることなく中断され、前記他方のCPUコアの前記レジスタファイルのプログラムカウンタの内容とステータスレジスタの内容とがスタック領域に退避される一方、前記他方のCPUコアのレジスタファイルのその他の内容が前記共有メモリに退避され、

前記一方のCPUコアが優先度の高い前記処理を完了すると、前記一方のCPUコアは前記共有メモリに退避された前記他方のCPUコアの前記レジスタファイルの前記その他の内容を前記一方のCPUコアのレジスタファイルに格納して、前記一方のCPUコアは、前記他方のCPUコアの前記レジスタファイルのスタックポインタの内容を前記第1記憶回路と前記第2記憶回路の一方の記憶回路に転送して、前記他方のCPUコアによって中断された前記処理を前記一方のCPUコアが再開して実行するデータ処理装置。

【請求項2】

前記第1CPUコアと前記第2CPUコアとに接続されたシステムコントローラを更に具備して、

前記システムコントローラは、第1フラグ情報と第2フラグ情報を格納して、

前記一方のCPUコアが優先度の高い前記処理を完了すると、前記一方のCPUコアは

前記第1フラグ情報と前記第2フラグ情報との一方のフラグ情報を所定の状態にセットして、

前記一方のフラグ情報が前記所定の状態にセットされることに応答して、前記他方のCPUコアによって中断された前記処理を前記他方のCPUコアが再開して実行することが禁止され、前記他方のCPUコアによって中断された前記処理を前記一方のCPUコアが再開して実行することが許可される請求項1に記載のデータ処理装置。

【請求項3】

前記システムコントローラは前記第1CPUコアの前記第1レジスタファイルの内容を前記共有メモリの第1領域に格納する一方、前記第2CPUコアの前記第2レジスタファイルの内容を前記共有メモリの前記第1領域と異なる第2領域に格納するアドレス管理ユニットを含む請求項1と請求項2のいずれかに記載のデータ処理装置。

【請求項4】

前記データ処理装置は、前記第1CPUコアと前記第2CPUコアとに接続された内部メモリを更に具備する一方、メインメモリと接続可能であり、

前記内部メモリと前記メインメモリとの少なくともいずれか一方に、前記他方のCPUコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とが退避される前記スタック領域が形成される請求項1から請求項3のいずれかに記載のデータ処理装置。

【請求項5】

第1CPUコアと、第2CPUコアとを具備して、

前記第1CPUコアは第1レジスタファイルと第1命令デコーダ・演算器とを含み、前記第2CPUコアは第2レジスタファイルと第2命令デコーダ・演算器とを含み、

前記第1CPUコアの前記第1レジスタファイルの内容と前記第2CPUコアは前記第2レジスタファイルの内容とを格納する共有メモリを更に具備して、

前記第1CPUコアは前記第2CPUコアの前記第2レジスタファイル内部のスタックポインタの値を格納するための第1記憶回路を含み、前記第2CPUコアは前記第1CPUコアの前記第1レジスタファイル内部のスタックポインタの値を格納するための第2記憶回路を含み、

前記第1CPUコアと前記第2CPUコアとの一方のCPUコアが優先度の高い処理を実行している間に、前記第1CPUコアと前記第2CPUコアとの他方のCPUコアに前記一方のCPUコアが実行している前記処理よりも優先度の低い要求が発生することによって、優先度の低い前記要求は前記他方のCPUコアによって実行されることなく中断され、前記他方のCPUコアの前記レジスタファイルのプログラムカウンタの内容とステータスレジスタの内容とがスタック領域に退避される一方、前記他方のCPUコアのレジスタファイルのその他の内容が前記共有メモリに退避され、

前記一方のCPUコアが優先度の高い前記処理を完了すると、前記一方のCPUコアは前記共有メモリに退避された前記他方のCPUコアの前記レジスタファイルの前記その他の内容を読み出して、読み出された前記他方のCPUコアの前記レジスタファイルの前記その他の内容を前記一方のCPUコアの前記レジスタファイルに格納する処理と、前記一方のCPUコアは、前記他方のCPUコアの前記レジスタファイルのスタックポインタの内容を前記第1記憶回路と前記第2記憶回路の一方の記憶回路に転送する処理と、前記一方のCPUコアは、前記一方の記憶回路に転送された前記スタックポインタの前記内容で指示される前記スタック領域から前記他方のCPUコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを読み出して、読み出された前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを前記一方のCPUコアの前記レジスタファイルのプログラムカウンタとステータスレジスタとにそれぞれ格納する処理とを実行して、

その後、前記一方のCPUコアは、前記一方のCPUコアの前記レジスタファイルに格納された前記他方のCPUコアの前記レジスタファイルの前記その他の内容と前記一方のCPUコアの前記レジスタファイルの前記プログラムカウンタと前記ステータスレジスタ

とにそれぞれ格納された前記他方のCPUコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを使用することによって、前記他方のCPUコアによって中断された前記処理を前記一方のCPUコアが再開して実行するデータ処理装置。

【請求項6】

前記第1CPUコアと前記第2CPUコアとに接続されたシステムコントローラを更に具備して、

前記システムコントローラは、第1フラグ情報と第2フラグ情報を格納して、

前記一方のCPUコアが優先度の高い前記処理を完了すると、前記一方のCPUコアは前記第1フラグ情報と前記第2フラグ情報との一方のフラグ情報を所定の状態にセットして、

前記一方のフラグ情報が前記所定の状態にセットされることに応答して、前記他方のCPUコアによる前記共有メモリに退避された前記他方のCPUコアの前記レジスタファイルの前記その他の内容の読み出しが禁止される一方、前記一方のCPUコアによる前記共有メモリに退避された前記他方のCPUコアの前記レジスタファイルの前記その他の内容の読み出しが許可され、前記他方のCPUコアによる前記スタック領域から前記他方のCPUコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを読み出しが禁止されて、前記一方のCPUコアによる前記スタック領域から前記他方のCPUコアの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容との読み出しが許可され、読み出された前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とを前記一方のCPUコアの前記レジスタファイルのプログラムカウンタとステータスレジスタとにそれぞれ格納する請求項5に記載のデータ処理装置。

【請求項7】

前記一方のフラグ情報が前記所定の状態にセットされることに応答して、前記他方のCPUコアによって中断された前記処理を前記他方のCPUコアが再開して実行することが禁止され、前記他方のCPUコアによって中断された前記処理を前記一方のCPUコアが再開して実行することが許可される請求項6に記載のデータ処理装置。

【請求項8】

前記システムコントローラは前記第1CPUコアの前記第1レジスタファイルの内容を前記共有メモリの第1領域に格納する一方、前記第2CPUコアの前記第2レジスタファイルの内容を前記共有メモリの前記第1領域と異なる第2領域に格納するアドレス管理ユニットを含む請求項5から請求項7のいずれかに記載のデータ処理装置。

【請求項9】

前記データ処理装置は、前記第1CPUコアと前記第2CPUコアとに接続された内部メモリを更に具備する一方、メインメモリと接続可能であり、

前記内部メモリと前記メインメモリとの少なくともいずれか一方に、前記他方のCPUの前記レジスタファイルの前記プログラムカウンタの前記内容と前記ステータスレジスタの前記内容とが退避される前記スタック領域が形成される請求項5から請求項7のいずれかに記載のデータ処理装置。