



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 15.06.81 (21) 3300965/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.12.82. Бюллетень №46

Дата опубликования описания 15.12.82

(11) 982006

(51) М. Кл.³

G 06 F 11/20
H 05 K 10/00

(53) УДК 621.374.
.3(088.8)

(72) Авторы
изобретения

В.П. Ярошенко и Е.Ю. Кравченко

(71) Заявитель

(54) РЕЗЕРВИРОВАННОЕ УСТРОЙСТВО

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано при разработке цифровых устройств и вычислительных машин с повышенными требованиями к надежности.

Известно резервированное устройство, содержащее три резервируемых блока, соединенных с мажоритарным блоком, источник разрешающего сигнала, выход которого соединен с соответствующими входами ключевых элементов, и дополнительные ключевые элементы, через которые элементы И подсоединены к элементу ИЛИ [1].

Недостаток устройства состоит в неполной определенности исправности канала и в том, что при последовательных отказах в двух каналах вероятность исправной работы всего устройства сохраняется лишь с вероятностью 0,5.

Наиболее близким техническим решением к изобретению является резервированное устройство, содержащее резервируемые блоки, соединенные с индикаторами отказов и мажоритарным элементом, переключатель режима, управляющий вход которого через дифференцирующую цепочку соединен с

2

выходом счетного триггера, на вход которого через элемент ИЛИ поступают сигналы от индикаторов отказов. При отказе двух каналов переключатель режима отключает выход мажоритарного элемента и подключит выход исправного канала. При последовательном поступлении двух сигналов от индикаторов отказа на выходе дифференцирующей цепочки появляется сигнал, устанавливающий переключатель режима в состояние, соответствующее отключенному мажоритарному элементу и подключенному исправному каналу [2].

Недостаток устройства состоит в том, что оно не может восстановить первоначальный принцип работы после отказа двух каналов даже в том случае, если отказы более не наблюдаются (самоустраняющиеся отказы). Кроме того, если отказ в двух каналах наступит одновременно, то сигналы от индикаторов отказа воспримутся счетным триггером как один сигнал и не приведут к перестройке структуры устройства.

Цель изобретения - повышение надежности работы резервируемого устройства, в частности обеспечение возможности восстановления работы

5

10

15

20

25

30

устройства в мажоритарном режиме после исчезновения отказов хотя бы в одном из двух отказавших каналов и сохранения достоверной информации на выходе устройства при одновременном отказе двух каналов.

Поставленная цель достигается тем, что резервированное устройство, содержащее индикаторы отказов, переключатель режима, элемент ИЛИ и первый и второй и третий резервируемые блоки, первые выходы которых соединены со входами первого мажоритарного элемента, содержит семь элементов И, элемент НЕ, элемент задержки, источник импульсов опроса и второй мажоритарный элемент, входы которого соединены с первыми входами первого, второго и третьего элементов И и с единичными выходами соответствующих индикаторов отказов, а выход через четвертый элемент И - с нулевым входом переключателя режима и через элемент НЕ - с первым входом пятого элемента И, подключенного выходом к единичному входу переключателя режима, нулевой выход которого соединен с первыми входами шестого и седьмого элементов И, а единичный выход - со вторыми входами первого, второго и третьего элементов И и со входами резервируемых блоков, вторые выходы которых соединены с единичными входами индикаторов отказов, а первые выходы - с третьими входами первого, второго и третьего элементов И, выход источника импульсов опроса соединен со вторыми входами четвертого и пятого элементов И и через элемент задержки - со вторым входом шестого элемента И, связанного выходом с нулевыми входами индикаторов отказов, причем второй вход седьмого элемента и подключен к выходу первого мажоритарного элемента, а выход к первому входу элемента ИЛИ, соединенного вторыми входами с выходами первого, второго и третьего элементов И.

На чертеже приведена блок-схема устройства.

Резервированное устройство содержит первый, второй и третий резервируемые блоки 1-3 (представляющие собой вычислительные машины), элемент 4 задержки, индикаторы 5-7 отказов, выполненные на триггерах исправности, элемент 8 НЕ, первый 9 и второй 10 мажоритарные элементы, первый 11, второй 12, третий 13, шестой 14, седьмой 15, пятый 16 и четвертый 17 элементы И, переключатель 18 режима, элемент ИЛИ 19 и источник 20 опроса импульсов.

Для индикации исправной работы каналов используется то обстоятельство, что цифровая вычислительная

машина по соответствующей программе выдает управляющие сигналы во внешние устройства строго по времени. Для этого в составе машины имеется устройство формирования временных интервалов, это же устройство может быть использовано для формирования импульсов опроса, период следования которых равен периоду выдачи управляющих сигналов. Перед выдачей управляющих сигналов во внешние устройства просчитывается контрольный тест с последующей выдачей сигнала прохождения теста каждого канала на соответствующие индикаторы отказов 5-7 каналов, состояния которых определяют режим работы устройства.

Резервированное устройство работает в двух решениях, нет отказов или отказ в одном резервируемом блоке (блок неисправен или произошел сбой) и отказ в двух блоках (два блока неисправны, одновременные неисправность и сбой или сбой в двух блоках).

При наличии отказа в одном резервируемом блоке (или при отсутствии отказа) сигналы прохождения контрольного теста с выходов блоков 1-3 поступают в единичные входы индикаторов 5-7 соответственно и устанавливают их в единичное состояние (при одном отказавшем блоке в единичное состояние не будет установлен соответствующий индикатор отказа). При этом на выходе элемента 10 появится сигнал, соответствующий исправности большинства (или всех) резервируемых блоков и разрешит работу элемента И 17, одновременно запретит работу элемента И 16. Сигнал от источника 20 поступает на входы элементов И 17, 16 и на вход элемент 4, при этом элемент И 17 срабатывает и сбросит (или подтвердит сброс) переключатель 18. Сигнал нулевого выхода переключателя 18 разрешит работу элементов И 14 и 15, одновременно сигнал единичного выхода этого переключателя запретит работу элементов И 11-13 и поступит в блоки 1-3, как сигнал исправности большинства (или всех) каналов.

Получив информацию об исправности, блоки 1-3 выдают код управляющего сигнала, который через элемент 9 (по большинству), элемент И 15 и элемент ИЛИ 19 поступает на выход устройства. Задержанный элементом 4 сигнал поступает на вход элемента И 14, а с выхода этого элемента - на нулевые входы индикаторов 5-7 и производит их сброс. Таким образом, устройство возвращается в исходное состояние.

В случае отказа в двух каналах сигнал прохождения контрольного теста

та поступает только из исправного канала, поэтому в единичное состояние установлен только один индикатор отказа (например 5) канала. Так как единичные выходы индикаторов 5-7 соединены со входами элементов И 11-13, соответственно, то на входе одного из элементов И (например на входе элемента И 11) появится разрешающий потенциал. На входе элемента 10 появится сигнал, соответствующий неисправности (два индикатора отказов 6 и 7 находится в состоянии соответствующему неисправности), который запретит работу элемента И 17 и разрешит работу элемента И 16.

По приходу сигнала от источника 20 элемент И 16 срабатывает и сигналом, поступающим на единичный выход переключателя 18, устанавливает его в единичное состояние. Сигнал с нулевого выхода переключателя 18 запрещает работу элементов И 14 и 15, тем самым запрещает сброс индикаторов 5-7 и блокирует работу элемента 9. С другой стороны сигнал с единичного выхода переключателя 18 поступает на входы элементов И 11-13 как разрешающий и одновременно поступает на входы каналов, где воспринимается как сигнал прерывания. Программа прерывания производит восстановление ячеек оперативной памяти отказавших каналов, повторный просчет контрольного теста, а при выходе из программы прерывания разрешается выдача кода управляющего сигнала во внешние устройства.

Так как выходы каналов соединены с входами элементов 11-13 соответственно, то код управляющего сигнала поступит на выход только через тот элемент И, работа которого разрешена индикатором отказа. (в примере через элемент И 11) и далее через элемент ИЛИ 19.

Если в результате прерывания были восстановлены отказавшие ранее каналы (или один канал), то код управляющего сигнала может поступить через все (или два) разрешенные элементы И 11-13 и элемент ИЛИ 19 на выход, так как в данном цикле выдачи управляющего сигнала переключатель 18 находится в единичном состоянии и блокирует работу элемента 9. Сброс переключателя 18 при восстановлении каналов произойдет в следующем цикле выдачи и работа устройства в мажоритарном режиме восстановится.

Таким образом, резервированное устройство позволяет восстанавливать мажоритарный режим работы после отказа двух резервируемых блоков и последующем самоустранении хотя бы

одного из отказов, а также лишнего недостатков известных устройств, не реагирующих на совпадающие по времени отказы в двух блоках. Кроме того, при резервировании цифровых вычислительных машин с помощью предлагаемого устройства возможно восстановление работоспособности при наличии отказов в трех каналах одновременно, но при условии, что хотя бы в одном из каналов был отказ, носящий характер сбоя. Поиск исправного канала при этом осуществляется программными средствами. Использование мажоритарного и логических элементов для управления переключением мажоритарного и одноканального режимов вместо счетного триггера с дифференцирующей цепочкой, предложенных в прототипе, значительно расширяет возможности резервированного устройства с точки зрения сохранения работоспособности.

Формула изобретения

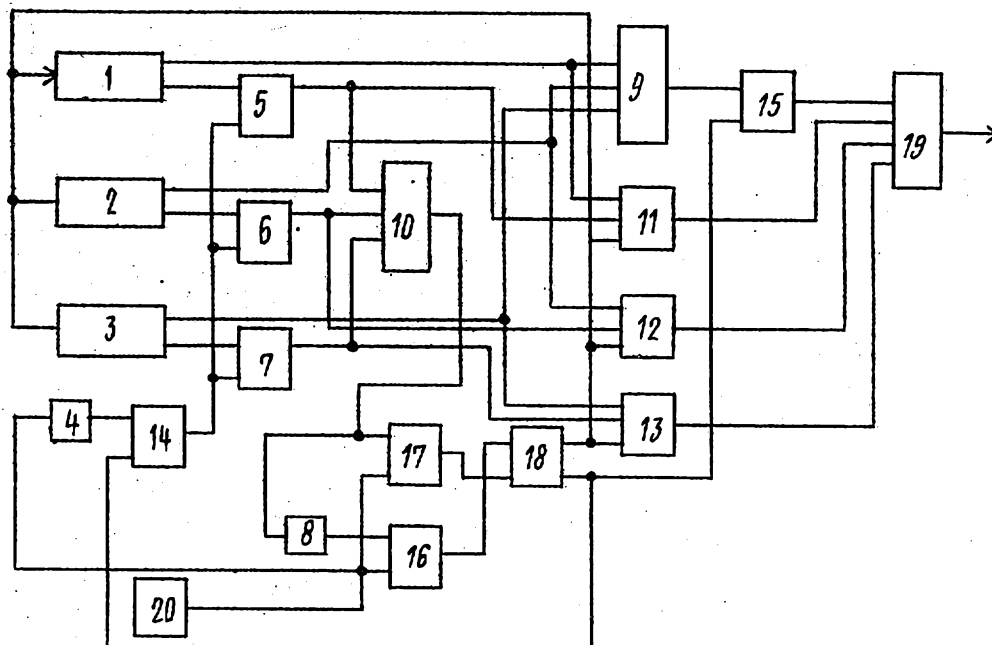
- 25 Резервированное устройство, содержащее индикаторы отказов, переключатель режима, элемент ИЛИ и первый, второй и третий резервируемые блоки, первые выходы которых соединенных
- 30 со входами первого мажоритарного элемента, отличающееся тем, что, с целью повышения надежности устройства, оно содержит семь элементов И, элемент НЕ, элемент задержки, источник импульсов
- 35 опроса и второй мажоритарный элемент, входы которого соединены с первыми входами первого, второго и третьего элементов И и с единичными выходами
- 40 соответствующих индикаторов отказов, а выход через четвертый элемент И - с нулевым входом переключателя режима и через элемент НЕ - с первым входом пятого элемента И, подключенного
- 45 выходом к единичному входу переключателя режима, нулевой выход которого соединен с первыми входами шестого и седьмого элементов И, а единичный выход - со вторыми
- 50 входами первого, второго и третьего элементов И и со входами резервируемых блоков, вторые выходы которых соединены с единичными входами индикаторов отказов, а первые выходы - с
- 55 третьими входами первого, второго и третьего элементов И, выход источника импульсов опроса соединен со вторыми входами четвертого и пятого элементов И и через элемент задержки - со вторым входом шестого
- 60 элемента И, связанного выходом с нулевыми входами индикаторов отказов, причем второй вход седьмого элемента И подключен к выходу первого мажоритарного элемента, а выход - к
- 65 первому входу элемента ИЛИ, соединенного

вторыми входами с выходами первого, второго и третьего элементов И.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 413484, кл. G 06 F 11/20, 1971.

2. Авторское свидетельство СССР № 411455, кл. G 06 F 11/20, 1972.



Редактор М. Товтин	Составитель В. Максимов Техред К. Мыццо	Корректор С. Шекмар
Заказ 9713/69	Тираж 731	Подписное
ВНИИПИ Государственного комитета СССР по делам изобретений и открытий 113035, Москва, Ж-35, Раушская наб., д. 4/5		
Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4		