

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 3 月 3 日(03.03.2016)



(10) 国際公開番号
WO 2016/031014 A1

- (51) 国際特許分類:
H01L 21/8238 (2006.01) *H01L 27/092* (2006.01)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2014/072563
- (22) 国際出願日: 2014 年 8 月 28 日(28.08.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): ユニ
サントイス エレクトロニクス シンガポール
プライベート リミテッド(UNISANTIS ELEC-
TRONICS SINGAPORE PTE. LTD.) [SG/SG]; 179098
ノースブリッジロード 111、ペニンシュラ
プラザ #16-04 Singapore (SG).
- (72) 発明者; および
- (73) 出願人(米国についてのみ): 舩岡 富士雄(MAS-
UOKA Fujio) [JP/JP]; 〒1020072 東京都千代田区飯
田橋 1-12-13 いずみ九段ビル5F S
emicon Consulting株式会社
Tokyo (JP). 中村 広記(NAKAMURA Hiroki)
[JP/JP]; 〒1020072 東京都千代田区飯田橋 1-1
2-13 いずみ九段ビル5F Semic o

n Consulting株式会社内 Tokyo
(JP).

- (74) 代理人: 辻居 幸一, 外(TSUJII Koichi et al.); 〒
1008355 東京都千代田区丸の内 3 丁目 3 番 1 号
新東京ビル 中村合同特許法律事務所 Tokyo
(JP).

- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー
ラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び、半導体装置の製造方法

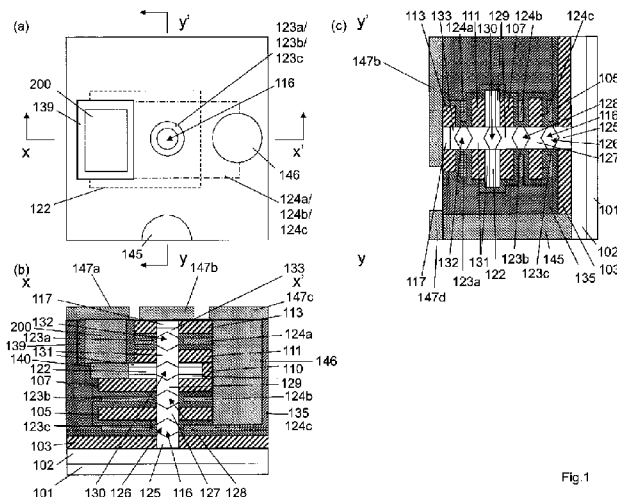


Fig. 1

(57) Abstract: This invention addresses the problem of providing a highly integrated semiconductor device. The above problem is solved by a semiconductor device characterized in being provided with a first columnar semiconductor layer formed on a semiconductor substrate, a first first-conductivity-type electroconductive semiconductor layer formed in the first columnar semiconductor layer, a third first-conductivity-type semiconductor layer located at a position higher than the first first-conductivity-type semiconductor layer formed in the first columnar semiconductor layer; a first gate insulation film formed around the first columnar semiconductor layer in a region flanked by the first first-conductivity-type semiconductor layer and the third first-conductivity-type semiconductor layer; a first gate formed around the first gate insulation film; a second gate insulation film formed around the first columnar semiconductor layer in a region flanked by the first first-conductivity-type semiconductor layer and the third first-conductivity-type semiconductor layer; and a second gate formed around the second gate insulation film, the first gate and the second gate being connected.

(57) 要約:

[続葉有]

WO 2016/031014 A1



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, 添付公開書類:

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, KM, ML, MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

高集積な半導体装置を提供することを課題とする。半導体基板上に形成された第 1 の柱状半導体層と、前記第 1 の柱状半導体層に形成された第 1 の第 1 導電型半導体層と、前記第 1 の柱状半導体層に形成された前記第 1 の第 1 導電型半導体層より高い位置にある第 3 の第 1 導電型半導体層と、前記第 1 の第 1 導電型半導体層と第 3 の第 1 導電型半導体層とに挟まれた領域の前記第 1 の柱状半導体層の周囲に形成された第 1 のゲート絶縁膜と、前記第 1 のゲート絶縁膜の周囲に形成された第 1 のゲートと、前記第 1 の第 1 導電型半導体層と第 3 の第 1 導電型半導体層とに挟まれた領域の前記第 1 の柱状半導体層の周囲に形成された第 2 のゲート絶縁膜と、前記第 2 のゲート絶縁膜の周囲に形成された第 2 のゲートと、前記第 1 のゲートと前記第 2 のゲートは接続されていることを特徴とする半導体装置により、上記課題を解決する。

明 細 書

発明の名称：半導体装置、及び、半導体装置の製造方法

技術分野

[0001] 本発明は半導体装置、及び、半導体装置の製造方法に関する。

背景技術

[0002] 半導体集積回路、特にMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられているMOSトランジスタはナノ領域まで微細化が進んでいる。このようなMOSトランジスタの微細化が進むと、リーク電流の抑制が困難であり、必要な電流量確保の要請から回路の占有面積をなかなか小さくできない、といった問題があった。このような問題を解決するために、基板に対してソース、ゲート、ドレインが垂直方向に配置され、ゲート電極が柱状半導体層を取り囲む構造のSurrounding Gate Transistor（以下、「SGT」という。）が提案されている（例えば、特許文献1、特許文献2、特許文献3を参照）。

[0003] 従来のSGTを用いたインバータでは、一本のシリコン柱に一個のトランジスタが形成され、1本のシリコン柱からなるnMOSトランジスタと1本のシリコン柱からなるpMOSトランジスタが平面上に形成されている（例えば特許文献4を参照）。少なくとも2本のシリコン柱が平面上に形成されているため、少なくとも2本のシリコン柱分の面積が必要となる。

[0004] 従来の不揮発性メモリにおいて、一本のシリコン柱に複数のゲートが形成されている（例えば特許文献5を参照）。シリコン柱の側壁にゲート絶縁膜が形成され、シリコン柱の上部端と下部端でソース線、ビット線が接続されている。

先行技術文献

特許文献

[0005] 特許文献1：特開平2－71556号公報

特許文献2：特開平2－188966号公報

特許文献3：特開平3－145761号公報

特許文献4：特開2008－300558号公報

特許文献5：特開2014－57068号公報

発明の概要

発明が解決しようとする課題

[0006] そこで、高集積な半導体装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の半導体装置は、半導体基板上に形成された第1の柱状半導体層と、前記第1の柱状半導体層に形成された第1の第1導電型半導体層と、前記第1の柱状半導体層に形成された前記第1の第1導電型半導体層より高い位置にある第3の第1導電型半導体層と、前記第1の第1導電型半導体層と第3の第1導電型半導体層とに挟まれた領域の前記第1の柱状半導体層の周囲に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜の周囲に形成された第1のゲートと、前記第1の第1導電型半導体層と第3の第1導電型半導体層とに挟まれた領域の前記第1の柱状半導体層の周囲に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜の周囲に形成された第2のゲートと、前記第1のゲートと前記第2のゲートは接続されていることを特徴とする。

[0008] また、前記半導体基板上に形成された第4の第1導電型半導体層と、前記半導体基板上に形成された前記第1の柱状半導体層であって、前記第1の第1導電型半導体層と第1のボディ領域、第2の第1導電型半導体層、第2のボディ領域、前記第3の第1導電型半導体層、第1の第2導電型半導体層、第2のボディ領域、第2の第2導電型半導体層、第3の第2導電型半導体層が基板側からこの順に形成された前記第1の柱状半導体層と、前記第1のボディ領域の周囲に形成された前記第1のゲート絶縁膜と、前記第1のゲート絶縁膜の周囲に形成された前記第1のゲートと、前記第2のボディ領域の周囲に形成された前記第2のゲート絶縁膜と、前記第2のゲート絶縁膜の周囲に形成された前記第2のゲートと、前記第3のボディ領域の周囲に形成された

第3のゲート絶縁膜と、前記第3のゲート絶縁膜の周囲に形成された第3のゲートと、前記第3の第1導電型半導体層と前記第1の第2導電型半導体層とに接続する出力端子と、前記第1のゲートと前記第2のゲートと前記第3のゲートとを接続する第1のコンタクトと、を有することを特徴とする。

[0009] また、前記出力端子は半導体であって、前記出力端子にさらに形成された前記第3の第1導電型半導体層と前記第1の第2導電型半導体層とを有することを特徴とする。

[0010] また、前記第1のゲート絶縁膜は前記第1のゲートの上面と下面にさらに形成され、前記第2のゲート絶縁膜は前記第2のゲートの上面と下面にさらに形成され、前記第3のゲート絶縁膜は前記第3のゲートの上面と下面にさらに形成されていることを特徴とする。

[0011] また、前記第3の第1導電型半導体層と前記第1の第2導電型半導体層との間に形成された第1の接続領域を有することを特徴とする。

[0012] また、前記第1の第1導電型半導体層を取り囲む第1の絶縁膜と、前記第2の第1導電型半導体層を取り囲む第2の絶縁膜と、前記第3の第1導電型半導体層を取り囲む第3の絶縁膜と、を有し、前記第1の絶縁膜は、前記第1の第1導電型半導体層の不純物と同じ不純物を有し、前記第2の絶縁膜は、前記第2の第1導電型半導体層の不純物と同じ不純物を有し、前記第3の絶縁膜は、前記第3の第1導電型半導体層の不純物と同じ不純物を有し、前記第1の第2導電型半導体層を取り囲む第4の絶縁膜と、前記第2の第2導電型半導体層を取り囲む第5の絶縁膜とを有し、前記第4の絶縁膜は、前記第1の第2導電型半導体層の不純物と同じ不純物を有し、前記第5の絶縁膜は、前記第2の第2導電型半導体層の不純物と同じ不純物を有することを特徴とする。

[0013] また、本発明の半導体装置の製造方法は、第4の第1導電型半導体層が形成された基板上に、第1の導電型の不純物を含む酸化膜である第1の絶縁膜を堆積し、窒化膜である第6の絶縁膜を堆積し、第1の導電型の不純物を含む酸化膜である第2の絶縁膜を堆積し、窒化膜である第7の絶縁膜を堆積し

、第1の導電型の不純物を含む酸化膜である第3の絶縁膜を堆積し、前記第1の絶縁膜、第6の絶縁膜、第2の絶縁膜、第7の絶縁膜をエッチングしコンタクト孔を形成し、前記コンタクト孔にエピタキシャル成長により第1の柱状シリコン層を形成し、前記第6の絶縁膜と前記第7の絶縁膜を除去し、第1のゲートと第2のゲートを形成し、前記第1のゲートと前記第2のゲートを接続するコンタクトを形成することを特徴とする。

[0014] また、前記コンタクト孔にエピタキシャル成長により第1の柱状シリコン層を形成した後に、熱処理を行うことにより、第1の柱状シリコン層に第1の第1導電型半導体層と第2の第1導電型半導体層と第3の第1導電型半導体層とを形成することを特徴とする。

発明の効果

[0015] 本発明によれば、高集積な半導体装置を提供することを提供することができる。

[0016] 半導体基板上に形成された第1の柱状半導体層と、前記第1の柱状半導体層に形成された第1の第1導電型半導体層と、前記第1の柱状半導体層に形成された前記第1の第1導電型半導体層より高い位置にある第3の第1導電型半導体層と、前記第1の第1導電型半導体層と第3の第1導電型半導体層とに挟まれた領域の前記第1の柱状半導体層の周囲に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜の周囲に形成された第1のゲートと、前記第1の第1導電型半導体層と第3の第1導電型半導体層とに挟まれた領域の前記第1の柱状半導体層の周囲に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜の周囲に形成された第2のゲートと、前記第1のゲートと前記第2のゲートは接続されていることを特徴とすることにより、ゲート長が二倍の半導体装置を実現することができる。ゲート長が長いゲートを実現しようとする、ゲート長分の高さのリセス領域を埋めるため、原子層堆積で金属を厚く堆積しなければならず、原子層堆積は原子層毎に堆積するため堆積時間が長くなり、製造時間が増大する。一方、本発明は、それぞれのゲートのためのリセス領域の高さを押さえることができるため、原子

層堆積で金属を薄く堆積することがき、原子層堆積の堆積時間を短くすることができ、製造時間を減少できる。

[0017] また、前記半導体基板上に形成された第4の第1導電型半導体層と、前記半導体基板上に形成された前記第1の柱状半導体層であって、前記第1の第1導電型半導体層と第1のボディ領域、第2の第1導電型半導体層、第2のボディ領域、前記第3の第1導電型半導体層、第1の第2導電型半導体層、第2のボディ領域、第2の第2導電型半導体層、第3の第2導電型半導体層が基板側からこの順に形成された前記第1の柱状半導体層と、前記第1のボディ領域の周囲に形成された前記第1のゲート絶縁膜と、前記第1のゲート絶縁膜の周囲に形成された前記第1のゲートと、前記第2のボディ領域の周囲に形成された前記第2のゲート絶縁膜と、前記第2のゲート絶縁膜の周囲に形成された前記第2のゲートと、前記第3のボディ領域の周囲に形成された第3のゲート絶縁膜と、前記第3のゲート絶縁膜の周囲に形成された第3のゲートと、前記第3の第1導電型半導体層と前記第1の第2導電型半導体層とに接続する出力端子と、前記第1のゲートと前記第2のゲートと前記第3のゲートとを接続する第1のコンタクトと、を有することを特徴とすることにより、一本の半導体柱で形成されたインバータが形成されるため、1本の半導体柱分の面積でインバータを実現することができる。また、第1導電型をn型、第2導電型をp型とすると、第1のゲートと第2のゲートからなるn型トランジスタの電流量と、第3のゲートからなるp型トランジスタの電流量を等しくすることができ、回路しきい値を電源電圧の半分とすることができる。

[0018] また、出力端子を半導体、例えばシリコンで形成すると、窒化膜を除去するときに使用する熱燐酸によりシリコンはエッチングされないため、第1のゲートと第2のゲートと第3のゲートを同時に形成することができる。また、出力端子をシリサイド化することができる。

[0019] また、前記第1のゲート絶縁膜は前記第1のゲートの上面と下面にさらに形成され、前記第2のゲート絶縁膜は前記第2のゲートの上面と下面にさら

に形成され、前記第3のゲート絶縁膜は前記第3のゲートの上面と下面にさらに形成されていることにより、第1のゲートの上下方向の絶縁と、第2のゲートの上下方向の絶縁と、第3のゲートの上下方向の絶縁を確かなものとすることができる。

[0020] また、前記第3の第1導電型半導体層と前記第1の第2導電型半導体層との間に形成された第1の接続領域を有することにより、第3の第1導電型半導体層と第1の第2導電型半導体層とを分離することができ、接続領域に延在する第3の第1導電型半導体層と第1の第2導電型半導体層と出力端子を接続することができる。

[0021] また、前記第1の第1導電型半導体層を取り囲む第1の絶縁膜と、前記第2の第1導電型半導体層を取り囲む第2の絶縁膜と、前記第3の第1導電型半導体層を取り囲む第3の絶縁膜と、を有し、前記第1の絶縁膜は、前記第1の第1導電型半導体層の不純物と同じ不純物を有し、前記第2の絶縁膜は、前記第2の第1導電型半導体層の不純物と同じ不純物を有し、前記第3の絶縁膜は、前記第3の第1導電型半導体層の不純物と同じ不純物を有し、前記第1の第2導電型半導体層を取り囲む第4の絶縁膜と、前記第2の第2導電型半導体層を取り囲む第5の絶縁膜とを有し、前記第4の絶縁膜は、前記第1の第2導電型半導体層の不純物と同じ不純物を有し、前記第5の絶縁膜は、前記第2の第2導電型半導体層の不純物と同じ不純物を有することを特徴とすることにより、固相拡散により、一本の柱状半導体層に異なる導電型の半導体層を形成することができる。

図面の簡単な説明

[0022] [図1] (a) は本発明に係る半導体装置の平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図2] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図3] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図4] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図5] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図6] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図7] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図8] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図9] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図10] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図11] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は(a)の $x-x'$ 線での断面図である。(c) は(a)の $y-y'$ 線での断面図である。

[図12] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(

b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図13] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図14] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図15] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図16] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図17] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図18] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図19] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図20] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図21] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線

での断面図である。

[図22] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図23] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図24] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図25] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図26] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図27] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図28] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図29] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図30] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図31] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図32] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図33] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図34] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図35] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図36] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図37] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図38] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図39] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図40] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(

b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図41] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図42] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図43] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図44] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図45] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図46] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図47] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図48] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図49] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線

での断面図である。

[図50] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図51] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図52] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図53] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図54] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図55] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図56] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図57] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図58] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図59] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

[図60] (a) は本発明に係る半導体装置の製造方法に係る平面図である。(b) は (a) の $x-x'$ 線での断面図である。(c) は (a) の $y-y'$ 線での断面図である。

発明を実施するための形態

[0023] 以下に、本発明の実施形態について説明する。本発明の実施形態に係る半導体装置の構造を図1に示す。本実施例では、半導体をシリコンとしたが、シリコン以外の半導体としてもよい。

[0024] シリコン基板101上に形成された第1の柱状シリコン層116と、前記第1の柱状シリコン層116に形成された第1の第1導電型シリコン層125と、前記第1の柱状シリコン層116に形成された前記第1の第1導電型シリコン層125より高い位置にある第3の第1導電型シリコン層129と、前記第1の第1導電型シリコン層125と第3の第1導電型シリコン層129とに挟まれた領域の前記第1の柱状シリコン層116の周囲に形成された第1のゲート絶縁膜123cと、前記第1のゲート絶縁膜123cの周囲に形成された第1のゲート124cと、前記第1の第1導電型シリコン層125と第3の第1導電型シリコン層129とに挟まれた領域の前記第1の柱状シリコン層116の周囲に形成された第2のゲート絶縁膜123bと、前記第2のゲート絶縁膜123bの周囲に形成された第2のゲート124bと、前記第1のゲート124cと前記第2のゲート124bは接続されていることを特徴とする。

[0025] 前記シリコン基板101上に形成された第4の第1導電型シリコン層102と、前記シリコン基板101上に形成された前記第1の柱状シリコン層116であって、前記第1の第1導電型シリコン層125と第1のボディ領域126、第2の第1導電型シリコン層127、第2のボディ領域128、前記第3の第1導電型シリコン層129、第1の第2導電型シリコン層131

、第3のボディ領域132、第2の第2導電型シリコン層133、第3の第2導電型シリコン層117が基板側からこの順に形成された前記第1の柱状シリコン層116と、前記第1のボディ領域126の周囲に形成された前記第1のゲート絶縁膜123cと、前記第1のゲート絶縁膜123cの周囲に形成された前記第1のゲート124cと、前記第2のボディ領域128の周囲に形成された前記第2のゲート絶縁膜123bと、前記第2のゲート絶縁膜123bの周囲に形成された前記第2のゲート124bと、前記第3のボディ領域132の周囲に形成された第3のゲート絶縁膜123aと、前記第3のゲート絶縁膜132aの周囲に形成された第3のゲート124aと、前記第3の第1導電型シリコン層129と前記第1の第2導電型シリコン層131とに接続する出力端子122と、前記第1のゲート124cと前記第2のゲート124bと前記第3のゲート124aとを接続する第1のコンタクト146と、を有することを特徴とする。

[0026] 前記出力端子122はシリコンであって、前記出力端子122にさらに形成された前記第3の第1導電型シリコン層129と前記第1の第2導電型シリコン層131とを有することを特徴とする。

[0027] また、出力端子122には、シリサイド140が形成され、前記第3の第1導電型シリコン層129と前記第1の第2導電型シリコン層131とが接続される。コンタクトにより、前記第3の第1導電型シリコン層129と前記第1の第2導電型シリコン層131とを接続してもよい。

[0028] 第1のゲート124cと第2のゲート124bと第3のゲート124aは、トランジスタのしきい値を調整するため、金属であることが好ましい。また、金属は、窒化チタン、窒化アルミチタンが好ましい。また、第1のゲート絶縁膜123cと第2のゲート絶縁膜123bと第3のゲート絶縁膜123aは、酸化膜、酸窒化膜、高誘電体膜が好ましい。

[0029] 前記第1のゲート絶縁膜123cは前記第1のゲート124cの上面と下面にさらに形成され、前記第2のゲート絶縁膜123bは前記第2のゲート124bの上面と下面にさらに形成され、前記第3のゲート絶縁膜123a

は前記第3のゲート124aの上面と下面にさらに形成されていることを特徴とする。

[0030] 前記第3の第1導電型シリコン層129と前記第1の第2導電型シリコン層131との間に形成された第1の接続領域130を有することを特徴とする。

[0031] また、前記第1の第1導電型シリコン層125を取り囲む第1の絶縁膜103と、前記第2の第1導電型シリコン層127を取り囲む第2の絶縁膜105と、前記第3の第1導電型シリコン層129を取り囲む第3の絶縁膜107と、を有し、前記第1の絶縁膜103は、前記第1の第1導電型シリコン層125の不純物と同じ不純物を有し、前記第2の絶縁膜105は、前記第2の第1導電型シリコン層127の不純物と同じ不純物を有し、前記第3の絶縁膜107は、前記第3の第1導電型シリコン層129の不純物と同じ不純物を有し、前記第1の第2導電型シリコン層131を取り囲む第4の絶縁膜111と、前記第2の第2導電型シリコン層133を取り囲む第5の絶縁膜113とを有し、前記第4の絶縁膜111は、前記第1の第2導電型シリコン層131の不純物と同じ不純物を有し、前記第5の絶縁膜113は、前記第2の第2導電型シリコン層133の不純物と同じ不純物を有することを特徴とする。

[0032] 下部のトランジスタがnMOSの場合、第1の絶縁膜103と第2の絶縁膜105と第3の絶縁膜107は、リンもしくは砒素を高濃度に含む酸化膜が好ましい。上部のトランジスタがpMOSの場合、第4の絶縁膜111と第5の絶縁膜113は、ボロンを高濃度に含む酸化膜が好ましい。下部のトランジスタがpMOSの場合、第1の絶縁膜103と第2の絶縁膜105と第3の絶縁膜107は、ボロンを高濃度に含む酸化膜が好ましい。上部のトランジスタがnMOSの場合、第4の絶縁膜111と前記第5の絶縁膜113は、リンもしくは砒素を高濃度に含む酸化膜が好ましい。また、本実施例では、下部に2個のnMOSを直列に配置し、上部に1個のpMOSを配置したが、下部に1個のpMOSを配置し、上部に2個のnMOSを直列に配

置してもよい。また、n MOSを複数直列に配置してもよい。また、p MOSを複数直列に配置してもよい。

[0033] 本発明の実施形態に係るSGTの構造を形成するための製造工程を、図2～図60を参照して説明する。本実施例では、基板にシリコンを使用したか、他の半導体を用いてもよい。また、本実施例では、柱状半導体層の下部にn MOSを、上部にp MOSを形成する工程としたが、下部にp MOSを、上部にn MOSを形成してもよい。

[0034] 図2に示すように、シリコン基板101に不純物を導入し、第4の第1導電型シリコン層102を形成する。

[0035] 図3に示すように、第1の絶縁膜103を形成する。第1の絶縁膜103は、酸化膜が好ましい。リンもしくは砒素を高濃度に含む酸化膜が好ましい。また、第1の絶縁膜103を形成後、不純物を注入し、リンもしくは砒素を高濃度に含む酸化膜としてもよい。

[0036] 図4に示すように、第6の絶縁膜104を形成する。第6の絶縁膜104は窒化膜が好ましい。

[0037] 図5に示すように、第2の絶縁膜105を形成する。第2の絶縁膜105は、酸化膜が好ましい。リンもしくは砒素を高濃度に含む酸化膜が好ましい。また、第2の絶縁膜105を形成後、不純物を注入し、リンもしくは砒素を高濃度に含む酸化膜としてもよい。

[0038] 図6に示すように、第7の絶縁膜106を形成する。第7の絶縁膜106は窒化膜が好ましい。

[0039] 図7に示すように、第3の絶縁膜107を形成する。第3の絶縁膜107は、酸化膜が好ましい。リンもしくは砒素を高濃度に含む酸化膜が好ましい。また、第3の絶縁膜107を形成後、不純物を注入し、リンもしくは砒素を高濃度に含む酸化膜としてもよい。

[0040] 図8に示すように、第8の絶縁膜108を形成する。第8の絶縁膜108は窒化膜が好ましい。

[0041] 図9に示すように、第1のレジスト109を形成する。

- [0042] 図10に示すように、第8の絶縁膜108をエッチングする。
- [0043] 図11に示すように、第1のレジスト109を除去する。
- [0044] 図12に示すように、第9の絶縁膜110を形成し、平坦化する。第9の絶縁膜110は酸化膜が好ましい。
- [0045] 図13に示すように、第9の絶縁膜110をエッチバックし、第8の絶縁膜108を露出する。
- [0046] 図14に示すように、第4の絶縁膜111を形成する。第4の絶縁膜111は、酸化膜が好ましい。ボロンを高濃度を含む酸化膜が好ましい。また、第4の絶縁膜111を形成後、不純物を注入し、ボロンを高濃度を含む酸化膜としてもよい。
- [0047] 図15に示すように、第10の絶縁膜112を形成する。第10の絶縁膜112は窒化膜が好ましい。
- [0048] 図16に示すように、第5の絶縁膜113を形成する。第5の絶縁膜113は、酸化膜が好ましい。ボロンを高濃度を含む酸化膜が好ましい。また、第5の絶縁膜113を形成後、不純物を注入し、ボロンを高濃度を含む酸化膜としてもよい。
- [0049] 図17に示すように、第2のレジスト114を形成する。
- [0050] 図18に示すように、第5の絶縁膜113、第10の絶縁膜112、第4の絶縁膜111、第8の絶縁膜108、第3の絶縁膜107、第7の絶縁膜106、第2の絶縁膜105、第6の絶縁膜104、第1の絶縁膜103をエッチングし、コンタクト孔115を形成する。
- [0051] 図19に示すように、第2のレジスト114を除去する。
- [0052] 図20に示すように、エピタキシャル成長を行い、第1の柱状シリコン層116を形成する。ポリシリコンを堆積してもよい。
- [0053] 図21に示すように、ボロンの不純物導入を行い、第3の第2導電型シリコン層117を形成する。
- [0054] 図22に示すように、ポリシリコン118を堆積する。ポリシリコンを用いたが、ハードマスクとなる材料であればよい。

- [0055] 図23に示すように、第11の絶縁膜119を堆積する。第11の絶縁膜119は、酸化膜が好ましい。
- [0056] 図24に示すように、第3のレジスト120を形成する。
- [0057] 図25に示すように、第11の絶縁膜119、ポリシリコン118、第5の絶縁膜113、第10の絶縁膜112、第4の絶縁膜111エッチングする。
- [0058] 図26に示すように、第3のレジスト120を除去する。
- [0059] 図27に示すように、第12の絶縁膜121を堆積する。第12の絶縁膜121は、酸化膜が好ましい。
- [0060] 図28に示すように、第12の絶縁膜121をエッチングし、サイドウォール状に残存させる。
- [0061] 図29に示すように、第8の絶縁膜108を除去する。熱燐酸によるウェットエッチングが好ましい。また、ドライエッチングを用いてもよい。
- [0062] 図30に示すように、シリコンのエピタキシャル成長を行うことにより出力端子122を形成する。ポリシリコンを用いてもよい。
- [0063] 図31に示すように、シリコンエッチングを行うことにより、出力端子122の余分な部分を除去する。シリコンエッチングは、ドライエッチングが好ましい。
- [0064] 図32に示すように、第9の絶縁膜110、第3の絶縁膜107、第7の絶縁膜106、第2の絶縁膜105、をエッチングする。ドライエッチングが好ましい。同時に、第11の絶縁膜119、第12の絶縁膜121もエッチングされる。
- [0065] 図33に示すように、第12の絶縁膜121を除去する。ウェットエッチングといった等方性エッチングが好ましい。
- [0066] 図34に示すように、第10の絶縁膜112、第7の絶縁膜106、第6の絶縁膜104を除去する。熱燐酸によるウェットエッチングが好ましい。また、ドライエッチングを用いてもよい。また、出力端子がシリコンで形成されているため、窒化膜を除去するときに使用する熱燐酸によりシリコンは

エッチングされない。

[0067] 図35に示すように、ゲート絶縁膜123を形成する。ゲート絶縁膜123は、酸化膜、酸窒化膜、高誘電体膜が好ましい。

[0068] 図36に示すように、ゲートとなる金属124を形成する。金属124は、窒化チタン、窒化アルミチタンが好ましい。また、チタン、タンタル、タングステン、窒化タンタル、または上記の積層物を用いてもよい。それぞれのゲートのためのリセス領域の高さを押さえることができるため、原子層堆積で金属を薄く堆積することができ、原子層堆積の堆積時間を短くすることができ、製造時間を減少できる。

[0069] 図37に示すように、金属124をエッチングし、第1のゲート124c、第2のゲート124b、第3のゲート124aを形成する。このとき、ゲート絶縁膜123は、第1のゲート絶縁膜123c、第2のゲート絶縁膜123b、第3のゲート絶縁膜123aとなる。金属のエッチングは等方性エッチングが好ましい。また、

[0070] 図38に示すように、熱処理を行い、固相拡散により、第1の第1導電型シリコン層125と第2の第1導電型シリコン層127と第3の第1導電型シリコン層129と第1の第2導電型シリコン層131と第2の第2導電型シリコン層133が形成される。第1のゲート123c、第2のゲート123b、第3のゲート123a形成前に熱処理を行ってもよい。また、出力端子122に第3の第1導電型シリコン層129と第1の第2導電型シリコン層131が形成される。また、ポリシリコン118に拡散層134が形成される。

[0071] 図39に示すように、第1の層間絶縁膜135を形成する。

[0072] 図40に示すように、第1の層間絶縁膜135を平坦化し、エッチバックする。このとき、ゲート絶縁膜123上部、ポリシリコン118、第3の第2導電型シリコン層117上部を除去する。

[0073] 図41に示すように、第2の層間絶縁膜136を堆積する。

[0074] 図42に示すように、第4のレジスト137を形成する。

- [0075] 図43に示すように、第2の層間絶縁膜136、第1の層間絶縁膜135、第5の絶縁膜113、第3のゲート絶縁膜123a、第3のゲート124a、第3のゲート絶縁膜132a、第4の絶縁膜111をエッチングし、コンタクト孔138を形成する。
- [0076] 図44に示すように、第4のレジスト137を除去する。
- [0077] 図45に示すように、第13の絶縁膜139を堆積する。第13の絶縁膜139は、酸化膜もしくは窒化膜が好ましい。
- [0078] 図46に示すように、第13の絶縁膜139をエッチングし、サイドウォール状に残存させる。
- [0079] 図47に示すように、出力端子122にシリサイド140が形成され、前記第3の第1導電型シリコン層129と第1の第2導電型半導体層131とが接続される。
- [0080] 図48に示すように、金属を堆積し、コンタクト200を形成する。
- [0081] 図49に示すように、第5のレジスト141を形成する。
- [0082] 図50に示すように、第2の層間絶縁膜136、第1の層間絶縁膜135をエッチングし、コンタクト孔142を形成する。
- [0083] 図51に示すように、第5のレジスト141を除去する。
- [0084] 図52に示すように、第6のレジスト143を形成する。
- [0085] 図53に示すように、第2の層間絶縁膜136、第1の層間絶縁膜135、第5の絶縁膜113、第3のゲート絶縁膜123a、第3のゲート124a、第3のゲート絶縁膜132a、第4の絶縁膜111、第9の絶縁膜110、第3の絶縁膜107、第2のゲート絶縁膜123b、第2のゲート124b、第2のゲート絶縁膜123b、第2の絶縁膜105、第1のゲート絶縁膜123cをエッチングし、コンタクト孔144を形成する。
- [0086] 図54に示すように、第6のレジスト143を除去する。
- [0087] 図55に示すように、金属を堆積し、第1のコンタクト146、コンタクト145を形成する。
- [0088] 図56に示すように、第2の層間絶縁膜136をエッチングし、第3の第

2 導電型シリコン層 1 1 7 を露出する。

[0089] 図 5 7 に示すように、金属 1 4 7 を堆積する。

[0090] 図 5 8 に示すように、第 7 のレジスト 1 4 8、1 4 9、1 5 0、1 5 1 を形成する。

[0091] 図 5 9 に示すように、金属 1 4 7 をエッチングし、金属配線 1 4 7 a、1 4 7 b、1 4 7 c、1 4 7 d を形成する。

[0092] 図 6 0 に示すように、第 7 のレジスト 1 4 8、1 4 9、1 5 0、1 5 1 を除去する。

[0093] 以上により、本発明の半導体装置の製造方法が示された。

[0094] なお、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。

[0095] 例えば、上記実施例において、p 型（p⁺型を含む。）と n 型（n⁺型を含む。）とをそれぞれ反対の導電型とした半導体装置の製造方法、及び、それにより得られる半導体装置も当然に本発明の技術的範囲に含まれる。

符号の説明

- [0096] 1 0 1. シリコン基板
1 0 2. 第 4 の第 1 導電型シリコン層
1 0 3. 第 1 の絶縁膜
1 0 4. 第 6 の絶縁膜
1 0 5. 第 2 の絶縁膜
1 0 6. 第 7 の絶縁膜
1 0 7. 第 3 の絶縁膜
1 0 8. 第 8 の絶縁膜
1 0 9. 第 1 のレジスト
1 1 0. 第 9 の絶縁膜
1 1 1. 第 4 の絶縁膜

- 1 1 2. 第10の絶縁膜
- 1 1 3. 第5の絶縁膜
- 1 1 4. 第2のレジスト
- 1 1 5. コンタクト孔
- 1 1 6. 第1の柱状シリコン層
- 1 1 7. 第3の第2導電型シリコン層
- 1 1 8. ポリシリコン
- 1 1 9. 第11の絶縁膜
- 1 2 0. 第3のレジスト
- 1 2 1. 第12の絶縁膜
- 1 2 2. 出力端子
- 1 2 3. ゲート絶縁膜
- 1 2 3 a. 第3のゲート絶縁膜
- 1 2 3 b. 第2のゲート絶縁膜
- 1 2 3 c. 第1のゲート絶縁膜
- 1 2 4. 金属
- 1 2 4 a. 第3のゲート
- 1 2 4 b. 第2のゲート
- 1 2 4 c. 第1のゲート
- 1 2 5. 第1の第1導電型シリコン層
- 1 2 6. 第1のボディ領域
- 1 2 7. 第2の第1導電型シリコン層
- 1 2 8. 第2のボディ領域
- 1 2 9. 第3の第1導電型シリコン層
- 1 3 0. 第1の接続領域
- 1 3 1. 第1の第2導電型シリコン層
- 1 3 2. 第3のボディ領域
- 1 3 3. 第2の第2導電型シリコン層

- 1 3 4. 拡散層
- 1 3 5. 第1の層間絶縁膜
- 1 3 6. 第2の層間絶縁膜
- 1 3 7. 第4のレジスト
- 1 3 8. コンタクト孔
- 1 3 9. 第13の絶縁膜
- 1 4 0. シリサイド
- 1 4 1. 第5のレジスト
- 1 4 2. コンタクト孔
- 1 4 3. 第6のレジスト
- 1 4 4. コンタクト孔
- 1 4 5. コンタクト
- 1 4 6. 第1のコンタクト
- 1 4 7. 金属
- 1 4 7 a. 金属配線
- 1 4 7 b. 金属配線
- 1 4 7 c. 金属配線
- 1 4 7 d. 金属配線
- 1 4 8. 第7のレジスト
- 1 4 9. 第7のレジスト
- 1 5 0. 第7のレジスト
- 1 5 1. 第7のレジスト
- 2 0 0. コンタクト

請求の範囲

[請求項1]

半導体基板上に形成された第1の柱状半導体層と、
前記第1の柱状半導体層に形成された第1の第1導電型半導体層と、
、
前記第1の柱状半導体層に形成された前記第1の第1導電型半導体層より高い位置にある第3の第1導電型半導体層と、
前記第1の第1導電型半導体層と第3の第1導電型半導体層とに挟まれた領域の前記第1の柱状半導体層の周囲に形成された第1のゲート絶縁膜と、
前記第1のゲート絶縁膜の周囲に形成された第1のゲートと、
前記第1の第1導電型半導体層と第3の第1導電型半導体層とに挟まれた領域の前記第1の柱状半導体層の周囲に形成された第2のゲート絶縁膜と、
前記第2のゲート絶縁膜の周囲に形成された第2のゲートと、
前記第1のゲートと前記第2のゲートは接続されていることを特徴とする半導体装置。

[請求項2]

前記半導体基板上に形成された第4の第1導電型半導体層と、
前記半導体基板上に形成された前記第1の柱状半導体層であって、
前記第1の第1導電型半導体層と第1のボディ領域、第2の第1導電型半導体層、第2のボディ領域、前記第3の第1導電型半導体層、第1の第2導電型半導体層、第3のボディ領域、第2の第2導電型半導体層、第3の第2導電型半導体層が基板側からこの順に形成された前記第1の柱状半導体層と、
前記第1のボディ領域の周囲に形成された前記第1のゲート絶縁膜と、
、
前記第1のゲート絶縁膜の周囲に形成された前記第1のゲートと、
前記第2のボディ領域の周囲に形成された前記第2のゲート絶縁膜と、
、

前記第2のゲート絶縁膜の周囲に形成された前記第2のゲートと、
前記第3のボディ領域の周囲に形成された第3のゲート絶縁膜と、
前記第3のゲート絶縁膜の周囲に形成された第3のゲートと、
前記第3の第1導電型半導体層と前記第1の第2導電型半導体層と
に接続する出力端子と、

前記第1のゲートと前記第2のゲートと前記第3のゲートとを接続
する第1のコンタクトと、

を有することを特徴とする請求項1に記載の半導体装置。

[請求項3] 前記出力端子は半導体であって、前記出力端子にさらに形成された
前記第3の第1導電型半導体層と前記第1の第2導電型半導体層とを
有することを特徴とする請求項2に記載の半導体装置。

[請求項4] 前記第1のゲート絶縁膜は前記第1のゲートの上面と下面にさらに
形成され、前記第2のゲート絶縁膜は前記第2のゲートの上面と下面
にさらに形成され、前記第3のゲート絶縁膜は前記第3のゲートの上
面と下面にさらに形成されていることを特徴とする請求項2に記載の
半導体装置。

[請求項5] 前記第3の第1導電型半導体層と前記第1の第2導電型半導体層と
の間に形成された第1の接続領域を有することを特徴とする請求項2
に記載の半導体装置。

[請求項6] 前記第1の第1導電型半導体層を取り囲む第1の絶縁膜と、前記第
2の第1導電型半導体層を取り囲む第2の絶縁膜と、前記第3の第1
導電型半導体層を取り囲む第3の絶縁膜と、を有し、

前記第1の絶縁膜は、前記第1の第1導電型半導体層の不純物と同
じ不純物を有し、

前記第2の絶縁膜は、前記第2の第1導電型半導体層の不純物と同
じ不純物を有し、

前記第3の絶縁膜は、前記第3の第1導電型半導体層の不純物と同
じ不純物を有し、

前記第 1 の第 2 導電型半導体層を取り囲む第 4 の絶縁膜と、前記第 2 の第 2 導電型半導体層を取り囲む第 5 の絶縁膜とを有し、

前記第 4 の絶縁膜は、前記第 1 の第 2 導電型半導体層の不純物と同じ不純物を有し、

前記第 5 の絶縁膜は、前記第 2 の第 2 導電型半導体層の不純物と同じ不純物を有することを特徴とする請求項 2 に記載の半導体装置。

[請求項7]

第 4 の第 1 導電型半導体層が形成された基板上に、第 1 の導電型の不純物を含む酸化膜である第 1 の絶縁膜を堆積し、窒化膜である第 6 の絶縁膜を堆積し、第 1 の導電型の不純物を含む酸化膜である第 2 の絶縁膜を堆積し、窒化膜である第 7 の絶縁膜を堆積し、第 1 の導電型の不純物を含む酸化膜である第 3 の絶縁膜を堆積し、前記第 1 の絶縁膜、第 6 の絶縁膜、第 2 の絶縁膜、第 7 の絶縁膜をエッチングしコンタクト孔を形成し、前記コンタクト孔にエピタキシャル成長により第 1 の柱状シリコン層を形成し、前記第 6 の絶縁膜と前記第 7 の絶縁膜を除去し、第 1 のゲートと第 2 のゲートを形成し、前記第 1 のゲートと前記第 2 のゲートを接続するコンタクトを形成することを特徴とする半導体装置の製造方法。

[請求項8]

前記コンタクト孔にエピタキシャル成長により第 1 の柱状シリコン層を形成した後に、熱処理を行うことにより、第 1 の柱状シリコン層に第 1 の第 1 導電型半導体層と第 2 の第 1 導電型半導体層と第 3 の第 1 導電型半導体層とを形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

[図1]

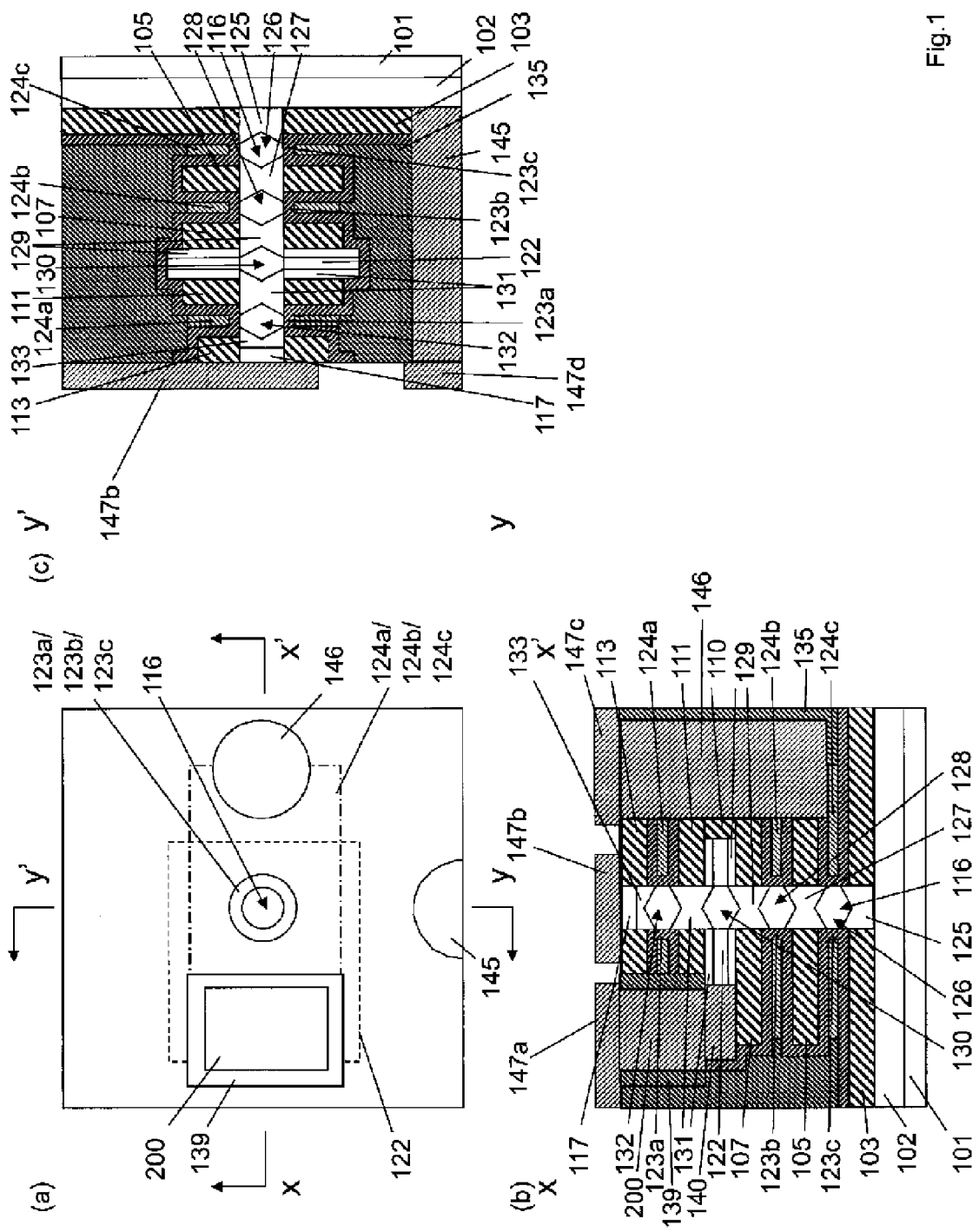


Fig.1

[図2]

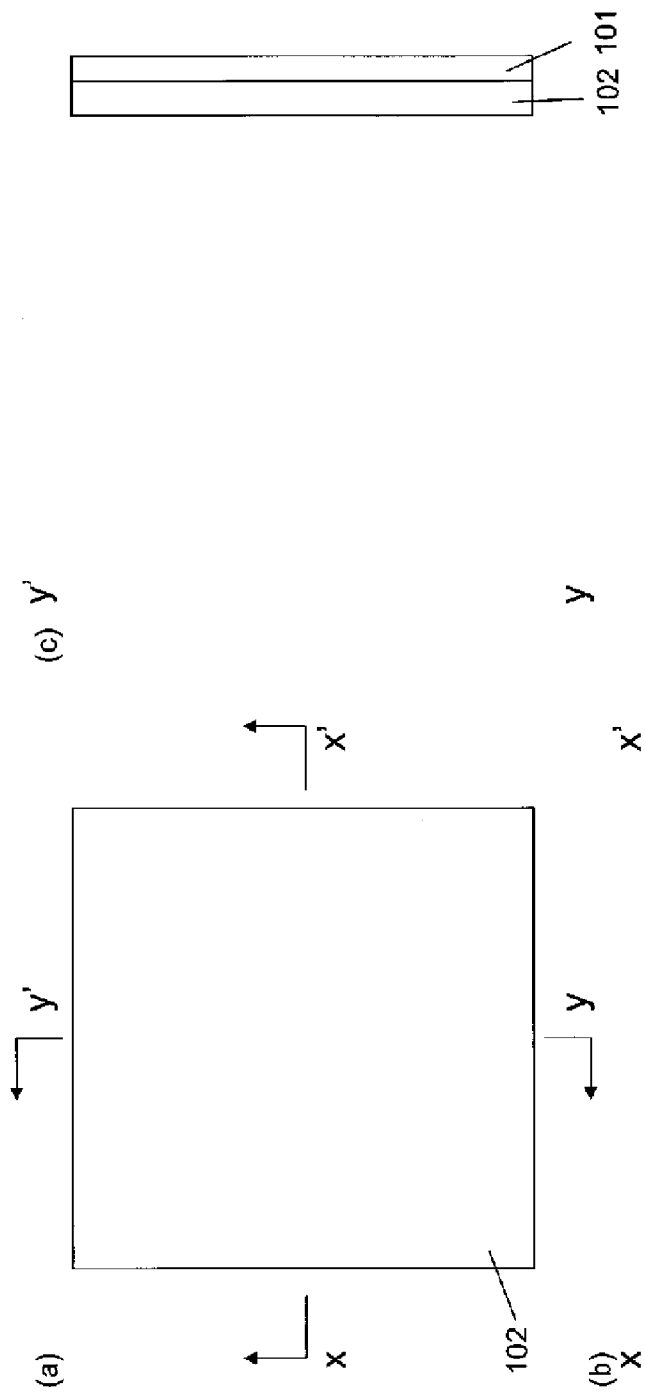
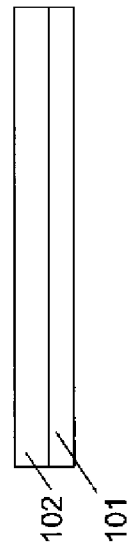


Fig.2



[図3]

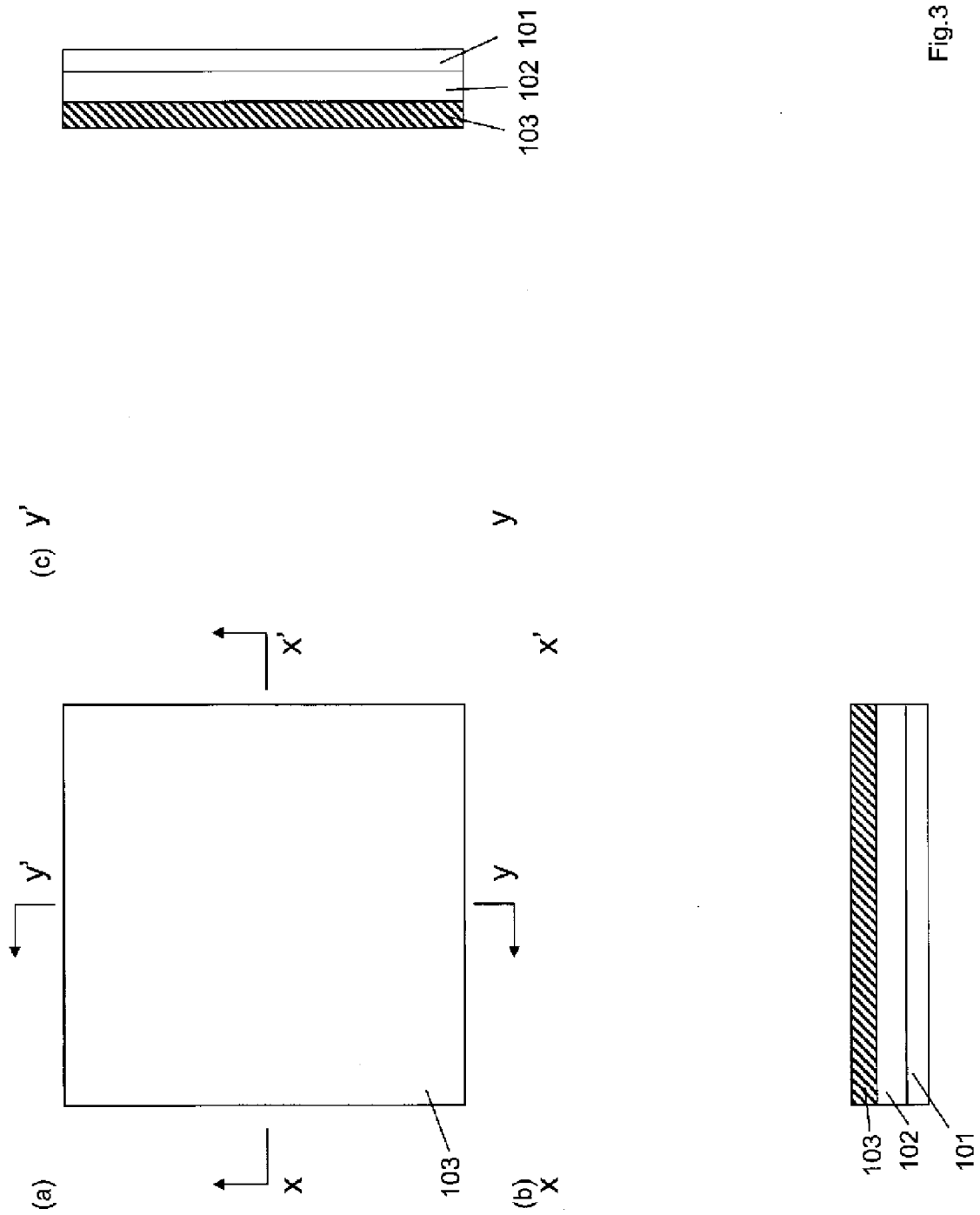


Fig.3

[図4]

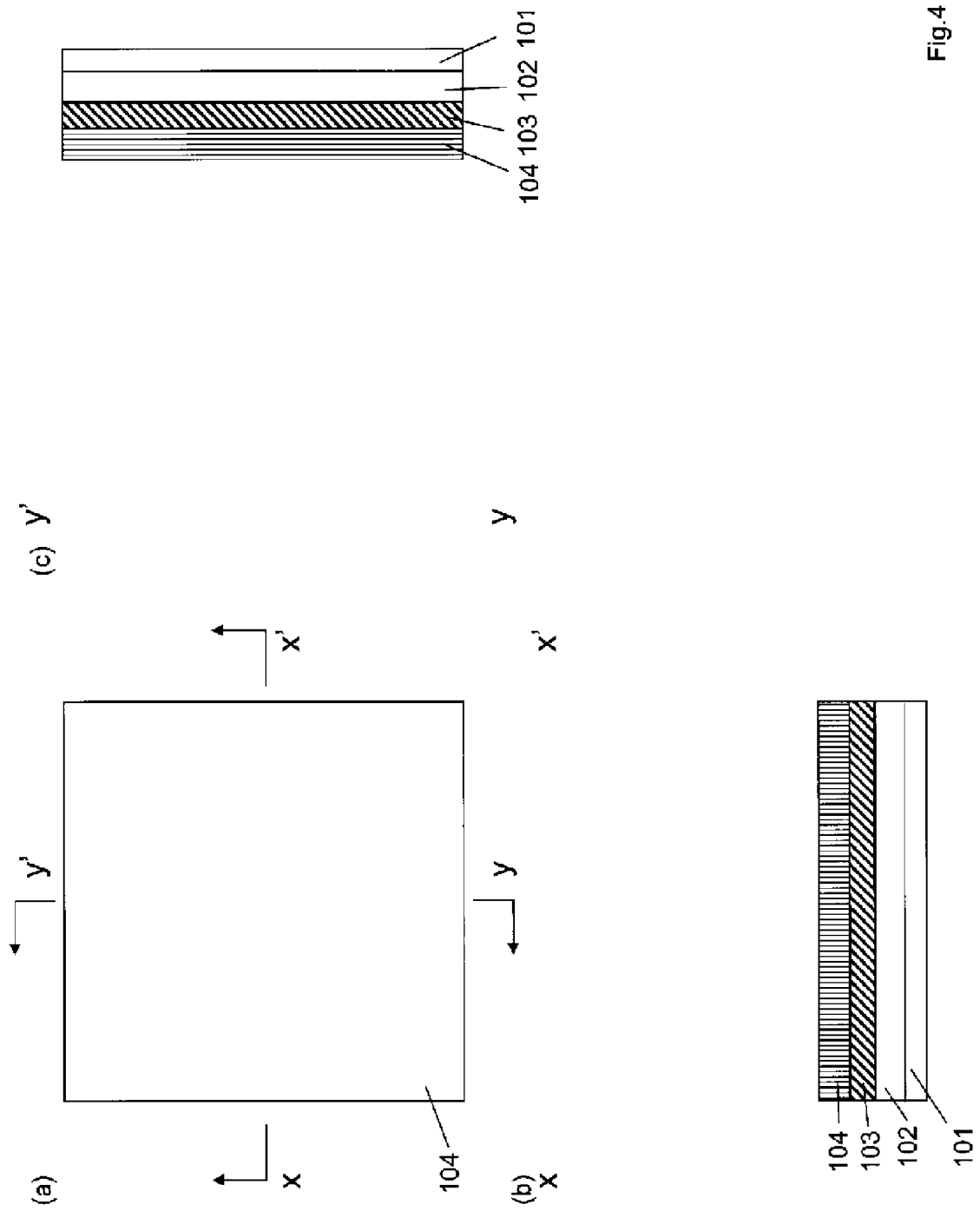


Fig.4

[図5]

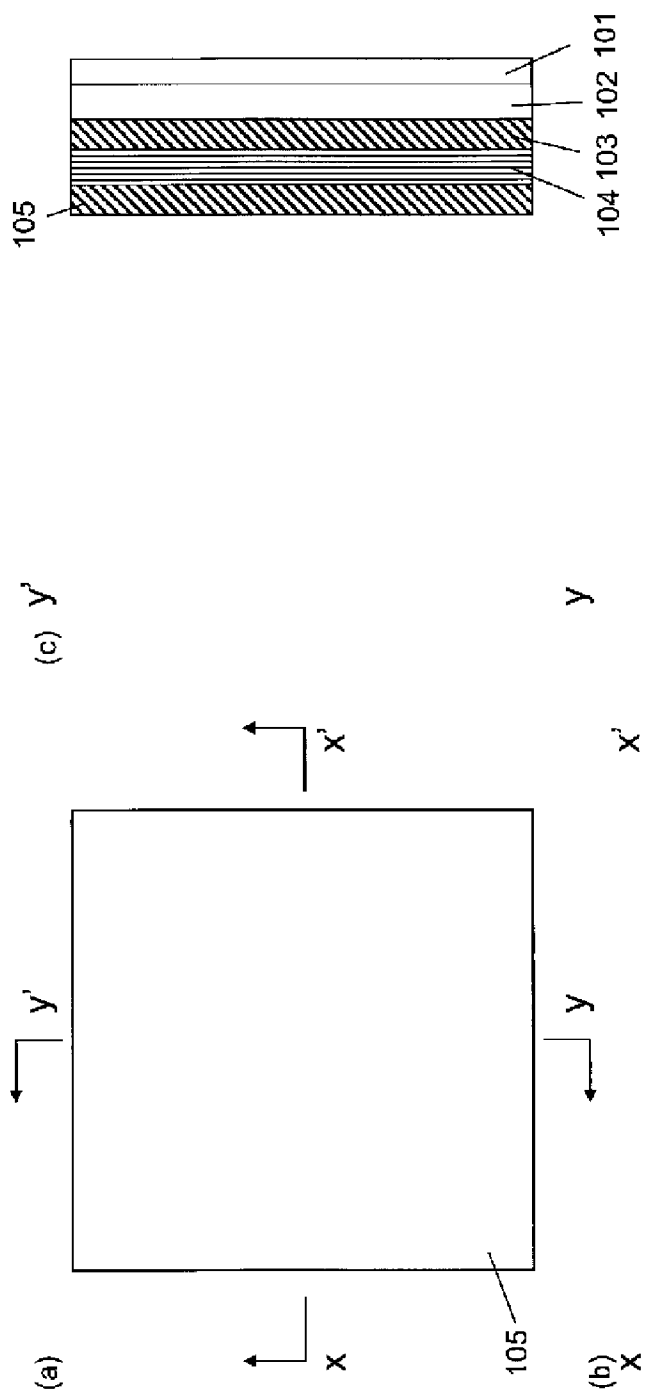
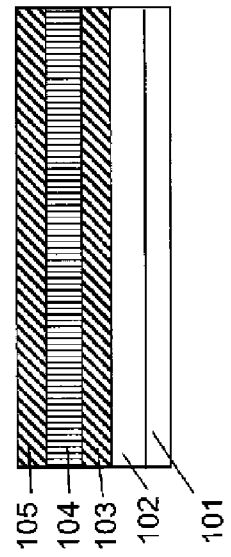


Fig.5



[図6]

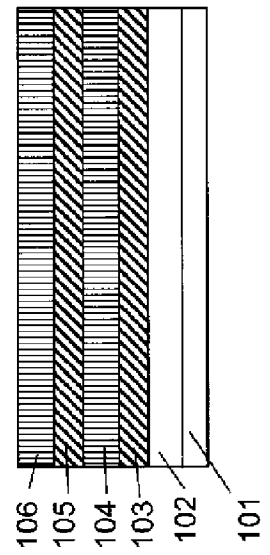
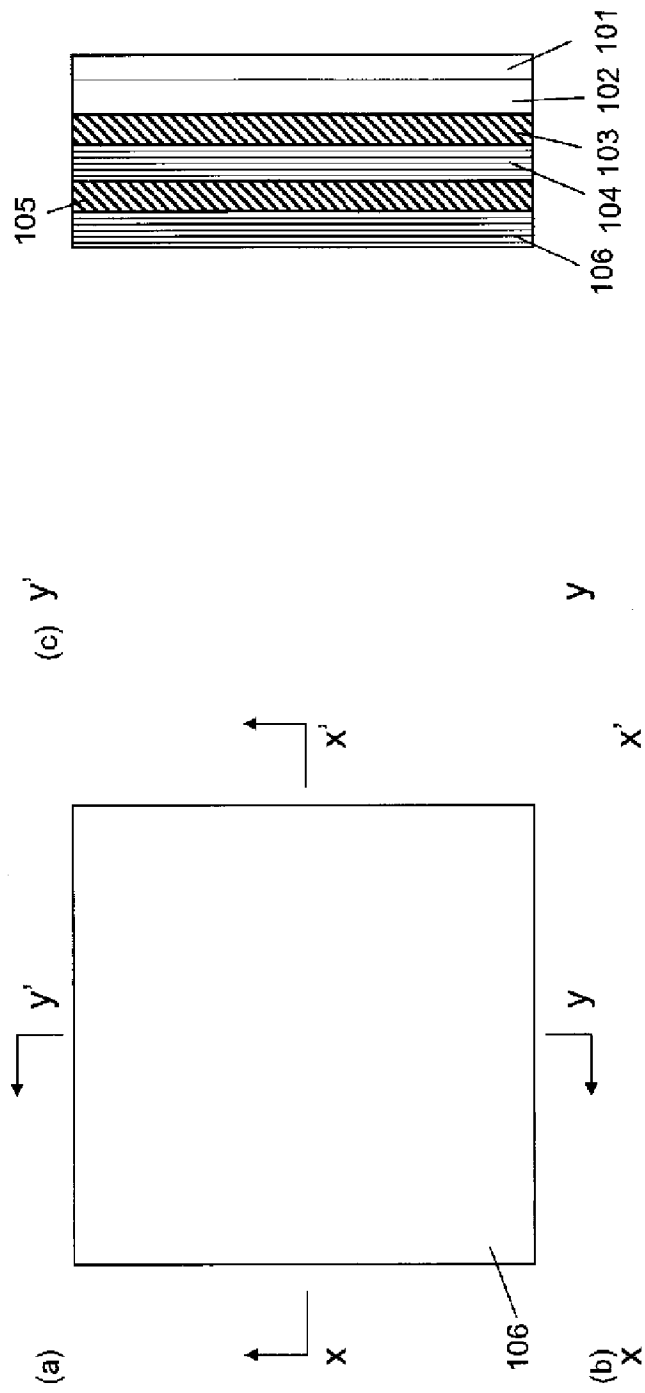


Fig. 6

[図7]

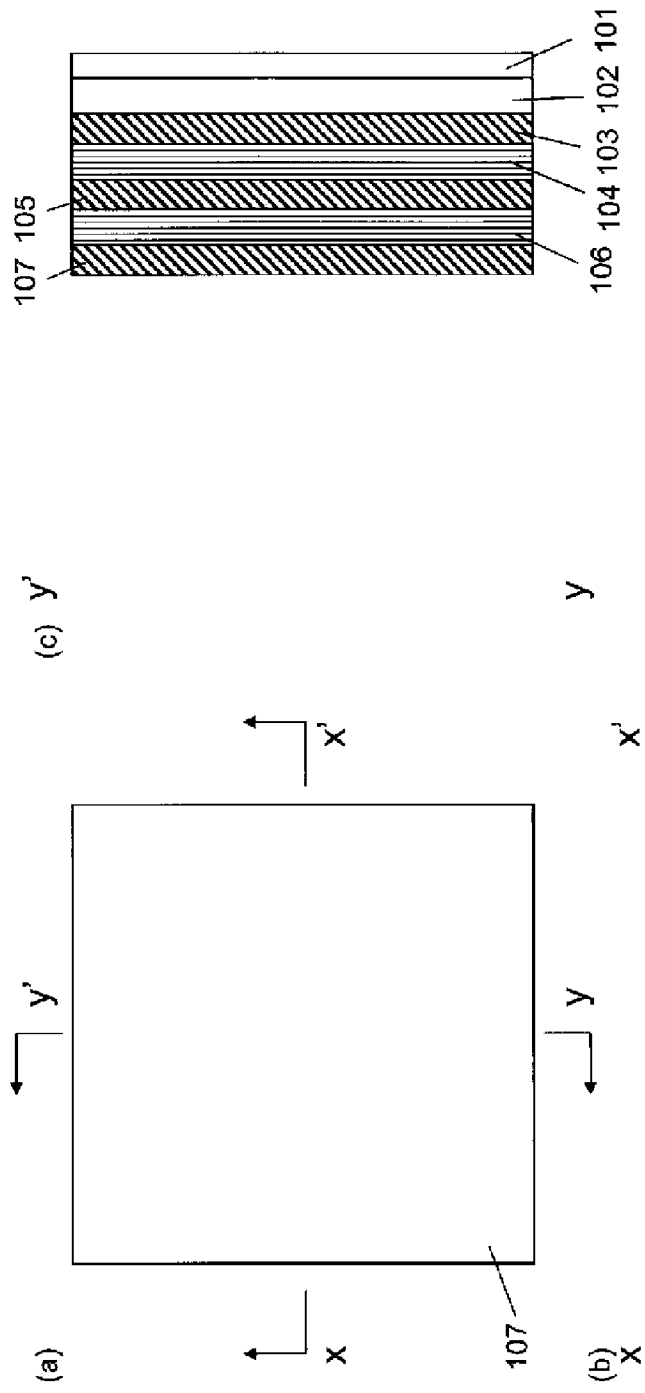
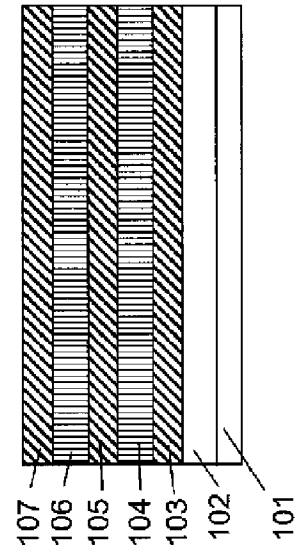


Fig. 7



[図8]

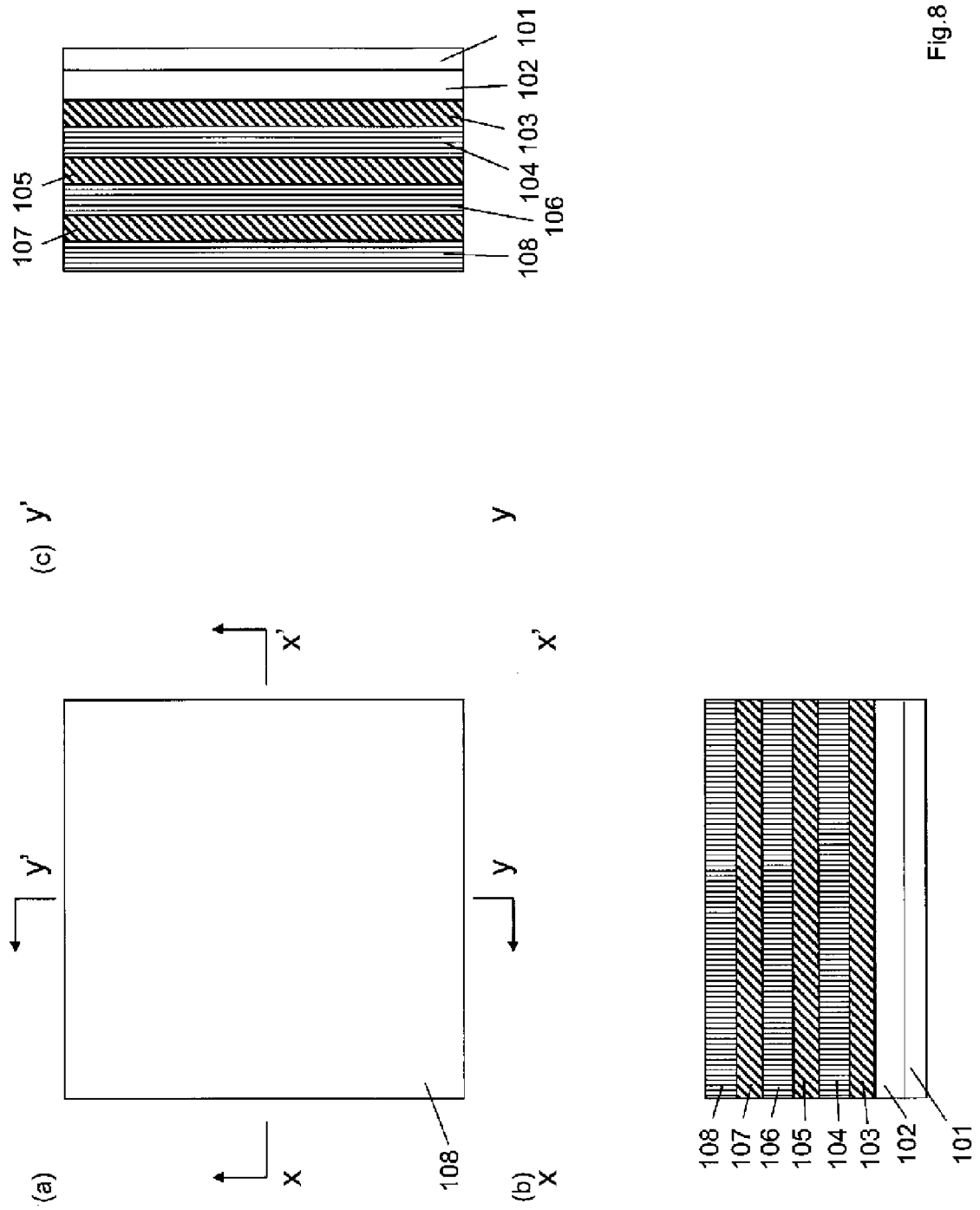


Fig.8

[図9]

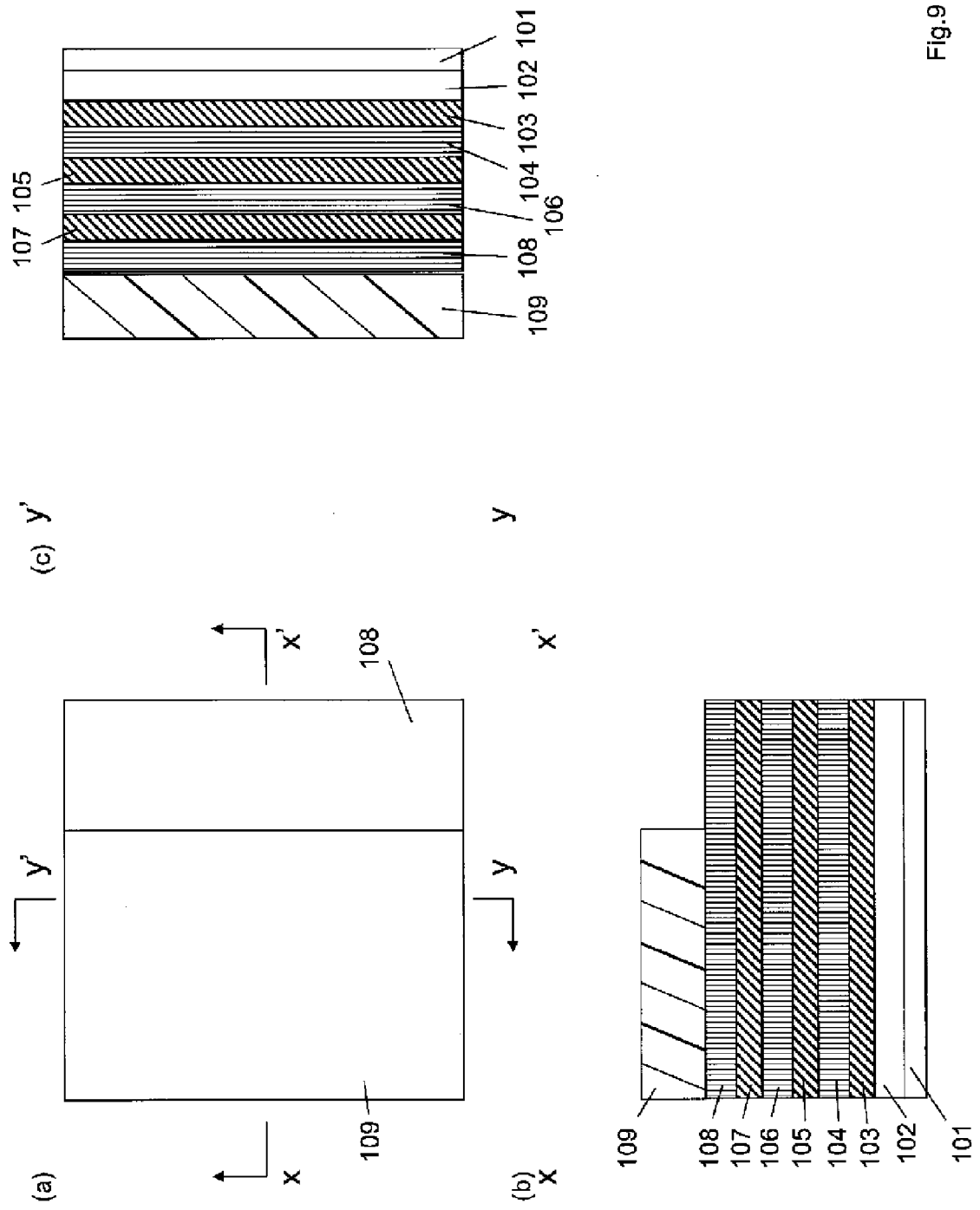


Fig.9

[図10]

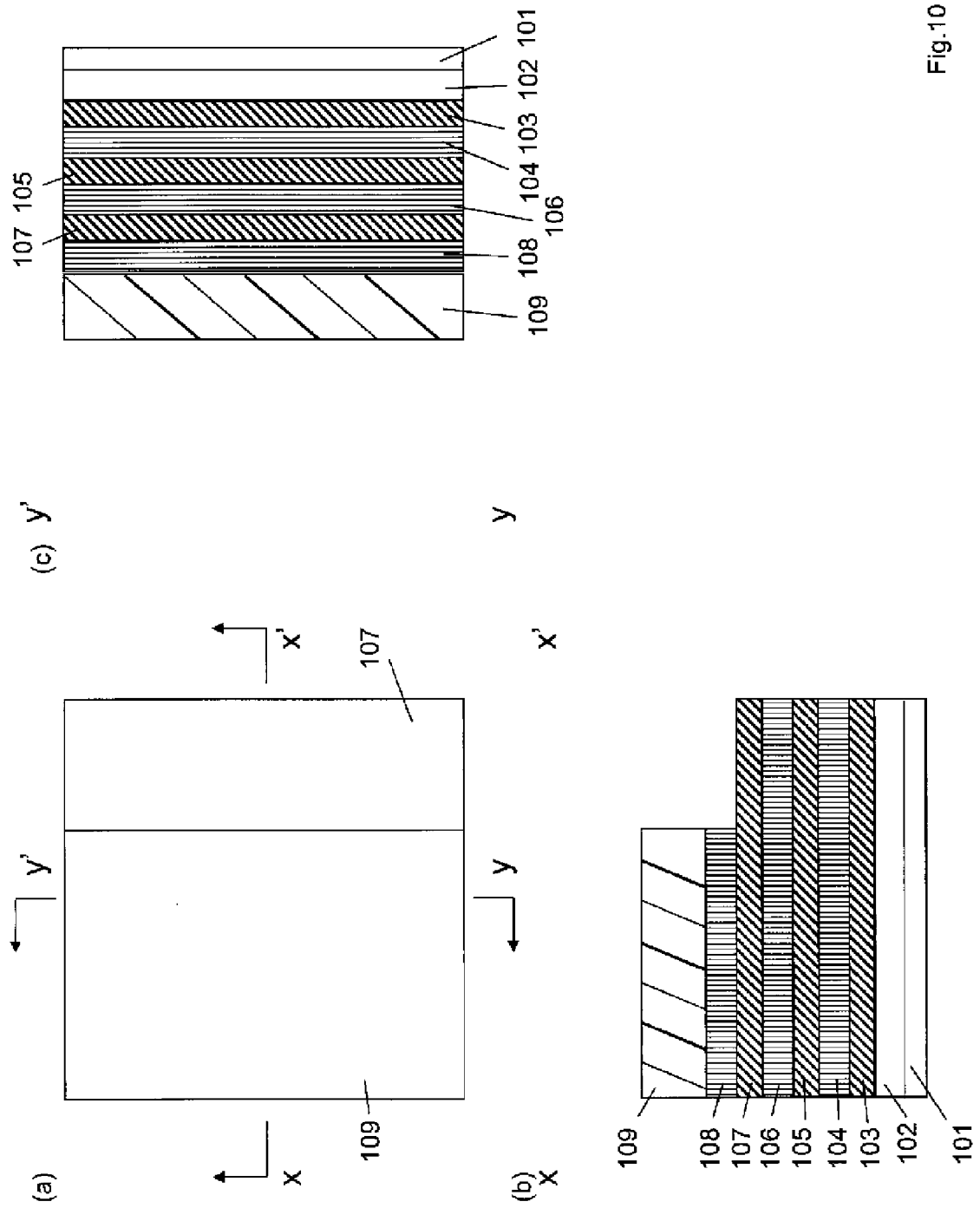


Fig.10

[図11]

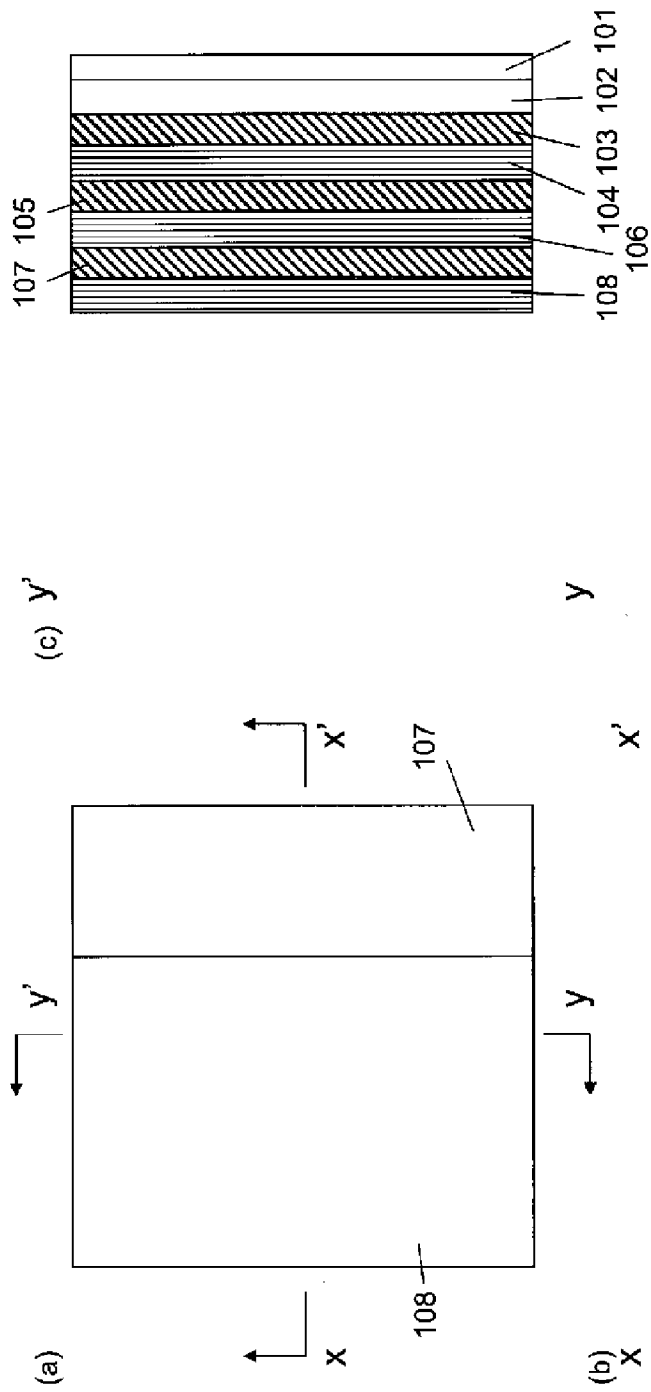
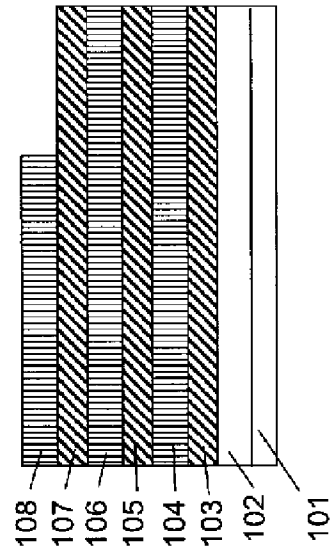


Fig.11



[図12]

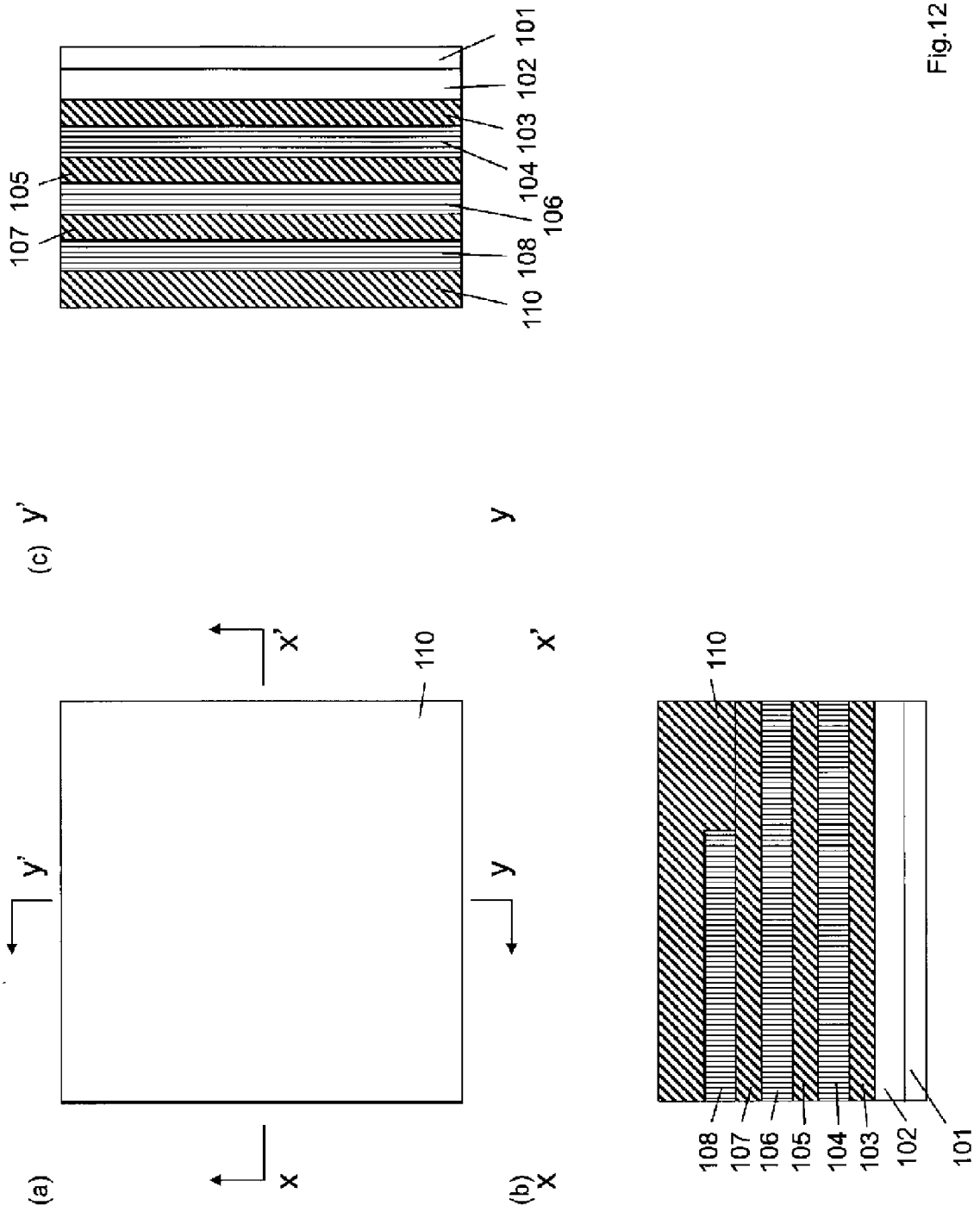


Fig.12

[図13]

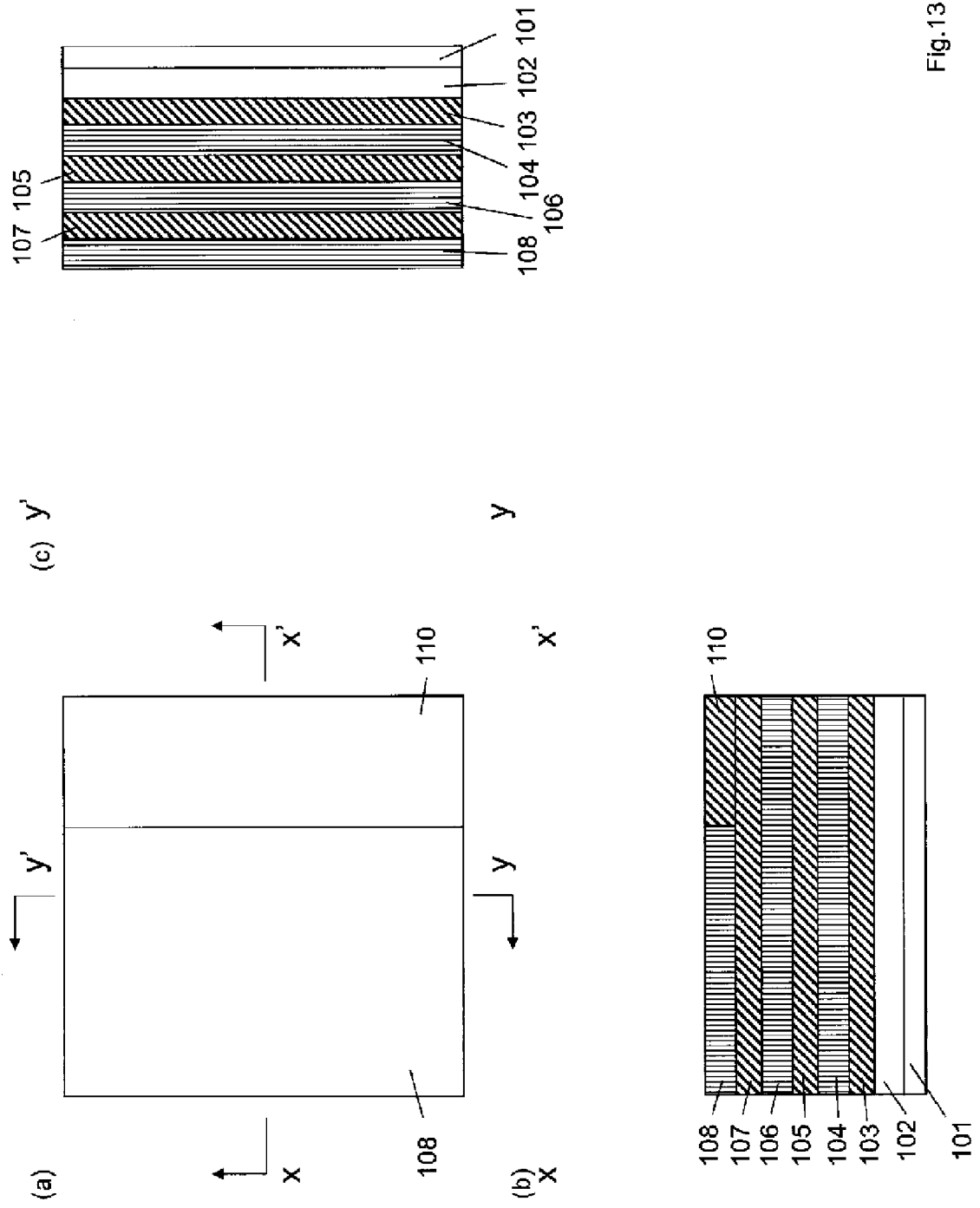


Fig.13

[図14]

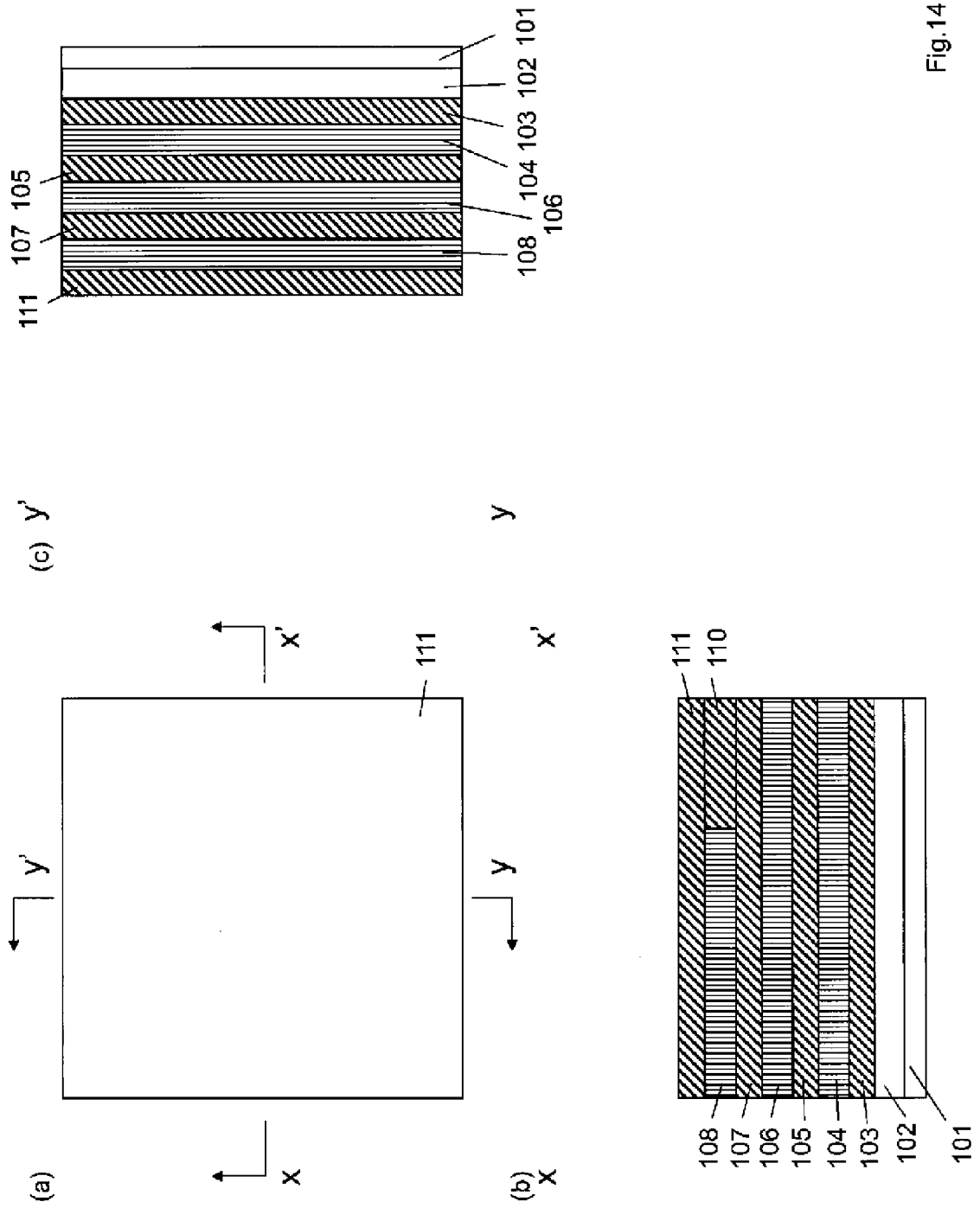


Fig.14

[図15]

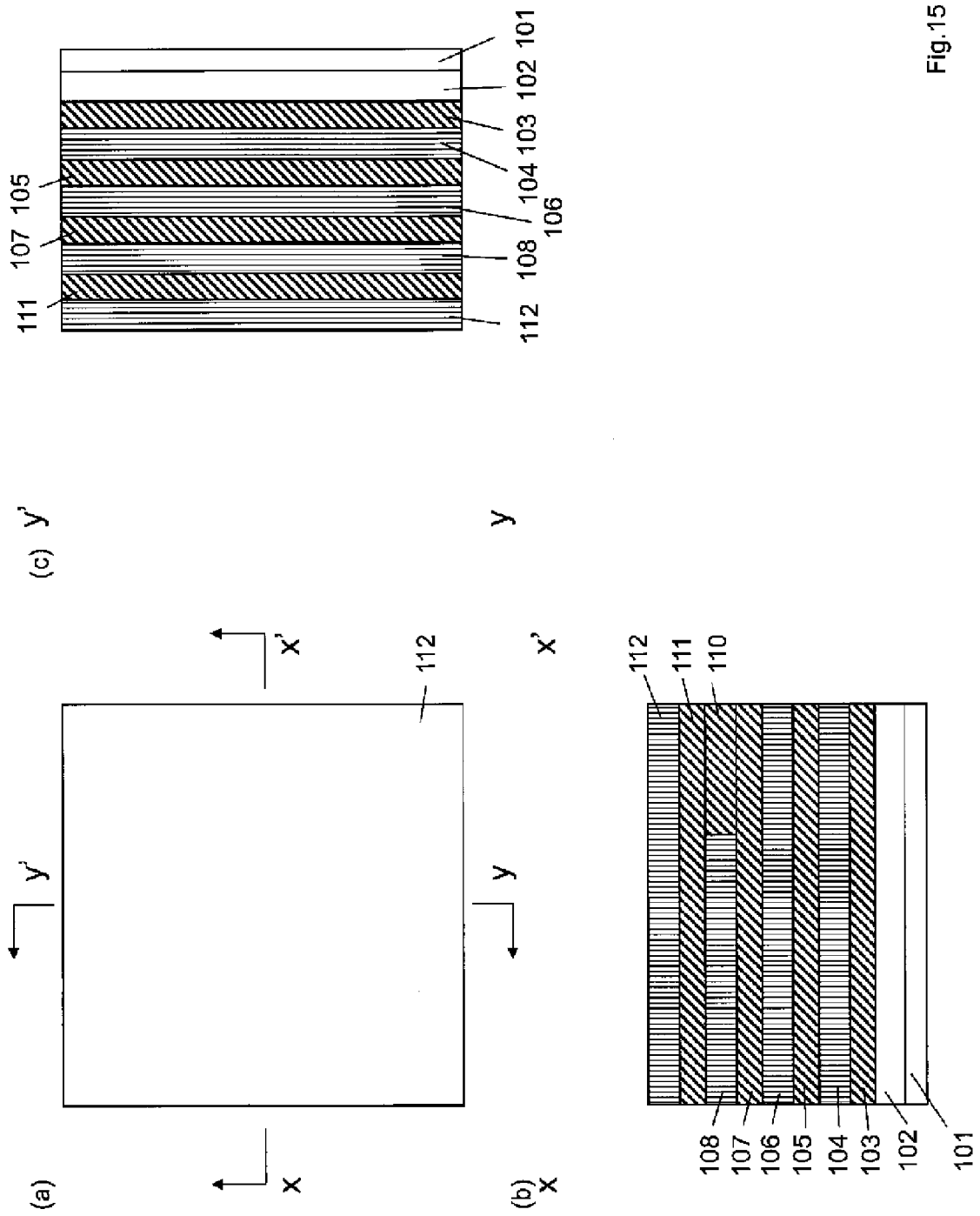


Fig.15

[図16]

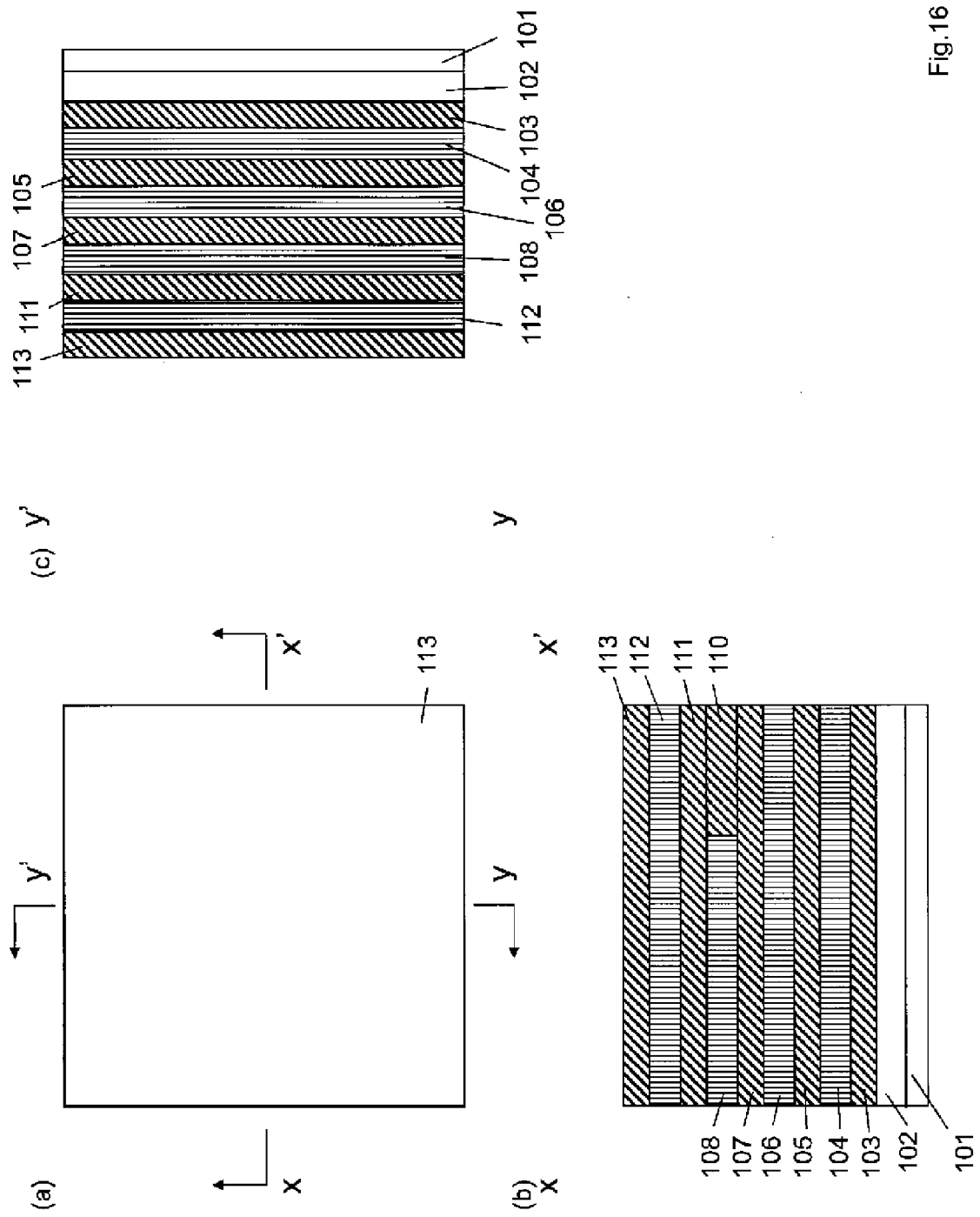


Fig.16

[図17]

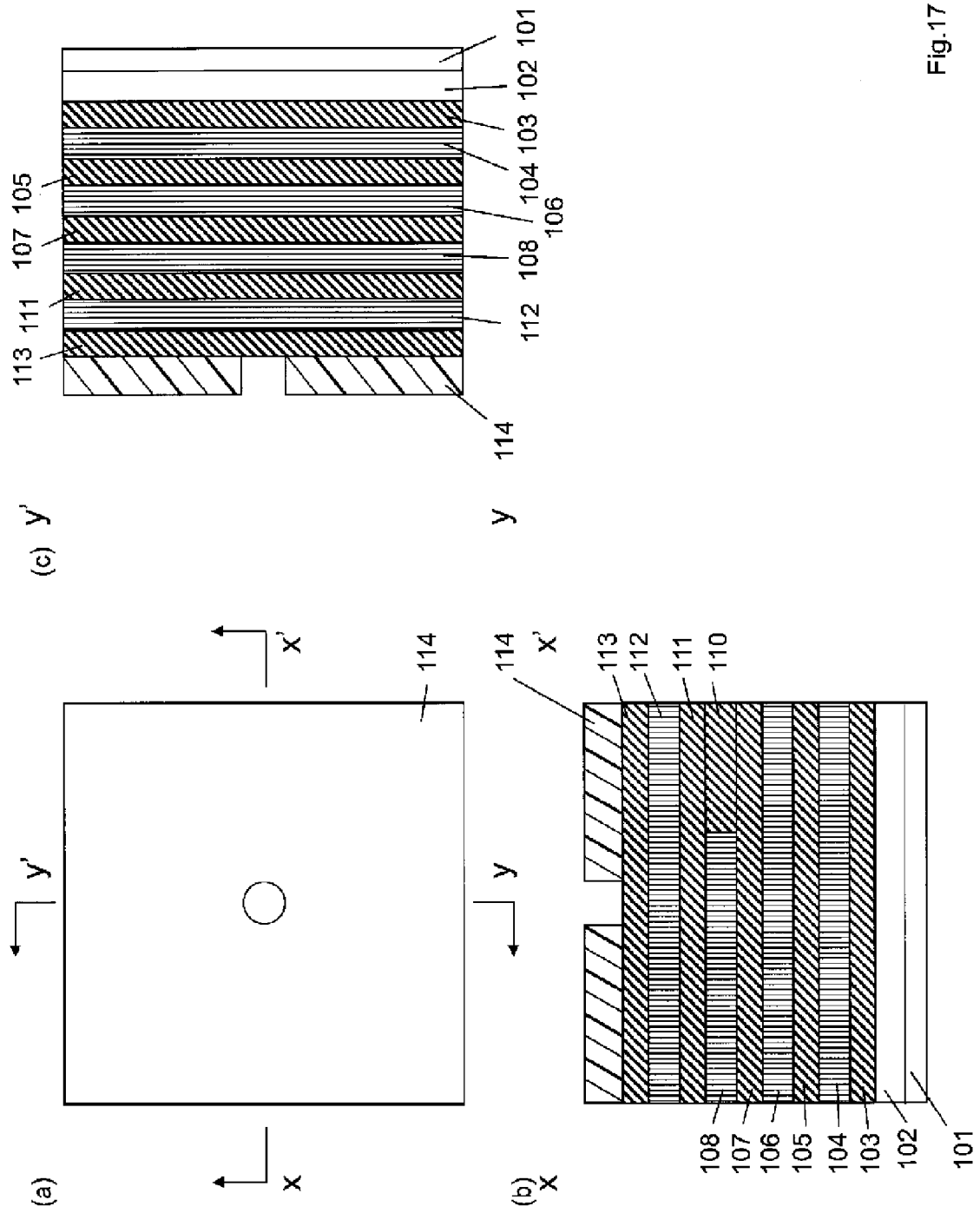


Fig.17

[図18]

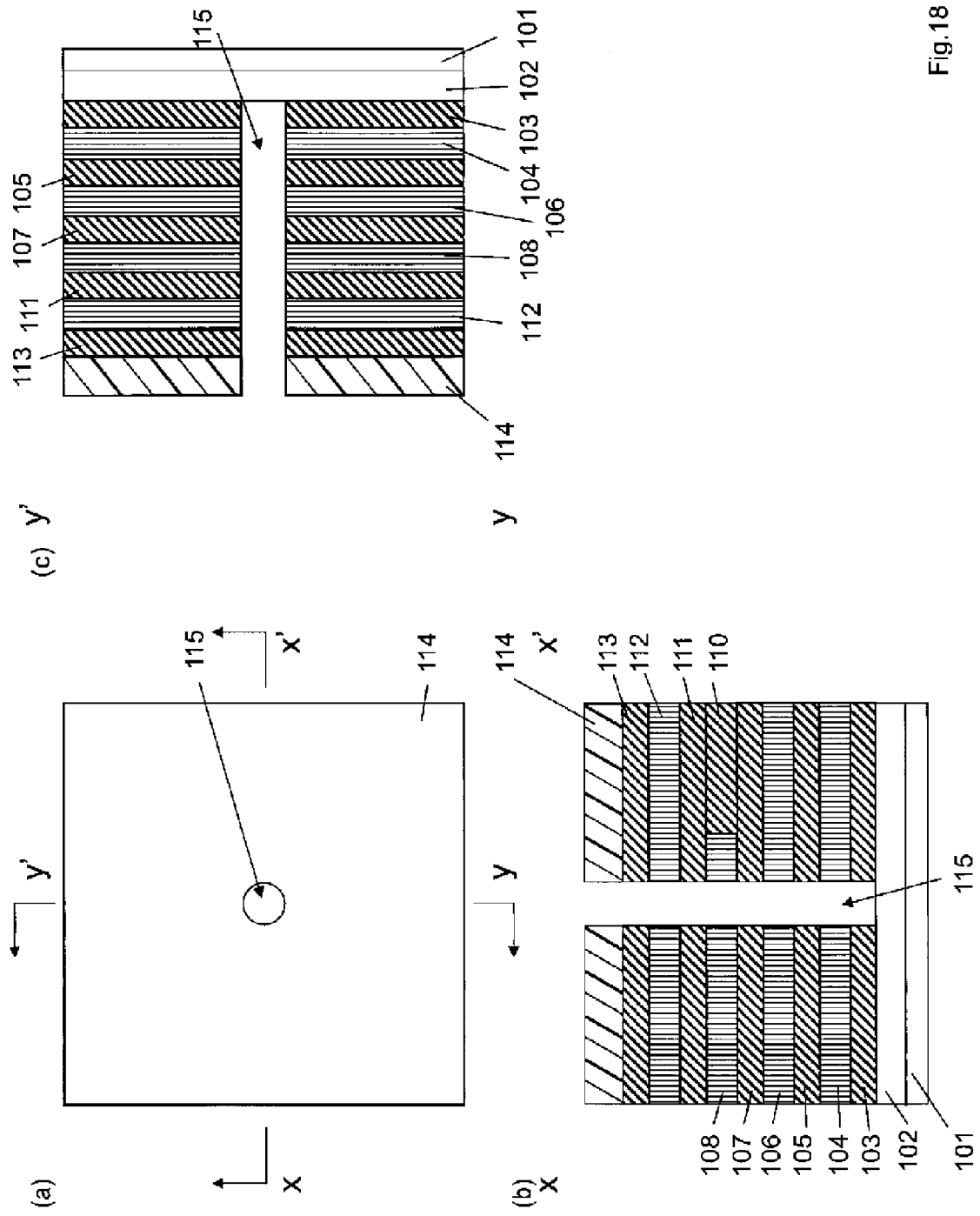


Fig.18

[図19]

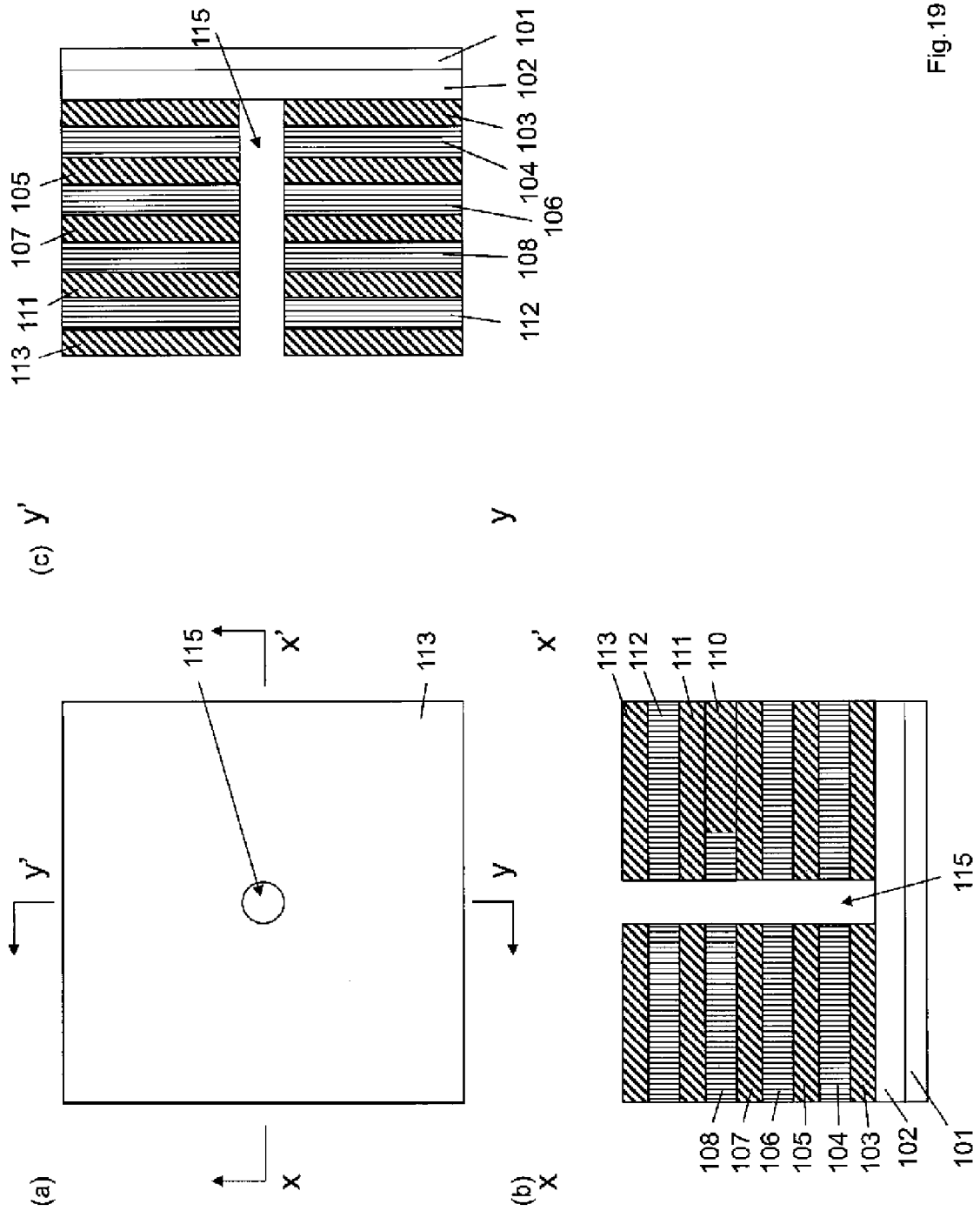


Fig.19

[図20]

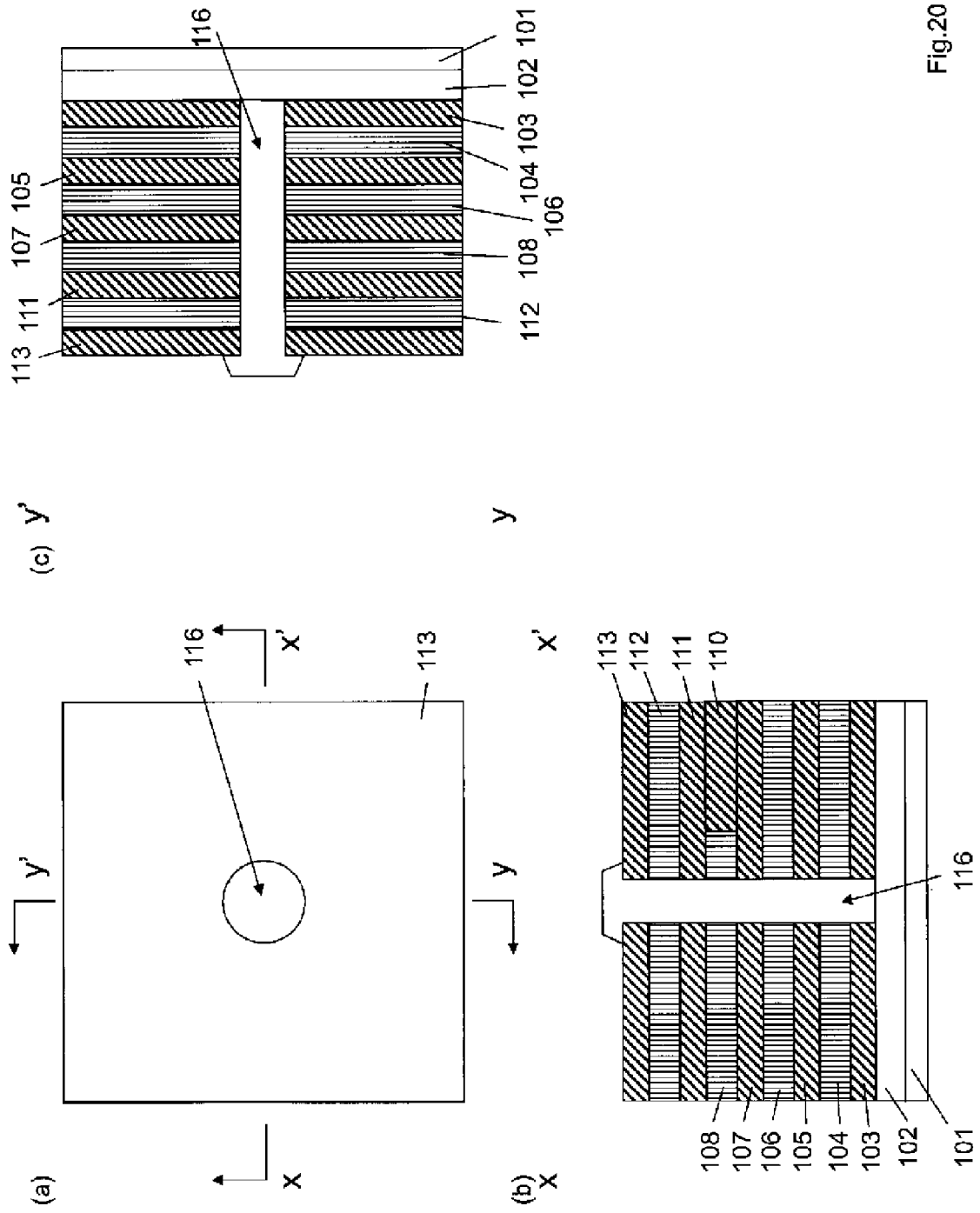


Fig.20

[図21]

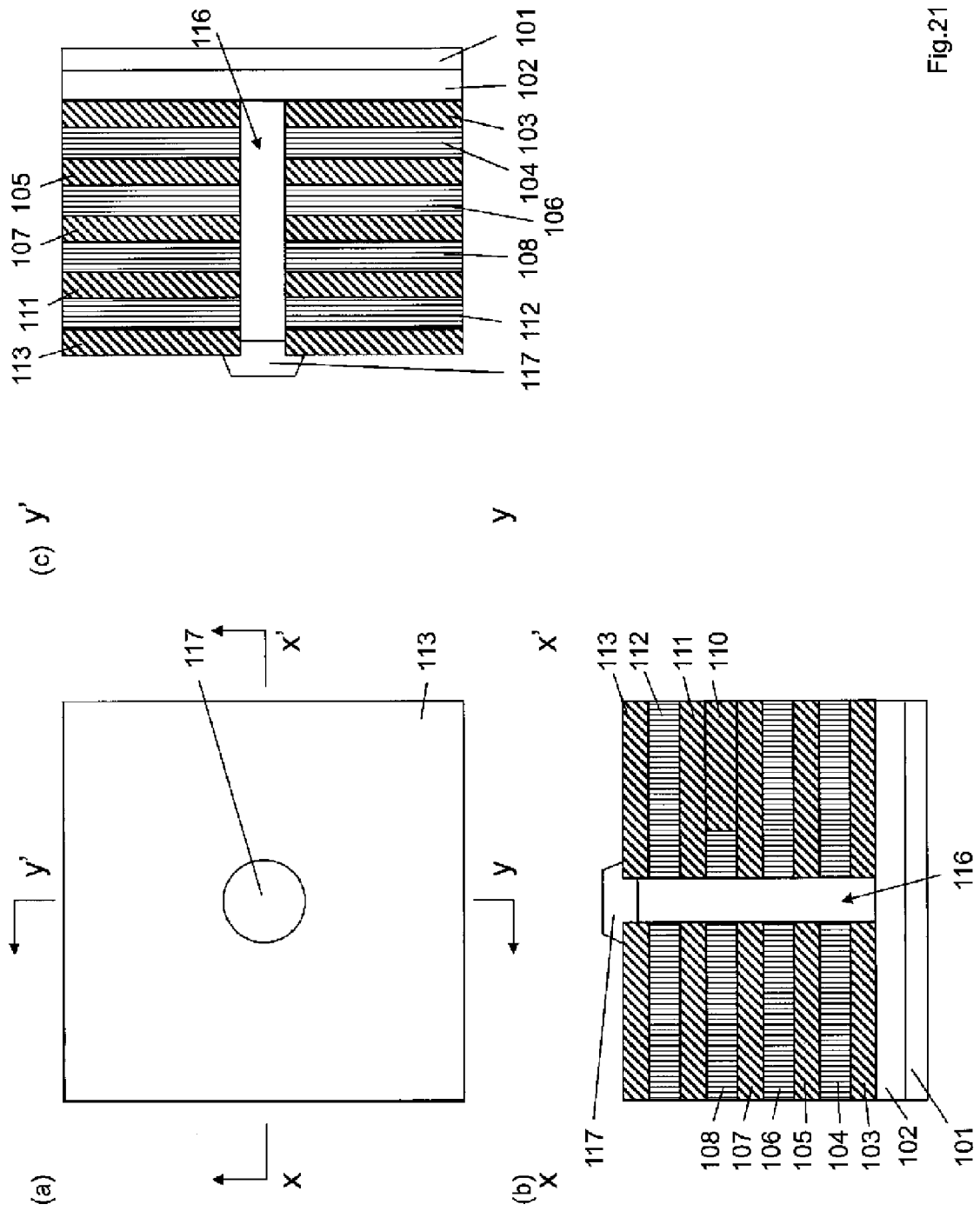


Fig.21

[図22]

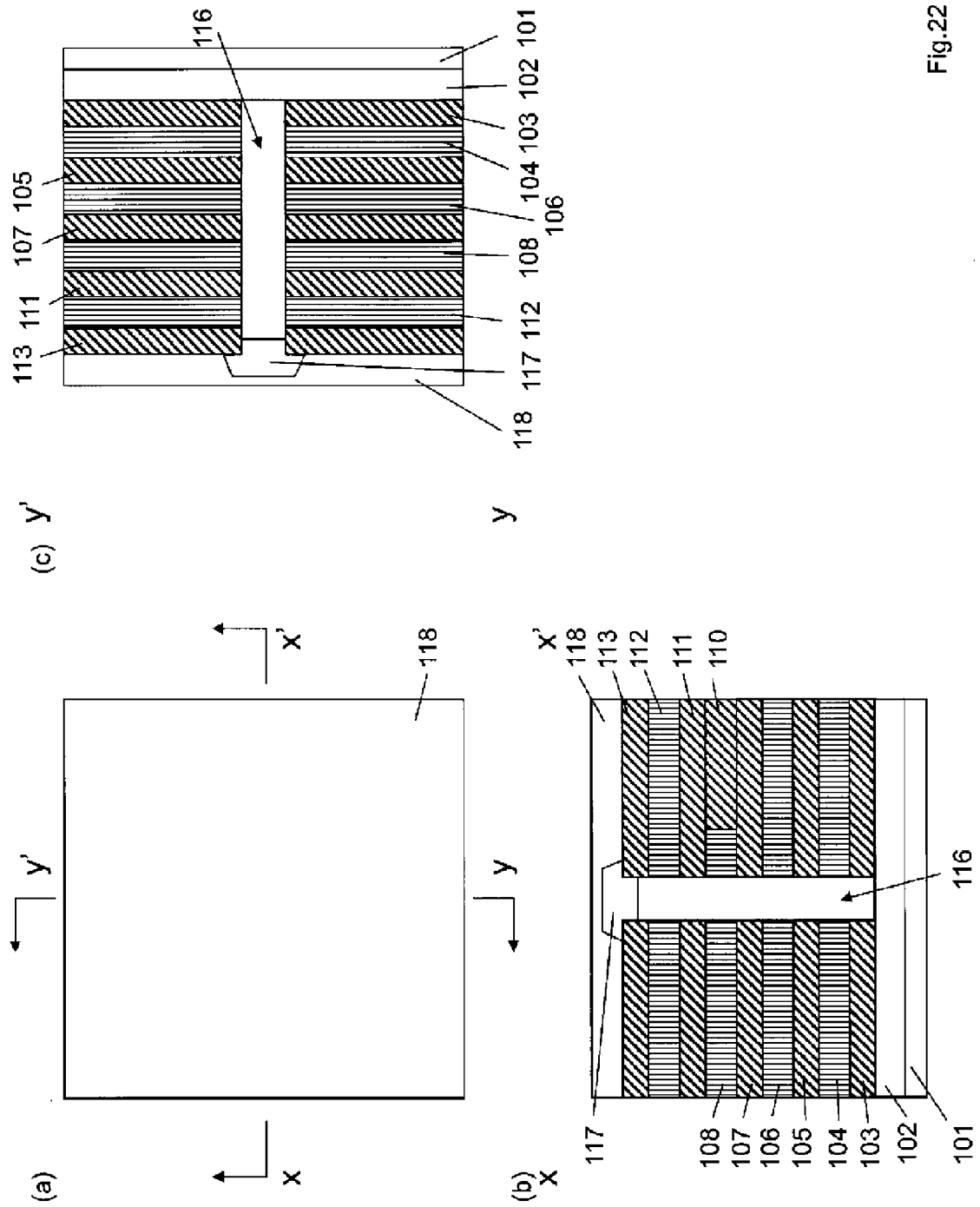


Fig.22

[図23]

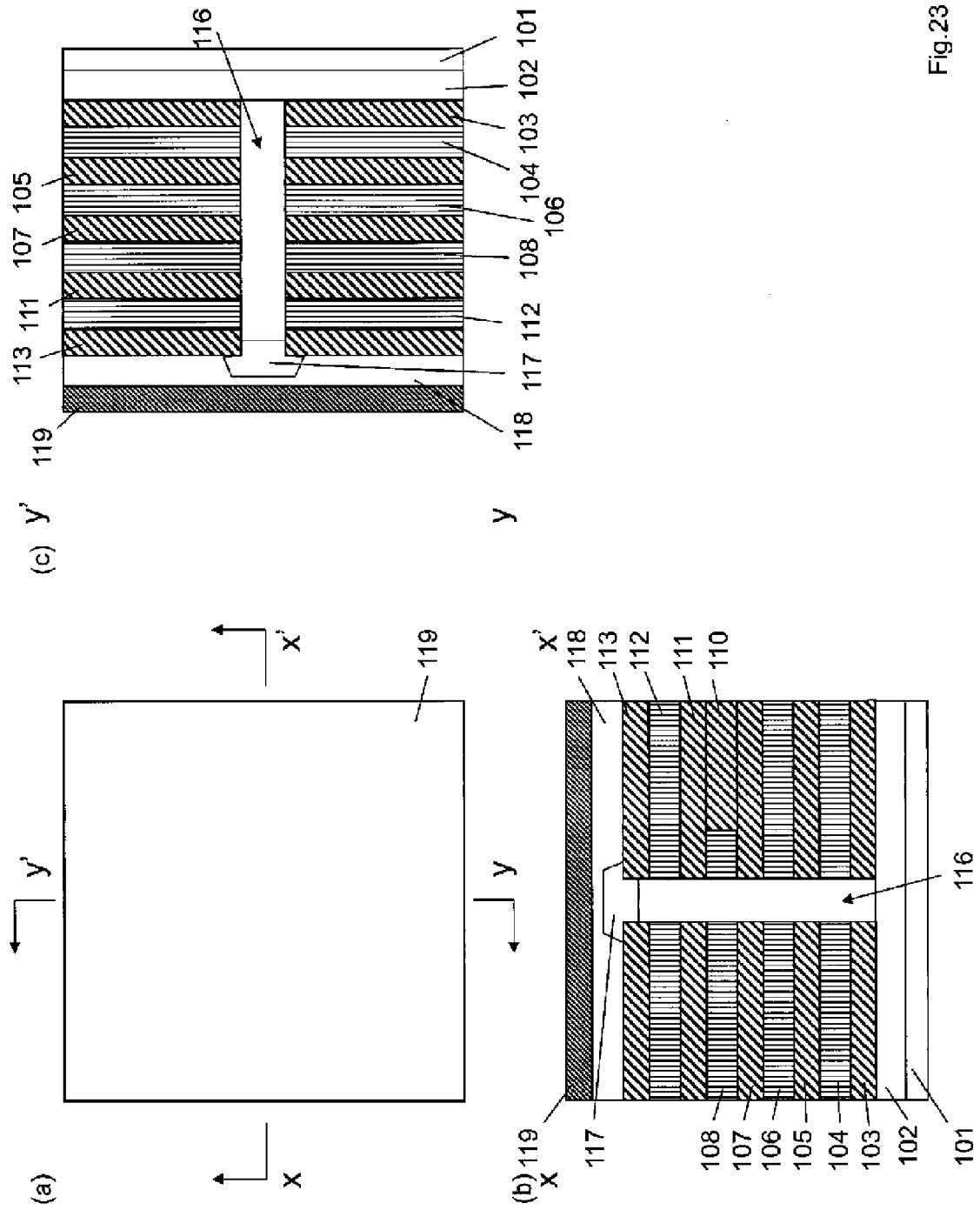


Fig.23

[図24]

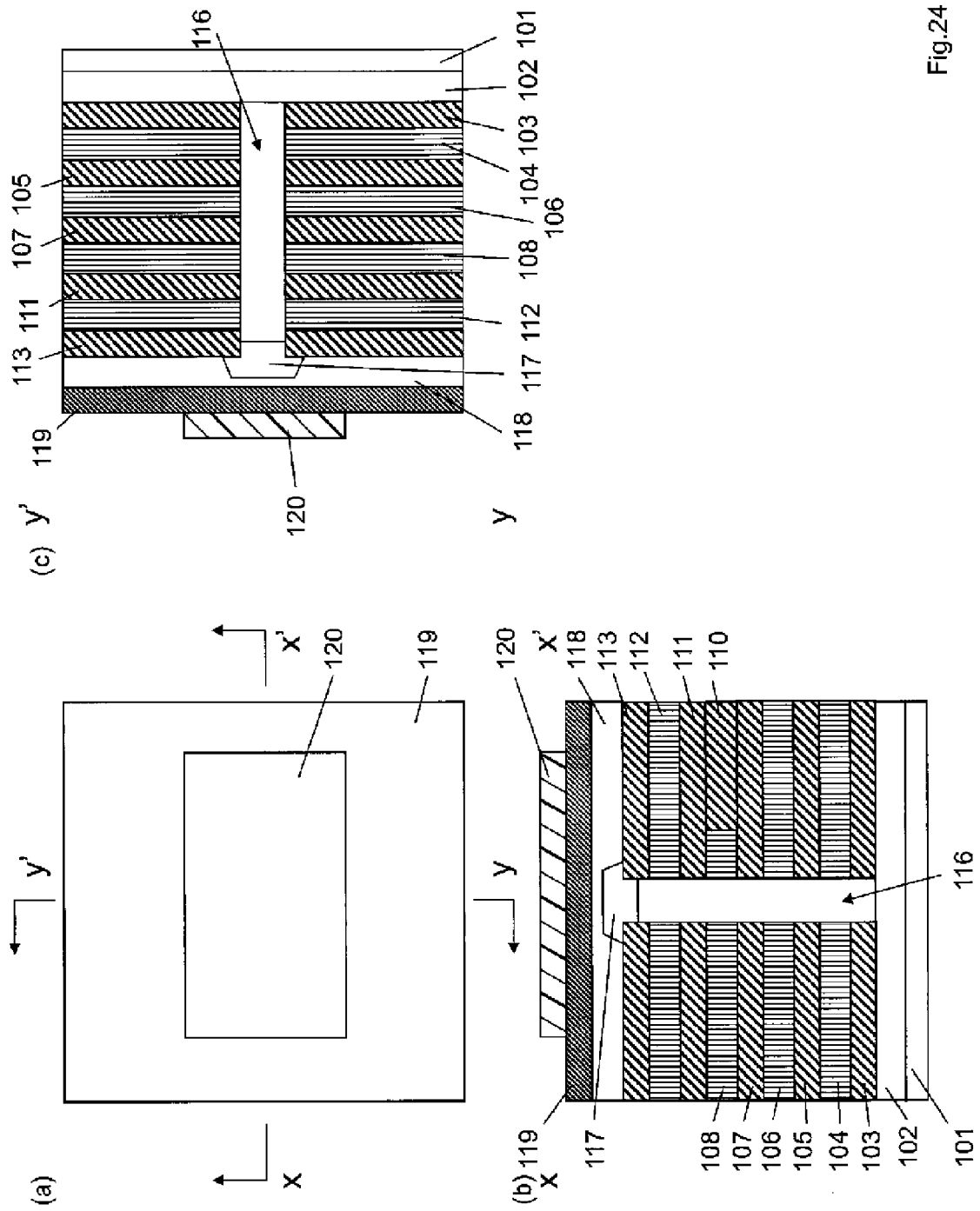


Fig.24

[図25]

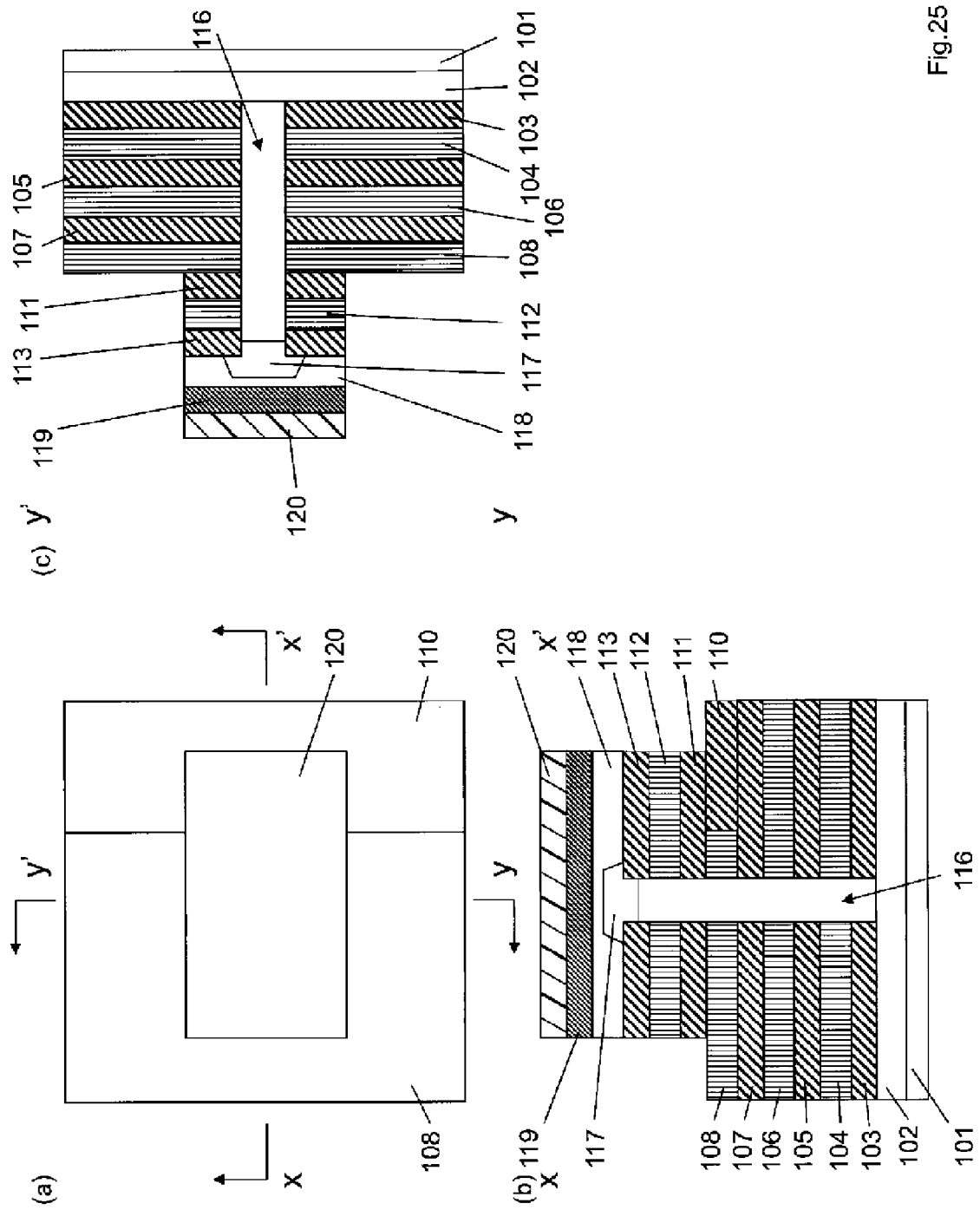


Fig.25

[図26]

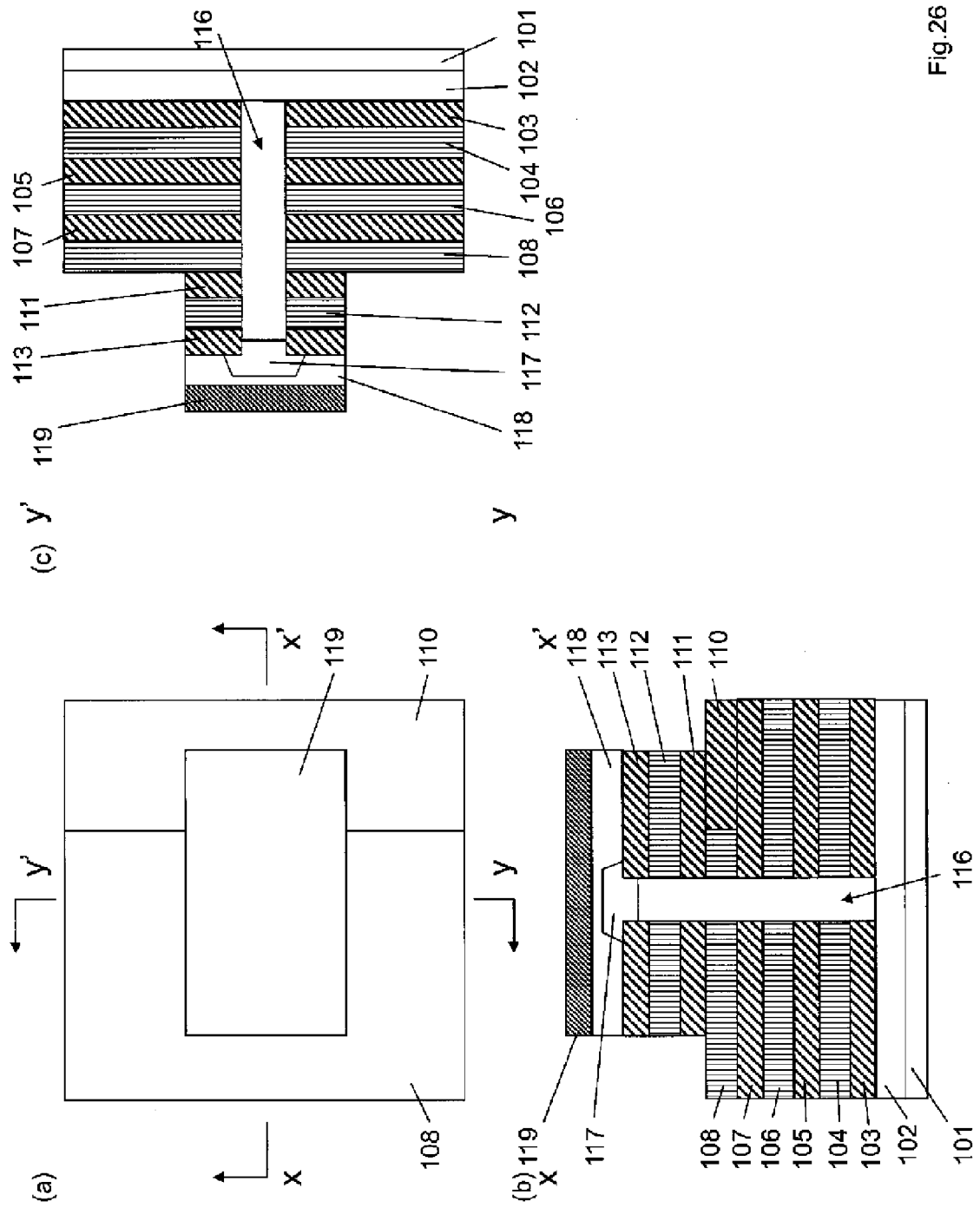


Fig. 26

[図27]

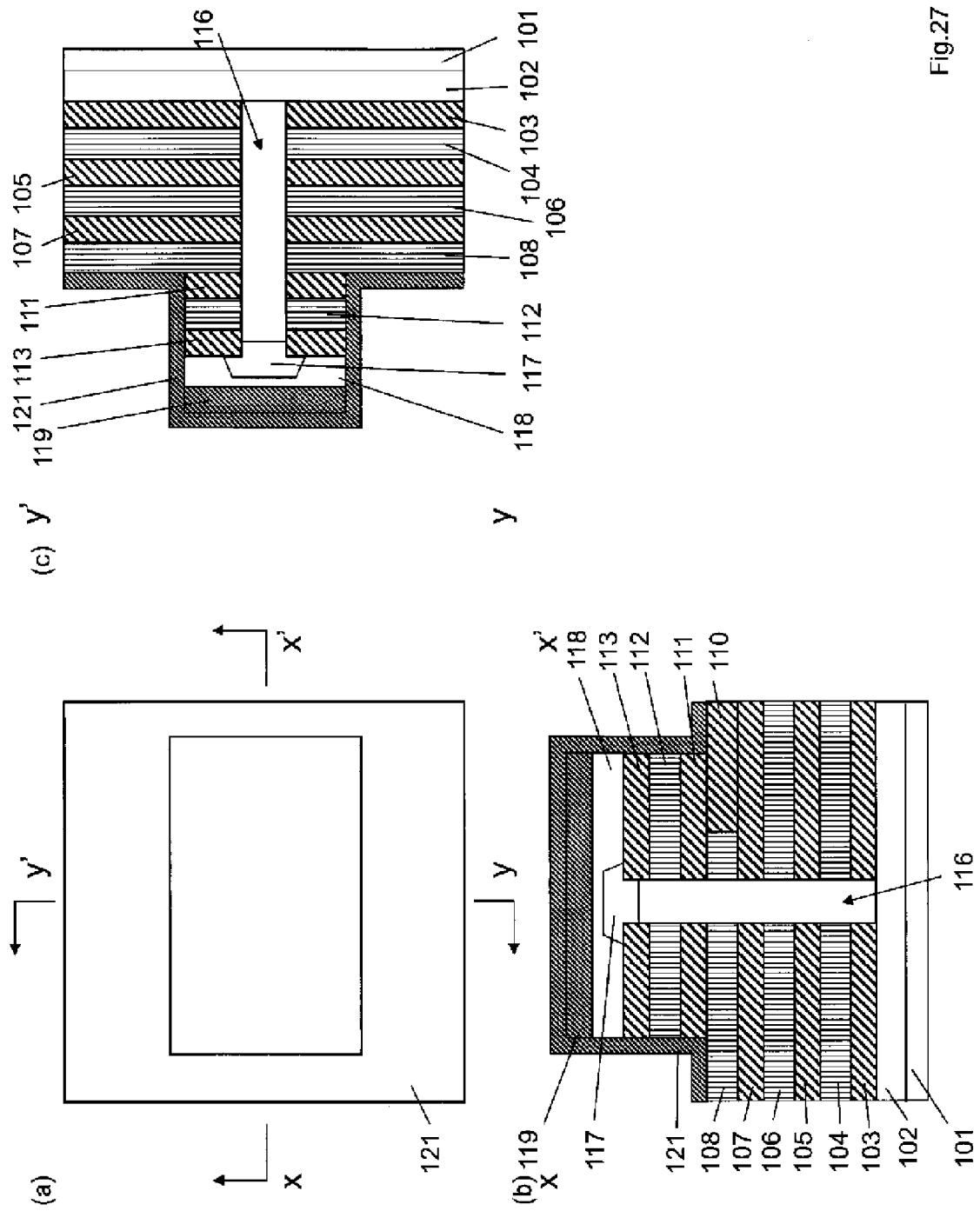


Fig.27

[図28]

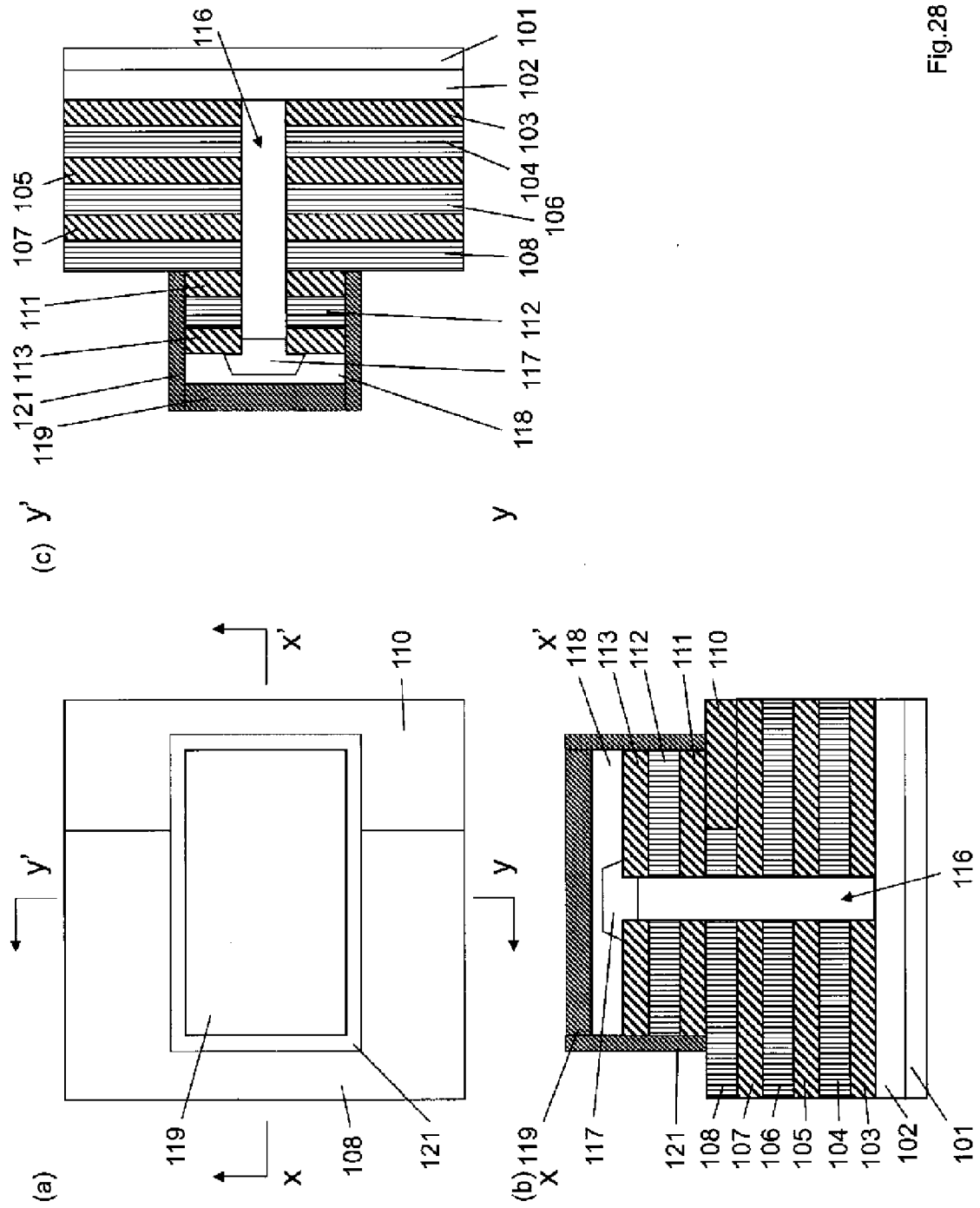


Fig.28

[図29]

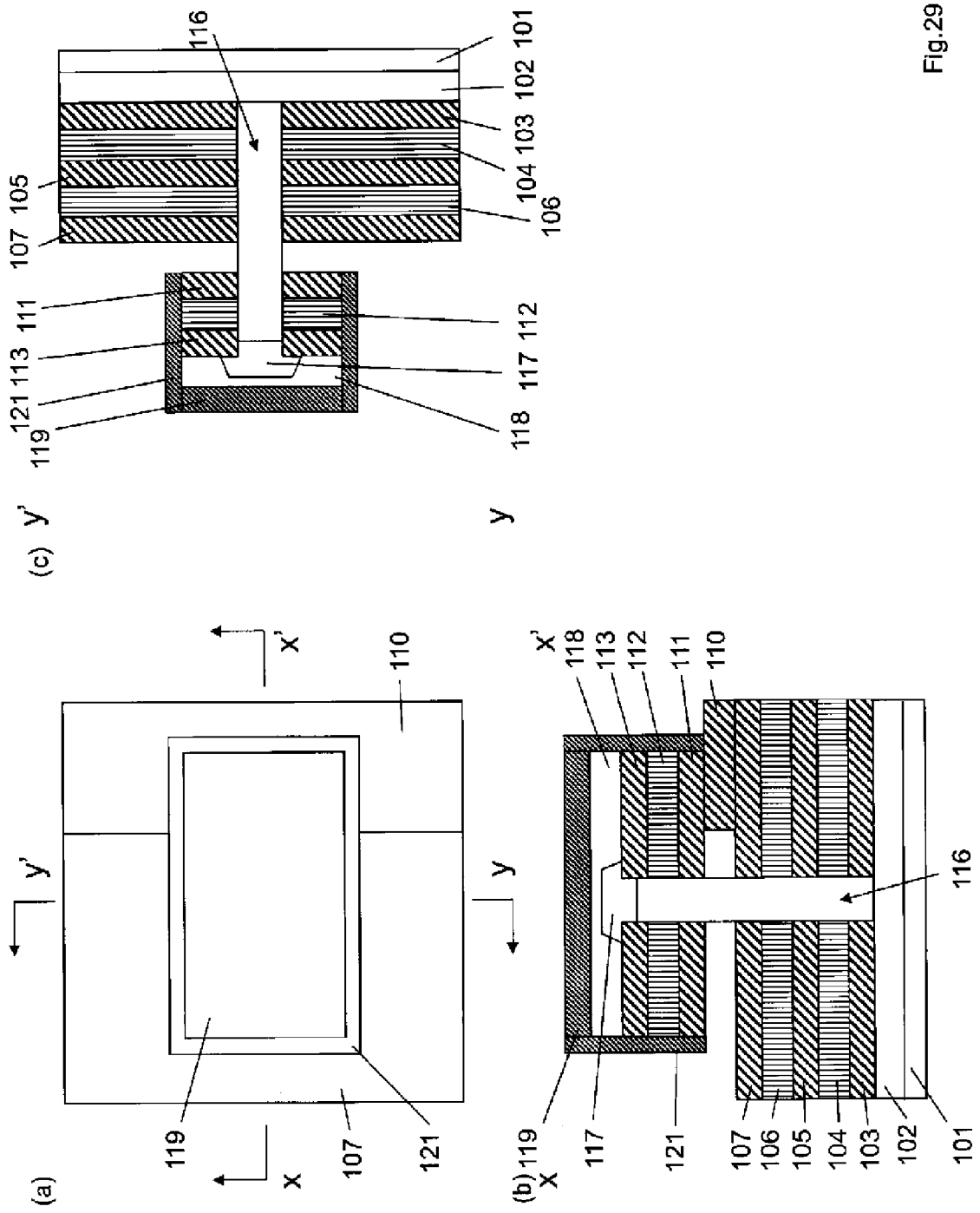


Fig.29

[図30]

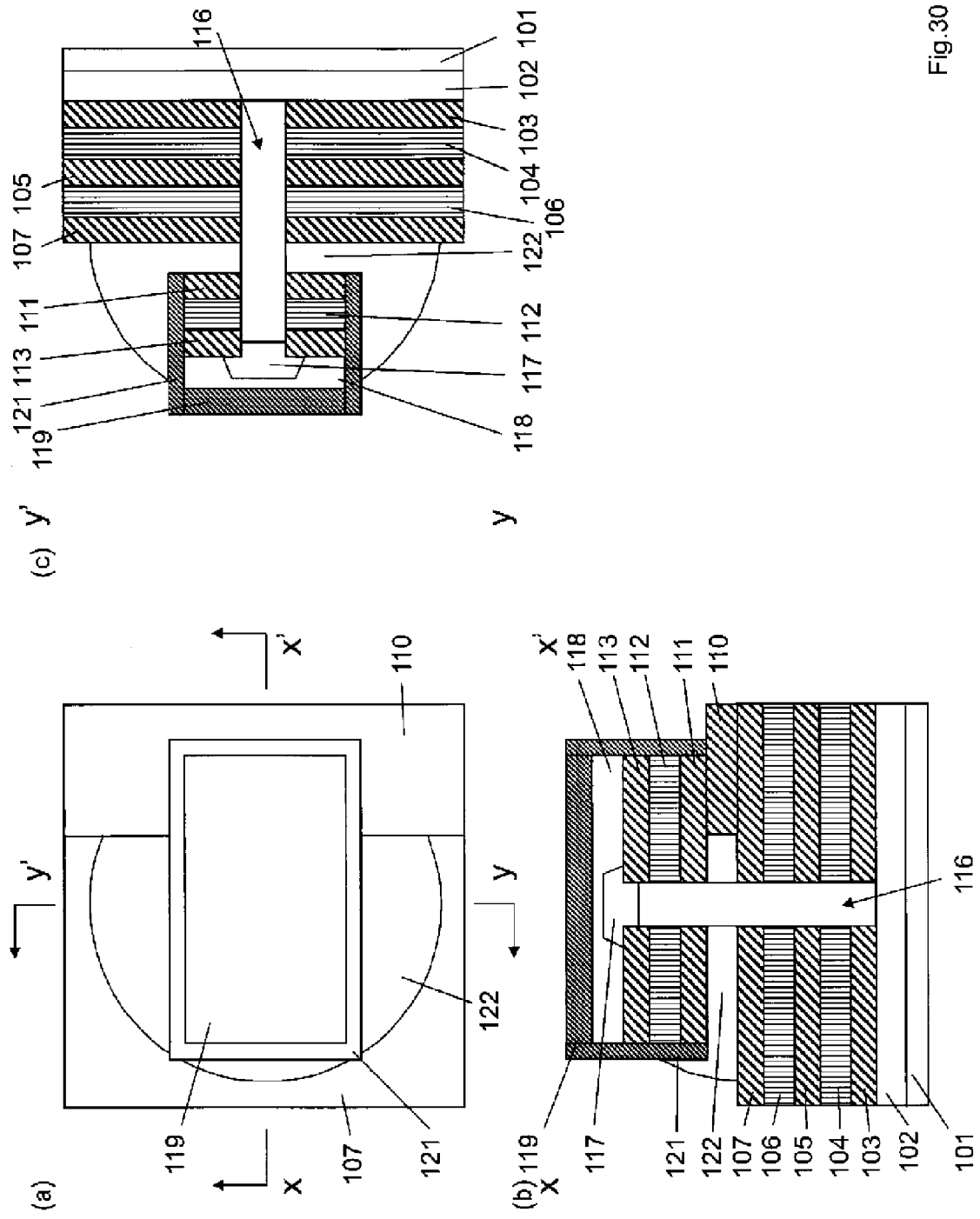


Fig.30

[図31]

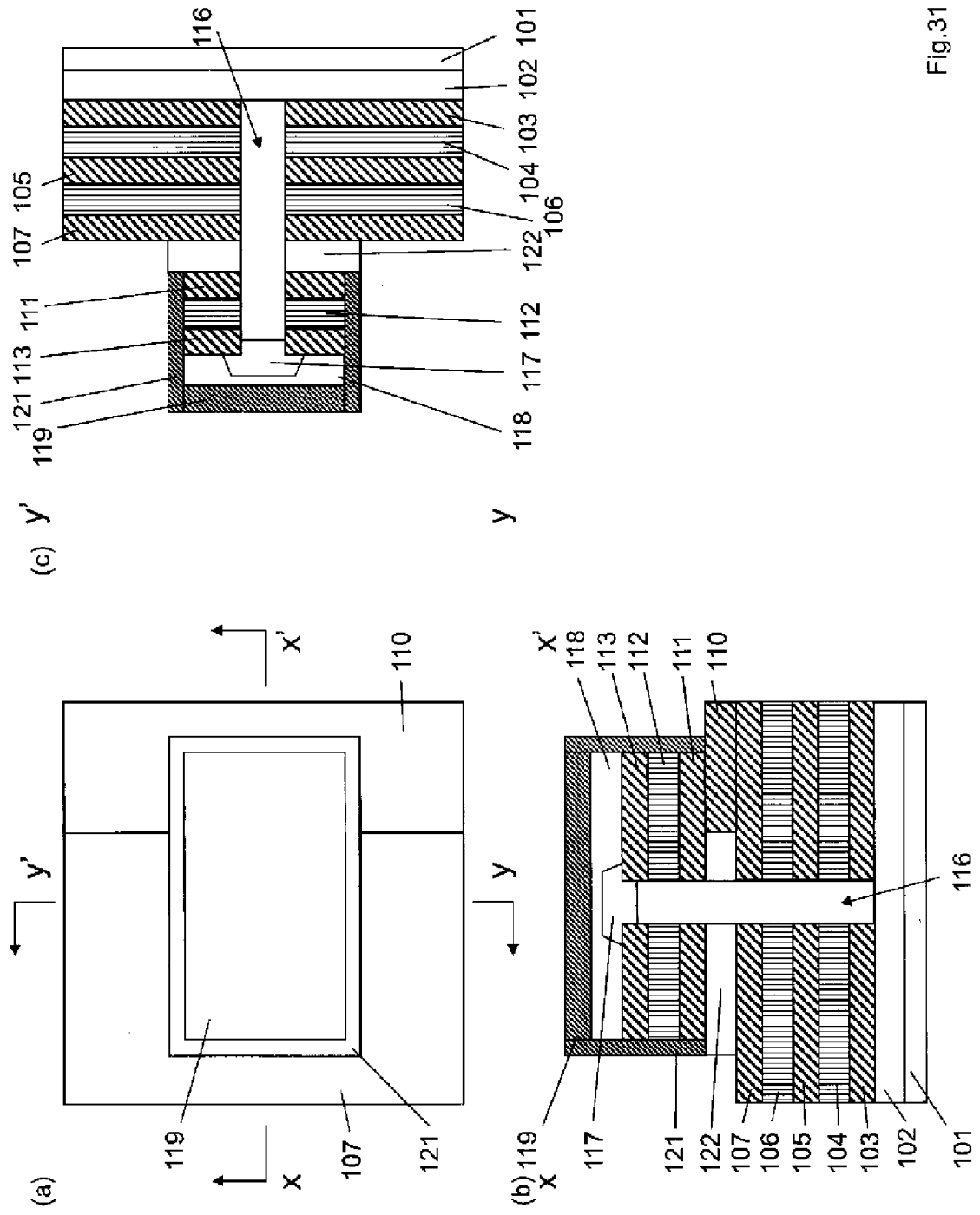


Fig.31

[図32]

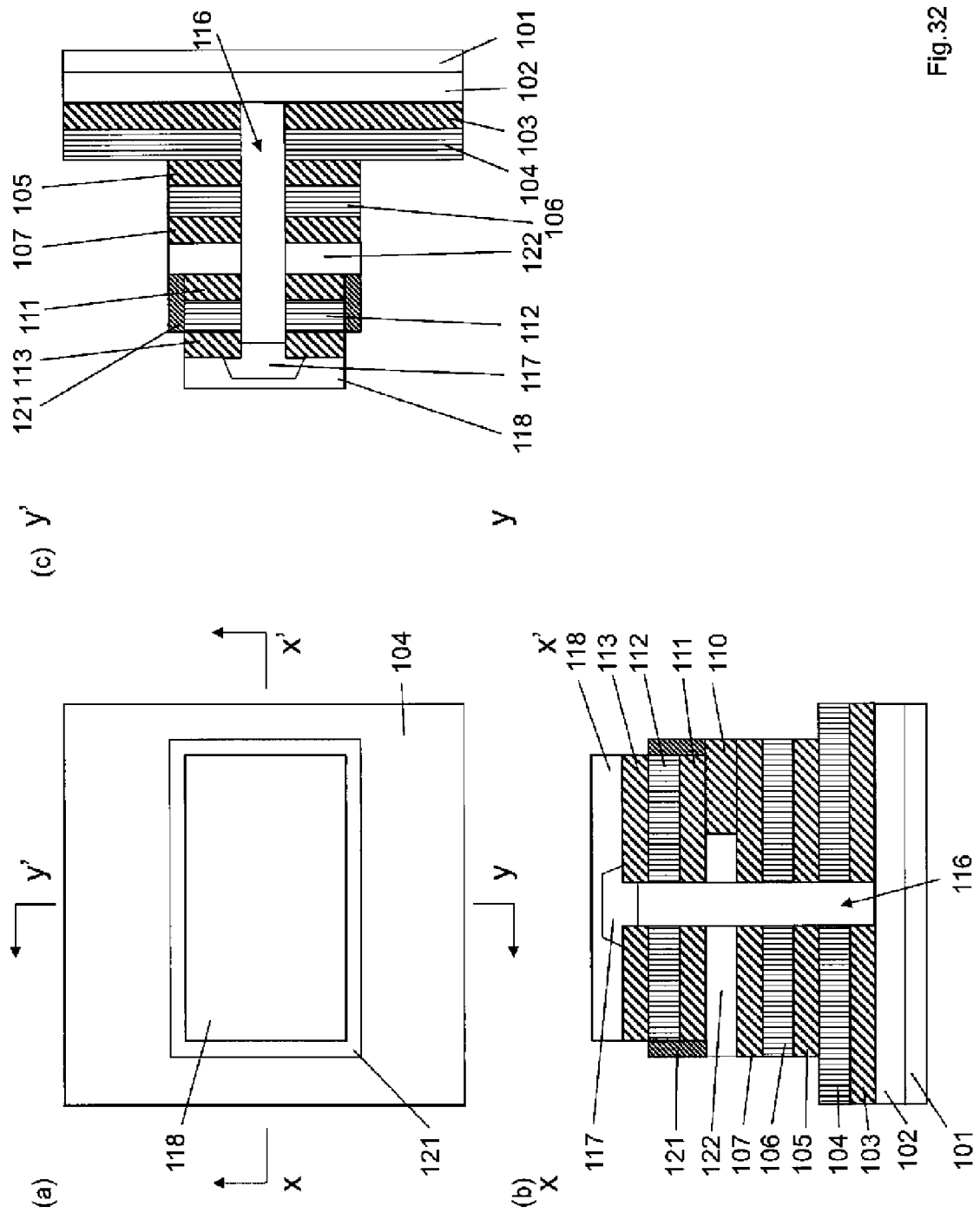


Fig.32

[図33]

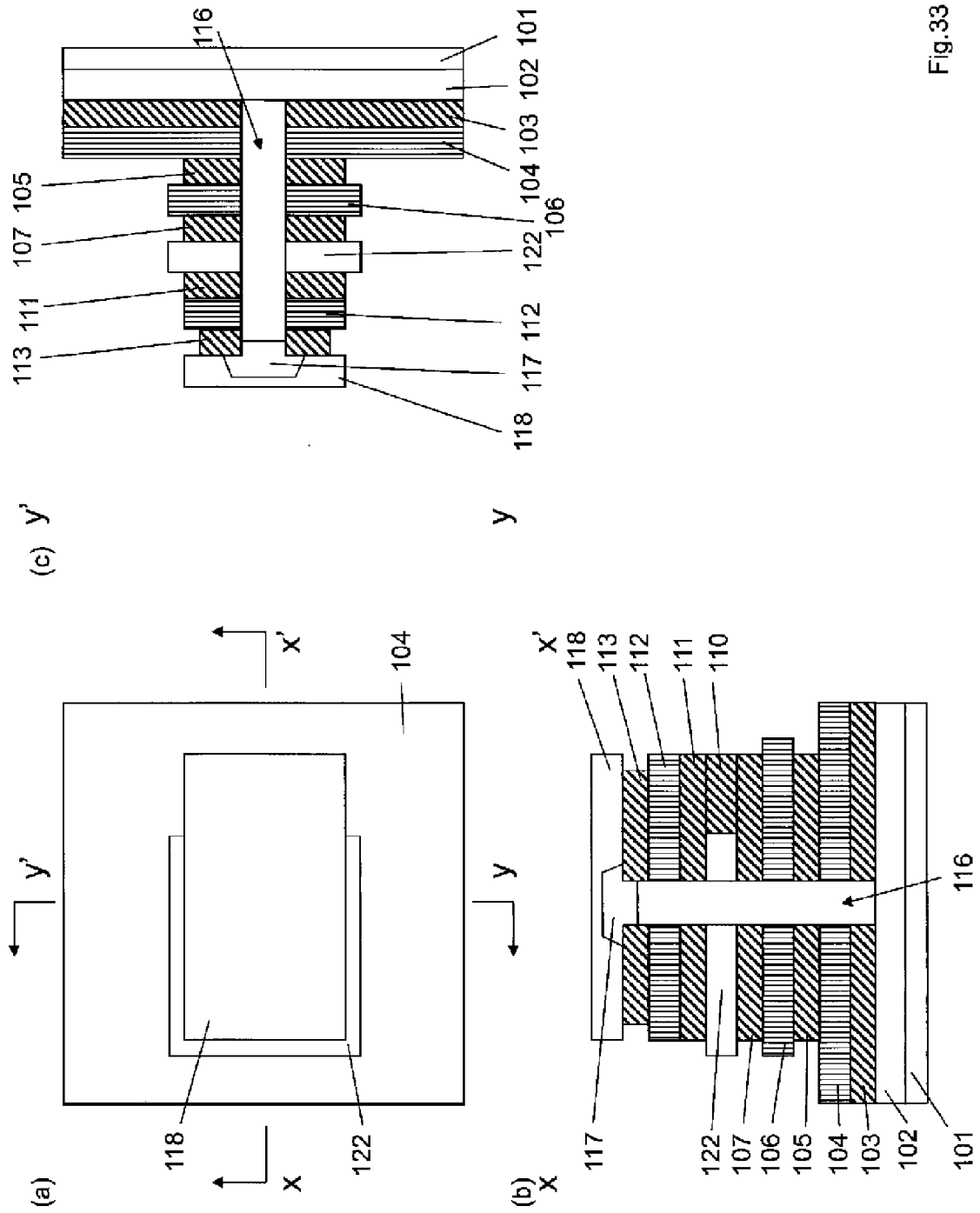


Fig.33

[図34]

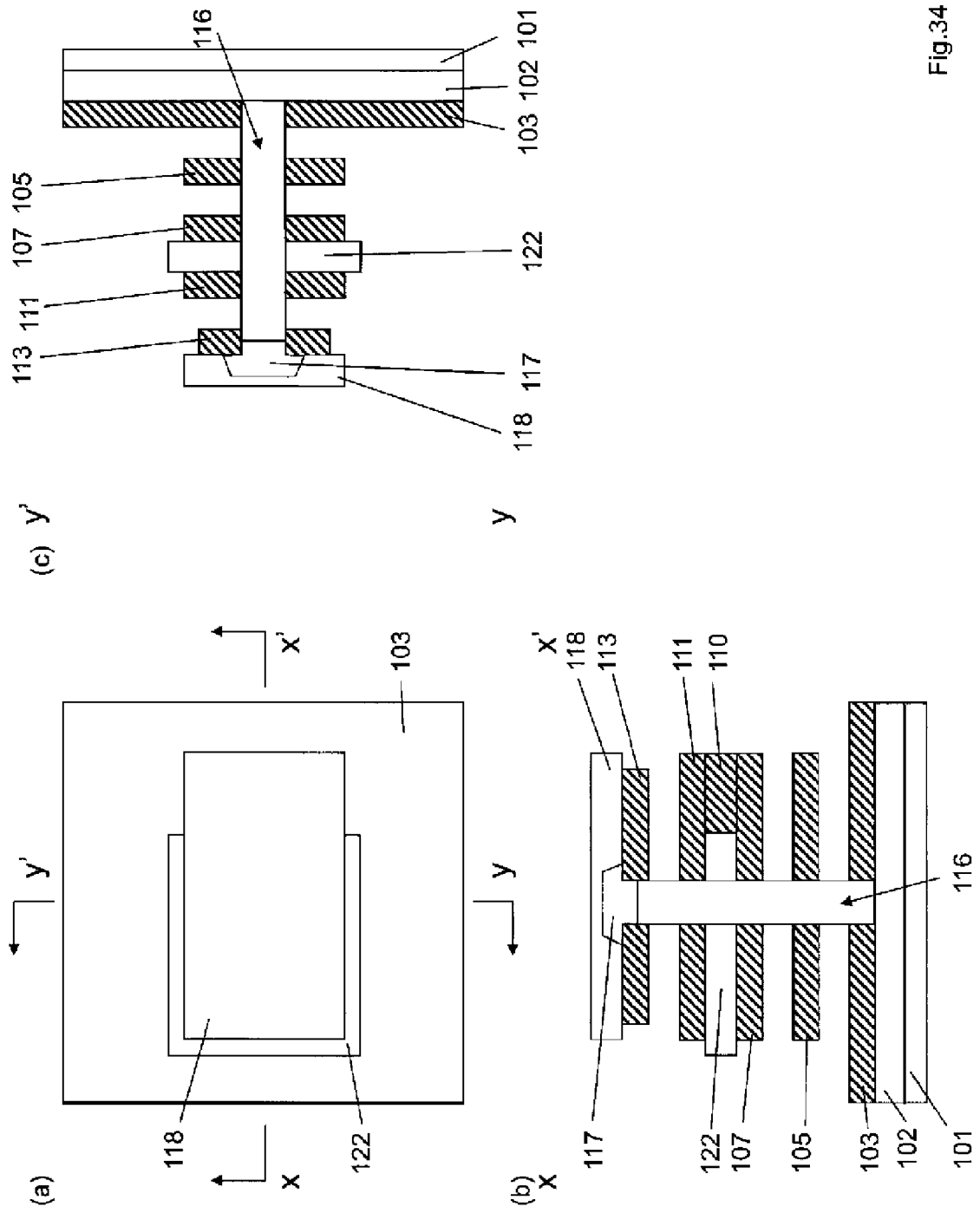


Fig.34

[図35]

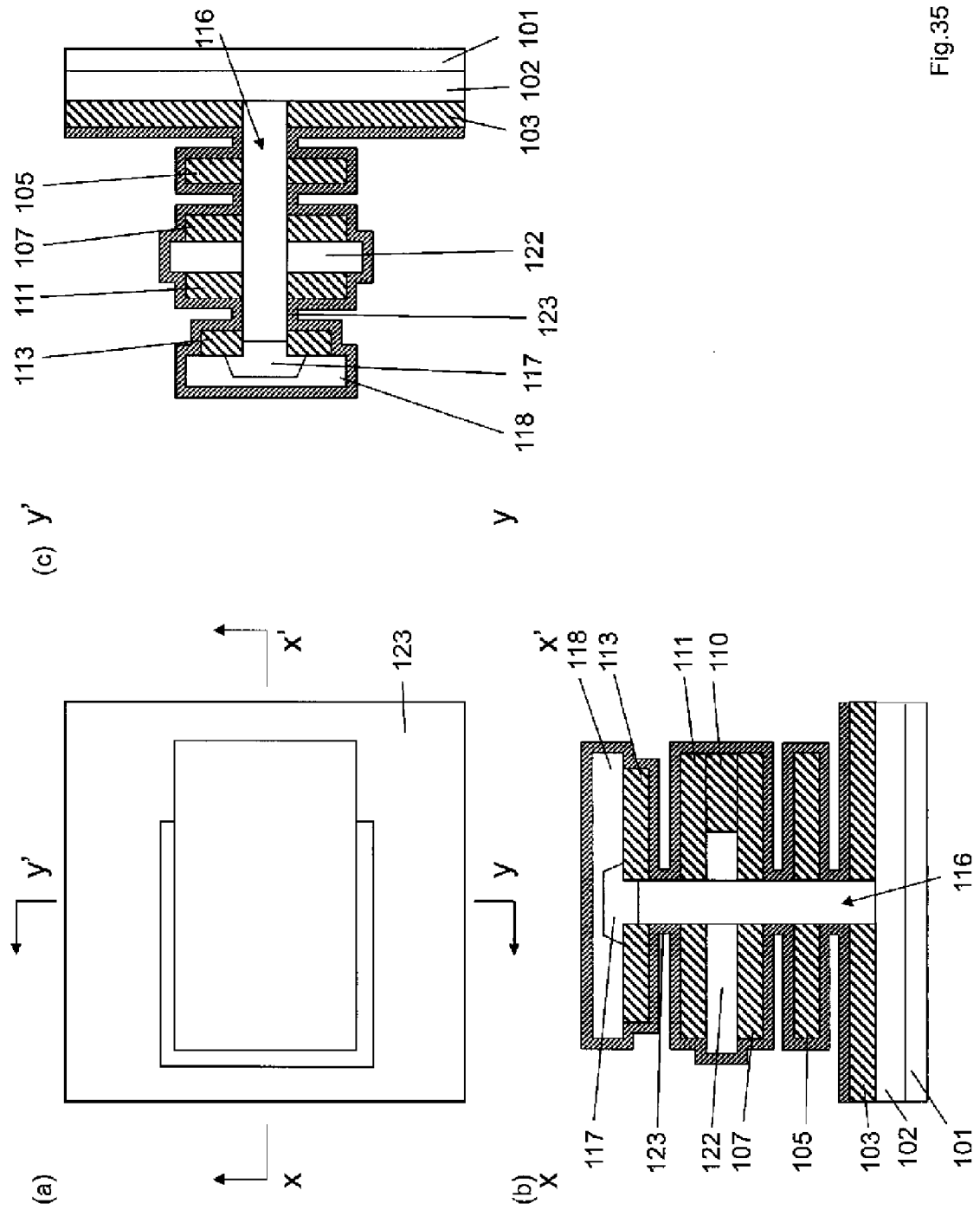


Fig.35

[図36]

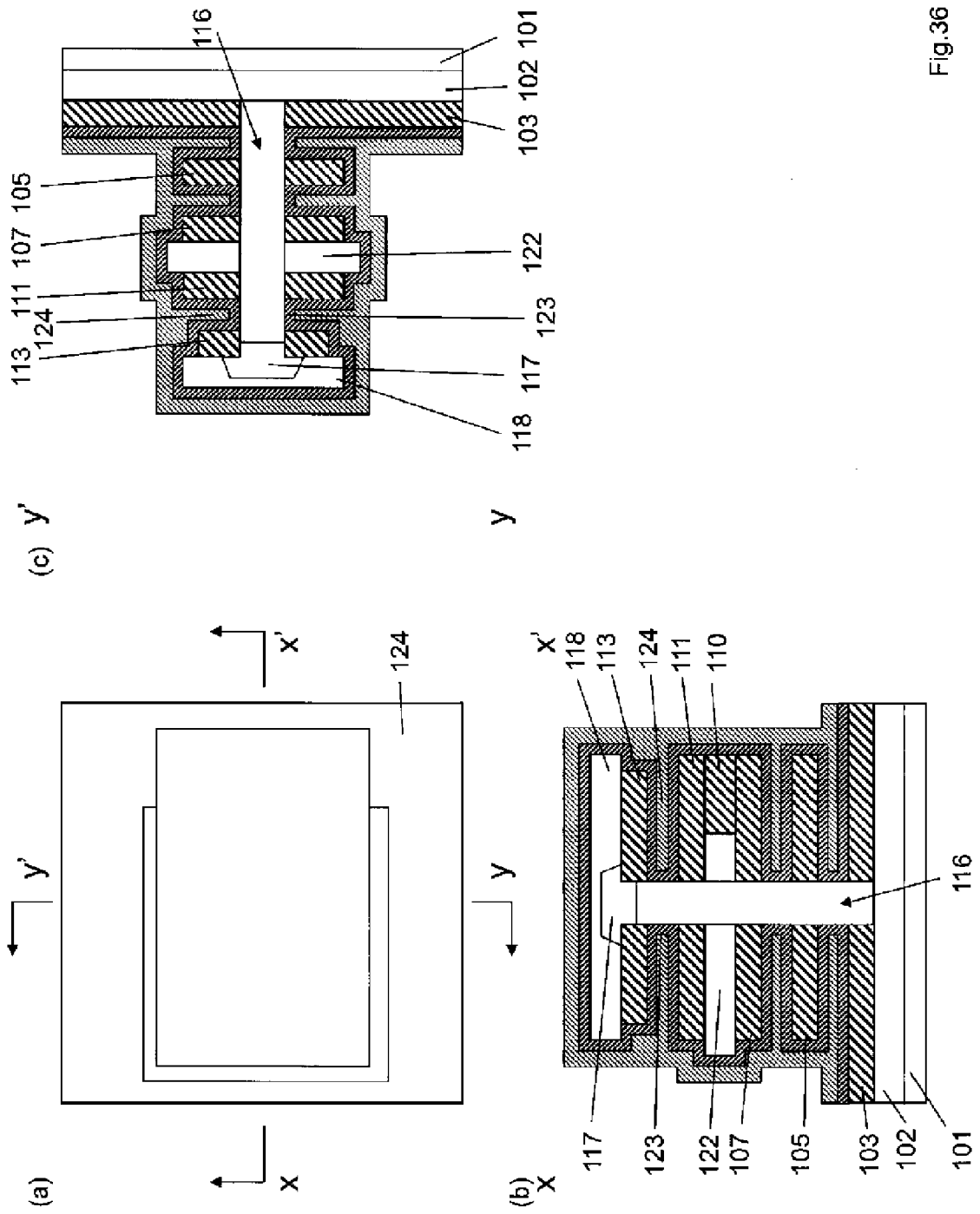


Fig.36

[図37]

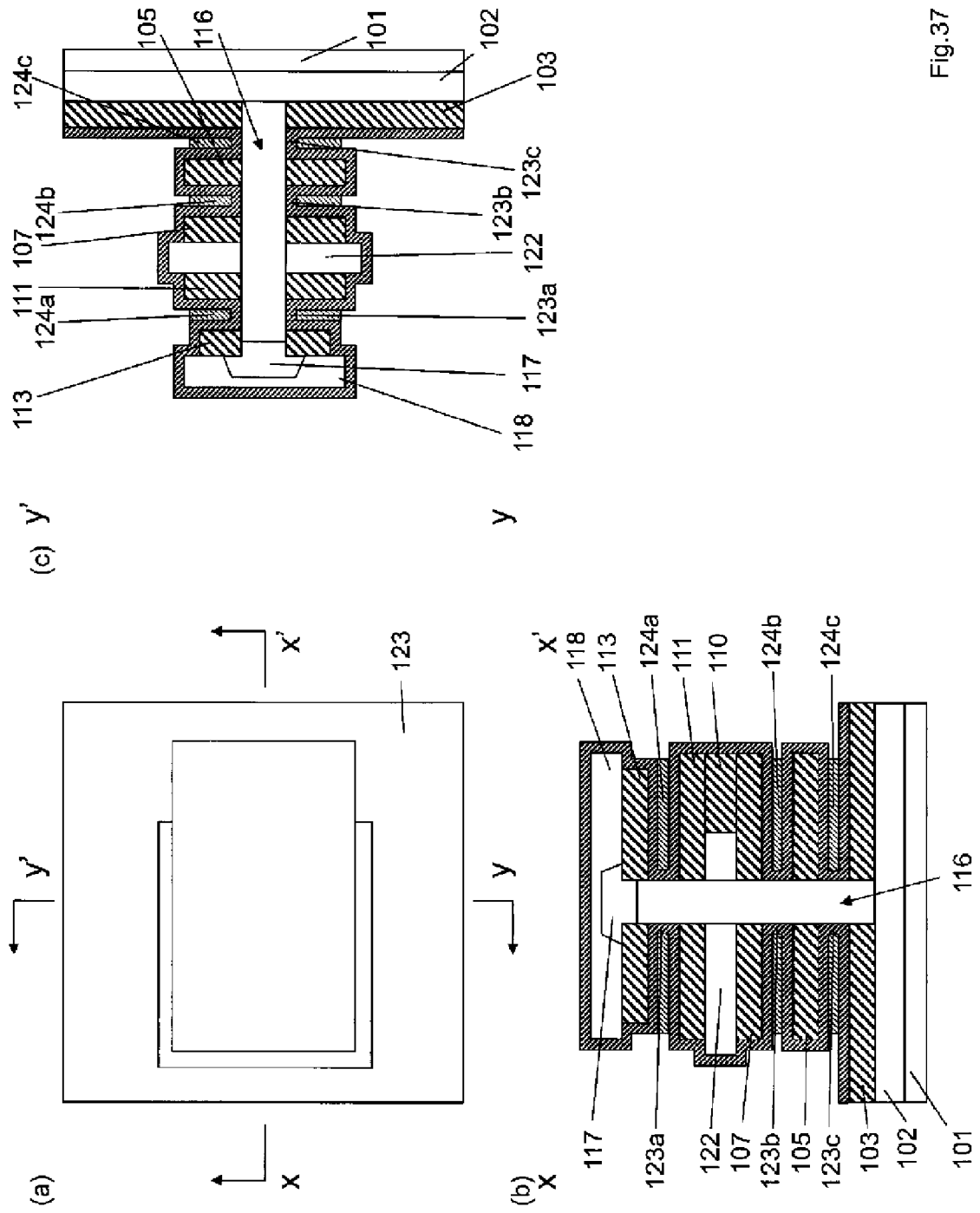


Fig.37

[図38]

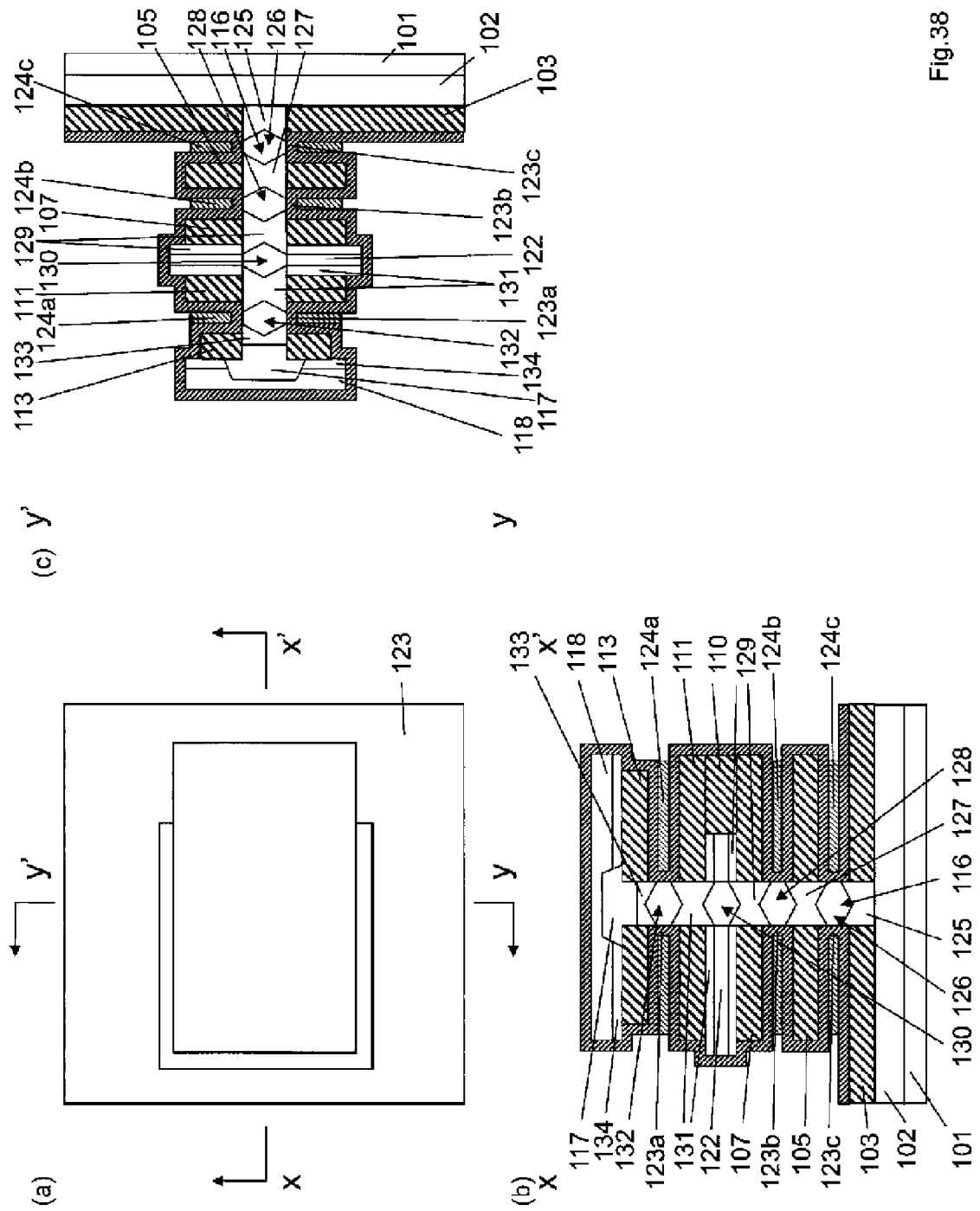


Fig.38

[図39]

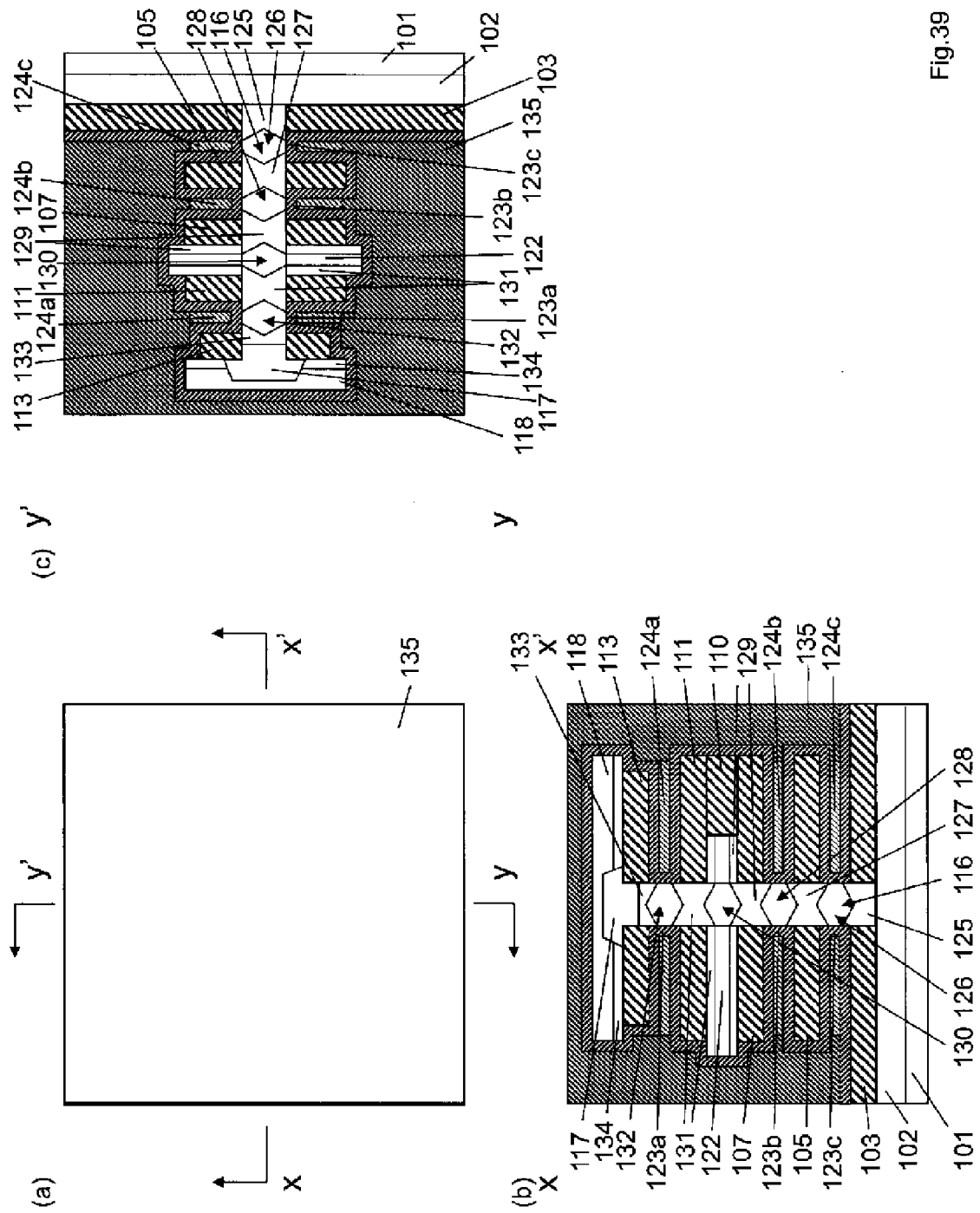


Fig.39

[図40]

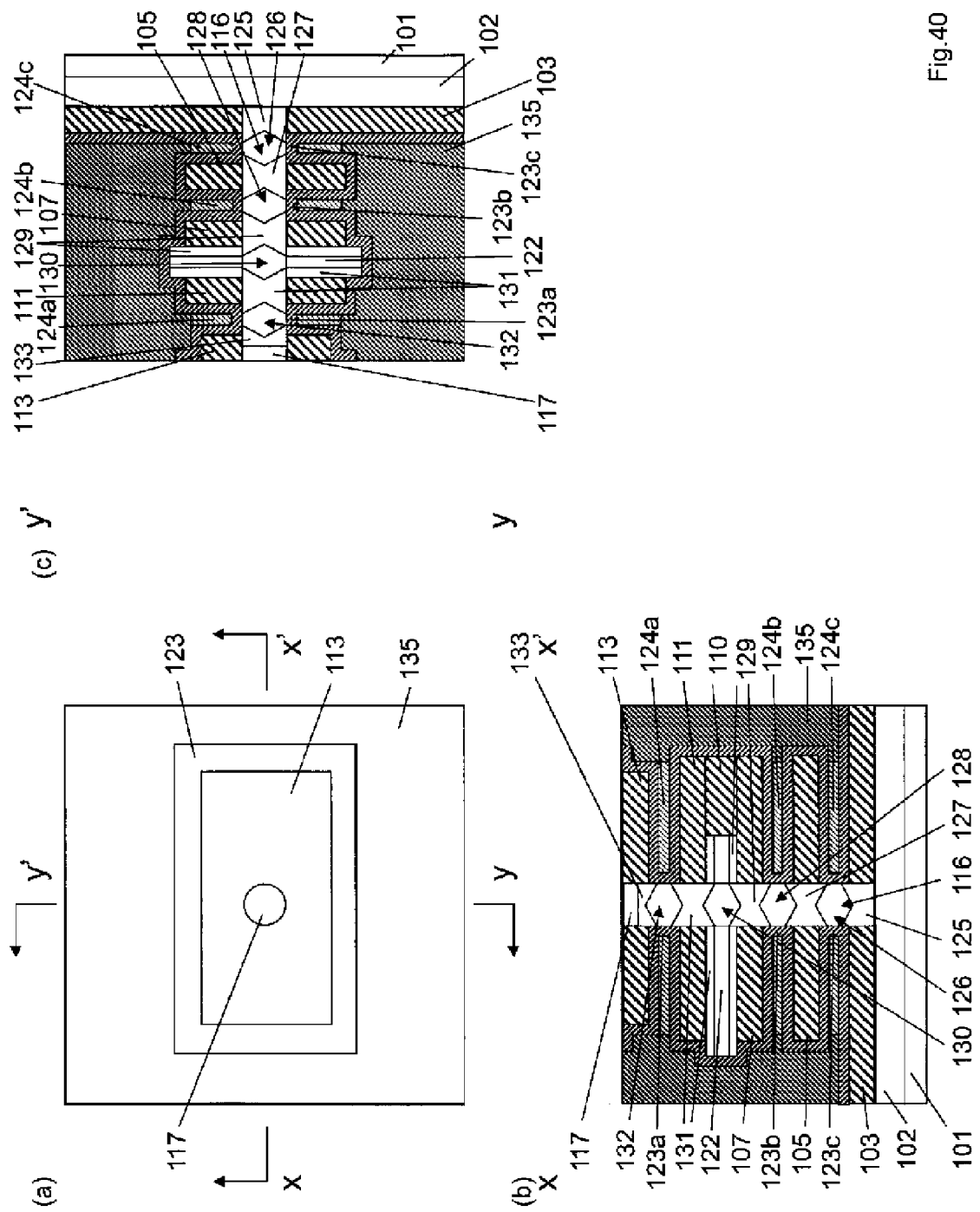


Fig.40

[図41]

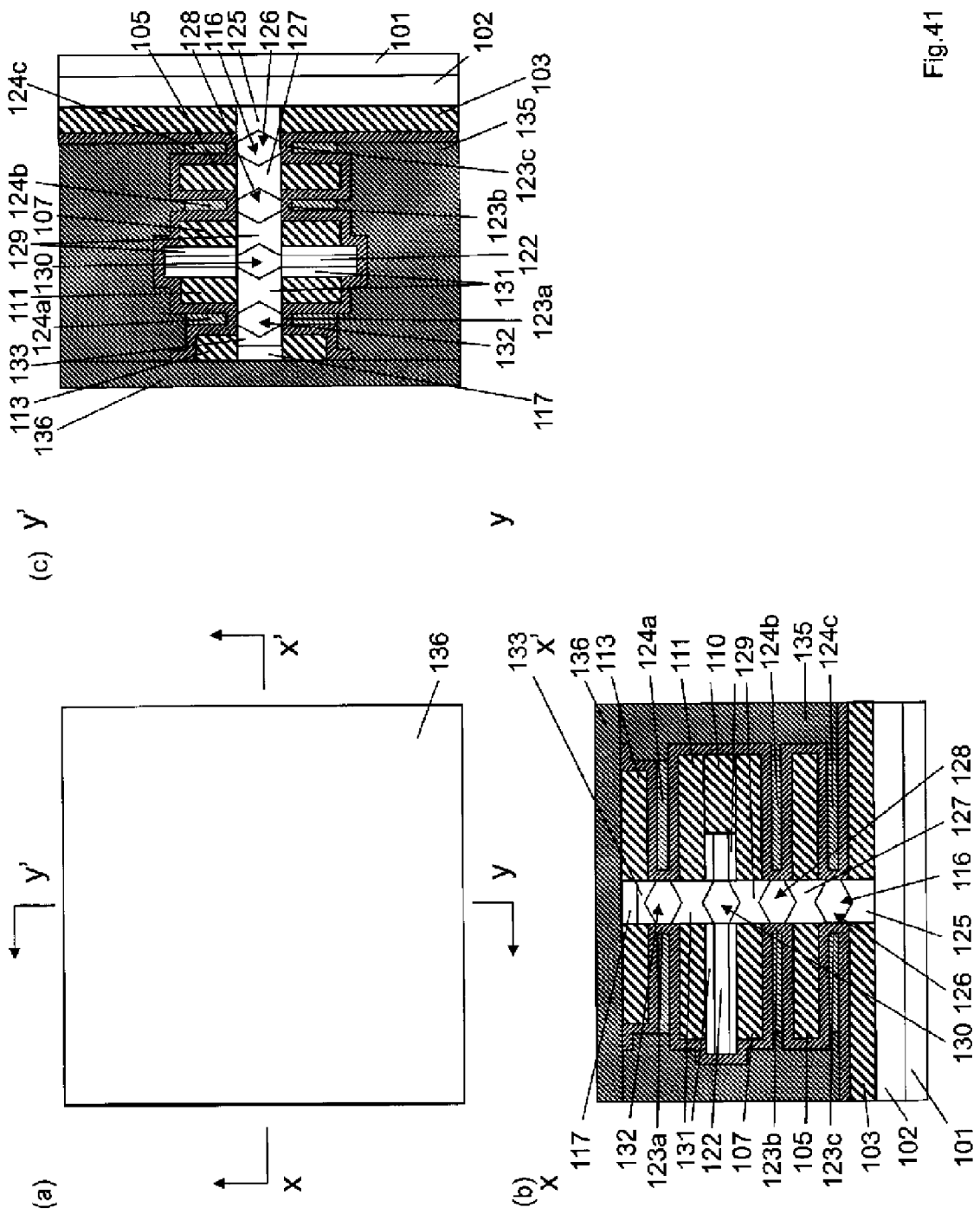


Fig.41

[図42]

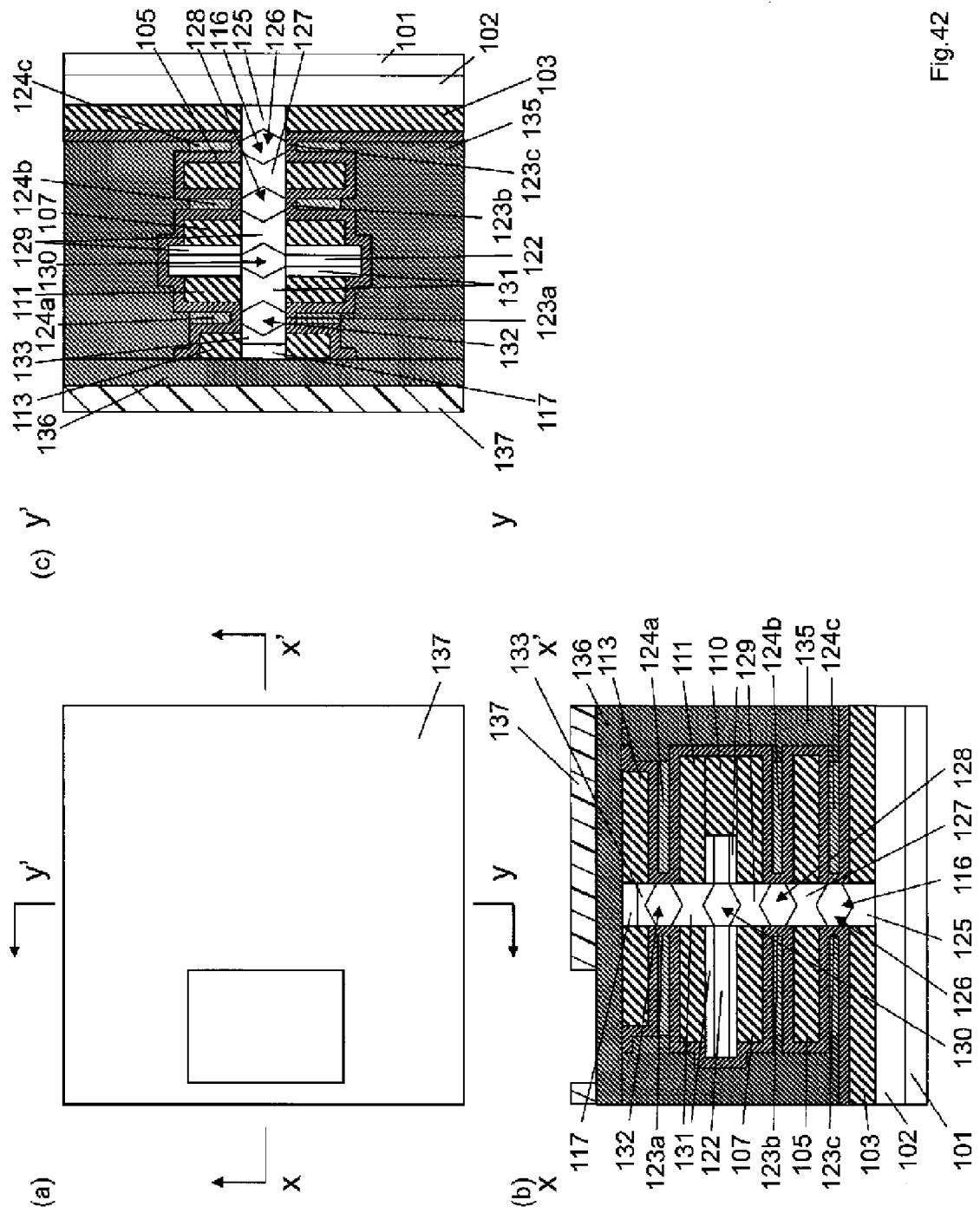
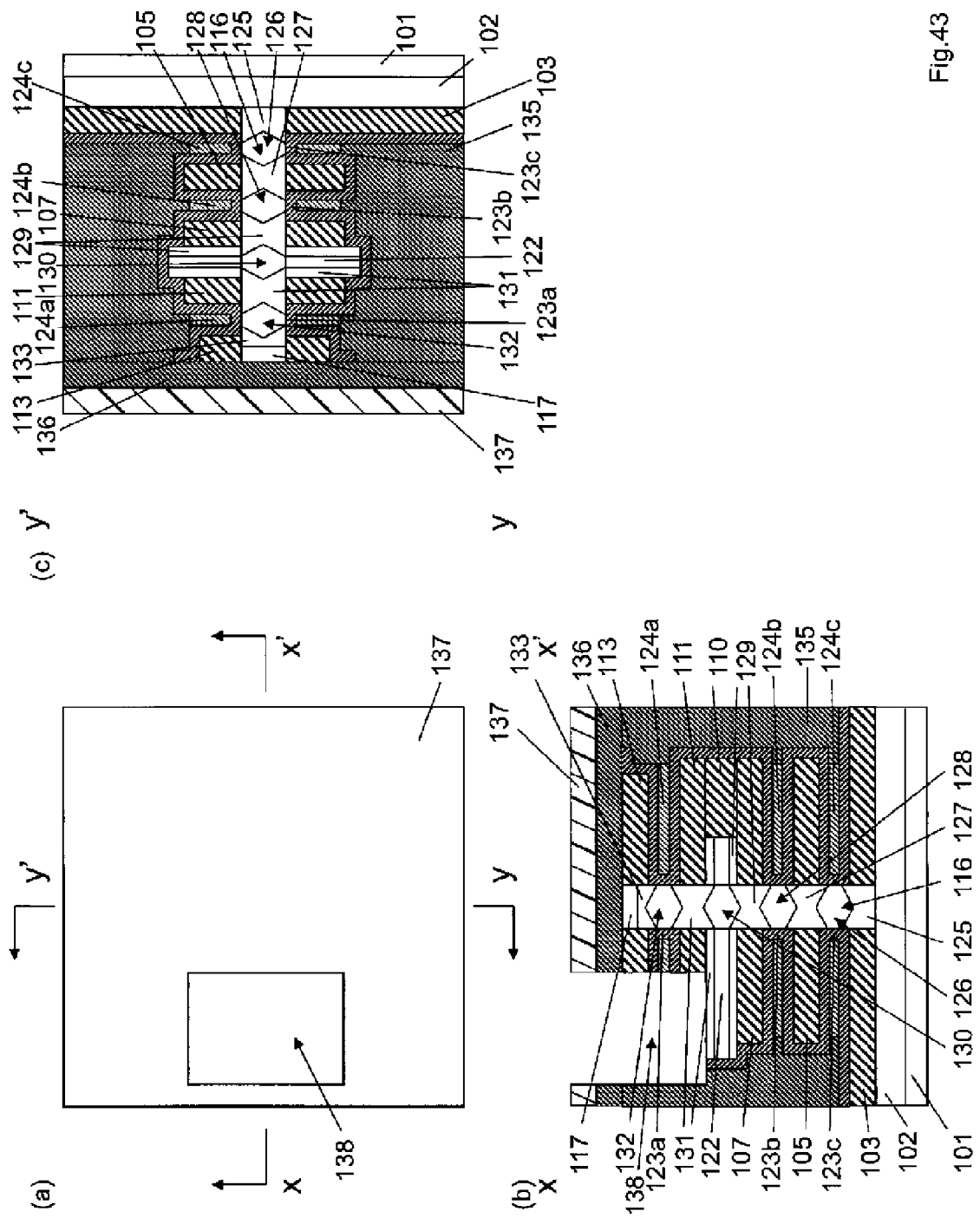


Fig.42

[図43]



[図44]

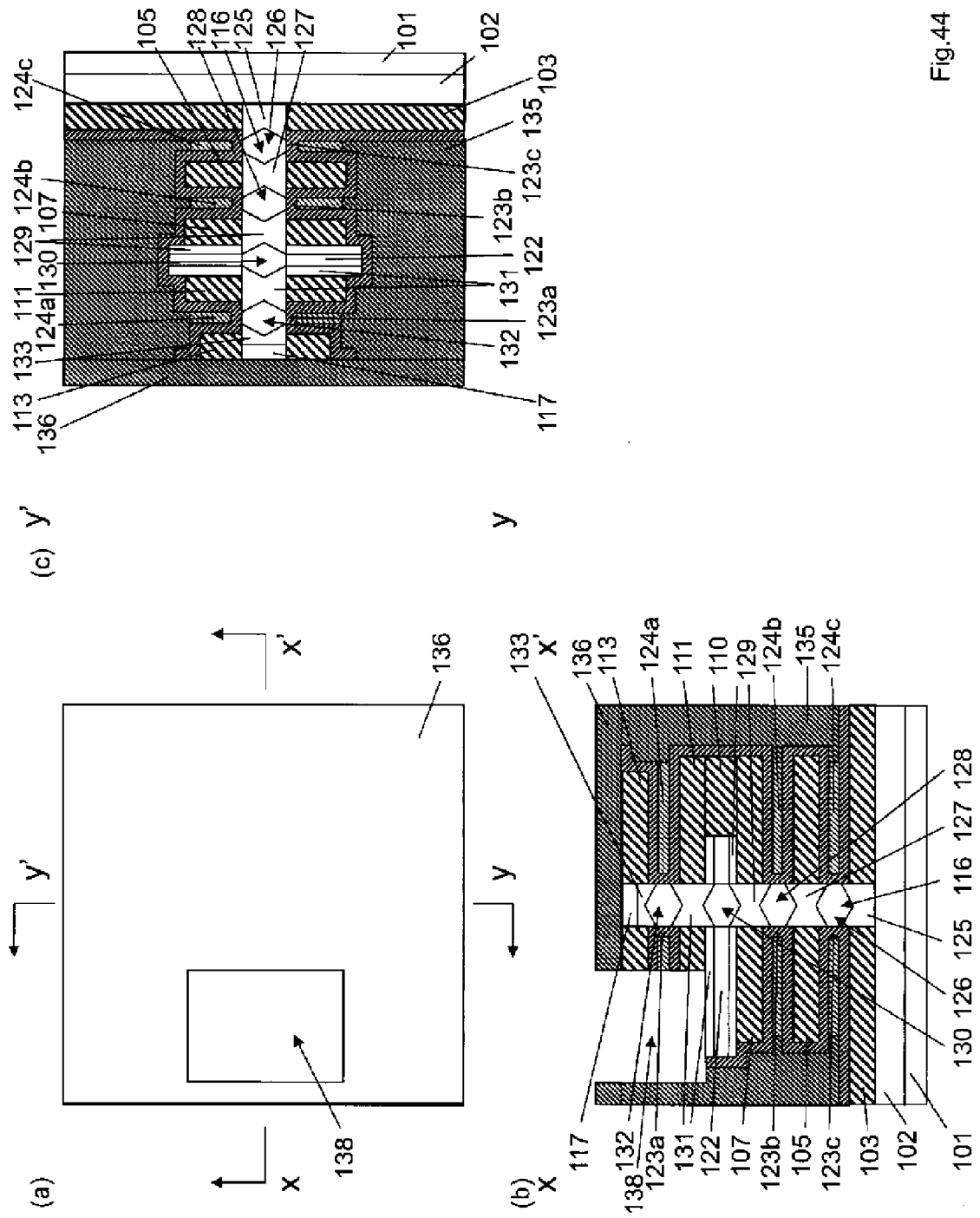


Fig.44

[図45]

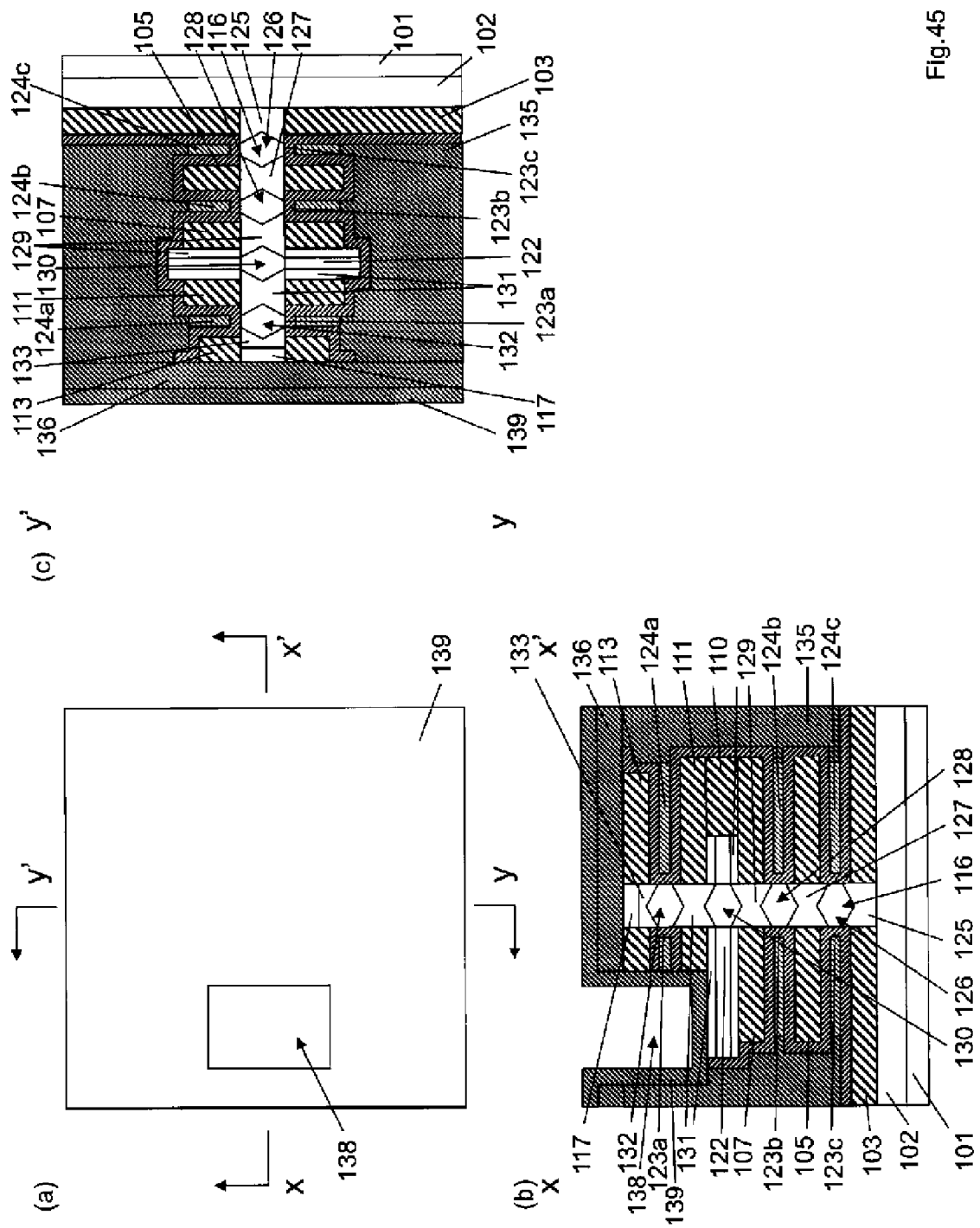


Fig.45

[図46]

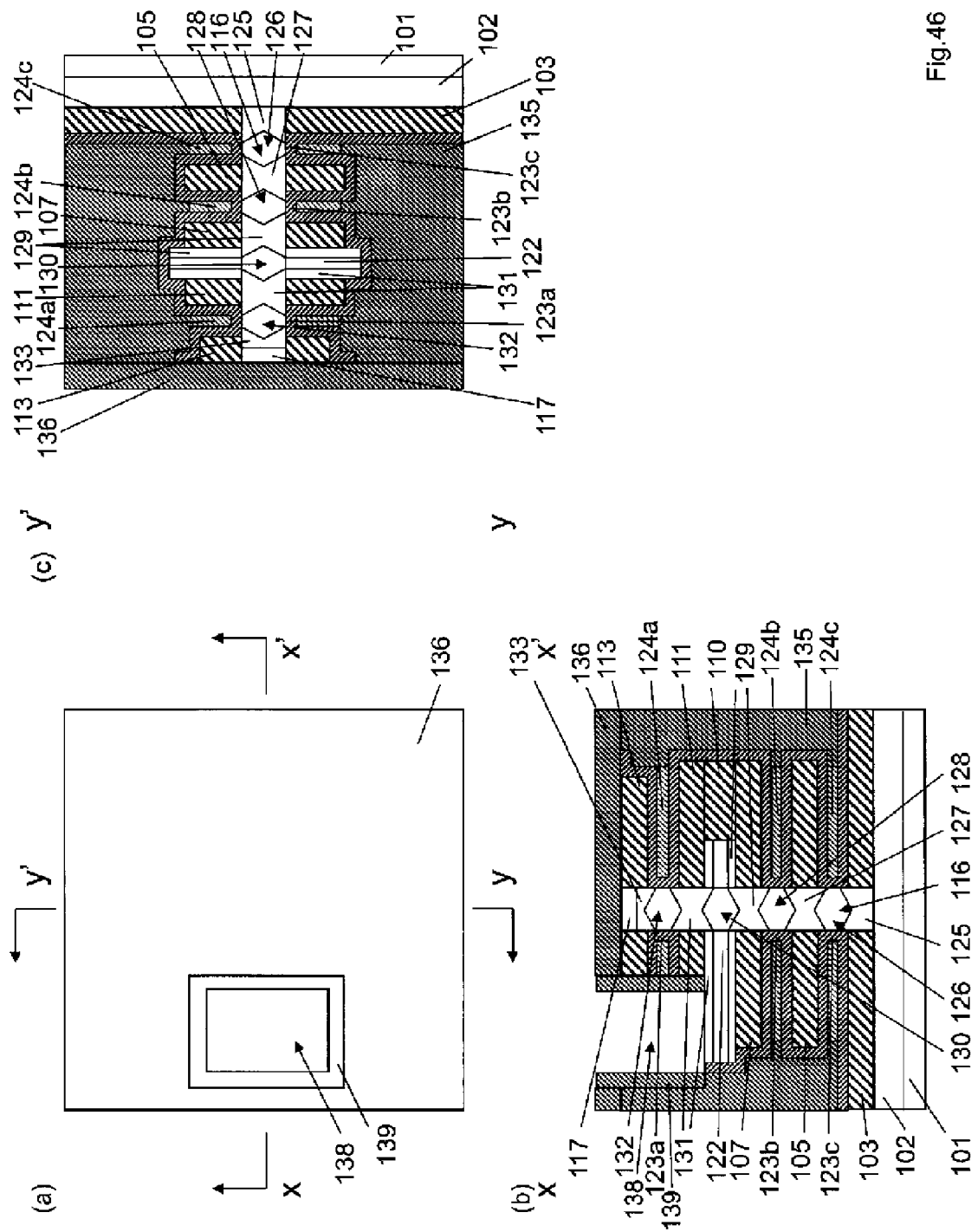


Fig.46

[図47]

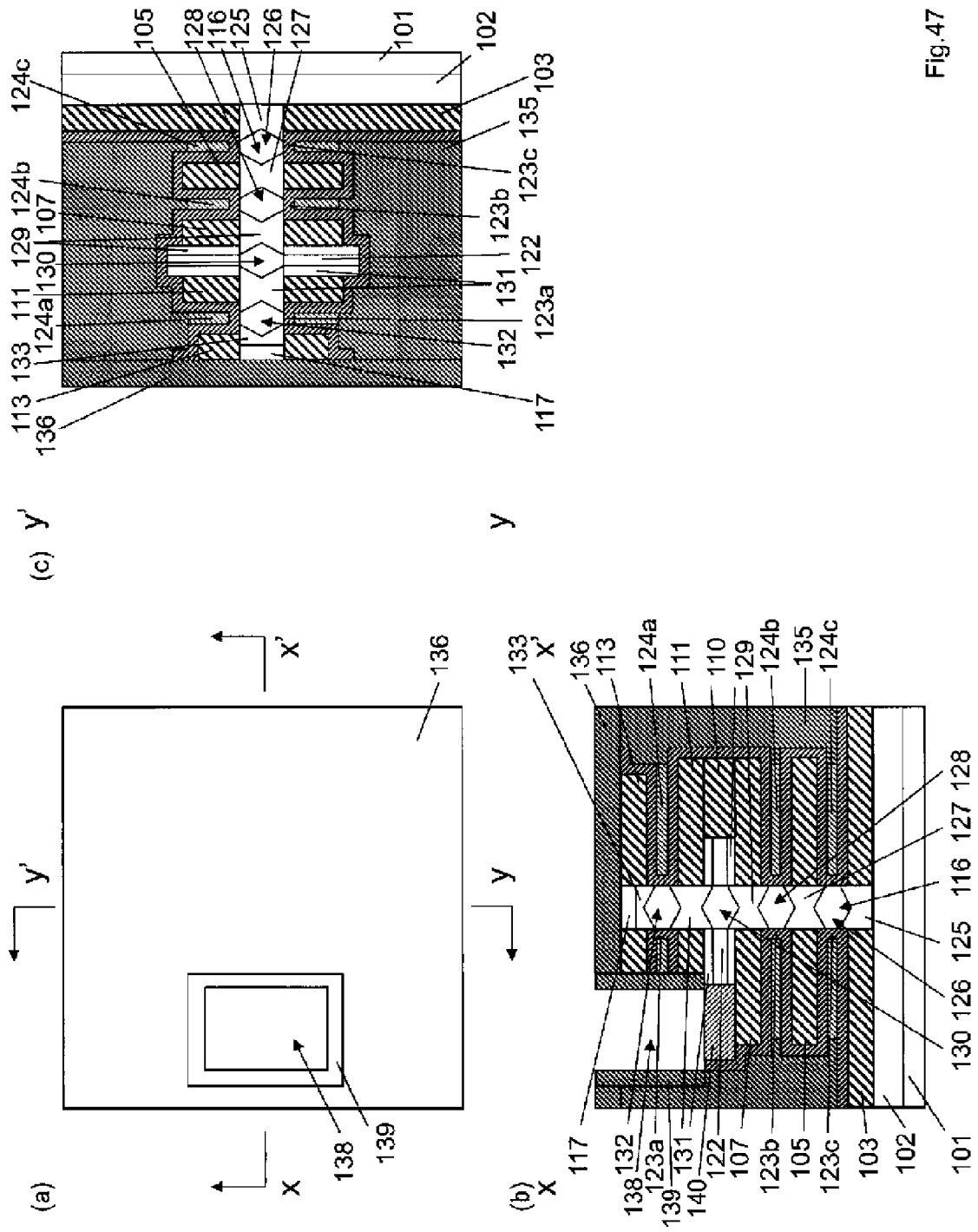


Fig.47

[図48]

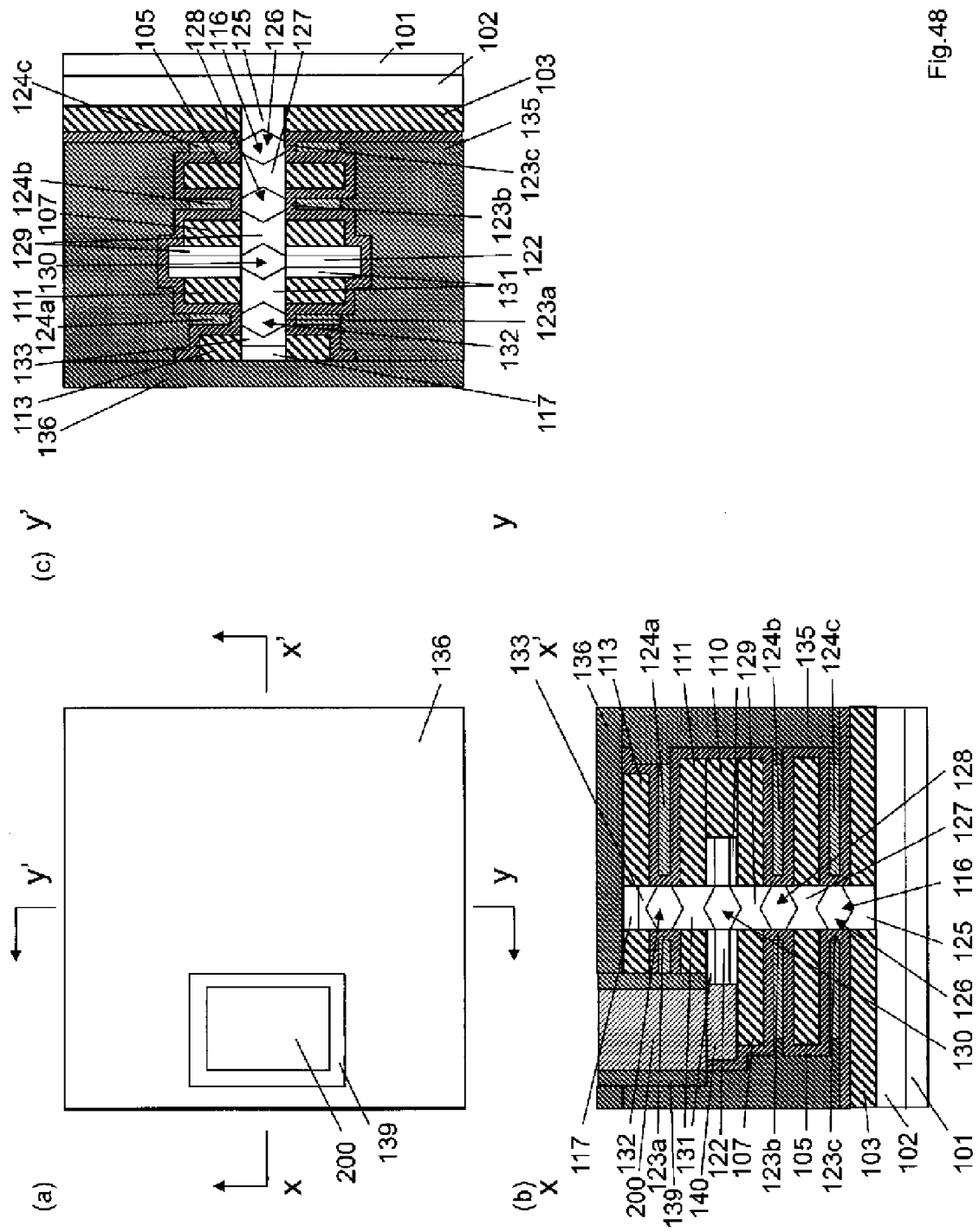


Fig.48

[図49]

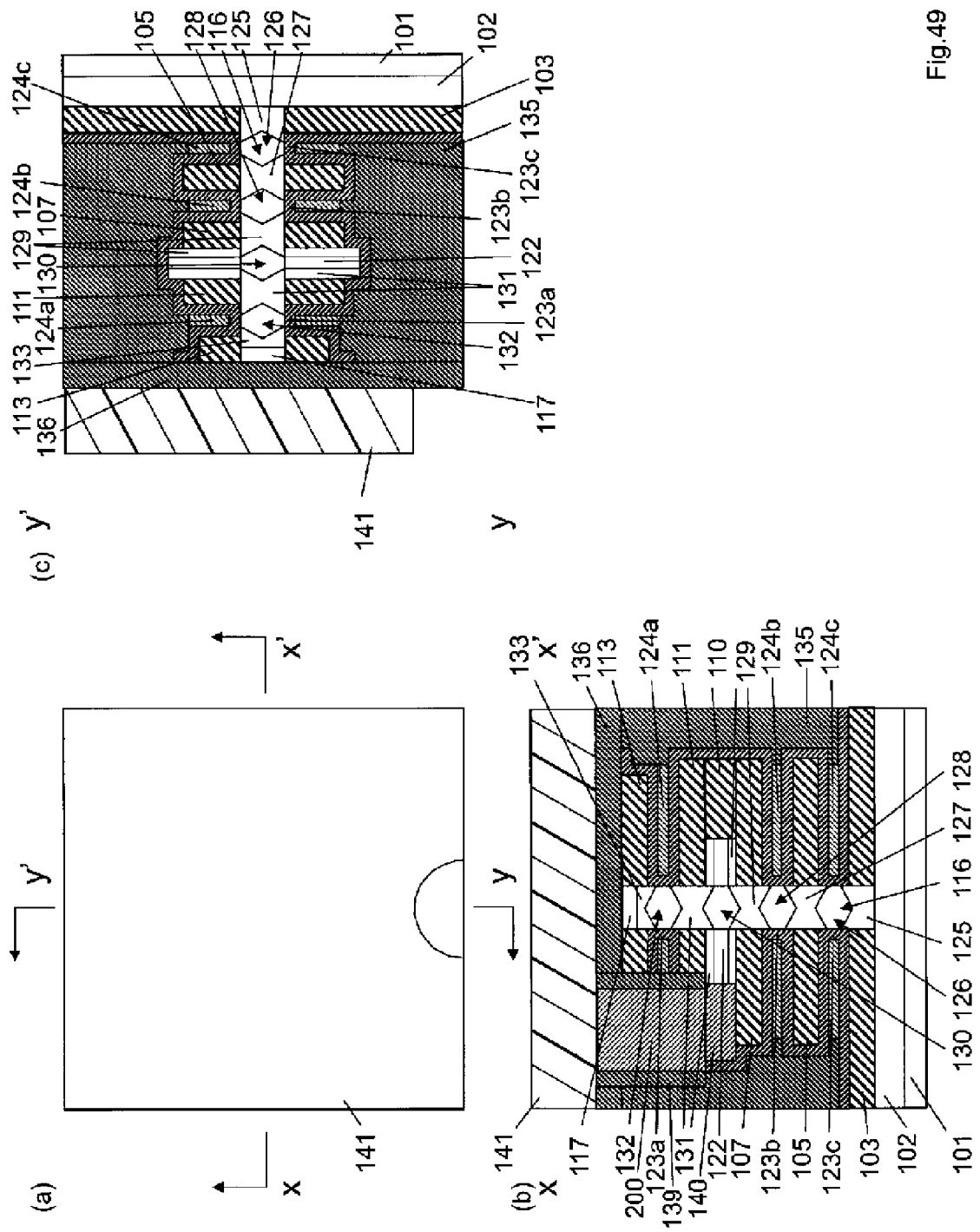


Fig.49

[図50]

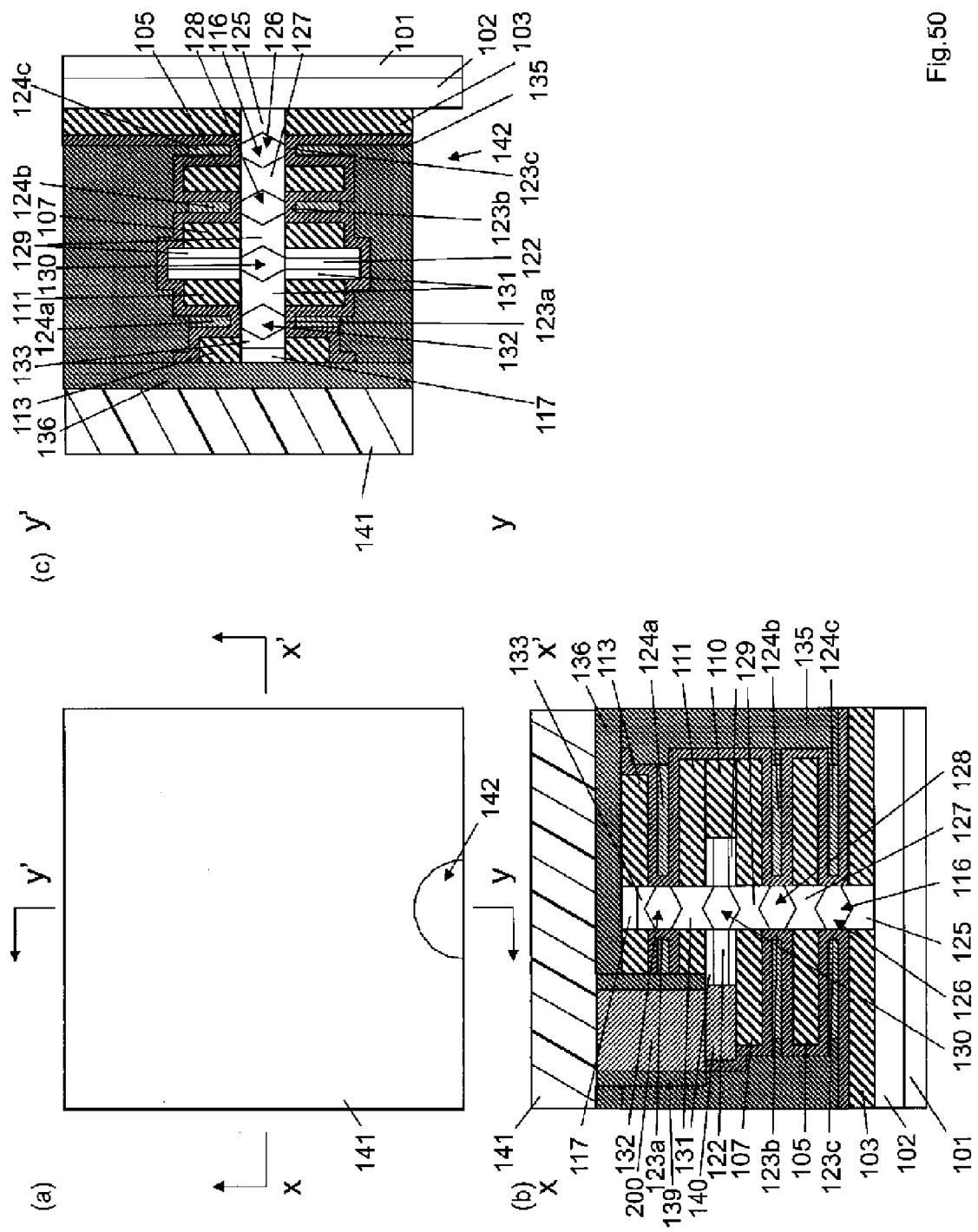


Fig.50

[図52]

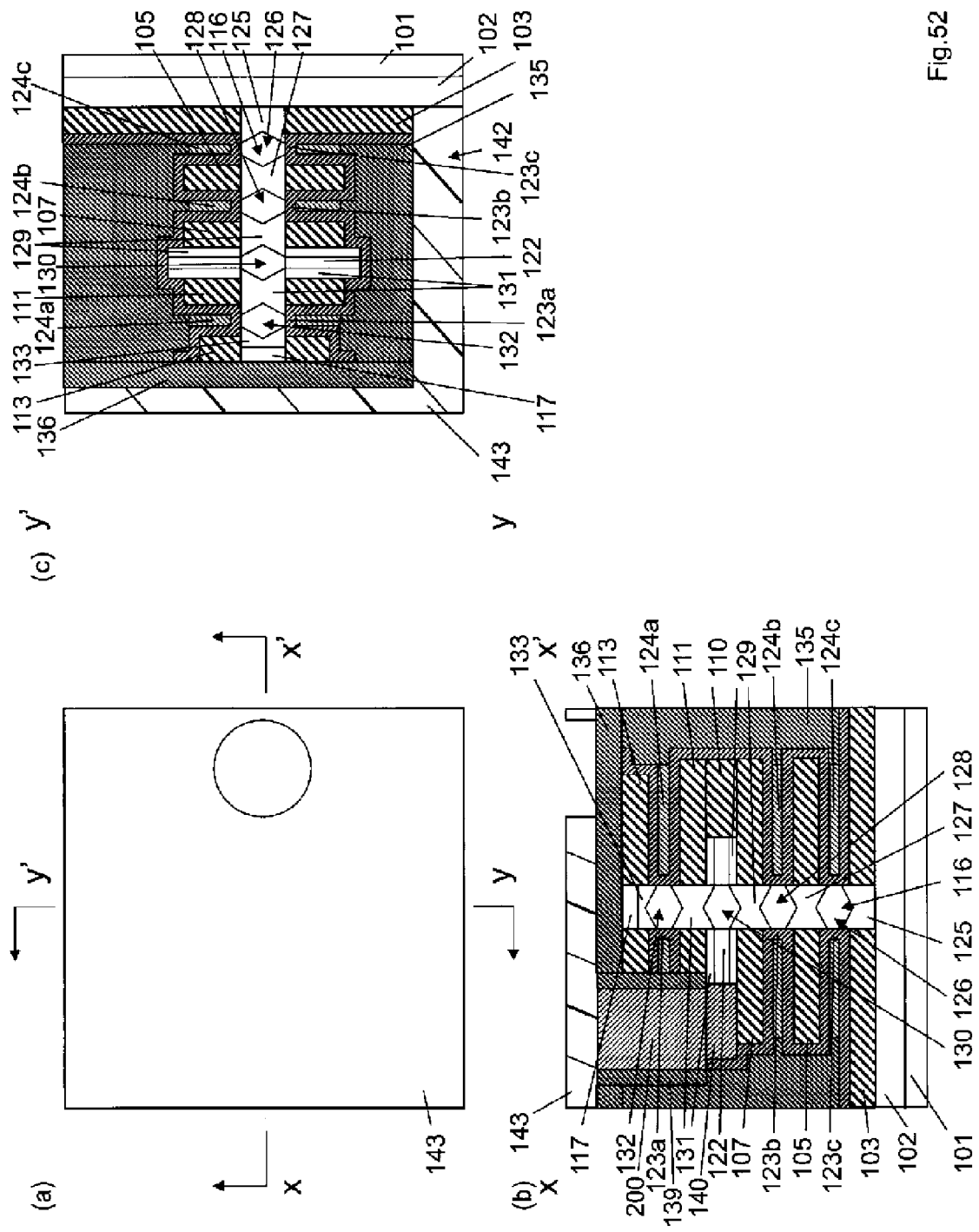


Fig.52

[図53]

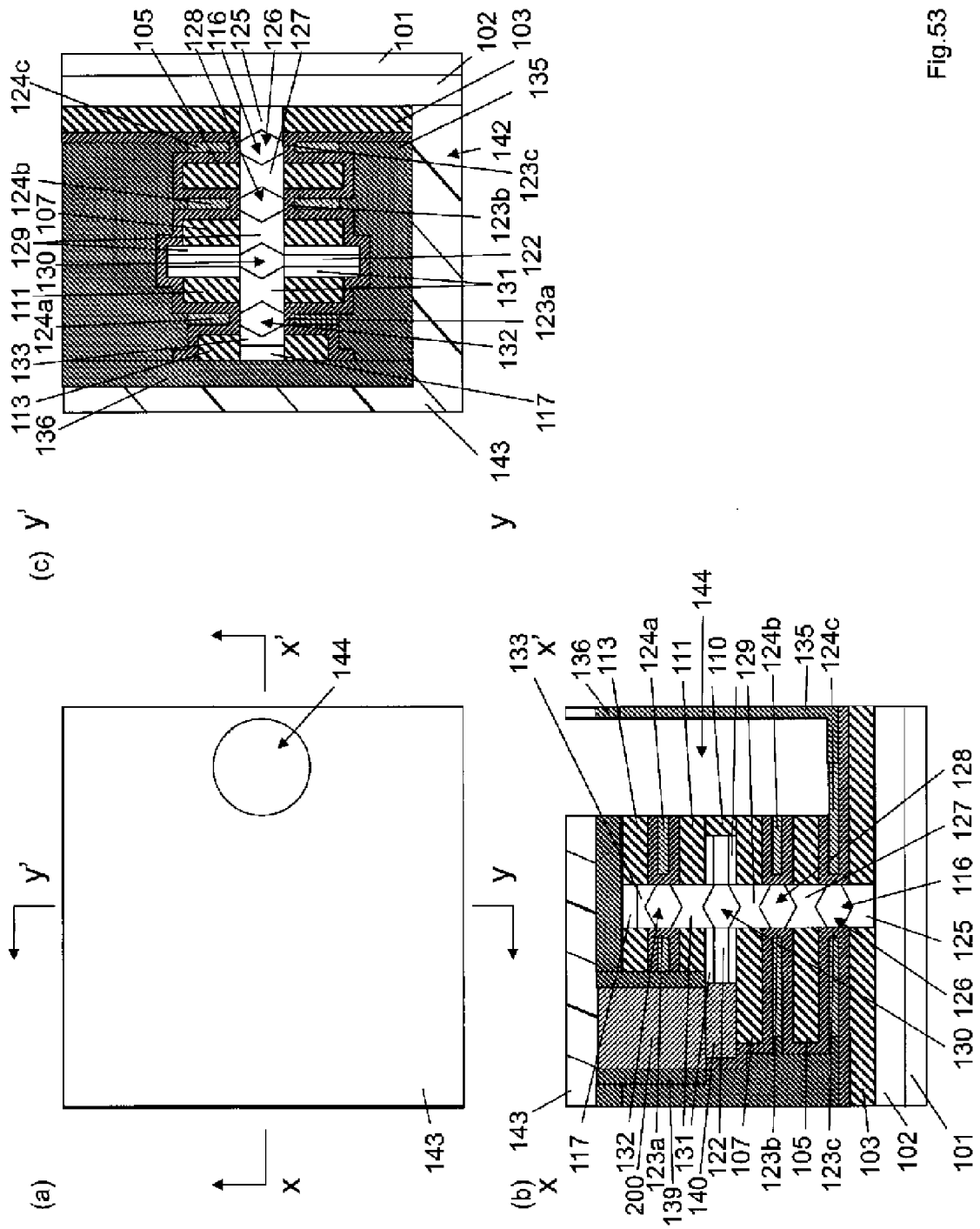


Fig. 53

[図55]

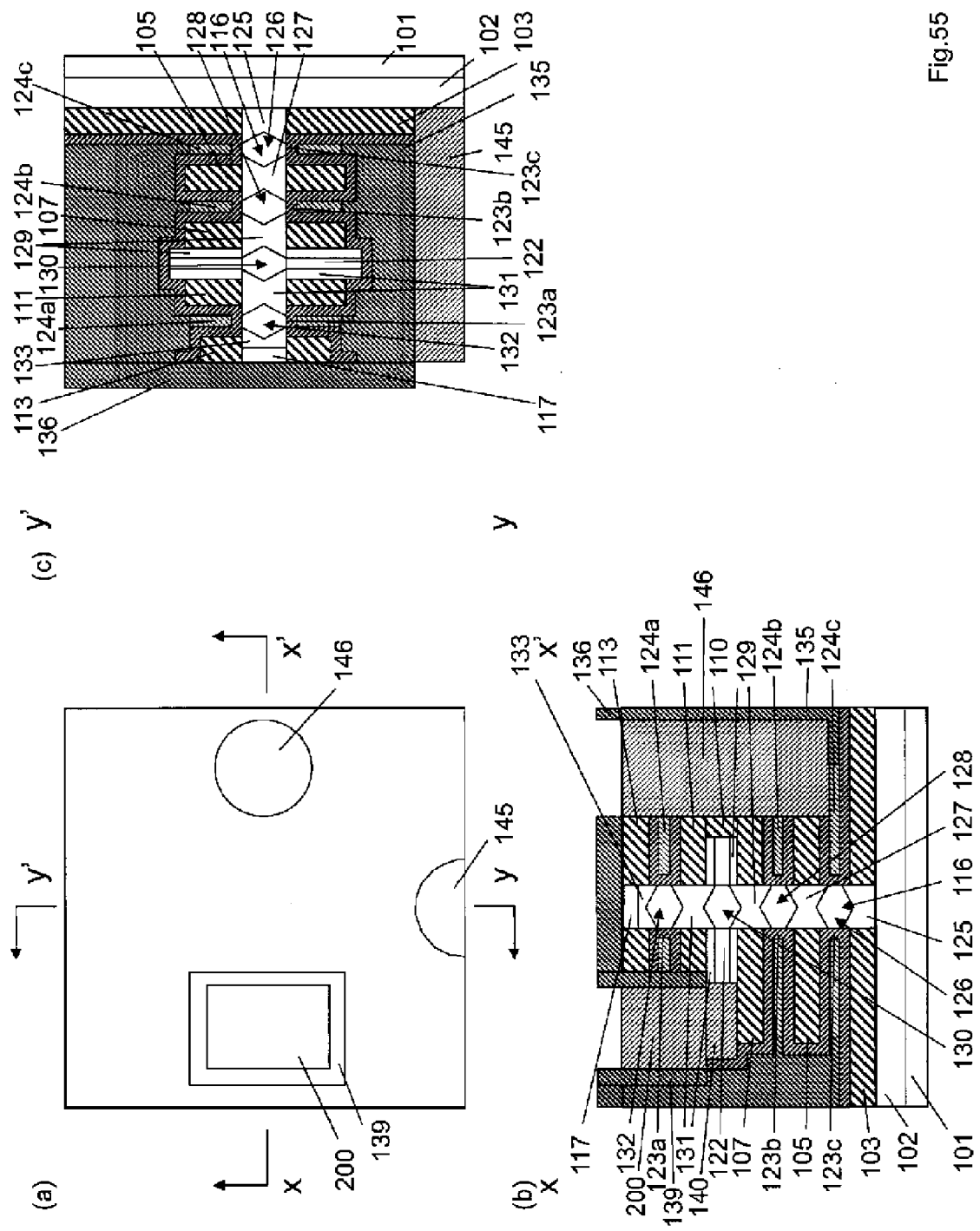


Fig.55

[図56]

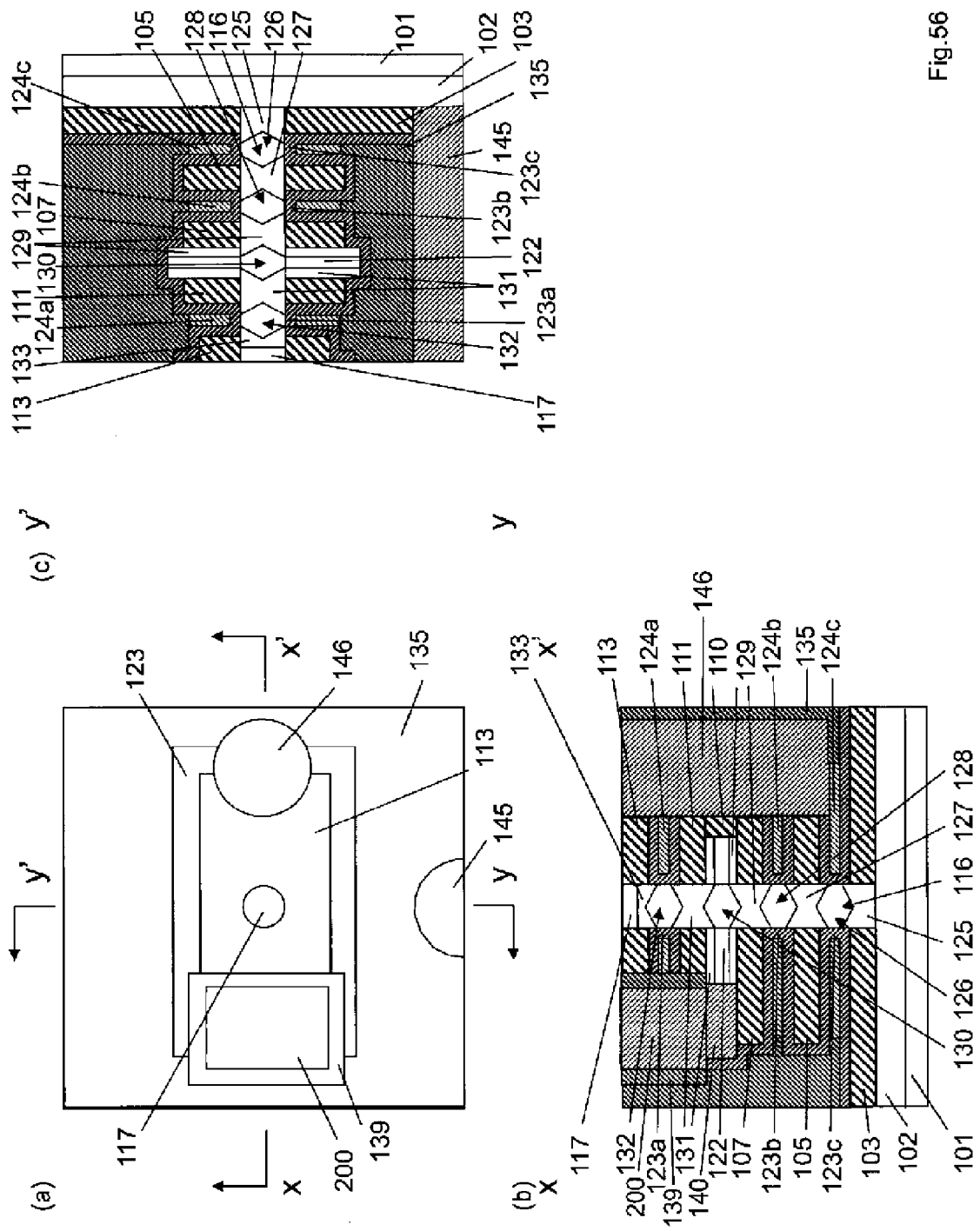


Fig. 56

[図57]

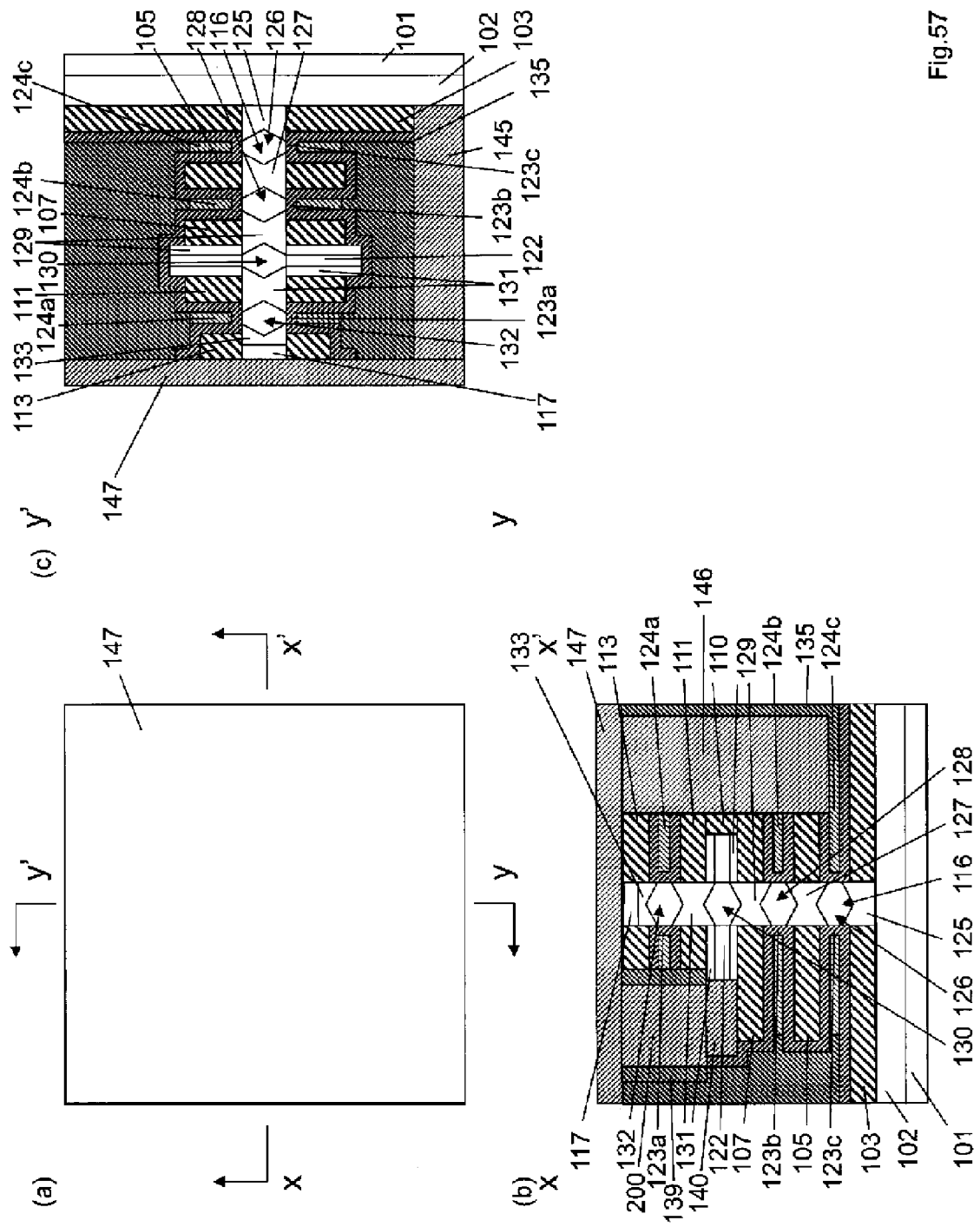


Fig.57

[図58]

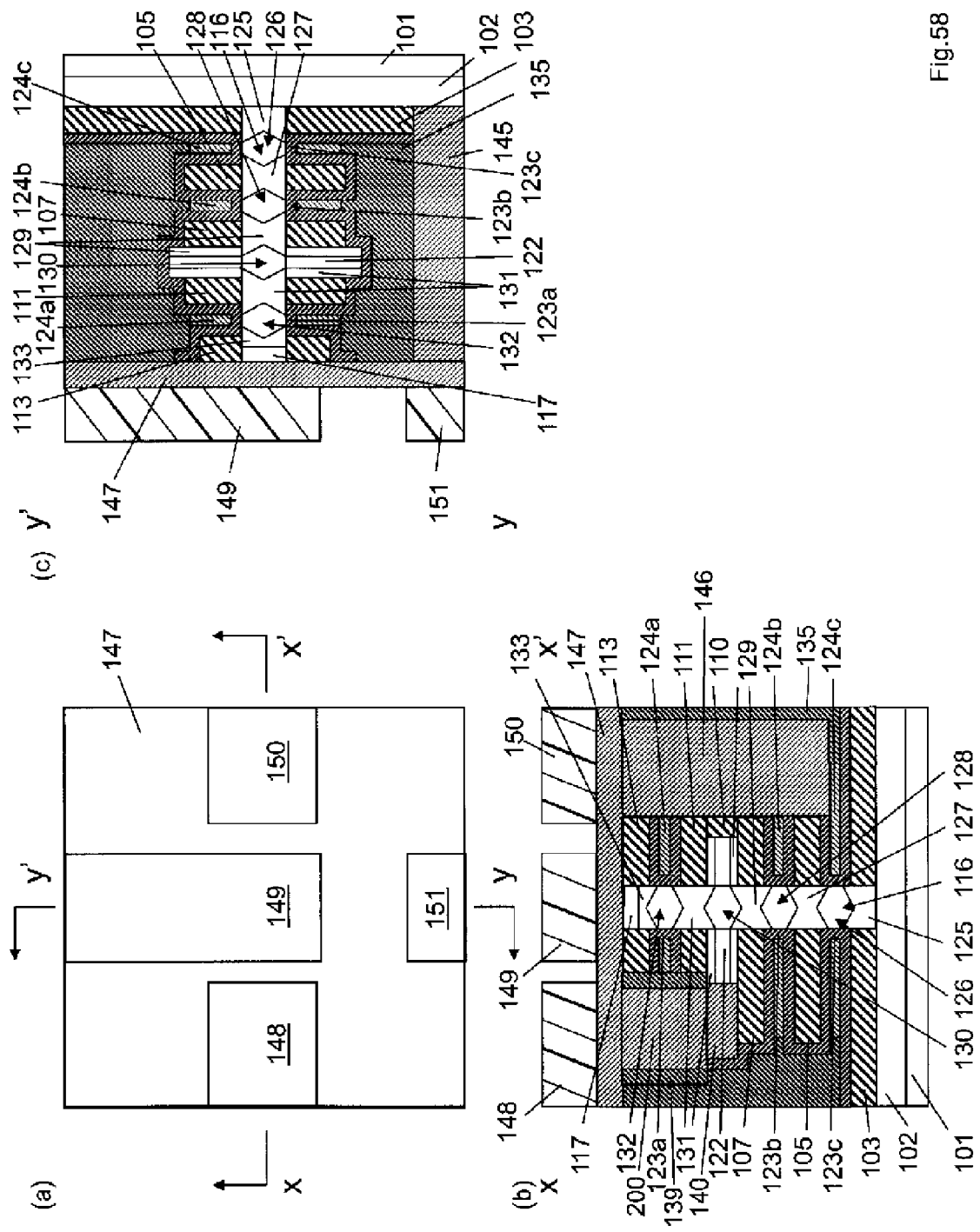


Fig. 58

[図60]

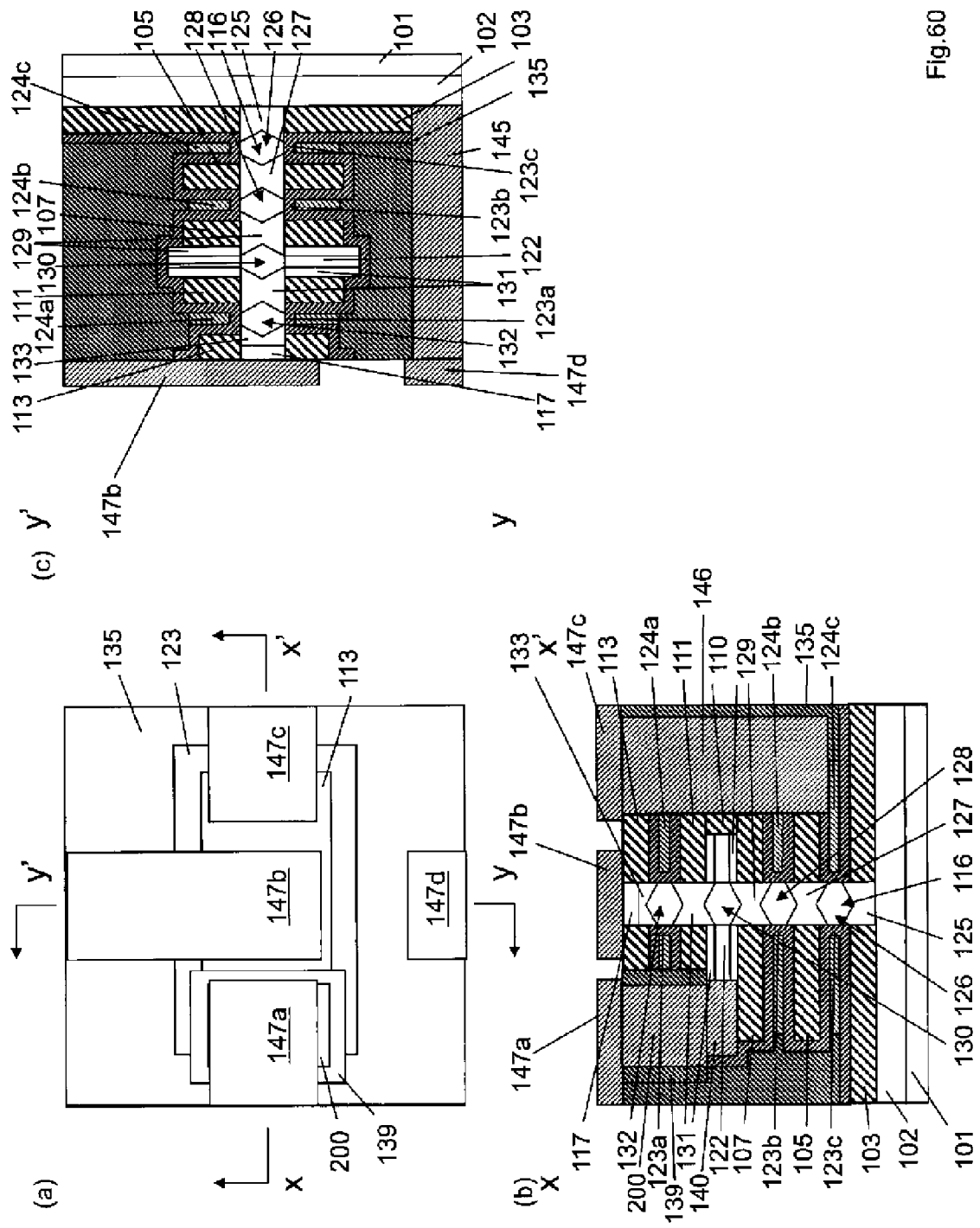


Fig.60

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072563

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/336(2006.01)i, H01L27/092(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/336, H01L27/092, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-023543 A (Renesas Electronics Corp.), 03 February 2011 (03.02.2011), paragraphs [0212] to [0285]; fig. 107 to 141 (Family: none)	1, 2, 4-8 3
Y	JP 08-213477 A (Semiconductor Energy Laboratory Co., Ltd.), 20 August 1996 (20.08.1996), fig. 1 & US 5912474 A fig. 1	1, 2, 4-8
Y	EP 1804286 A1 (INTERUNIVERSITAIR MICROELEKTRONICA CENTRUM), 04 July 2007 (04.07.2007), paragraphs [0116] to [0120]; fig. 3A to 3L, 5A (Family: none)	2, 4-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 November, 2014 (11.11.14)

Date of mailing of the international search report
25 November, 2014 (25.11.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/072563

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-044279 A (Motorola, Inc.), 16 February 2001 (16.02.2001), fig. 6 (Family: none)	5
A	JP 06-013623 A (Motorola, Inc.), 21 January 1994 (21.01.1994), entire text; all drawings & US 5308778 A	1-8
A	JP 2005-268438 A (Sharp Corp.), 29 September 2005 (29.09.2005), entire text; all drawings (Family: none)	1-8
A	JP 10-112543 A (Oki Electric Industry Co., Ltd.), 28 April 1998 (28.04.1998), entire text; all drawings (Family: none)	1-8
A	JP 2007-250652 A (Sharp Corp.), 27 September 2007 (27.09.2007), entire text; all drawings (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/8238(2006.01)i, H01L21/336(2006.01)i, H01L27/092(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/8238, H01L21/336, H01L27/092, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-023543 A（ルネサスエレクトロニクス株式会社） 2011.02.03, 段落【0212】-段落【0285】, 図 107-図 141（ファミリーなし）	1, 2, 4-8 3
Y	JP 08-213477 A（株式会社半導体エネルギー研究所）1996.08.20, 図 1 & US 5912474 A, FIG. 1	1, 2, 4-8

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 1 1 . 2 0 1 4

国際調査報告の発送日

2 5 . 1 1 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

宇多川 勉

5 F

5 2 9 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	EP 1804286 A1 (INTERUNIVERSITAIR MICROELEKTRONICA CENTRUM) 2007.07.04, Paragraphs [0116]-[0120], FIG. 3A-3L, FIG5A (ファミリーなし)	2, 4-8
Y	JP 2001-044279 A (モトローラ・インコーポレイテッド) 2001.02.16, 図6 (ファミリーなし)	5
A	JP 06-013623 A (モトローラ・インコーポレイテッド) 1994.01.21, 全文全図 & US 5308778 A	1-8
A	JP 2005-268438 A (シャープ株式会社) 2005.09.29, 全文全図 (ファミリーなし)	1-8
A	JP 10-112543 A (沖電気工業株式会社) 1998.04.28, 全文全図 (ファミリーなし)	1-8
A	JP 2007-250652 A (シャープ株式会社) 2007.09.27, 全文全図 (ファミリーなし)	1-8