(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5594980号
(P5594980)
(45)発行日　平成26年9月24日(2014.9.24)　(24)登録日　平成26年8月15日(2014.8.15)

(51)Int.Cl.　F I
G05F 1/56 (2006.01)　G05F 1/56 310D

請求項の数 16 (全 13 頁)

(21)出願番号　特願2009-91327(P2009-91327)
(22)出願日　平成21年4月3日(2009.4.3)
(65)公開番号　特開2010-244255(P2010-244255A)
(43)公開日　平成22年10月28日(2010.10.28)
審査請求日　平成24年2月2日(2012.2.2)

(73)特許権者　513192281
ピーエスフォー　ルクスコ　エスエイアールエル
ＰＳ４　Ｌｕｘｃｏ　Ｓ．ａ．ｒ．ｌ．
ルクセンブルク大公国エル－２１２１、ルクセンブルク、ヴァル　デ　ボン　マラデス２０８
(74)代理人　100080816
弁理士　加藤　朝道
(74)代理人　100098648
弁理士　内田　潔人
(74)代理人　100119415
弁理士　青木　充

最終頁に続く

(54)【発明の名称】非反転増幅回路及び半導体集積回路と非反転増幅回路の位相補償方法

(57)【特許請求の範囲】
【請求項１】
非反転入力に入力信号を受ける差動増幅部と、
前記差動増幅部の出力を入力に受け、出力が帰還路を介して前記差動増幅部の反転入力に帰還される出力トランジスタと、
前記出力トランジスタの入力と、前記出力トランジスタの出力の前記帰還路の間に、直列に接続された可変抵抗と容量を含む位相補償回路と、
前記出力トランジスタに流れる出力電流を検出する出力電流モニタ回路と、
前記位相補償回路の前記可変抵抗の抵抗値を可変させる回路であって、前記出力電流モニタ回路での前記出力電流の検出結果を受け、前記検出結果に応じた信号を生成し、前記位相補償回路の前記可変抵抗の抵抗値を可変させる回路と、
を備えた非反転増幅回路。
【請求項２】
前記差動増幅部の反転入力は、前記出力トランジスタの出力に一端が接続された帰還抵抗の他端に接続され、
前記位相補償回路は、前記差動増幅部の出力と前記出力トランジスタの入力の接続点と、前記帰還抵抗の他端との間に接続されている、請求項１記載の非反転増幅回路。
【請求項３】
前記差動増幅部の反転入力は、前記出力トランジスタの出力に接続され、
前記位相補償回路は、前記差動増幅部の出力と前記出力トランジスタの入力の接続点と

、前記出力トランジスタの出力との間に接続されている、請求項１記載の非反転増幅回路。

【請求項４】

前記出力電流モニタ回路には、前記出力トランジスタに流れる前記出力電流の所定数（ｎ）分の１の電流が流れ、前記前記出力電流の所定数（ｎ）分の１の電流をモニタする、請求項１乃至３のいずれか１項に記載の非反転増幅回路。

【請求項５】

前記可変抵抗が、電界効果トランジスタを含み、

前記可変抵抗の抵抗値を可変させる回路は、

前記出力電流モニタ回路での前記出力電流の検出結果に応じた電圧を、前記電界効果トランジスタのゲートに供給する、請求項１乃至４のいずれか１項に記載の非反転増幅回路。

【請求項６】

前記出力電流モニタ回路は、前記差動増幅部の出力をゲート入力に受ける電界効果トランジスタを含み、

前記出力電流モニタ回路と前記可変抵抗の抵抗値を可変させる回路は、高電位側の電源と低電位側の電源間に直列に接続される、請求項１乃至５のいずれか１項に記載の非反転増幅回路。

【請求項７】

前記可変抵抗の抵抗値を可変させる回路は、複数段縦積みされた電界効果トランジスタを含む、請求項６に記載の非反転増幅回路。

【請求項８】

前記出力電流モニタ回路は、前記出力トランジスタと共通に前記差動増幅部の出力を入力するトランジスタを含む、請求項１乃至５のいずれか１項に記載の非反転増幅回路。

【請求項９】

前記出力電流モニタ回路の前記トランジスタは、前記出力トランジスタの所定数（ｎ）分の１の電流駆動能力である、請求項５記載の非反転増幅回路。

【請求項１０】

前記可変抵抗の抵抗値を可変させる回路が、前記出力電流モニタ回路で検出された電流を電圧に変換して出力する電流－電圧変換回路を備えている、請求項１乃至５，８，９，１０のいずれか１項に記載の非反転増幅回路。

【請求項１１】

前記出力電流モニタ回路は、前記差動増幅部の出力をゲート入力に受ける電界効果トランジスタを含み、

前記出力電流モニタ回路と前記電流－電圧変換回路は、高電位側の電源と低電位側の電源間に直列に接続される、請求項１０に記載の非反転増幅回路。

【請求項１２】

前記電流－電圧変換回路は、複数段縦積みされた電界効果トランジスタを含む、請求項１１に記載の非反転増幅回路。

【請求項１３】

請求項１又は２記載の非反転増幅回路を備えたボルテージレギュレータ。

【請求項１４】

請求項１又は３記載の非反転増幅回路を備えたボルテージフォロワ。

【請求項１５】

請求項１乃至１４のいずれか１項に記載の非反転増幅回路を備えた半導体集積回路装置。

【請求項１６】

非反転入力に入力信号を受ける差動増幅部と、

前記差動増幅部の出力を入力に受け、出力が帰還路を介して前記差動増幅部の反転入力に帰還される出力トランジスタと、

前記出力トランジスタの入力と、前記出力トランジスタの出力の前記帰還路の間に、直列に接続された可変抵抗と容量を含む位相補償回路と、を備えた非反転増幅回路の位相補償方法であって、
前記出力トランジスタに流れる出力電流をモニタし、
前記出力電流のモニタ結果に応答して、前記検出結果に応じた信号を生成し、前記位相補償回路の前記可変抵抗の抵抗値を可変させる非反転増幅回路の位相補償方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、半導体集積回路に関し、特に非反転増幅回路及び非反転増幅回路を備えた半導体集積回路と位相補償方法に関する。
【背景技術】
【０００２】
ボルテージレギュレータ（定電圧回路）は、基準電圧Ｖｒｅｆを非反転入力に入力する差動増幅部、出力トランジスタ、出力トランジスタの出力を分圧する分圧抵抗を備え、出力を差動増幅部の反転入力に負帰還させることで、出力端子に定電圧を出力する。ボルテージレギュレータにおいて、差動増幅部及び出力トランジスタには、ポール（伝達関数の分母が０となる）という周波数が存在し、その周波数特性はゲインが減少するとともに位相が遅れる。ゲインが０ｄＢまで減少したときの位相余裕（Ｐｈａｓｅ　Ｍａｒｇｉｎ：Ｐ．Ｍ．）が小さいと、回路の動作は不安定になり、ゲインが０ｄＢ以上（ゲインが１以上）で位相が１８０度遅れると回路は発振してしまう。なお、位相余裕（Ｐ．Ｍ．）は、周波数特性において、ゲインが０ｄＢで、位相が－１８０度よりどの程度余裕があるかを示す。
【０００３】
ボルテージレギュレータあるいはボルテージフォロワ等の非反転増幅回路（非反転入力・負帰還増幅回路）においては、発振を防止し、動作を安定させるために、位相補償容量や位相補償抵抗によって構成される位相補償回路を接続し、ポールとは逆の性質を有するゼロ（伝達関数の分子を０とする）を発生させることで、位相余裕を確保している。非反転増幅回路の周波数特性の折れ曲がりに対応する周波数をポールといい周波数０．１ｆｐから１０ｆｐで９０度遅れる。一方、ゼロ点周波数（＝１／（２πＣＲ））に対して周波数が高くなると、位相が進み、例えば０．１ｆｚから１０ｆｚにかけて９０度進み、これにより、ポールによる位相遅れをキャンセル（位相補償）し、位相余裕を確保し、発振を防ぐ。これが非反転増幅回路における位相補償の原理である。
【０００４】
以下では、非反転増幅回路としてボルテージレギュレータについて説明する。図４は、後述する本願の課題と分析を説明するために用いる図であり、本願発明に関連するボルテージレギュレータの回路構成を示す図である。
【０００５】
図４を参照すると、ボルテージレギュレータ１０’は、
（Ａ）ソースがグランドに接続され、ゲートにバイアス電圧ＶＢを受けるｎＭＯＳトランジスタ（定電流源トランジスタ）ＮＭ３と、
（Ｂ）ソースが共通接続されてｎＭＯＳトランジスタＮＭ３のドレインに接続され、基準電圧Ｖｒｅｆ（不図示の基準電圧回路から供給される）と、帰還電圧（出力端子電圧Ｖｏｕｔを抵抗Ｒｆ、Ｒｓにより分圧した電圧）とをゲートにそれぞれ受け、差動対を構成するｎＭＯＳトランジスタ対ＮＭ１、ＮＭ２と、
（Ｃ）ソースが電源ＶＤＤに接続され、ドレインがｎＭＯＳトランジスタＮＭ１のドレインに接続されたｐＭＯＳトランジスタＰＭ１、及び、ソースが電源ＶＤＤに接続され、ゲートがｐＭＯＳトランジスタＰＭ１のゲートに接続され、ゲートとドレインが接続されてｎＭＯＳトランジスタＮＭ２のドレインに接続されたｐＭＯＳトランジスタＰＭ２（ｐＭＯＳトランジスタＰＭ１、ＰＭ２は差動対の負荷回路でありカレントミラーを構成する）

と、
（Ｄ）ソースが電源ＶＤＤに接続され、ゲートがｎＭＯＳトランジスタＮＭ１のドレインに接続され、ソースが出力端子ＯＵＴに接続されたｐＭＯＳトランジスタＰＭ３（出力トランジスタ、あるいは出力ドライバともいう）と、
（Ｅ）ｐＭＯＳトランジスタＰＭ３のソースとグランド間に直列に接続され、分圧抵抗をなす抵抗Ｒｆ（帰還抵抗ともいう）及び抵抗Ｒｓと、
（Ｆ）抵抗Ｒｆ及び抵抗Ｒｓの接続点（ノードＮ２）と、ｐＭＯＳトランジスタＰＭ３のゲートノードＮ１間に直列に接続された抵抗Ｒｚ（位相補償抵抗：周波数特性のゼロを作る抵抗：ゼロ点抵抗）と容量Ｃｃと、を備えている。

【０００６】

ｎＭＯＳトランジスタＮＭ１、ＮＭ２（差動対）、ｎＭＯＳトランジスタＮＭ３（定電流源）、ｐＭＯＳトランジスタＰＭ１、ＰＭ２（負荷回路）は、差動アンプ部を構成している。ｐＭＯＳトランジスタＰＭ３と抵抗Ｒｆ、Ｒｓは出力段部を構成している。抵抗Ｒｚと容量Ｃｃは位相補償部を構成している。出力端子ＯＵＴには、外部回路（負荷回路）接続される。また、出力端子ＯＵＴとグランド間に、補償容量Ｃが外付で接続されている。

【０００７】

図４の回路において、出力端子ＯＵＴの電圧をＶｏｕｔとすると、

$$Vref = Vout \times \frac{Rs}{Rf + Rs} \qquad (1)$$

より、

$$Vout = Vref \times \left(1 + \frac{Rf}{Rs}\right) \qquad (2)$$

で与えられる。

【０００８】

これにより、よく知られた非反転増幅回路のゲイン公式

$$Gain = \frac{Vout}{Vref} = 1 + \frac{Rf}{Rs} \qquad (3)$$

が導かれる。

【０００９】

図４の回路の周波数特性は、ｐＭＯＳトランジスタＰＭ３（出力トランジスタ）の出力電流（負荷電流）Ｉｏｕｔへの依存性が大きい。図５（Ａ）は、図４の回路の周波数特性を模式的に示した図であり、図４の入力（ｎＭＯＳトランジスタＮＭ１のゲート）に、ＤＣ信号である基準電圧Ｖｒｅｆのかわりに、ＡＣ信号を入力し、周波数掃引して、周波数に対するゲイン特性、位相特性をプロットしたものであり、横軸は周波数、左辺縦軸はゲイン、右辺縦軸は位相である。なお、周波数特性は回路シミュレーションによっても得られる。図５（Ｂ）は、図４における出力電流Ｉｏｕｔを図５（Ａ）の場合よりも、大きくした場合のゲイン、位相の周波数特性（横軸：周波数、左辺縦軸：ゲイン、右辺縦軸：位相）を示している。

【００１０】

図５（Ａ）、図５（Ｂ）において、ｐ０、ｐ１、ｐ２は１番目、２番目、３番目のポール、ｚ０はゼロ（ゼロ点周波数）である。ゲインが０ｄＢに対応する位相（Ｐｈａｓｅ）（矢印参照）が位相余裕（ＰＭ）であり、－１８０度よりどの程度余裕があるかを示す。ゲインが０ｄＢ（１倍）で位相が－１８０度より回転している場合、非反転増幅回路は発振する可能性がある。

【００１１】
図５（Ｂ）に示すように、出力電流Ｉｏｕｔが増加すると、位相余裕は、図５（Ａ）よりも小さくなる。さらに、出力電流Ｉｏｕｔが増加すると、ゼロ点周波数ｚ０がほぼＩｏｕｔに比例して高くなり、ポールによる位相遅れをキャンセルすることが難しくなる。
【００１２】
図５（Ｃ）は、図４のボルテージレギュレータにおける出力電流（負荷電流）Ｉｏｕｔ（横軸）と、ゲインＧａｉｎ、出力電圧Ｖｏｕｔ、位相余裕（Ｐ．Ｍ．）（縦軸）との関係を示す図である。なお、図５（Ａ）乃至（Ｃ）は、本発明者により作成されたものである。
【００１３】
図５（Ｃ）に示すように、出力電流Ｉｏｕｔのレンジが広い場合には、周波数特性の調整が困難となる。周波数特性の中でも、特に位相余裕特性（Ｐ．Ｍ．）は出力電流Ｉｏｕｔの影響を大きく受ける。出力電流Ｉｏｕｔが大きくなると、位相余裕特性（Ｐ．Ｍ）は減衰し、出力電流Ｉｏｕｔの上限側では、位相余裕はスペック下限（動作を補償するための下限）に接近している。また、ｐＭＯＳトランジスタＰＭ３の出力電流Ｉｏｕｔが増加すると、出力端子ＯＵＴの電圧Ｖｏｕｔは減少する（例えば電源電圧ＶＤＤから出力端子ｏｕｔのインピーダンスによる電圧降下による）。したがって、図５（Ｃ）に示すように、出力電流Ｉｏｕｔが増加すると、ゲイン＝Ｖｏｕｔ／Ｖｒｅｆは下がる。
【００１４】
なお、特許文献１には、演算増幅器に対して帰還電圧ＶＦＢの位相を進ませて位相補償を行う位相補償回路に対して電流検出部で検出された、出力ドライバ（トランジスタ）からの出力電流に応じて、位相補償抵抗の短絡制御を行うことで位相補償回路の時定数を変えるように制御し、ＶＦＢに対して位相補償が行われる周波数の制御を行う位相補償制御回路を備えたボルテージレギュレータが開示されている。特許文献１においては、出力ドライバのドレインと分圧抵抗の分圧点の間に容量と直列に挿入されるｎＭＯＳトランジスタに対して、電流検出回路で出力電流が所定値以上と判定したとき、ｎＭＯＳトランジスタをオンさせ、位相補償用容量に関する時定数を小さくし、出力ドライバトランジスタによって位相遅れが生じる周波数が高周波側に移動しても位相補償回路で位相補償が行われる周波数を高周波数側に移動させ位相余裕を大きくする。
【先行技術文献】
【特許文献】
【００１５】
【特許文献１】特開２００２－２９７２４８号公報
【発明の概要】
【発明が解決しようとする課題】
【００１６】
以下に本発明による分析を与える。
【００１７】
図４に示した回路においては、位相余裕（Ｐ．Ｍ．）の出力電流（Ｉｏｕｔ）への依存性が大きい。位相余裕（Ｐ．Ｍ．）ｖｓ出力電流（Ｉｏｕｔ）特性をフラットにすることが、ボルテージフォロワ構成のＯＰアンプやボルテージレギュレータ等のアナログ回路設計時の大きな課題となっている。
【課題を解決するための手段】
【００１８】
本発明は上記問題点の少なくとも一つを解決するものであり、概略以下の構成とされる。
【００１９】
本発明によれば、非反転入力に入力信号を受ける差動増幅部と、前記差動増幅部の出力を入力に受け、出力が帰還路を介して前記差動増幅部の反転入力に帰還される出力トランジスタと、前記出力トランジスタの入力と、前記出力トランジスタの出力の前記帰還路の

間に、直列に接続された可変抵抗と容量を含む位相補償回路と、前記出力トランジスタに流れる出力電流を検出する出力電流モニタ回路と、前記出力電流モニタ回路での前記出力電流の検出結果に応じて、前記位相補償回路の前記可変抵抗の抵抗値を可変させる回路と、を備えた非反転増幅回路が提供される。

【００２０】

本発明によれば、非反転入力に入力信号を受ける差動増幅部と、前記差動増幅部の出力を入力に受け、出力が帰還路を介して前記差動増幅部の反転入力に帰還される出力トランジスタと、前記出力トランジスタの入力と、前記出力トランジスタの出力の前記帰還路の間に、直列に接続された可変抵抗と容量を含む位相補償回路と、を備えた非反転増幅回路の位相補償方法であって、

前記出力トランジスタに流れる出力電流をモニタし、

前記出力電流のモニタ結果に応じて、前記位相補償回路の前変抵抗の抵抗値を可変させる、非反転増幅回路の位相補償方法が提供される。

【発明の効果】

【００２１】

本発明によれば、非反転増幅回路における位相余裕の出力電流への依存性を抑制し、位相余裕－出力電流特性をフラットにすることができる。

【図面の簡単な説明】

【００２２】

【図１】本発明の一実施例の構成を示す図である。

【図２】本発明の一実施例の構成を示す図である。

【図３】本発明と比較例の出力電流と位相余裕（ゲイン特性）を示す図である。

【図４】ボルテージレギュレータの構成を示す図であり、本願の課題と分析を説明するための本願発明に関連する図である。

【図５】（Ａ）、（Ｂ）は図４の回路周波数特性、（Ｃ）は出力電流（Ｉｏｕｔ）と位相余裕特性（Ｐ．Ｍ．）、ゲイン特性（Ｇａｉｎ）、出力電圧の特性（Ｖｏｕｔ）を示す図である。

【発明を実施するための形態】

【００２３】

本発明の課題を解決する技術思想（コンセプト）の代表的な一例は、以下の図１に示される。但し、本願の請求内容はこの技術思想に限られず、本願の請求項に記載の内容であることは言うまでもない。図１は、本発明の一実施形態に係るボルテージレギュレータの構成を示す図である。なお、図１において、図４と同一又は同等の要素には同一の参照符号が付されている。

【００２４】

本実施形態においては、非反転入力端子に信号を入力する差動増幅部の出力を入力（ゲート）に受け、負荷回路を駆動する出力トランジスタ（ＰＭ３）の入力（ゲート）と、帰還路の間に、直列に挿入された可変抵抗（１３）と容量を含む位相補償回路と、出力トランジスタに流れる出力電流を検出するＩｏｕｔモニタ回路（「出力電流モニタ回路」ともいう）（１１）と、Ｉｏｕｔモニタ回路（１１）での出力電流の検出結果に応じて、位相補償回路の可変抵抗（１３）の抵抗値を可変させる構成としたものである。

【００２５】

すなわち、非反転増幅回路において、位相余裕ｖｓ出力電流の特性をフラット化するため、出力電流Ｉｏｕｔをフィードバックし、位相補償用の可変抵抗（１３）を制御するフィードバックループを備える。このフィードバックループは、出力電流Ｉｏｕｔをモニタするモニタ回路（１１）と、バイアス電圧を生成するバイアス電圧生成回路（１２）と、バイアス電圧に応じて抵抗値が可変な可変抵抗（１３）を備えている。

【００２６】

以下の実施例では、非反転増幅回路としてボルテージレギュレータについて説明するが、ボルテージフォロワについても、同様にして適用可能である。

【００２７】
図１を参照すると、本発明の一実施形態のボルテージレギュレータ１０は、
（Ａ）ソースがグランドに接続され、ゲートにバイアス電圧ＶＢを受けるｎＭＯＳトランジスタ（定電流源トランジスタ）ＮＭ３と、
（Ｂ）ソースが共通接続されてｎＭＯＳトランジスタＮＭ３のドレインに接続され、基準電圧Ｖｒｅｆと、帰還電圧（出力端子電圧Ｖｏｕｔを抵抗Ｒｆ、Ｒｓにより分圧した電圧）とをゲートにそれぞれ受け、差動対を構成するｎＭＯＳトランジスタ対ＮＭ１、ＮＭ２と、
（Ｃ）ソースが電源ＶＤＤに接続され、ドレインがｎＭＯＳトランジスタＮＭ１のドレインに接続されたｐＭＯＳトランジスタＰＭ１、及び、ソースが電源ＶＤＤに接続され、ゲートがｐＭＯＳトランジスタＰＭ１のゲートに接続され、ゲートとドレインが接続されてｎＭＯＳトランジスタＮＭ２のドレインに接続されたｐＭＯＳトランジスタＰＭ２（ｐＭＯＳトランジスタＰＭ１、ＰＭ２は、差動対の負荷をなしカレントミラーを構成する）と、
（Ｄ）ソースが電源ＶＤＤに接続され、ゲートがｎＭＯＳトランジスタＮＭ１のドレインに接続され、ドレインが出力端子ＯＵＴに接続されたｐＭＯＳトランジスタＰＭ３（出力トランジスタ）と、
（Ｅ）ｐＭＯＳトランジスタＰＭ３のドレインとグランド間に直列に接続され、分圧抵抗をなす抗Ｒｆ（「帰還抵抗」ともいう）及び抵抗Ｒｓと、
（Ｆ）抵抗Ｒｆ及び抵抗Ｒｓの接続点（ノードＮ２）と、ｐＭＯＳトランジスタＰＭ３のゲートノードＮ１との間に直列に接続された可変抵抗１３（「ゼロ点制御抵抗」ともいう）と容量Ｃｃと、
（Ｇ）ｐＭＯＳトランジスタＰＭ３（出力ドライバ）に流れる出力電流ＩｏｕｔをモニタするＩｏｕｔモニタ回路１１と、
（Ｈ）Ｉｏｕｔモニタ回路１１のモニタ結果に基づき、バイアス電圧を生成するバイアス電圧生成回路１２と、を備えている。
【００２８】
本実施形態において、バイアス電圧生成回路１２で生成されたバイアス電圧は、可変抵抗１３に供給され、可変抵抗１３の抵抗値を可変させる。
【００２９】
要素（Ａ）乃至（Ｃ）は、差動増幅部を構成し、要素（Ｄ）と（Ｅ）は出力段部を構成し、要素（Ｆ）は位相補償部を構成している。なお、ゲイン＝１のボルテージフォロワ構成の場合、図１において、抵抗Ｒｆ及び抵抗Ｒｓは除かれ、ｎＭＯＳトランジスタＮＭ２のゲートは、ｐＭＯＳトランジスタＰＭ３のドレイン（出力端子ＯＵＴ）に接続され、位相補償部の容量Ｃｃと可変抵抗１３は、ｐＭＯＳトランジスタＰＭ３のゲートとドレイン間に直列に接続される構成とされる。
【００３０】
図２は、本発明の一実施例の構成を示す図である。図２には、図１の構成の一具体例として、Ｉｏｕｔモニタ回路１１、バイアス電圧生成回路１２、可変抵抗１３の回路構成をそれぞれ、トランジスタレベルで示されている。
【００３１】
図２を参照すると、Ｉｏｕｔモニタ回路１１は、ソースが電源ＶＤＤに接続され、ゲートがｐＭＯＳトランジスタＰＭ３のゲートとともに、差動増幅部の出力ノードＮ１（ｎＭＯＳトランジスタＮＭ１のドレインとｐＭＯＳトランジスタＰＭ１のドレインの接続点）に接続されたｐＭＯＳトランジスタＰＭ４を備え、ｐＭＯＳトランジスタＰＭ４のドレインから出力電流Ｉｏｕｔ（ｐＭＯＳトランジスタＰＭ３のドレイン電流）をモニタした電流が出力される。
【００３２】
本実施例においては、Ｉｏｕｔモニタ回路１１のｐＭＯＳトランジスタＰＭ４に流れる電流は、ｐＭＯＳトランジスタＰＭ３に流れる電流の所定数（ｎ）分の１とされる。例え

ばｐＭＯＳトランジスタＰＭ４のサイズ（Ｗ／Ｌ（Ｗ＝ゲート幅、Ｌ＝ゲート長））は、ｐＭＯＳトランジスタＰＭ３のサイズ（Ｗ／Ｌ）のｎ分の１（ｎ＞１）とされる。ｎは実際の回路の消費電流・アナログ特性により決められる。ｐＭＯＳトランジスタＰＭ４とｐＭＯＳトランジスタＰＭ３のゲート・ソース間電圧は共通であるため、ｐＭＯＳトランジスタＰＭ４に流れる電流（ソース－ドレイン電流）はｐＭＯＳトランジスタＰＭ３に流れる電流（ソース－ドレイン電流）の１／ｎとなる。

【００３３】

特に制限されないが、バイアス電圧生成回路１２は、ダイオード接続された２段縦積みのｎＭＯＳトランジスタＮＭ４、ＮＭ５を備えた電流－電圧変換回路から構成され、出力電流モニタ回路１１の電流からバイアス電圧に変換する。すなわち、ｎＭＯＳトランジスタＮＭ４のゲートとドレインは共通に接続され、出力電流モニタ（Ｉｏｕｔモニタ）回路１１のｐＭＯＳトランジスタＰＭ４のドレインに接続されている。ｎＭＯＳトランジスタＮＭ５のゲートとドレインは共通に接続され、ｎＭＯＳトランジスタＮＭ４のソースに接続されており、ソースはグランドに接続されている。

【００３４】

可変抵抗１３は、ソースがノードＮ１に接続されゲートがバイアス電圧生成回路１２のＭＯＳトランジスタＮＭ４のドレインに接続され、ドレインが容量Ｃｃの一端に接続されたｐＭＯＳトランジスタＰＭ５を備えている。

【００３５】

ｐＭＯＳトランジスタＰＭ３に流れる出力電流Ｉｏｕｔ（ソース－ドレイン電流）に対して、ｐＭＯＳトランジスタＰＭ４、及びｎＭＯＳトランジスタＮＭ４、ＮＭ５には、電流Ｉｏｕｔ／ｎが流れる。

【００３６】

バイアス電圧Ｖｂｉａｓは、ｎＭＯＳトランジスタＮＭ４、ＮＭ５のゲート・ソース間電圧V_{GS}２段分となる。ｎＭＯＳトランジスタＮＭ４、ＮＭ５のドレイン電流をＩｄとすると、

$$Id=\frac{\beta}{2}\left(V_{GS}-V_{TH}\right)^{2} \qquad (4)$$

（ただし、βはＭＯＳトランジスタＭ４（Ｍ５）の利得係数、V_{TH}は閾値）

より、ゲート・ソース間電圧V_{GS}は、

$$V_{GS}=V_{TH}+\sqrt{\frac{2Id}{\beta}} \qquad (5)$$

で与えられる。

【００３７】

バイアス電圧Ｖｂｉａｓは、ゲート・ソース間電圧V_{GS}２段分であるため、

$$Vbias=2\left[V_{TH}+\sqrt{\frac{2Id}{\beta}}\right] \qquad (6)$$

となる。

【００３８】

このバイアス電圧Ｖｂｉａｓが可変抵抗１３のｐＭＯＳトランジスタＰＭ５のゲートに印加され、バイアス電圧Ｖｂｉａｓに応じてｐＭＯＳトランジスタＰＭ５のオン抵抗が可変される。これにより、ボルテージレギュレータのゼロ点周波数（ｆｚ＝１／（２πＣＲ））が可変され、位相遅れを補償し、周波数特性を制御する。

【００３９】

本実施例において、ｐＭＯＳトランジスタＰＭ３の出力電流Ｉｏｕｔが増大するとき、Ｉｏｕｔモニタ回路１１を流れる電流Ｉｏｕｔ／ｎも増加し、式（６）より、バイアス電

圧Ｖｂｉａｓが上昇する。この結果、ｐＭＯＳトランジスタＰＭ５のオン抵抗が増加する。より詳しくは、出力電流Ｉｏｕｔが増大する時、出力端子ＯＵＴの電圧Ｖｏｕｔは減少し、抵抗Ｒｆと抵抗Ｒｓの分圧点（ノードＮ２）の電圧も下がり、差動対の反転入力側のｎＭＯＳトランジスタＮＭ２のゲート電位が下がり、ｎＭＯＳトランジスタＮＭ２に流れる電流（ドレイン電流）が減少し、差動対の非反転側のｎＭＯＳトランジスタＮＭ１に流れる電流（ドレイン電流）が増加することで、ｎＭＯＳトランジスタＮＭ１のドレインの電位は下がり、したがってｐＭＯＳトランジスタＰＭ３のゲート（ノードＮ１）の電位が下がる。なお、差動対（ｎＭＯＳトランジスタＮＭ１、ＮＭ２）に流れる電流（ドレイン電流）がバランスするように、カレントミラー（ｐＭＯＳトランジスタＰＭ１、ＰＭ２）で制御される。出力電圧Ｖｏｕｔの低下によりノードＮ２の電圧が下がると、容量Ｃｃの容量結合により、ｐＭＯＳトランジスタＰＭ５のドレイン電圧も下がる。したがって、出力電流Ｉｏｕｔの増大時、バイアス電圧Ｖｂｉａｓが上昇し、ｐＭＯＳトランジスタＰＭ５のゲート・ソース間電圧の絶対値は小さくなり、ｐＭＯＳトランジスタＰＭ５のオン抵抗値は増大する。ｐＭＯＳトランジスタＰＭ５のオン抵抗値が大きくなると、ボルテージレギュレータの周波数特性におけるゼロ点周波数（１／（２πＣＲ））が小さくなる。

【００４０】

このため、本実施例によれば、出力電流Ｉｏｕｔが増大時にも、位相遅れを補償することができる。

【００４１】

図５（Ａ）のように、ゲインが０ｄＢ（ゲイン＝１）になるまでの周波数範囲でポールが一つしかなければ、位相は９０度程度までしか遅れないため、発振しない。図５（Ｂ）のように、ゲインが０ｄＢ（ゲイン＝１）になるまでの周波数範囲でポールが二つあると、二つのポールにより位相は最大１８０度遅れる。図５（Ｂ）の例（関連技術）では、出力電流Ｉｏｕｔが増大時に、ゼロ点周波数ｚ０は、出力電流Ｉｏｕｔに比例して大きくなり（高い周波数側に移動）、このため、二つ目のポールｐ１による位相遅れをキャンセルすることはできず、回路は発振する可能性がある。これに対して、本実施例によれば、出力電流Ｉｏｕｔが増大時に、ゼロ点周波数ｚ０を小さくし（低周波数側に移動）、位相を進めることで、二つ目のポールｐ１による位相遅れをキャンセルすることができる。

【００４２】

一方、ｐＭＯＳトランジスタＰＭ３の出力電流Ｉｏｕｔが減少すると、Ｉｏｕｔモニタ回路１１を流れる電流（＝Ｉｏｕｔ／ｎ）は減少する。モニタ電流（＝Ｉｏｕｔ／ｎ）が減少すると、バイアス電圧Ｖｂｉａｓが下がる。バイアス電圧Ｖｂｉａｓが下降すると、ｐＭＯＳトランジスタＰＭ５のオン抵抗値が小さくなる。このため、図２のボルテージレギュレータの周波数特性において、出力電流Ｉｏｕｔが減少すると、ゼロ点周波数は大きくなる。より詳細には、出力電流Ｉｏｕｔの減少時、出力端子ＯＵＴの電圧Ｖｏｕｔが上昇し、抵抗Ｒｆと抵抗Ｒｓの分圧点（ノードＮ２）の電圧も上がり、ｎＭＯＳトランジスタＮＭ２のゲート電位が上昇し、ｎＭＯＳトランジスタＮＭ２のドレイン電流が増大し、このため、ｎＭＯＳトランジスタＮＭ１のドレイン電流は減少し、ｎＭＯＳトランジスタＮＭ１のドレイン（ノードＮ１）の電位は上昇する。また、ノードＮ２の電圧が上がると、容量Ｃｃの容量結合により、ｐＭＯＳトランジスタＰＭ５のドレイン電圧も上がる。したがって、バイアス電圧Ｖｂｉａｓが下がると、ｐＭＯＳトランジスタＰＭ５のゲート・ソース間電圧の絶対値は大きくなり、ｐＭＯＳトランジスタＰＭ５のオン抵抗値が小さくなり、ボルテージレギュレータの周波数特性において、出力電流Ｉｏｕｔが減少すると、ゼロ点周波数（ＣＲ時定数の逆数に比例する）は大きくなる。例えば図５（A）に示すように、出力電流Ｉｏｕｔが小さいと、ゲインが０ｄＢ（ゲイン＝１）になるまでの周波数範囲でポールが一つしかなければ、位相は９０度程度までしか遅れないため、ゼロ点周波数を、出力電流Ｉｏｕｔが大のときより高くしても問題はない。

【００４３】

本願の効果を示すための対比として前述した図４の回路では、ゼロ点周波数ｚ０は出力電流Ｉｏｕｔが大となると、これに比例して増大したが（ｚ０∝Ｉｏｕｔ）、本実施例で

は、出力電流Ｉｏｕｔが増大すると、可変抵抗１３の抵抗値を大として、ゼロ点周波数ｚ０を小さくすることで、位相補償を行い、発振を防いでいる。

【００４４】

図３は、本実施例（実線：本発明）と、図４の回路（破線：比較例）の出力電流Ｉｏｕｔと位相余裕の関係を示す図である。図４の回路（比較例）の場合、出力電流Ｉｏｕｔが大きくなると、ゼロ点周波数も大きくなる。

【００４５】

本実施例によれば、出力電流Ｉｏｕｔが大きくなると、ゼロ点周波数を小さくするように制御することが可能となり、位相余裕（Ｐ．Ｍ．）を改善することが出来る。また、ゲイン特性もフラット化させることができる。

【００４６】

上記実施例では、可変抵抗１３（ゼロ点制御抵抗）としてｐＭＯＳトランジスタＰＭ５を用いたが、ｎＭＯＳトランジスタで構成してもよいことは勿論である。この場合、ｐＭＯＳトランジスタＰＭ３の出力電圧Ｉｏｕｔの増大時、バイアス電圧を小として、ｎＭＯＳトランジスタのオン抵抗を大としてゼロ点周波数（ＣＲ時定数）を小とし、ｐＭＯＳトランジスタＰＭ３の出力電流Ｉｏｕｔの減少時、バイアス電圧を大として、ｎＭＯＳトランジスタのオン抵抗を小として、ゼロ点周波数を大とするようにしてもよい。

【００４７】

上記実施例では、差動増幅部の差動対をｎＭＯＳトランジスタで構成したが、極性を変え、ｐＭＯＳトランジスタとしてもよいことは勿論である。この場合、定電流源トランジスタは、ｎＭＯＳトランジスタＮＭ３のかわりに、ソースが電源ＶＤＤに接続されドレインがｐＭＯＳトランジスタ差動対の共通ソースに接続されたｐＭＯＳトランジスタで構成される。また負荷回路（ＰＭ１、ＰＭ２）はソースがグランドに接続され、ドレインがｐＭＯＳトランジスタ差動対のドレインに接続されたｎＭＯＳトランジスタ対で構成され、出力トランジスタはｎＭＯＳトランジスタで構成される。Ｉｏｕｔモニタ回路１１は、ｐＭＯＳトランジスタＰＭ４のかわりにソースがグランドに接続されたｎＭＯＳトランジスタで構成され、バイアス電圧生成回路１２は、Ｉｏｕｔモニタ回路１１のｎＭＯＳトランジスタのドレインと電源ＶＤＤ間に２段縦積みされたダイオード接続のｐＭＯＳトランジスタで構成される。

【００４８】

本実施例によれば、非反転入力の負帰還増幅回路において、位相余裕が出力電流に対しフラットになることで、安定性を向上することができる。その結果、従来の回路では、外部に接続していた補償容量Ｃのサイズを小さくすることも可能となり、レイアウト面積を縮小でき、原価低減につながる。特に、出力電流（回路負荷電流）の範囲が広いボルテージレギュレータにおいて有効である。負荷電流の大小に応じてボルテージレギュレータを複数に分けている場合には、上記実施例に係る回路を採用することにより、レギュレータの回路数を減らすことも可能である。このように、上記実施例のボルテージレギュレータは定電圧回路として半導体装置に組み込んで好適とされる。

【００４９】

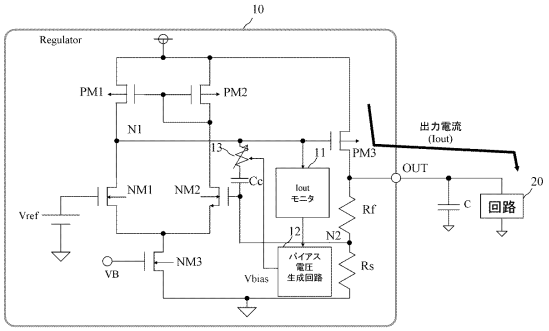
なお、上記実施例としては、非反転増幅回路として、ボルテージレギュレータの場合を説明したが、非反転入力の差動部を備えた負帰還増幅回路に対して本発明を適用することができる。また、上記実施の形態では、各部に用いられるトランジスタとして、ＭＯＳトランジスタを用いたが、電界効果トランジスタ（ＦＥＴ：Field Effect Transistor）であればよく、ＭＩＳ（Metal-Insulator Semiconductor）、ＴＦＴ(Thin Film Transistor)等の様々なトランジスタを用いることができる。

【００５０】

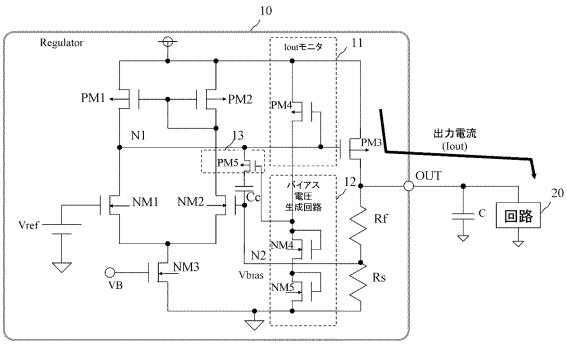
また、本発明の構成要素の一部にバイポーラ型トランジスタを用いることもできる。なお、ＮＭＯＳトランジスタ（Ｎ型チャネルＭＯＳトランジスタ）は、第１導電型のトランジスタ、ＰＭＯＳトランジスタ（Ｐ型チャネルＭＯＳトランジスタ）は、第２導電型のトランジスタの代表例である。

【００５１】
更に、上記実施の形態では、非反転増幅回路、半導体集積回路装置について説明したが、本発明は、非反転増幅回路を備えた種々のロジックデバイス、半導体装置や半導体システムに提供することができる。例えば、本発明は、ＳＯＣ（システムオンチップ）、ＭＣＰ（マルチチップパッケージ）、ＰＯＰ（パッケージオンパッケージ）、ＭＣＵ（メモリーコントロールユニット）等にも適用することができる。
【００５２】
なお、上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。
【符号の説明】
【００５３】
１０、１０’　ボルテージレギュレータ（非反転増幅回路）
１１　Ｉｏｕｔモニタ回路（出力電流モニタ回路）
１２　バイアス電圧生成回路
１３　可変抵抗（ゼロ点制御抵抗）

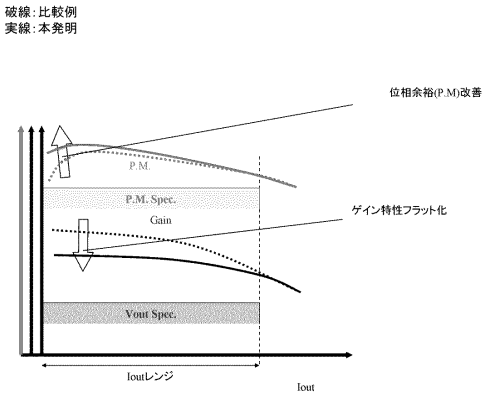
【図１】



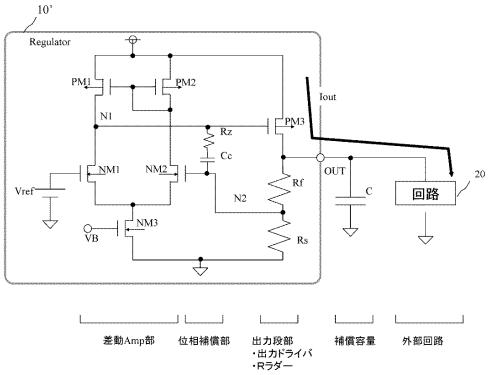
【図２】



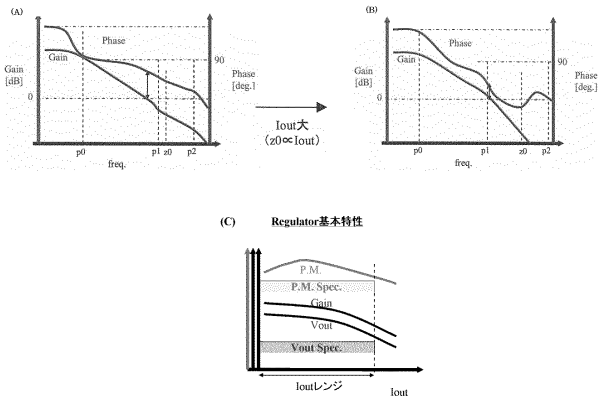
【図３】


破線：比較例
実線：本発明
位相余裕(P.M)改善
P.M.
P.M. Spec.
Gain
ゲイン特性フラット化
Vout Spec.
Ioutレンジ
Iout

【図４】


10'
Regulator
PM1
PM2
N1
PM3
Rz
Cc
Iout
NM1
NM2
OUT
20
Vref
N2
Rf
C
回路
NM3
VB
Rs
差動Amp部
位相補償部
出力段部
・出力ドライバ
・Rラダー
補償容量
外部回路

【図５】


(A)
Phase
Gain
Gain [dB]
0
90
Phase [deg.]
freq.
p0
p1
z0
p2
Iout大
(z0∝Iout)
(B)
Phase
Gain
Gain [dB]
0
90
Phase [deg.]
freq.
p0
p1
z0
p2
(C)
Regulator基本特性
P.M.
P.M. Spec.
Gain
Vout
Vout Spec.
Ioutレンジ
Iout

フロントページの続き

(72)発明者　藤原　敦
東京都中央区八重洲２－２－１　エルピーダメモリ株式会社内

審査官　今井　貞雄

(56)参考文献　特開平０８－１８５２３３（ＪＰ，Ａ）
特開２００４－０２１５７７（ＪＰ，Ａ）
特開２００１－２８２３７２（ＪＰ，Ａ）
特開２００７－２８００２５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ０５Ｆ　　１／５６