



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월04일
 (11) 등록번호 10-0843713
 (24) 등록일자 2008년06월27일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2007-0032826
 (22) 출원일자 2007년04월03일
 심사청구일자 2007년04월03일
 (65) 공개번호 10-2008-0036498
 (43) 공개일자 2008년04월28일
 (30) 우선권주장
 1020060103093 2006년10월23일 대한민국(KR)
 (56) 선행기술조사문헌
 KR1019970004070 A
 US20060046407 A1

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 매탄동 416
 (72) 발명자
권성현
 서울 성북구 종암1동 84-43
심재황
 서울 강서구 등촌1동 656-38호 청기와 204호
 (뒷면에 계속)
 (74) 대리인
박상수

전체 청구항 수 : 총 21 항

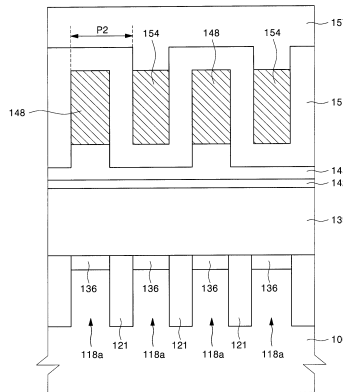
심사관 : 김상철

(54) 미세 콘택홀을 갖는 반도체소자의 제조방법

(57) 요약

미세 콘택홀을 갖는 반도체 소자의 제조 방법이 제공된다. 이 반도체소자의 제조방법은 반도체기판에 활성영역들을 한정하는 소자분리막을 형성하는 것을 포함한다. 상기 소자분리막을 갖는 반도체기판 상에 층간절연막을 형성한다. 상기 층간절연막 상에 복수개의 제1 몰딩 라인들을 형성한다. 상기 제1 몰딩 라인들 사이에 위치하며 상기 제1 몰딩 라인들과 이격된 제2 몰딩 라인들을 형성한다. 상기 제1 및 제2 몰딩 라인들을 패터닝하여 제1 및 제2 몰딩 패턴들을 형성한다. 상기 제1 및 제2 몰딩 패턴들의 측벽들을 둘러싸는 마스크 패턴을 형성한다. 상기 제1 및 제2 몰딩 패턴들을 제거하여 개구부들을 형성한다. 상기 마스크 패턴을 식각마스크로 이용하여 상기 층간절연막을 식각하여 콘택 홀들을 형성한다.

대표도 - 도10a



(72) 발명자

곽동화

경기 수원시 영통구 망포동 현대아이파크아파트 1
차 103-1602

김주영

경기 화성시 태안읍 반월리 신영통현대3차아파트
301동 1201호

특허청구의 범위

청구항 1

반도체기판에 활성영역들을 한정하는 소자분리막을 형성하고,
 상기 소자분리막을 갖는 반도체기판 상에 증간절연막을 형성하고,
 상기 증간절연막 상에 복수개의 제1 몰딩 라인들을 형성하고,
 상기 제1 몰딩 라인들 사이에 위치하며 상기 제1 몰딩 라인들과 이격된 제2 몰딩 라인들을 형성하고,
 상기 제1 및 제2 몰딩 라인들을 패터닝하여 제1 및 제2 몰딩 패턴들을 형성하고,
 상기 제1 및 제2 몰딩 패턴들의 측벽들을 둘러싸는 마스크 패턴을 형성하고,
 상기 제1 및 제2 몰딩 패턴들을 제거하여 개구부들을 형성하고,
 상기 마스크 패턴을 식각마스크로 이용하여 상기 증간절연막을 식각하여 콘택 홀들을 형성하는 것을 포함하는 반도체소자의 제조방법.

청구항 2

제 1 항에 있어서,
 상기 제1 및 제2 몰딩 라인들은 서로 동일한 레벨에 위치하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 3

제 1 항에 있어서,
 상기 제1 및 제2 몰딩 패턴들은 서로 같은 크기를 갖도록 형성되는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 4

제 1 항에 있어서,
 평면도로 보았을 때, 상기 제1 및 제2 몰딩 패턴들의 각각은 장축 및 단축을 갖도록 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 5

제 4 항에 있어서,
 상기 제1 및 제2 몰딩 라인들의 길이방향들과 상기 제1 및 제2 몰딩 패턴들의 장축 방향은 서로 동일한 방향성을 갖는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 6

제 1 항에 있어서,
 상기 제1 몰딩 라인들을 형성하기 전에,
 상기 반도체기판 상에 버퍼막을 형성하는 것을 더 포함하는 반도체소자의 제조방법.

청구항 7

제 6 항에 있어서,
 상기 제1 몰딩 라인들을 형성한 후에,
 상기 제1 몰딩 라인들 양 옆에 위치하는 상기 버퍼막을 부분식각하여 리세스된 영역을 형성하는 것을 더 포함하는 반도체소자의 제조방법.

청구항 8

제 7 항에 있어서,

상기 제2 몰딩 라인들을 형성하는 것은

상기 리세스된 영역을 갖는 상기 버퍼막과 상기 제1 몰딩 라인들을 덮는 콘포멀한(conformal) 스페이서막을 형성하고,

상기 스페이서막을 갖는 반도체기판 상에 몰딩막을 형성하고,

상기 제2 몰딩 라인들의 상부면들이 상기 제1 몰딩 라인들의 상부면들과 동일한 레벨에 위치하도록 상기 몰딩막을 평탄화하는 것을 포함하는 반도체소자의 제조방법.

청구항 9

제 8 항에 있어서,

상기 제1 및 제2 몰딩 패턴들을 형성하는 것은

상기 스페이서막 및 상기 제2 몰딩 라인들 상에 상기 제1 및 제2 몰딩 라인들을 가로지르는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각마스크로 이용하여 상기 스페이서막, 상기 제1 및 제2 몰딩 라인들을 식각하여 상기 제1 및 제2 몰딩 패턴들을 형성하고,

상기 포토레지스트 패턴을 제거하고,

상기 제1 및 제2 몰딩 패턴들을 식각마스크로 이용하여 상기 제1 및 제2 몰딩 패턴들 주위의 상기 스페이서막 및 상기 버퍼막을 식각하는 것을 포함하는 반도체소자의 제조방법.

청구항 10

제 1 항에 있어서,

상기 제2 몰딩 라인들을 형성하는 것은

상기 제1 몰딩 라인들을 갖는 반도체기판 상에 상기 제1 몰딩 라인들의 측벽들을 덮는 스페이서막을 형성하고,

상기 스페이서막을 갖는 반도체기판 상에 몰딩막을 형성하고,

상기 몰딩막이 상기 제1 몰딩 라인들 사이에 잔존하도록 상기 몰딩막을 평탄화하는 것을 포함하는 반도체소자의 제조방법.

청구항 11

제 10 항에 있어서,

상기 제1 및 제2 몰딩 패턴들을 형성하는 것은

상기 제2 몰딩 라인들을 갖는 반도체기판 상에 상기 제1 몰딩 라인들 및 상기 제2 몰딩 라인들을 가로지르는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각마스크로 이용하여 상기 제1 몰딩 라인들 및 상기 제2 몰딩 라인들을 식각하여 상기 제1 및 제2 몰딩 패턴들을 형성하고,

상기 포토레지스트 패턴을 제거하고,

상기 제1 및 제2 몰딩 패턴들을 측벽들을 노출시키도록 상기 스페이서막을 식각하는 것을 포함하는 반도체소자의 제조방법.

청구항 12

제 1 항에 있어서,

상기 활성영역들은 상기 소자분리막에 의해 서로 이격된 복수개로 한정되되, 상기 활성영역들의 각각은 상기 소자분리막에 의해 라인 형상으로 한정되는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 13

제 1 항에 있어서,

상기 제1 몰딩 라인들의 각각은 상기 활성영역들 중 홀수 번째의 활성영역들 또는 짝수 번째의 활성영역들과 중첩하도록 형성하고,

상기 제2 몰딩 라인들의 각각은 상기 활성영역들 중 상기 제1 몰딩 라인들 사이에 위치하는 활성영역들과 중첩하도록 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 14

제 1 항에 있어서,

상기 활성영역들을 한정하는 것은

상기 반도체기판 상에 제1 하드 마스크 패턴들을 형성하고,

상기 제1 하드 마스크 패턴들 사이에 제2 하드 마스크 패턴들을 형성하고,

상기 제1 및 제2 하드 마스크 패턴들 사이에 위치하는 상기 반도체기판을 식각하여 트렌치들을 형성하고,

상기 트렌치들을 채우는 상기 소자분리막을 형성하고,

상기 제1 및 제2 하드 마스크 패턴들을 제거하는 것을 포함하는 반도체소자의 제조방법.

청구항 15

제 1 항에 있어서,

상기 활성영역들을 한정하는 것은

상기 반도체기판 상에 버퍼막을 형성하고,

상기 버퍼막 상에 제1 하드 마스크 패턴들을 형성하고,

상기 제1 하드 마스크 패턴들 주위의 상기 버퍼막을 부분식각하여 리세스된 영역을 형성하고,

상기 제1 하드 마스크 패턴들을 덮음과 아울러 상기 리세스된 영역을 갖는 상기 버퍼막을 덮는 콘포멀한 (conformal) 희생막을 형성하고,

상기 제1 하드 마스크 패턴들 사이에 각각 상기 희생막으로 둘러싸여진 제2 하드 마스크 패턴들을 형성하고,

상기 제1 하드 마스크 패턴들 상에 위치하고 상기 제1 및 제2 하드 마스크 패턴들 사이에 위치하는 상기 희생막을 식각하여 상기 제2 하드 마스크 패턴들 하부에 잔존하는 희생 패턴들을 형성하고,

상기 제1 및 제2 하드 마스크 패턴들을 식각마스크로 이용하여 상기 노출된 상기 반도체기판을 식각하여 트렌치들을 형성하고,

상기 트렌치를 채우는 상기 소자분리막을 형성하고,

상기 제1 및 제2 하드 마스크 패턴들을 제거함과 아울러 상기 희생 패턴들을 제거하는 것을 포함하는 반도체소자의 제조방법.

청구항 16

제 1 항에 있어서,

상기 활성영역들을 한정하는 것은

상기 반도체기판 상에 제1 하드 마스크 패턴들을 형성하고,

상기 제1 하드 마스크 패턴들의 측벽들을 덮는 희생막을 형성하고,

상기 제1 하드 마스크 패턴들 사이에 위치하며 양 측벽들이 상기 희생막과 접하는 제2 하드 마스크 패턴들을 형성하고,

상기 희생막을 제거하고,
 상기 제1 및 제2 하드 마스크 패턴들을 식각마스크로 이용하여 상기 반도체기판을 식각하여 트렌치들을 형성하고,
 상기 트렌치들을 채우는 상기 소자분리막을 형성하고,
 상기 하드 마스크 패턴들을 제거하는 것을 포함하는 반도체소자의 제조방법.

청구항 17

제 1 항에 있어서,
 상기 층간절연막을 형성하기 전에,
 상기 활성영역들 상에 게이트 구조체들을 형성하고,
 상기 게이트 구조체들 양 옆의 상기 활성영역들에 불순물 영역들을 형성하는 것을 더 포함하는 반도체소자의 제조방법.

청구항 18

제 17 항에 있어서,
 상기 게이트 구조체들의 각각은 차례로 적층된 제1 유전막, 기억저장층, 제2 유전막 및 게이트 전극을 포함하는 반도체소자의 제조방법.

청구항 19

제 17 항에 있어서,
 상기 게이트 구조체들의 각각은 차례로 적층된 게이트 유전막, 플로팅 게이트, 게이트간 유전막 및 제어 게이트를 포함하는 반도체소자의 제조방법.

청구항 20

제 1 항에 있어서,
 상기 마스크 패턴은 유기 물질막으로 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 21

제 1 항에 있어서,
 상기 마스크 패턴을 제거하고,
 상기 콘택 홀들을 채우는 콘택 플러그들을 형성하는 것을 더 포함하는 반도체소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <4> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는 몰딩 패턴들을 사용하여 형성된 마스크 패턴들을 이용하여 미세 콘택홀을 형성하는 반도체 소자의 제조 방법에 관한 것이다.
- <5> 반도체 소자는 트랜지스터들, 저항체들, 및 커패시터들과 같은 개별 소자를 구비한다. 상기 개별 소자들은 절연막을 관통하는 콘택홀 내에 형성되는 콘택 플러그 또는 배선들을 통하여 전기적으로 접속된다. 예를 들어, 플래쉬 메모리 소자는 반도체 기판 내부에 서로 이격된 활성 영역들의 상부를 가로지르는 워드 라인들 및 상기 워드 라인들에 인접하여 상기 활성 영역들의 상부를 가로지르는 선택라인을 구비할 수 있다. 또한, 상기 낸드형 플래

쉬 메모리 소자는 층간절연막에 의해 상기 워드 라인들 및 상기 선택라인과 절연되며 이들의 상부를 가로지르는 비트 라인들을 구비할 수 있다. 상기 비트 라인들의 각각은 상기 선택라인에 인접한 활성 영역들의 각각과 상기 콘택홀을 통하여 전기적으로 접속될 수 있다. 상기 콘택홀들은 통상적으로 패터닝 공정을 사용하여 형성될 수 있다. 상기 패터닝 공정은 사진 공정을 사용하여 상기 층간절연막 상에 홀 형상의 개구부를 갖는 마스크 패턴을 형성하고, 상기 개구부를 통해 노출된 층간절연막을 식각하는 것을 포함하는 공정이다.

<6> 상기 반도체 소자의 집적도가 증가함에 따라, 상기 콘택홀들의 크기는 점점 감소되어 상기 개구부들의 크기가 축소되어야 한다. 그러나 상기 개구부들의 크기의 감소가 요구될수록 상기 사진 공정의 제어가 어렵다. 예를 들면, 상기 반도체 기판 상에서 토폴로지(topology)가 복잡해짐에 따라, 상기 선택라인 및 상기 워드 라인 등과 같은 패턴에 의해 상기 사진 공정에서 난반사가 발생할 수 있다. 이로 인해, 상기 개구부들의 각각은 균일한 크기를 확보하는데 한계가 있다. 그 결과, 상기 콘택홀들을 채우는 콘택 플러그들의 각각은 균일한 저항값을 확보하지 못하여, 반도체 소자의 신뢰성을 저하시킨다.

발명이 이루고자 하는 기술적 과제

<7> 본 발명이 이루고자 하는 기술적 과제는 몰딩 패턴들을 사용하여 마스크 패턴을 형성함으로써 미세하고 균일한 크기의 콘택 홀을 갖는 반도체소자의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

<8> 상기 기술적 과제를 이루기 위하여 본 발명의 일 양태에 따르면, 반도체 소자의 제조 방법이 제공된다. 이 반도체 소자의 제조방법은 반도체기판에 활성영역들을 한정하는 소자분리막을 형성하는 것을 포함한다. 상기 소자분리막을 갖는 반도체기판 상에 층간절연막을 형성한다. 상기 층간절연막 상에 복수개의 제1 몰딩 라인들을 형성한다. 상기 제1 몰딩 라인들 사이에 위치하며 상기 제1 몰딩 라인들과 이격된 제2 몰딩 라인들을 형성한다. 상기 제1 및 제2 몰딩 라인들을 패터닝하여 제1 및 제2 몰딩 패턴들을 형성한다. 상기 제1 및 제2 몰딩 패턴들의 측벽들을 둘러싸는 마스크 패턴을 형성한다. 상기 제1 및 제2 몰딩 패턴들을 제거하여 개구부들을 형성한다. 상기 마스크 패턴을 식각마스크로 이용하여 상기 층간절연막을 식각하여 콘택 홀들을 형성한다.

<9> 본 발명의 몇몇 실시예에 있어서, 상기 제1 및 제2 몰딩 라인들은 동일한 레벨에 위치할 수 있다.

<10> 다른 실시예에 있어서, 상기 제1 및 제2 몰딩 패턴들은 서로 같은 크기를 갖도록 형성할 수 있다.

<11> 또 다른 실시예에서, 평면도로 보았을 때 상기 제1 및 제2 몰딩 패턴들의 각각은 장축 및 단축을 갖도록 형성할 수 있다.

<12> 여기서, 상기 제1 및 제2 몰딩 라인들의 길이방향들과 상기 제1 및 제2 몰딩 패턴들의 장축 방향은 서로 동일한 방향성을 가질 수 있다.

<13> 또 다른 실시예에서, 상기 제1 몰딩 라인들을 형성하기 전에, 상기 반도체기판 상에 버퍼막을 형성하는 것을 더 포함할 수 있다. 더 나아가, 상기 제1 몰딩 라인들을 형성한 후에, 상기 제1 몰딩 라인들 양 옆에 위치하는 상기 버퍼막을 부분식각하여 리세스된 영역을 형성할 수 있다.

<14> 한편, 상기 제2 몰딩 라인들을 형성하는 것은 상기 리세스된 영역을 갖는 상기 버퍼막과 상기 제1 몰딩 라인들을 덮는 콘포멀한(conformal) 스페이서막을 형성하고, 상기 스페이서막을 갖는 반도체기판 상에 몰딩막을 형성하고, 상기 제2 몰딩 라인들의 상부면들이 상기 제1 몰딩 라인들의 상부면들과 동일한 레벨에 위치하도록 상기 몰딩막을 평탄화하는 것을 포함할 수 있다.

<15> 여기서, 상기 제1 및 제2 몰딩 패턴들을 형성하는 것은 상기 스페이서막 및 상기 제2 몰딩 라인들 상에 상기 제1 및 제2 몰딩 라인들을 가로지르는 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각마스크로 이용하여 상기 스페이서막, 상기 제1 및 제2 몰딩 라인들을 식각하여 상기 제1 및 제2 몰딩 패턴들을 형성하고, 상기 포토레지스트 패턴을 제거하고, 상기 제1 및 제2 몰딩 패턴들을 식각마스크로 이용하여 상기 제1 및 제2 몰딩 패턴들 주위의 상기 스페이서막 및 상기 버퍼막을 식각하는 것을 포함할 수 있다.

<16> 또 다른 실시예에서, 상기 제2 몰딩 라인들을 형성하는 것은 상기 제1 몰딩 라인들을 갖는 반도체기판 상에 상기 제1 몰딩 라인들의 측벽들을 덮는 스페이서막을 형성하고, 상기 스페이서막을 갖는 반도체기판 상에 몰딩막을 형성하고, 상기 몰딩막이 상기 제1 몰딩 라인들 사이에 잔존하도록 상기 몰딩막을 평탄화하는 것을 포함할 수 있다.

- <17> 상기 제1 및 제2 몰딩 패턴들을 형성하는 것은 상기 제2 몰딩 라인들을 갖는 반도체기판 상에 상기 제1 몰딩 라인들 및 상기 제2 몰딩 라인들을 가로지르는 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각마스크로 이용하여 상기 제1 몰딩 라인들 및 상기 제2 몰딩 라인들을 식각하여 상기 제1 및 제2 몰딩 패턴들을 형성하고, 상기 포토레지스트 패턴을 제거하고, 상기 제1 및 제2 몰딩 패턴들을 측벽들을 노출시키도록 상기 스페이서막을 식각하는 것을 포함할 수 있다.
- <18> 또 다른 실시예에서, 상기 활성영역들은 상기 소자분리막에 의해 서로 이격된 복수개로 한정되되, 상기 활성영역들의 각각은 상기 소자분리막에 의해 라인 형상으로 한정될 수 있다.
- <19> 또 다른 실시예에서, 상기 제1 몰딩 라인들의 각각은 상기 활성영역들 중 홀수 번째의 활성영역들 또는 짝수 번째의 활성영역들과 중첩하도록 형성하고, 상기 제2 몰딩 라인들의 각각은 상기 활성영역들 중 상기 제1 몰딩 라인들 사이에 위치하는 활성영역들과 중첩하도록 형성할 수 있다.
- <20> 또 다른 실시예에서, 상기 활성영역들을 한정하는 것은 상기 반도체기판 상에 제1 하드 마스크 패턴들을 형성하고, 상기 제1 하드 마스크 패턴들 사이에 제2 하드 마스크 패턴들을 형성하고, 상기 제1 및 제2 하드 마스크 패턴들 사이에 위치하는 상기 반도체기판을 식각하여 트렌치들을 형성하고, 상기 트렌치들을 채우는 상기 소자분리막을 형성하고, 상기 제1 및 제2 하드 마스크 패턴들을 제거하는 것을 포함할 수 있다.
- <21> 또 다른 실시예에서, 상기 활성영역들을 한정하는 것은 상기 반도체기판 상에 버퍼막을 형성하고, 상기 버퍼막 상에 제1 하드 마스크 패턴들을 형성하고, 상기 제1 하드 마스크 패턴들 주위의 상기 버퍼막을 부분식각하여 리세스된 영역을 형성하고, 상기 제1 하드 마스크 패턴들을 덮음과 아울러 상기 리세스된 영역을 갖는 상기 버퍼막을 덮는 콘포멀한(conformal) 희생막을 형성하고, 상기 제1 하드 마스크 패턴들 사이에 각각 상기 희생막으로 둘러싸여진 제2 하드 마스크 패턴들을 형성하고, 상기 제1 하드 마스크 패턴들 상에 위치하고 상기 제1 및 제2 하드 마스크 패턴들 사이에 위치하는 상기 희생막을 식각하여 상기 제2 하드 마스크 패턴들 하부에 잔존하는 희생 패턴들을 형성하고, 상기 제1 및 제2 하드 마스크 패턴들을 식각마스크로 이용하여 상기 노출된 상기 반도체기판을 식각하여 트렌치들을 형성하고, 상기 트렌치를 채우는 상기 소자분리막을 형성하고, 상기 제1 및 제2 하드 마스크 패턴들을 제거함과 아울러 상기 희생 패턴들을 제거하는 것을 포함할 수 있다.
- <22> 또 다른 실시예에서, 상기 활성영역들을 한정하는 것은 상기 반도체기판 상에 제1 하드 마스크 패턴들을 형성하고, 상기 제1 하드 마스크 패턴들의 측벽들을 덮는 희생막을 형성하고, 상기 제1 하드 마스크 패턴들 사이에 위치하며 양 측벽들이 상기 희생막과 접하는 제2 하드 마스크 패턴들을 형성하고, 상기 희생막을 제거하고, 상기 제1 및 제2 하드 마스크 패턴들을 식각마스크로 이용하여 상기 반도체기판을 식각하여 트렌치들을 형성하고, 상기 트렌치들을 채우는 상기 소자분리막을 형성하고, 상기 하드 마스크 패턴들을 제거하는 것을 포함할 수 있다.
- <23> 또 다른 실시예에서, 상기 층간절연막을 형성하기 전에, 상기 활성영역들 상에 게이트 구조체들을 형성하고, 상기 게이트 구조체들 양 옆의 상기 활성영역들에 불순물 영역들을 형성하는 것을 더 포함할 수 있다.
- <24> 상기 게이트 구조체들의 각각은 차례로 적층된 제1 유전막, 기억저장층, 제2 유전막 및 게이트 전극을 포함할 수 있다.
- <25> 상기 게이트 구조체들의 각각은 차례로 적층된 게이트 유전막, 플로팅 게이트, 게이트간 유전막 및 제어 게이트를 포함할 수 있다.
- <26> 또 다른 실시예에서, 상기 마스크 패턴은 유기 물질막으로 형성할 수 있다.
- <27> 또 다른 실시예에서, 상기 마스크 패턴을 제거하고, 상기 콘택 홀들을 채우는 콘택 플러그들을 형성하는 것을 더 포함할 수 있다.
- <28> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다. 또한, 소자(element) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위 뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- <29> 도 1은 본 발명의 실시예들에 따른 반도체 소자의 제조방법에 의해 제조된 반도체소자의 평면도이고, 도 2a 내지 도 14a는 본 발명의 일 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 도 1의 I-I' 선을 따라 취해

진 단면도들이고, 도 2b 내지 도 14b는 본 발명의 일 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 도 1의 II-II' 선을 따라 취해진 단면도들이고, 도 15a 내지 도 20a는 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 도 1의 I-I' 선을 따라 취해진 단면도들이고, 도 15b 내지 도 20b는 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 도 1의 II-II' 선을 따라 취해진 단면도들이다.

- <30> 우선, 도 1, 도 2a 내지 도 14a, 도 2b 내지 도 14b를 참조하여 본 발명의 일 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다.
- <31> 도 1, 도 2a 및 도 2b를 참조하면, 반도체기판(100)을 준비한다. 상기 반도체기판(100)은 실리콘 기판일 수 있다. 또는 상기 반도체기판(100)은 실리콘 카바이드(SiC), 실리콘 저마늄(SiGe), 갈륨 아세닉(GaAs)과 같은 물질을 포함할 수 있다. 상기 반도체기판(100) 상에 패드막(103)을 형성할 수 있다. 상기 패드막(103)은 열산화막 및 실리콘 질화막 중 적어도 하나를 포함하도록 형성할 수 있다. 상기 패드막(103) 상에 하부 하드 마스크막(106)을 형성할 수 있다. 상기 하부 하드 마스크막(106)은 실리콘 산화막을 포함하도록 형성할 수 있다.
- <32> 한편, 상기 하부 하드 마스크막(106)을 형성하는 것은 생략할 수 있다.
- <33> 도 1, 도 3a 및 도 3b를 참조하면, 상기 하부 하드 마스크막(106) 상에 서로 이격된 제1 상부 하드 마스크 패턴들(109)을 형성할 수 있다. 상기 제1 상부 하드 마스크 패턴들(109)은 상기 하부 하드 마스크막(106)과 다른 물질을 포함하도록 형성할 수 있다. 예를 들면, 상기 하부 하드 마스크막(106)을 실리콘 산화막으로 형성하는 경우에, 상기 제1 상부 하드 마스크 패턴들(109)은 폴리 실리콘막 또는 실리콘 질화막으로 형성할 수 있다. 상기 제1 상부 하드 마스크 패턴들(109)의 각각은 라인 형상으로 형성할 수 있다. 상기 제1 상부 하드 마스크 패턴들(109) 주위의 상기 하부 하드 마스크 패턴들(106)을 부분식각하여 리세스된 영역들을 형성할 수 있다.
- <34> 상기 제1 상부 하드 마스크 패턴들(109)을 덮음과 아울러 상기 하부 하드 마스크 패턴들(106)의 상기 리세스된 영역들을 덮는 콘포멀한(conformal) 희생막(112)을 형성할 수 있다. 그 결과, 상기 제1 상부 하드 마스크 패턴들(109) 사이에 위치하는 상기 희생막(112)은 그루브들(grooves; 112a)을 구비하도록 형성될 수 있다. 상기 희생막(112)의 두께를 조절하여 상기 그루브들(112a)은 상기 제1 상부 하드 마스크 패턴들(109)과 동일한 폭을 갖도록 형성될 수 있다. 또한, 상기 그루브들(112a)의 바닥영역들은 상기 제1 상부 하드 마스크 패턴들(109)의 바닥면들과 동일한 레벨에 위치할 수 있다.
- <35> 상기 희생막(112)은 상기 제1 상부 하드 마스크 패턴들(109)에 대하여 식각선택비를 갖는 물질로 형성할 수 있다. 예를 들어, 상기 제1 상부 하드 마스크 패턴들(109)을 폴리 실리콘막으로 형성하는 경우에, 상기 희생막(112)은 실리콘 산화막으로 형성할 수 있다.
- <36> 한편, 상기 희생막(112) 및 상기 하부 하드 마스크막(106)은 동일한 물질로 형성할 수 있다. 예를 들어, 상기 희생막(112) 및 상기 하부 하드 마스크막(106)은 실리콘 산화막으로 형성할 수 있다.
- <37> 한편, 상기 하부 하드 마스크막(도 2a, 도 2b의 106)을 형성하는 것을 생략하는 경우에, 상기 희생막(112)은 상기 제1 상부 하드 마스크 패턴들(109)의 측벽들을 덮도록 형성할 수 있다.
- <38> 도 1, 도 4a 및 도 4b를 참조하면, 상기 희생막(112)의 상기 그루브들(112a)에 균일한 두께 및 라인 형태를 갖는 제2 상부 하드 마스크 패턴들(115)을 형성할 수 있다. 상기 제2 상부 하드 마스크 패턴들(115)의 각각은 상기 제1 상부 하드 마스크 패턴들(109) 사이에 위치하며 상기 희생막(112)으로 둘러싸여질 수 있다. 즉, 상기 제2 상부 하드 마스크 패턴들(115)은 측벽들과 바닥면들이 상기 희생막(112)에 의해 둘러싸여질 수 있다. 상기 제2 상부 하드 마스크 패턴들(115)은 상기 제1 상부 하드 마스크 패턴들(109)과 동일한 물질로 형성할 수 있다.
- <39> 상기 제2 상부 하드 마스크 패턴들(115)은 상기 제1 상부 하드 마스크 패턴들(109)과 동일한 레벨에 위치하도록 형성할 수 있다. 좀더 구체적으로, 상기 제2 상부 하드 마스크 패턴들(109)을 형성하는 것은 상기 희생막(112)을 갖는 반도체기판 상에 상부 하드 마스크 물질막을 형성하고, 상기 제1 상부 하드 마스크 패턴들(115)과 상부면이 실질적으로 동일한 레벨에 위치할때까지 상기 상부 하드 마스크 물질막을 평탄화하는 것을 포함할 수 있다. 이때, 상기 상부 하드 마스크 물질막을 평탄화하는 것은 에치백 기술 또는 화학기계적연마(chemical mechanical polishing) 기술을 이용할 수 있다. 에치백 기술을 이용하여 상기 상부 하드 마스크 물질막을 평탄화하는 것은 상기 제2 상부 하드 마스크 패턴들(115)이 상기 제1 상부 하드 마스크 패턴들(109)과 동일한 레벨에 위치하는 상부면을 갖도록 상기 상부 하드 마스크 물질막을 식각하는 것을 포함할 수 있다. 이와는 달리, 화학기계적연마 기술을 이용하여 상기 제1 상부 하드 마스크 패턴들(109)의 상부면들이 노출될 때까지 상기 상부 하드 마스크 물질막을 평탄화할 수 있다.

- <40> 도 1, 도 5a 및 도 5b를 참조하면, 이어서, 노출된 상기 희생막(도 4a, 도 4b의 112)을 식각함과 아울러 상기 하부 하드 마스크막(도 4a, 도 4b의 106) 및 상기 패드막(도 4a, 4b의 103)을 식각할 수 있다. 그 결과, 상기 제1 상부 하드 마스크 패턴들(109) 하부에 잔존하며 차례로 적층된 제1 패드 패턴들(103a) 및 제1 하부 하드 마스크 패턴들(106a)이 형성됨과 아울러, 상기 제2 상부 하드 마스크 패턴들(115) 하부에 잔존하며 차례로 적층된 제2 패드 패턴들(103b), 제2 하부 하드 마스크 패턴들(106b) 및 희생 패턴들(112b)이 형성될 수 있다.
- <41> 도 1, 도 6a 및 도 6b를 참조하면, 차례로 적층된 상기 제1 패드 패턴들(103a), 상기 제1 하부 하드 마스크 패턴들(106a) 및 상기 제1 상부 하드 마스크 패턴들(109)과 아울러서 차례로 적층된 상기 제2 패드 패턴들(103b), 상기 제2 하부 하드 마스크 패턴들(106b) 및 상기 제2 상부 하드 마스크 패턴들(115)을 식각마스크로 이용하여 상기 반도체기판(100)을 식각하여 트렌치들(117)을 형성할 수 있다. 따라서, 상기 트렌치들(117)에 의하여 상기 반도체기판(100)에 활성영역들(118a)이 한정될 수 있다. 상기 제1 상부 하드 마스크 패턴들(109) 및 상기 제2 상부 하드 마스크 패턴들(115)을 라인 형태로 형성하기 때문에, 상기 활성영역들(118a)의 각각은 라인 형태로 한정될 수 있다.
- <42> 한편, 상기 제1 하부 하드 마스크 패턴들(106a) 및 상기 제1 상부 하드 마스크 패턴들(109)을 제거함과 아울러서 상기 제2 하부 하드 마스크 패턴들(106b) 및 상기 제2 상부 하드 마스크 패턴들(115)을 제거한 후에, 상기 제1 및 제2 패드 패턴들(103a)을 식각마스크로 이용하여 상기 반도체기판(100)을 식각하여 상기 트렌치들(117)을 형성할 수도 있다.
- <43> 도 1, 도 7a 및 도 7b를 참조하면, 상기 트렌치들(117)을 채우는 소자분리막(121)을 형성할 수 있다. 상기 소자분리막(121)은 고밀도 플라즈마 산화막(high density plasma oxide)과 같은 절연막으로 형성할 수 있다.
- <44> 상기 소자분리막(121)을 형성하는 것은 상기 트렌치들(117)을 채우는 절연막을 형성하고, 차례로 적층된 상기 제1 패드 패턴들(103a), 상기 제1 하부 하드 마스크 패턴들(106a) 및 상기 제1 상부 하드 마스크 패턴들(109)과 아울러서 차례로 적층된 상기 제2 패드 패턴들(103b), 상기 제2 하부 하드 마스크 패턴들(106b) 및 상기 제2 상부 하드 마스크 패턴들(115)을 제거하는 것을 포함할 수 있다.
- <45> 한편, 상기 제1 및 제2 패드 패턴들(103a)을 식각마스크로 이용하여 상기 반도체기판(100)을 식각하여 상기 트렌치들(117)을 형성하는 경우에, 상기 트렌치들(117)을 채우는 절연막을 형성하고, 상기 제1 및 제2 패드 패턴들(103a, 103b)을 제거하는 것을 포함할 수 있다.
- <46> 도 1, 도 8a 및 도 8b를 참조하면, 상기 각 활성 영역들(118a) 상에 트랜지스터들을 형성할 수 있다. 상기 트랜지스터들은 상기 각 활성영역들(118a) 상에 형성된 게이트 구조체(134) 및 상기 게이트 구조체(134) 양 옆의 상기 각 활성영역들(118a)에 형성된 불순물 영역들(136)을 포함할 수 있다. 상기 불순물 영역들(136)은 소스/드레인 영역들일 수 있다. 상기 트랜지스터들 중 적어도 하나는 셀 트랜지스터(CT)를 형성할 수 있고, 상기 트랜지스터들 중 적어도 하나는 선택 트랜지스터(ST)를 형성할 수 있다. 상기 선택 트랜지스터(ST)의 게이트 전극은 상기 활성 영역들(118a)의 상부를 가로지르도록 연장하여 워드 라인(WL)의 역할을 할 수 있고, 상기 선택 트랜지스터(ST)의 게이트 전극 역시 상기 활성 영역들(118a)의 상부를 가로지르도록 연장하여 스트링 선택라인(SSL) 또는 접지 선택라인(GSL)의 역할을 할 수 있다.
- <47> 한편, 상기 셀 트랜지스터(CT)는 플래쉬 메모리 소자의 셀 트랜지스터일 수 있다. 이때, 상기 셀 트랜지스터(CT)의 상기 게이트 구조체(134)는 차례로 적층된 제1 유전막(124), 기억저장층(127), 제2 유전막(130) 및 게이트 전극(133)을 포함할 수 있다. 상기 제1 유전막(124)은 터널 유전막일 수 있다. 상기 제2 유전막(130)은 블로킹 유전막일 수 있다. 여기서, 상기 터널 유전막은 실리콘산화막, 실리콘산질화막(SiON), 질소 도핑된 실리콘산화막(nitrogen doped Si oxide) 및 고유전막(high-k dielectric)그룹으로 구성된 일군에서 선택된 적어도 하나의 물질막일 수 있다. 여기서, 상기 고유전막 그룹은 알루미늄(Al)산화막, 지르코늄(Zr)산화막, hafnium(Hf)산화막 및 란타늄(La)산화막 중 적어도 하나를 포함할 수 있다. 상기 기억저장층(127)은 실리콘산질화막(SiON), 실리콘질화막 및 상기 고유전막그룹으로 구성된 일군에서 선택된 적어도 하나의 물질막일 수 있다. 상기 제2 유전막(130)은 엠티오산화막(medium temperature oxide; MTO)과 같은 실리콘 산화막 및 상기 고유전막그룹으로 구성된 일군에서 선택된 적어도 하나의 물질막일 수 있다.
- <48> 한편, 상기 기억저장층(127)은 나노 크리스탈을 포함할 수 있다. 예를 들어, 상기 나노 크리스탈은 텅스텐(W), 타이타늄(Ti), 탄탈륨(Ta), 구리(Cu), 몰리브덴(Mo) 및 니켈(Ni)로 이루어진 일군에서 선택된 하나이거나, 이들의 질화물 중 하나일 수 있다. 또한, 상기 나노 크리스탈은 지르코늄(Zr), hafnium(Hf), 이트륨(Y), 알루미늄(A) 중세서 선택된 적어도 하나의 산화물 나노크리스탈일 수 있다. 이에 더하여 상기 나노 크리스탈은 실리콘 나노

크리스탈, 저마늄(Ge) 나노크리스탈, 질화실리콘 나노크리스탈, 보론 나노크리스탈 또는 질화보론 나노크리스탈 일 수도 있다.

- <49> 한편, 상기 게이트 구조체(134)는 차례로 적층된 게이트 유전막, 플로팅 게이트, 게이트간 유전막 및 제어 게이트를 포함할 수도 있다.
- <50> 이어서, 상기 트랜지스터들(ST, CT)을 갖는 반도체기판(100) 상에 층간절연막(139)을 형성할 수 있다. 상기 층간절연막(139)은 실리콘 산화막으로 형성할 수 있다. 상기 층간절연막(139) 상에 식각 저지막(142)을 형성할 수 있다. 상기 식각 저지막(142)은 실리콘 질화막으로 형성할 수 있다. 상기 식각 저지막(142) 상에 버퍼막(145)을 형성할 수 있다. 상기 버퍼막(145)은 상기 식각 저지막(142)에 대하여 식각 선택비(etching selectivity)를 갖는 물질막 예를 들어, 실리콘 산화막으로 형성할 수 있다.
- <51> 도 1, 도 9a 및 도 9b를 참조하면, 상기 버퍼막(145) 상에 제 1 몰딩막을 덮을 수 있다. 상기 제 1 몰딩막은 상기 버퍼막(145)에 대하여 식각 선택비를 갖는 물질막 예를 들어, 폴리실리콘막으로 형성할 수 있다. 이어서, 상기 제 1 몰딩막을 패터닝하여 라인 형상을 갖는 제 1 몰딩 라인들(148)을 형성한다. 상기 제1 몰딩막을 패터닝하는 것은 사진 공정 및 식각공정을 이용할 수 있다.
- <52> 본 실시예에서, 상기 제 1 몰딩 라인들(148)은 각각 상기 활성 영역들(118a) 중 홀수번째의 활성영역들 또는 짝수번째의 활성영역들과 중첩되도록 형성될 수 있다. 이 경우에, 상기 제 1 몰딩 라인들(148)의 제 1 피치 사이즈(P1)는 상기 사진 공정의 최소 해상도보다 클 수 있다. 또한, 상기 제 1 몰딩 라인들(148)은 상술한 바와 같이 라인 형태를 갖도록 형성된다. 따라서, 상기 제 1 몰딩 라인들(148)을 균일하게 형성하는 것은 매우 용이할 수 있다.
- <53> 상기 제 1 몰딩 라인들(142) 사이의 버퍼막(145)을 부분식각하여 리세스된 영역을 형성할 수 있다. 상기 제 1 몰딩 라인들(148)을 갖는 반도체기판 상에 큰포털한 스페이서막(151)을 형성할 수 있다. 상기 스페이서막(151)은 상기 제 1 몰딩 라인들(148)의 상부면 및 측면과 아울러서 상기 제 1 몰딩 라인들(148) 사이의 상기 버퍼막(145)을 덮을 수 있다. 그 결과, 상기 제 1 몰딩 라인들(148) 사이의 버퍼막(145) 상에서, 상기 스페이서막(151)은 라인 형상의 그루부들(grooves; 151a)을 구비하도록 형성될 수 있다. 상기 스페이서막(151)의 두께를 조절하여 상기 그루부들(151a)은 상기 제 1 몰딩 라인들(148)과 동일한 폭을 갖도록 형성될 수 있다. 또한, 상기 그루부들(151a)의 바닥영역은 상기 제1 몰딩 라인들(148)의 바닥면들과 동일한 레벨에 위치할 수 있다. 한편, 상기 스페이서막(151)은 상기 버퍼막(145)과 동일한 물질막으로 형성될 수 있다.
- <54> 도 1, 도 10a 및 도 10b를 참조하면, 상기 스페이서막(151)을 갖는 반도체 기판 전면에 제 2 몰딩막을 형성할 수 있다. 상기 제 2 몰딩막은 상기 제 1 몰딩막과 동일한 물질막으로 형성될 수 있다. 이어서, 상기 제 2 몰딩막을 평탄화시켜 상기 그루부들(151a)을 매립하는 제 2 몰딩 라인들(154)을 형성한다. 결과적으로, 상기 제 2 몰딩 라인들(154)은 상기 제 1 몰딩 라인들(148) 사이의 상기 버퍼막(145) 상에 균일한 폭 및 라인 형태를 갖도록 형성될 수 있다. 그리고, 상기 제 2 몰딩 라인들(154)은 상기 제 1 몰딩 라인들(148)과 동일한 레벨에 위치할 수 있다. 또한, 상기 제 1 몰딩 라인들(148)이 홀수번째의 활성 영역들과 중첩하도록 형성되는 경우에, 상기 제 2 몰딩 라인들(154)은 짝수번째 활성 영역들과 중첩되도록 형성될 수 있다. 따라서, 상기 제 1 및 제 2 몰딩 라인들(148, 154)은 상기 제 1 피치 사이즈(P1) 보다 더 작은 제 2 피치 사이즈(P2)를 갖도록 형성될 수 있다.
- <55> 상기 제 2 몰딩막을 평탄화하는 공정은 에치백 기술 또는 화학기계적연마(chemical mechanical polishing) 기술을 이용할 수 있다. 에치백 기술을 이용하여 상기 제2 몰딩막을 평탄화하는 것은 상기 제2 몰딩 라인들(154)이 상기 제1 몰딩 라인들(148)과 동일한 레벨에 위치하는 상부면을 갖도록 상기 제2 몰딩막을 식각하는 것을 포함할 수 있다. 이와는 달리, 화학기계적연마 기술을 이용하여 상기 제1 몰딩 라인들(148)의 상부면들이 노출될 때까지 상기 제2 몰딩막을 평탄화할 수 있다.
- <56> 상기 제2 몰딩 라인들(154)을 갖는 반도체기판 상에 상기 제 1 및 제 2 몰딩 라인들(148, 154)과 교차하는 라인 형상의 포토레지스트 패턴(157)을 형성할 수 있다. 상기 포토레지스트 패턴(157)은 일정한 폭을 갖도록 형성될 수 있다.
- <57> 한편, 상기 제2 몰딩 라인들(154)을 에치백 기술을 이용하여 형성하는 경우에, 상기 제1 몰딩 라인들(148) 상부에 위치하는 상기 스페이서막(151)을 식각한 후에, 상기 포토레지스트 패턴(157)을 형성할 수도 있다.
- <58> 본 발명의 실시예에서, 상기 포토레지스트 패턴(157)은 상기 선택 트랜지스터(ST)의 상기 스트링 선택라인(SSL)에 인접하면서 상기 셀 트랜지스터(CT)의 게이트 전극의 반대편에 위치한 활성 영역들(118a)의 상부를 가로지르도록 형성될 수 있다. 상기 포토레지스트 패턴(157)은 상기 스트링 선택라인(SSL)과 평행하도록 형성될

수 있다.

- <59> 도 1, 도 11a 및 도 11b를 참조하면, 상기 포토레지스트 패턴(도 10a, 도 10b의 157)을 식각 마스크로 하여 상기 노출된 스페이서막(도 10a, 도 10b의 151), 상기 제 1 및 제 2 몰딩 라인들(도 10a, 도 10b의 148, 154)을 식각하여 제 1 및 제 2 몰딩 패턴들(148a, 154a)을 형성할 수 있다. 예를 들면, 상기 스페이서막(도 10a, 도 10b의 151)은 상기 노출된 제 1 및 제 2 몰딩 라인들(148, 154)에 대하여 식각 선택비를 갖는 식각 가스를 사용하여 건식 식각될 수 있다. 그리고, 상기 노출된 제 1 및 제 2 몰딩 라인들(도 10a, 도 10b의 148, 154)의 식각은 건식 식각을 사용하여 진행될 수 있다.
- <60> 본 발명의 실시예에 따르는 경우, 상기 일정한 폭을 갖는 상기 포토레지스트 패턴(도 10a, 도 10b의 157)을 사용하여 상기 라인 형상을 갖는 제 1 및 제 2 몰딩 라인들(도 10a, 도 10b의 148, 154)을 패터닝하므로 상기 제 1 및 제 2 몰딩 패턴들(148a, 154a)의 각각은 균일한 폭을 갖도록 형성될 수 있다.
- <61> 이어서, 애싱 스트립(ashing strip) 공정을 사용하여 상기 포토레지스트 패턴(도 10a, 도 10b의 157)을 제거할 수 있다. 상기 제 1 및 제 2 몰딩 패턴들(148a, 154a)을 식각 마스크로 사용하여 상기 제 1 및 제 2 몰딩 패턴들(148a, 154a) 사이의 상기 스페이서막(151)을 식각하여 상기 제 2 몰딩 패턴들(154a) 하부에 스페이서 패턴들(152)을 형성할 수 있다. 그리고, 상기 제 1 및 제 2 몰딩 패턴들(148a, 154a)을 식각 마스크로 사용하여 상기 노출된 버퍼막(도 10a의 145)을 식각하여 상기 제1 몰딩 패턴들(148a) 하부에 잔존하는 제1 버퍼 패턴들(145a)과 아울러서 상기 제2 몰딩 패턴들(154a) 하부의 상기 스페이서 패턴들(152) 하부에 잔존하는 제2 버퍼 패턴들(145b)을 형성할 수 있다. 따라서, 상기 식각저지막(142) 상에 차례로 적층된 상기 제1 버퍼 패턴들(145a) 및 상기 제1 몰딩 패턴들(148a)이 형성된과 아울러 차례로 적층된 상기 제2 버퍼 패턴들(145b), 상기 스페이서 패턴들(152) 및 상기 제2 몰딩 패턴들(154a)이 형성될 수 있다.
- <62> 한편, 상기 스페이서막(151) 및 상기 버퍼막(145)이 동일한 물질막을 사용하는 경우, 상기 스페이서막(151) 및 상기 버퍼막(145)의 식각은 동일한 식각 공정으로 진행될 수 있다.
- <63> 본 발명의 실시예에서, 상기 차례로 적층된 상기 제1 버퍼 패턴들(145a) 및 상기 제1 몰딩 패턴들(148a)을 제1 오프닝 몰딩 패턴들(155a)로 정의함과 아울러서 상기 차례로 적층된 상기 제2 버퍼 패턴들(145b), 상기 스페이서 패턴들(152) 및 상기 제2 몰딩 패턴들(154a)을 제2 오프닝 몰딩 패턴들(155b)로 정의할 수 있다.
- <64> 한편, 평면도로 보았을 때, 상기 제1 및 제2 오프닝 몰딩 패턴들(155a, 155b)의 각각은 장축 및 단축을 갖도록 형성될 수 있다. 그리고, 상기 제1 및 제2 오프닝 몰딩 패턴들(155a, 155b)의 장축들은 상기 활성영역들(118a)의 길이방향과 동일한 방향성을 가질 수 있다.
- <65> 도 1, 도 12a 및 도 12b를 참조하면, 상기 제 1 및 제 2 오프닝 몰딩 패턴들(도 11a의 155a, 155b)을 갖는 반도체 기판(100) 상에 마스크막을 형성할 수 있다. 상기 마스크막은 상기 제 1 및 제 2 몰딩 패턴들(도 11a의 148a, 154a), 상기 스페이서 패턴들(도 11a의 152)과 아울러서 상기 제1 및 제2 버퍼 패턴들(도 11a의 145a, 145b)에 대하여 식각 선택비를 갖는 물질막일 수 있다. 예를 들어, 상기 마스크막은 포토레지스트막과 같은 유기 물질막으로 형성할 수 있다. 이외에도, 상기 마스크막은 반사 방지막(Anti Reflective Coating; ARC), 비정질 탄소막(amorphous carbon layer) 등과 같은 유기 물질막으로 형성할 수 있다.
- <66> 이어서, 에치백 기술을 이용하여 상기 제 1 및 제 2 오프닝 몰딩 패턴들(155a, 155b)의 상부면이 노출될 때까지 상기 마스크막을 평탄화시켜 마스크 패턴(160)을 형성한다.
- <67> 다음으로, 상기 제 1 및 제 2 오프닝 몰딩 패턴들(155a, 155b)을 제거하여 상기 마스크 패턴(160) 내부에 제1 및 제2 개구부들(161a, 161b)을 형성한다. 예를 들어, 상기 제 1 및 제 2 몰딩 패턴들(148a, 154a)을 식각하고, 상기 스페이서 패턴들(152)과 상기 제 1 및 제 2 버퍼 패턴들(145a, 145b)을 식각하는 일련의 과정을 거쳐 상기 제 1 및 제 2 오프닝 몰딩 패턴들(155a, 155b)은 제거될 수 있다. 그 결과, 상기 제1 및 제2 개구부들(161a, 161b)은 상기 스트링 선택라인(SSL)과 평행한 방향을 따라서 상기 제 2 피치 사이즈(P2)를 갖도록 형성될 수 있다.
- <68> 도 1, 도 13a 및 도 13b를 참조하면, 상기 마스크 패턴(160)을 식각 마스크로 사용하여 상기 식각 저지막(142) 및 상기 층간절연막(139)을 식각하여 상기 스트링 선택라인(SSL)에 인접한 상기 활성 영역들(118a)을 노출시키는 제1 및 제2 콘택홀들(163a, 163b)을 형성한다. 상기 식각 저지막(142) 및 상기 층간절연막(139)을 식각하는 것은 건식 식각 공정을 이용할 수 있다. 따라서, 상기 제1 및 제2 콘택 홀들(163a, 163b)은 균일한 크기를 갖도록 형성될 수 있다. 특히, 상기 제1 및 제2 콘택 홀들(163a, 163b)의 중횡비가 크더라도, 상기 제1 및 제2 콘택

홀들(163a, 163b)을 균일한 크기로 형성할 수 있다.

- <69> 상기 유기 물질막으로 이루어진 상기 마스크 패턴(160)을 식각마스크로 이용하므로, 상기 제1 및 제2 콘택 홀들(163a, 163b)이 서로 접촉하여 불량이 발생하는 것을 방지할 수 있다. 상기 마스크 패턴(160)이 유기 물질막으로 이루어져 있으므로, 상기 층간절연막(139)을 건식 식각하여 콘택 홀들을 형성하는 동안에, 상기 유기 물질막으로부터 발생된 폴리머가 콘택 홀들의 측벽을 얇게 덮을 수 있다. 따라서, 상기 층간절연막(139)을 건식 식각하는 동안에, 콘택 홀들의 크기가 확장되는 것을 방지할 수 있으므로, 콘택 홀들이 서로 접촉하여 불량이 발생하는 것을 방지할 수 있다. 결과적으로, 상기 제1 및 제2 콘택 홀들(163a, 163b)은 수직한 측벽을 갖도록 형성되거나, 양의 경사진 측벽을 갖도록 형성될 수 있다. 여기서, 상기 제1 및 제2 콘택 홀들(163a, 163b)이 양의 경사진 측벽을 갖는 경우에, 상기 제1 및 제2 콘택 홀들(163a, 163b)의 각각은 상부영역으로부터 하부영역으로 갈수록 점점 좁아지는 형상일 수 있다. 따라서, 상기 제1 및 제2 콘택 홀들(163a, 163b)의 중형비가 크더라도, 본 실시예에 의하면, 상기 제1 및 제2 콘택 홀들(163a, 163b)이 서로 접촉하여 불량이 발생하는 것을 방지할 수 있다.
- <70> 도 1, 도 14a 및 도 14b를 참조하면, 상기 마스크 패턴(160)을 제거할 수 있다. 이후, 상기 식각 저지막(142)을 제거할 수 있다. 상기 제1 및 제2 콘택홀들(163a, 163b)을 갖는 반도체 기판 상에 도핑된 폴리실리콘막 또는 금속막과 같은 콘택 도전막을 형성할 수 있다. 상기 층간절연막(139)의 상부면이 노출될 때까지 화학기계적 연마 공정 또는 에치백 공정을 사용하여 상기 콘택 도전막을 평탄화시킬 수 있다. 그 결과, 상기 제1 및 제2 콘택 홀들(163a)을 매립하는 콘택 플러그들(CN)을 형성할 수 있다. 여기서, 상기 콘택 플러그들(CN)은 상기 제1 콘택홀들(163a)을 매립하는 제1 콘택 플러그들(166a)과 아울러서 상기 제2 콘택 홀들(163b)을 매립하는 제2 콘택 플러그들(166b)로 이루어질 수 있다.
- <71> 도 11a 및 도 11b에서 설명한 것과 같이 상기 제1 및 제2 오프닝 몰딩 패턴들(155a, 155b)은 장축 및 단축을 갖도록 형성될 수 있으므로, 후속적으로 형성되는 상기 콘택 플러그들(CN)의 각각은 평면도로 보았을 때 장축 및 단축을 갖도록 형성될 수 있다. 특히, 상기 콘택 플러그들(CN)의 장축들은 상기 활성영역들(118a)의 길이방향과 동일한 방향성을 가지므로, 상기 콘택 플러그들(CN)과 상기 불순물 영역들(136)의 접촉면적을 증가시킬 수 있다. 따라서, 상기 콘택 플러그들(CN)과 상기 불순물 영역들(136)의 접촉저항 특성을 향상시킬 수 있다.
- <72> 다음으로, 상기 층간절연막(139) 상에 상기 제1 콘택 플러그들(166a)과 중첩하는 제1 도전성 라인들(169a)을 형성할 수 있다. 이어서, 상기 제1 도전성 라인들(169a) 사이에 위치하며 상기 제2 콘택 플러그들(166b)과 중첩하는 제2 도전성 라인들(169b)을 형성할 수 있다. 상기 제1 도전성 라인들(169a)의 각각은 상기 활성영역들(118a) 중 홀수 번째의 활성영역들 또는 짝수 번째의 활성영역들과 중첩하도록 형성되고, 상기 제2 도전성 라인들(169b)의 각각은 상기 활성영역들(118a) 중 상기 제1 도전성 라인들(169a) 사이에 위치하는 활성영역들과 중첩하도록 형성될 수 있다. 상기 제1 및 제2 도전성 라인들(169a, 169b)은 비트라인들(BL)로 정의할 수 있다.
- <73> 상기 제1 및 제2 도전성 라인들(169a, 169b)을 형성하는 것은 상기 층간절연막(139) 상에 상기 제1 콘택 플러그들(166a)과 중첩하는 제1 도전성 라인들(169a)을 형성하고, 상기 제1 도전성 라인들(169a)의 측벽들을 덮는 비트라인 스페이서들을 형성하고, 상기 제1 도전성 라인들(169a) 사이에 위치하며 양 측벽들이 상기 비트라인 스페이서들과 접하는 제2 도전성 라인들(169b)을 형성하고, 상기 비트라인 스페이서들을 제거하는 것을 포함할 수 있다. 이때, 상기 비트라인 스페이서들을 제거하는 것은 생략할 수 있다. 즉, 상기 비트라인 스페이서들은 상기 제1 및 제2 도전성 라인들(169a, 169b) 사이에 잔존할 수도 있다.
- <74> 상술한 본 발명에 따르면, 사진 공정을 사용하여 상기 마스크 패턴(160)에 개구부들을 직접 형성하는 경우에 비해, 상기 제1 및 제2 개구부들(161a, 161b)의 각각은 균일한 크기를 갖도록 형성될 수 있다. 따라서 후속적으로 형성되는 상기 제1 및 제2 콘택홀들(163a, 163b)의 각각은 균일한 단면적 및 평면적을 갖도록 형성되어 상기 제1 및 제2 콘택홀들(163a, 163b)을 매립하는 상기 제1 및 제2 콘택 플러그들(166a, 166b)은 균일한 저항값을 가질 수 있다.
- <75> 다음으로, 도 1, 도 15a 내지 도 20a, 도 15b 내지 도 20b를 참조하여 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 설명하기로 한다.
- <76> 도 1, 도 15a 및 도 15b를 참조하면, 도 2a 내지 도 7a, 및 도 2b 내지 도 7b에서 설명한 것과 같은 방법을 이용하여 형성한 상기 소자분리막(121)에 의해 한정된 상기 활성영역들(118a)을 갖는 반도체기판(100)을 제공한다.
- <77> 상기 각 활성 영역들(118a) 상에 트랜지스터들을 형성할 수 있다. 상기 트랜지스터들은 상기 각 활성영역들

(118a) 상에 형성된 게이트 구조체(234) 및 상기 게이트 구조체(234) 양 옆의 상기 각 활성영역들(118a)에 형성된 불순물 영역들(236)을 포함할 수 있다.

- <78> 한편, 도 8a에서 설명한 것과 같이, 상기 트랜지스터들 중 적어도 하나는 셀 트랜지스터(CT)를 형성할 수 있고, 상기 트랜지스터들 중 적어도 하나는 선택 트랜지스터(ST)를 형성할 수 있다. 상기 선택 트랜지스터(ST)의 게이트 전극은 상기 활성 영역들(118a)의 상부를 가로지르도록 연장하여 워드 라인(WL)의 역할을 할 수 있고, 상기 선택 트랜지스터(ST)의 게이트 전극 역시 상기 활성 영역들(118a)의 상부를 가로지르도록 연장하여 스트링 선택 라인(SSL) 또는 접지 선택라인(GSL)의 역할을 할 수 있다.
- <79> 상기 게이트 구조체(234)는 차례로 적층된 게이트 유전막(224), 플로팅 게이트(227), 게이트간 유전막(230) 및 제어 게이트(233)를 포함할 수 있다. 상기 플로팅 게이트(227)는 폴리 실리콘막으로 형성될 수 있다. 상기 불순물 영역들(236)은 소스/드레인 영역들일 수 있다.
- <80> 한편, 상기 게이트 구조체(234)는 도 8b에서 설명한 것과 같이 차례로 적층된 제1 유전막, 기억저장층, 제2 유전막 및 게이트 전극을 포함할 수 있다.
- <81> 상기 트랜지스터들(ST, CT)을 갖는 반도체기판(100) 상에 층간절연막(239)을 형성할 수 있다. 상기 층간절연막(239)은 실리콘 산화막으로 형성할 수 있다.
- <82> 도 1, 도 16a 및 도 16b를 참조하면, 상기 층간절연막(239) 상에 식각 저지막(242)을 형성할 수 있다. 상기 식각 저지막(242)은 상기 층간절연막(239)에 대하여 식각선택비를 갖는 물질막으로 형성할 수 있다. 예를 들어, 상기 층간절연막(239)을 실리콘 산화막으로 형성하는 경우에, 상기 식각저지막(242)은 실리콘 질화막으로 형성할 수 있다. 상기 식각 저지막(242) 상에 제 1 몰딩막을 형성할 수 있다. 상기 제 1 몰딩막은 상기 식각저지막(242)에 대하여 식각 선택비를 갖는 물질막 예를 들어, 폴리실리콘막으로 형성할 수 있다. 이어서, 상기 제 1 몰딩막을 패터닝하여 라인 형상을 갖는 제 1 몰딩 라인들(248)을 형성한다. 상기 제 1 몰딩막을 패터닝하는 것은 사진 공정 및 식각공정을 이용할 수 있다.
- <83> 본 실시예에서, 상기 제 1 몰딩 라인들(248)은 각각 상기 활성 영역들(118a) 중 홀수번째의 활성영역들 또는 짝수번째의 활성영역들과 중첩되도록 형성될 수 있다. 상기 제 1 몰딩 라인들(248)은 상술한 바와 같이 라인 형태를 갖도록 형성된다.
- <84> 상기 제 1 몰딩 라인들(248)의 측벽들을 덮는 스페이서막(251)을 형성할 수 있다. 상기 스페이서막(251)을 형성하는 것은 상기 제 1 몰딩 라인들(248)을 갖는 반도체기판 상에 상기 제 1 몰딩 라인들(248)에 대하여 식각선택비를 갖는 물질막을 콘포멀하게(conformally) 형성하고, 상기 물질막이 상기 제 1 몰딩 라인들(248)의 측벽들에 잔존하도록 상기 물질막을 이방성 식각하는 것을 포함할 수 있다.
- <85> 도 1, 도 17a 및 도 17b를 참조하면, 상기 스페이서막(251)을 갖는 반도체 기판 전면에 제 2 몰딩막을 형성할 수 있다. 상기 제 2 몰딩막은 상기 제 1 몰딩막과 동일한 물질막으로 형성될 수 있다. 이어서, 상기 제 2 몰딩막을 평탄화시키어 상기 제 1 몰딩 라인들(248) 사이에 제 2 몰딩 라인들(254)을 형성한다.
- <86> 상기 제 2 몰딩막을 평탄화하는 공정은 에치백 기술 또는 화학기계적연마(chemical mechanical polishing) 기술을 이용할 수 있다. 에치백 기술을 이용하여 상기 제 2 몰딩막을 평탄화하는 것은 상기 제 2 몰딩 라인들(254)이 상기 제 1 몰딩 라인들(248)과 동일한 레벨에 위치하는 상부면을 가지면서 균일한 폭을 갖도록 상기 제 2 몰딩막을 식각하는 것을 포함할 수 있다. 좀더 구체적으로, 상기 제 2 몰딩 라인들(254)의 상부면이 상기 스페이서막(251)보다 낮은 레벨에 위치하도록 상기 제 2 몰딩막을 과식각(over etch) 하여 상기 제 2 몰딩 라인들(254)이 균일한 폭을 갖도록 할 수 있다. 이때, 상기 제 1 몰딩 라인들(248)은 상기 제 2 몰딩막과 동일한 물질로 이루어지므로, 상기 제 2 몰딩막을 과식각하는 동안, 상기 제 1 몰딩 라인들(248)도 같이 식각되어 상기 제 1 및 제 2 몰딩 라인들(248)은 동일한 레벨의 상부면들을 갖도록 형성될 수 있다.
- <87> 이와는 달리, 화학기계적연마 기술을 이용하여 상기 제 2 몰딩 라인들(254)이 상기 제 1 몰딩 라인들(148)과 동일한 레벨에 위치하는 상부면을 가지면서 균일한 폭을 갖도록 상기 제 2 몰딩막을 평탄화할 수 있다. 이 경우에, 상기 제 1 및 제 2 몰딩 라인들(248, 254)과 상기 스페이서막(251)은 동일한 레벨에 위치하는 상부면들을 가질 수 있다. 결과적으로, 상기 제 2 몰딩 라인들(254)은 상기 제 1 몰딩 라인들(248) 사이의 상기 층간절연막(239) 상에 균일한 폭 및 라인 형태를 갖도록 형성될 수 있다. 그리고, 상기 제 2 몰딩 라인들(254)은 상기 제 1 몰딩 라인들(248)과 동일한 레벨에 위치할 수 있다. 또한, 상기 제 1 몰딩 라인들(248)이 상기 홀수번째의 활성 영역들과 중첩하도록 형성되는 경우에, 상기 제 2 몰딩 라인들(254)은 상기 짝수번째 활성 영역들과 중첩되도록 형

성될 수 있다.

- <88> 상기 제2 몰딩 라인들(254)을 갖는 반도체기판 상에 상기 제 1 및 제 2 몰딩 라인들(248, 254)과 교차하는 라인 형상의 포토레지스트 패턴(257)을 형성할 수 있다. 상기 포토레지스트 패턴(257)은 일정한 폭을 갖도록 형성될 수 있다.
- <89> 본 발명의 실시예에서, 상기 포토레지스트 패턴(257)은 상기 선택 트랜지스터(ST)의 상기 스트링 선택라인(SSL)에 인접하면서 상기 셀 트랜지스터(CT)의 게이트 전극의 반대편에 위치한 활성 영역들(118a)의 상부를 가로지르도록 형성될 수 있다. 상기 포토레지스트 패턴(257)은 상기 스트링 선택라인(SSL)과 평행하도록 형성될 수 있다.
- <90> 도 1, 도 18a 및 도 18b를 참조하면, 상기 포토레지스트 패턴(257)을 식각 마스크로 하여 상기 제 1 및 제 2 몰딩 라인들(248, 254)을 식각하여 제 1 및 제 2 오프닝 몰딩 패턴들(248a, 254a)을 형성할 수 있다. 상기 포토레지스트 패턴(257)을 제거할 수 있다. 이어서, 상기 스페이서막(251)을 식각하여 제거할 수 있다. 그 결과, 상기 식각저지막(242) 상에 상기 제1 및 제2 오프닝 몰딩 패턴들(248a, 254a)이 잔존할 수 있다.
- <91> 본 발명의 실시예에 따르는 경우, 상기 일정한 폭을 갖는 상기 포토레지스트 패턴(257)을 사용하여 상기 라인 형상을 갖는 제 1 및 제 2 몰딩 라인들(248, 254)을 패터닝하므로 상기 제 1 및 제 2 오프닝 몰딩 패턴들(248a, 254a)의 각각은 균일한 폭을 갖도록 형성될 수 있다.
- <92> 한편, 상기 제1 및 제2 오프닝 몰딩 패턴들(248a, 254a)의 각각은 장축 및 단축을 갖도록 형성될 수 있다. 그리고, 상기 제1 및 제2 오프닝 몰딩 패턴들(248a, 254a)의 장축은 상기 활성영역들(118a)의 길이방향과 동일한 방향성을 가질 수 있다. 즉, 상기 제1 및 제2 몰딩 라인들(248, 254)의 폭들과 상기 포토레지스트 패턴(257)의 폭을 조절함으로써, 장축 및 단축을 갖는 상기 제1 및 제2 오프닝 몰딩 패턴들(248a, 254a)을 형성할 수 있다.
- <93> 도 1, 도 19a 및 도 19b를 참조하면, 상기 제 1 및 제 2 오프닝 몰딩 패턴들(도 18a의 248a, 254a)을 갖는 반도체 기판 상에 마스크막을 형성할 수 있다. 상기 마스크막은 상기 제 1 및 제 2 오프닝 몰딩 패턴들(도 18a의 248a, 254a)에 대하여 식각 선택비를 갖는 물질막일 수 있다. 예를 들어, 상기 마스크막은 포토레지스트막과 같은 유기 물질막으로 형성할 수 있다. 이외에도, 상기 마스크막은 반사 방지막(Anti Reflective Coating; ARC), 비정질 탄소막(amorphous carbon layer) 등과 같은 유기 물질막으로 형성할 수 있다. 이어서, 에치백 기술을 이용하여 상기 제 1 및 제 2 오프닝 몰딩 패턴들(248a, 254a)의 상부면이 노출될 때까지 상기 마스크막을 평탄화시켜 마스크 패턴(260)을 형성할 수 있다.
- <94> 다음으로, 상기 제 1 및 제 2 오프닝 몰딩 패턴들(248a, 254a)을 제거하여 상기 마스크 패턴(260) 내부에 제1 및 제2 개구부들(261a, 261b)을 형성한다. 그 결과, 상기 제1 및 제2 개구부들(261a, 261b)은 상기 스트링 선택라인(SSL)과 평행한 방향을 따라서 배열되도록 형성될 수 있다.
- <95> 도 1, 도 20a 및 도 20b를 참조하면, 도 13a 및 도 13b에서 설명한 것과 같이 상기 마스크 패턴(260)을 식각 마스크로 사용하여 상기 식각 저지막(242) 및 상기 충전절연막(239)을 식각하여 상기 스트링 선택라인(SSL)에 인접한 상기 활성 영역들(118a)을 노출시키는 제1 및 제2 콘택홀들을 형성한다. 이어서, 상기 마스크 패턴(260)을 제거할 수 있다. 이후, 상기 식각 저지막(242)을 제거할 수 있다. 도 14a 및 도 14b에서 설명한 것과 같이 상기 제1 및 제2 콘택 홀들을 매립하는 콘택 플러그들(CN)을 형성할 수 있다. 여기서, 상기 콘택 플러그들(CN)은 상기 제1 콘택홀들을 매립하는 제1 콘택 플러그들(266a)과 아울러서 상기 제2 콘택 홀들을 매립하는 제2 콘택 플러그들(266b)로 이루어질 수 있다. 다음으로, 도 15a 및 도 15b에서 설명한 것과 같이, 상기 충전절연막(239) 상에 상기 제1 콘택 플러그들(266a)과 중첩하는 제1 도전성 라인들(269a)을 형성할 수 있다. 상기 제1 도전성 라인들(269a) 사이에 위치하며 상기 제2 콘택 플러그들(266b)과 중첩하는 제2 도전성 라인들(269b)을 형성할 수 있다. 상기 제1 및 제2 도전성 라인들(269a, 269b)은 비트라인들(BL)로 정의할 수 있다. 상기 제1 도전성 라인들(269a)의 각각은 상기 활성영역들(118a) 중 홀수 번째의 활성영역들 또는 짝수 번째의 활성영역들과 중첩하도록 형성되고, 상기 제2 도전성 라인들(269b)의 각각은 상기 활성영역들(118a) 중 상기 제1 도전성 라인들(269a) 사이에 위치하는 활성영역들과 중첩하도록 형성될 수 있다.

발명의 효과

- <96> 상술한 바와 같이 본 발명에 따르면, 라인 형상을 갖는 제 1 및 제 2 몰딩 라인들을 패터닝하여 제 1 및 제 2 몰딩 패턴들을 형성시킨다. 상기 제 1 및 제 2 몰딩 패턴들의 형상에 따라 형성되는 상기 마스크 패턴의 개구부들의 각각은 균일한 크기를 가질 수 있다. 따라서 후속적으로 형성되는 콘택홀들의 각각은 균일한 크기를 갖도

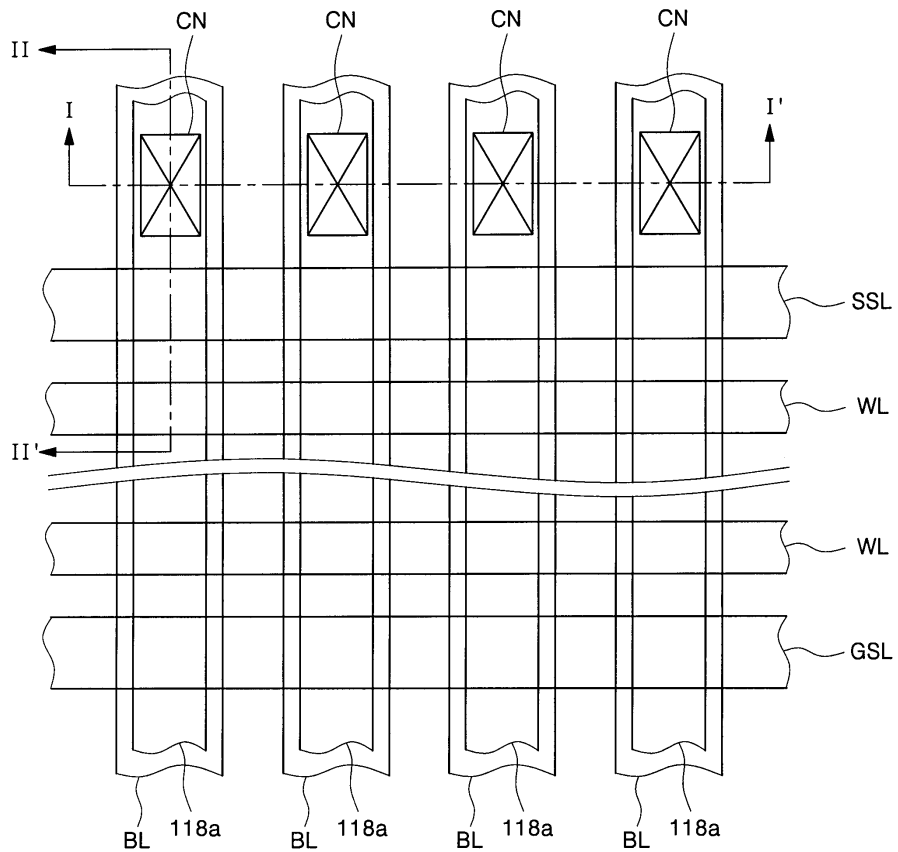
록 형성되고, 상기 콘택홀들을 매립하는 콘택 플러그들은 균일한 저항값을 가져 반도체 소자의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

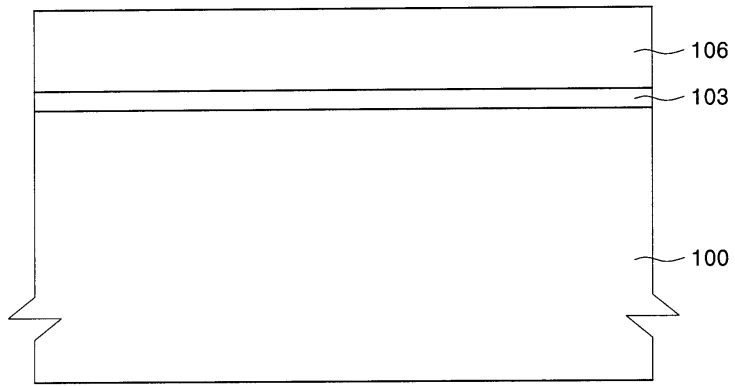
- <1> 도 1은 본 발명의 실시예들에 따른 반도체 소자의 평면도이다.
- <2> 도 2a 내지 도 14a, 및 도 2b 내지 도 14b는 본 발명의 일 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도들이다.
- <3> 도 15a 내지 도 20a, 및 도 15b 내지 도 20b는 본 발명의 다른 실시예에 따른 반도체소자의 제조방법을 설명하기 위해 나타낸 단면도들이다.

도면

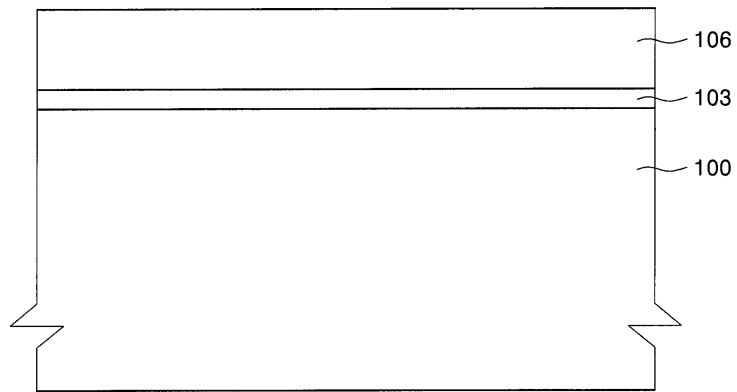
도면1



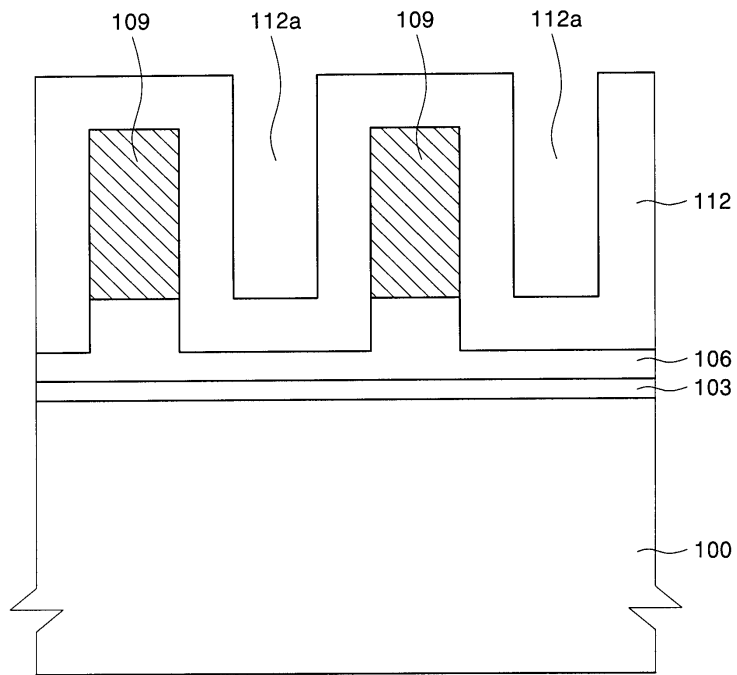
도면2a



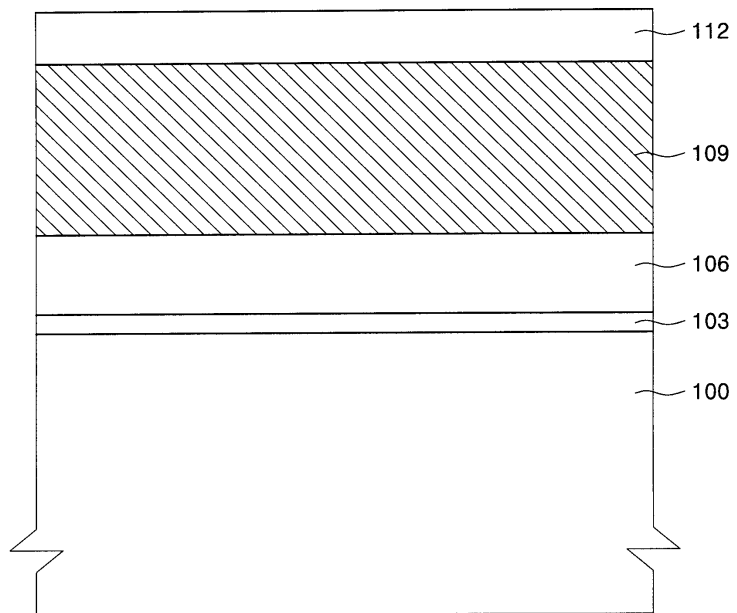
도면2b



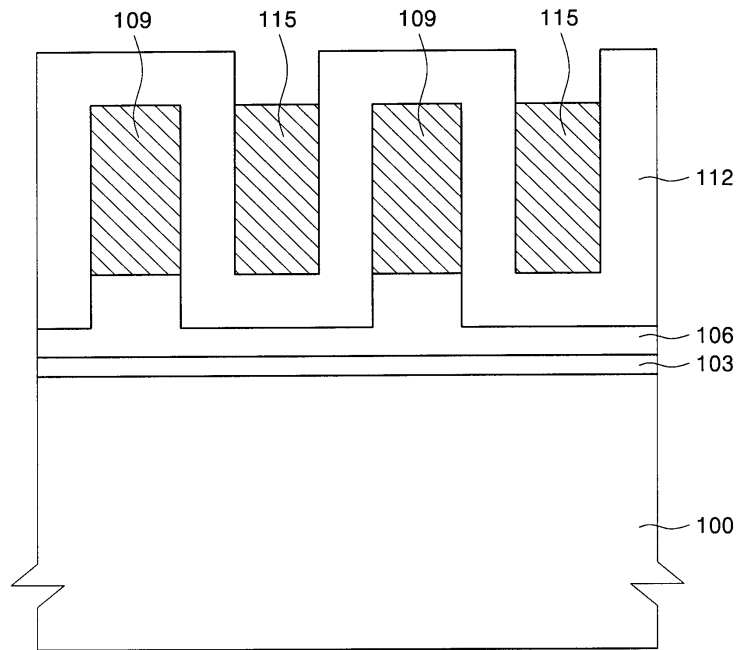
도면3a



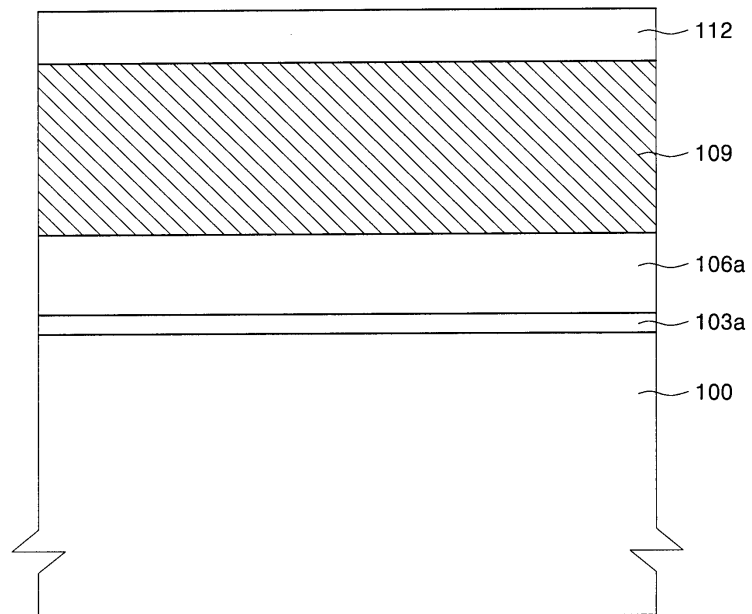
도면3b



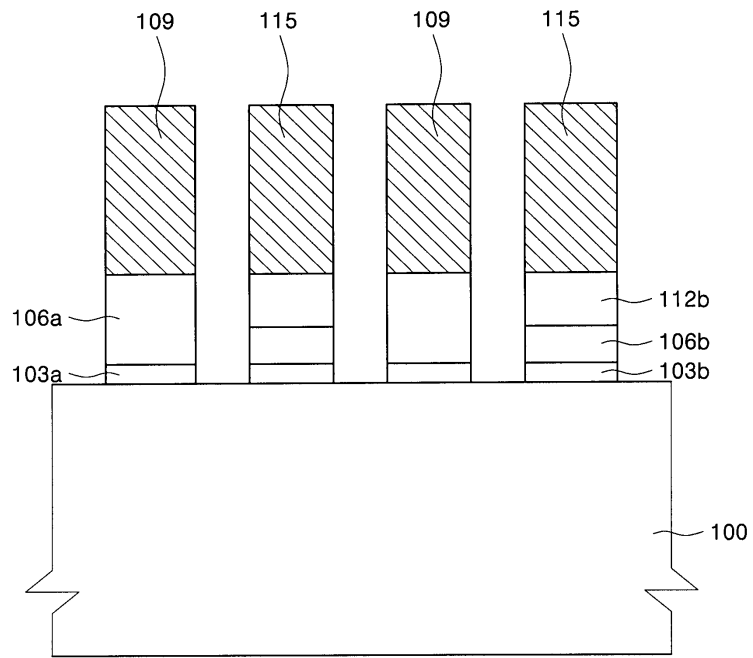
도면4a



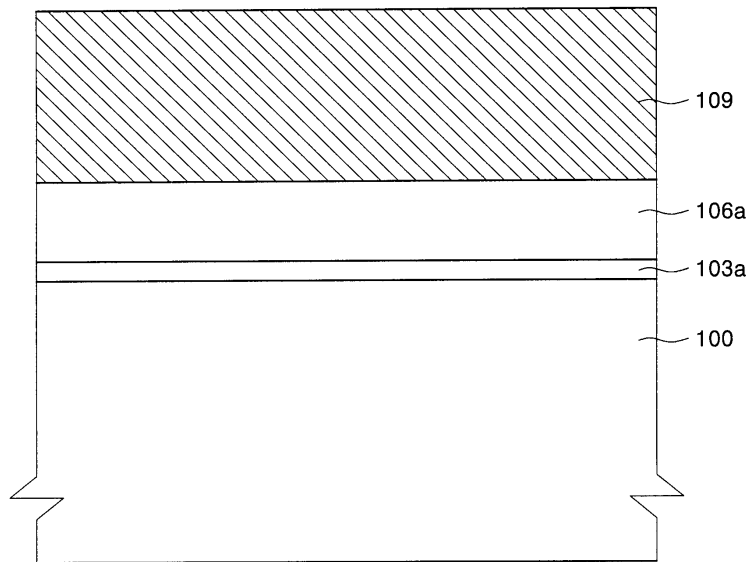
도면4b



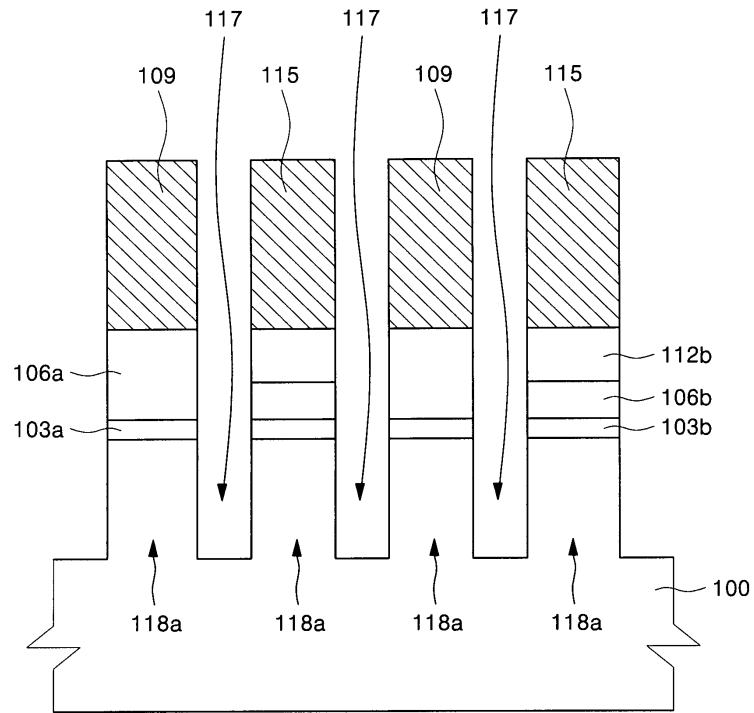
도면5a



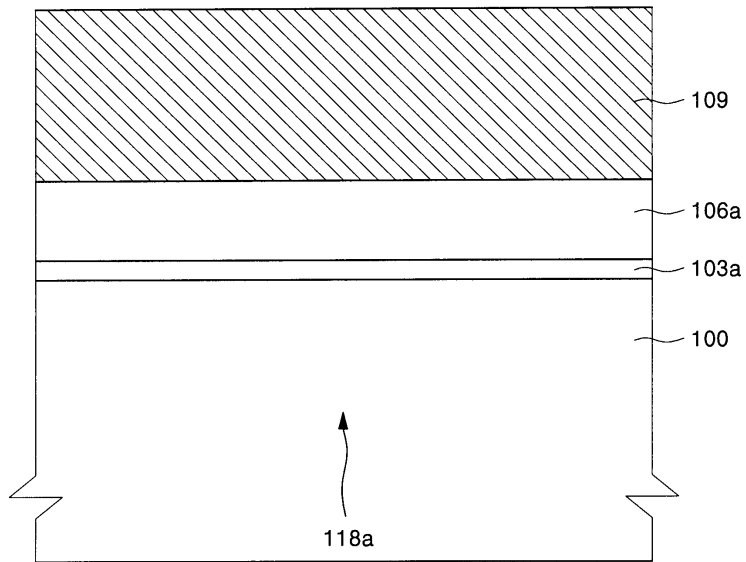
도면5b



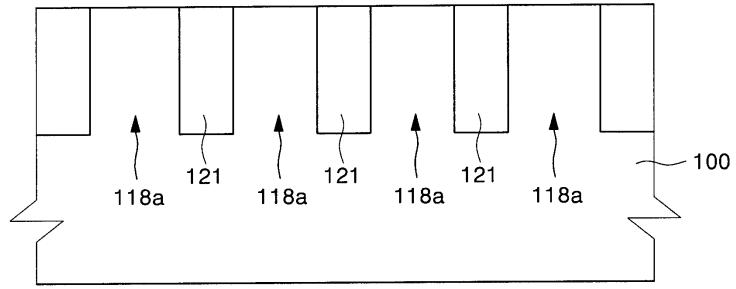
도면6a



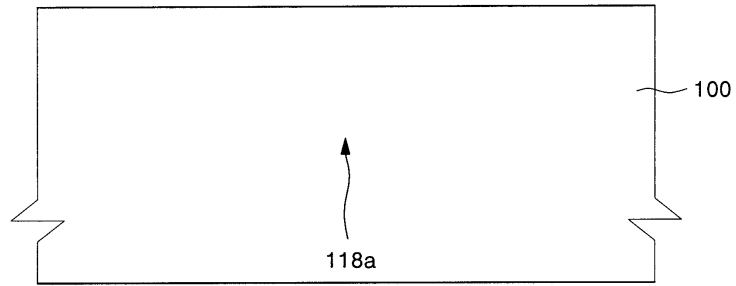
도면6b



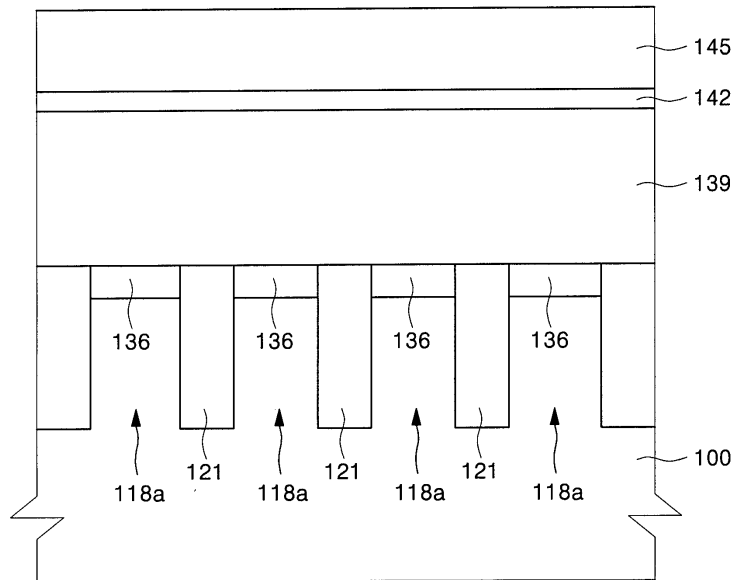
도면7a



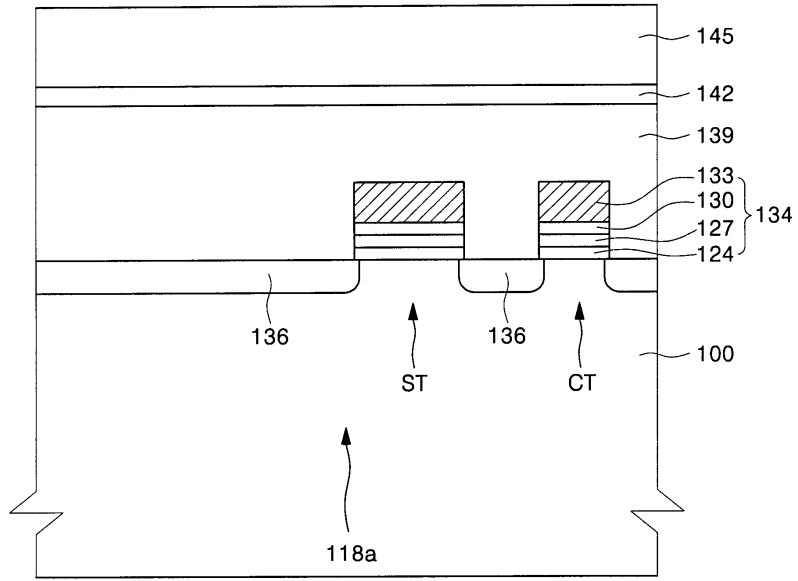
도면7b



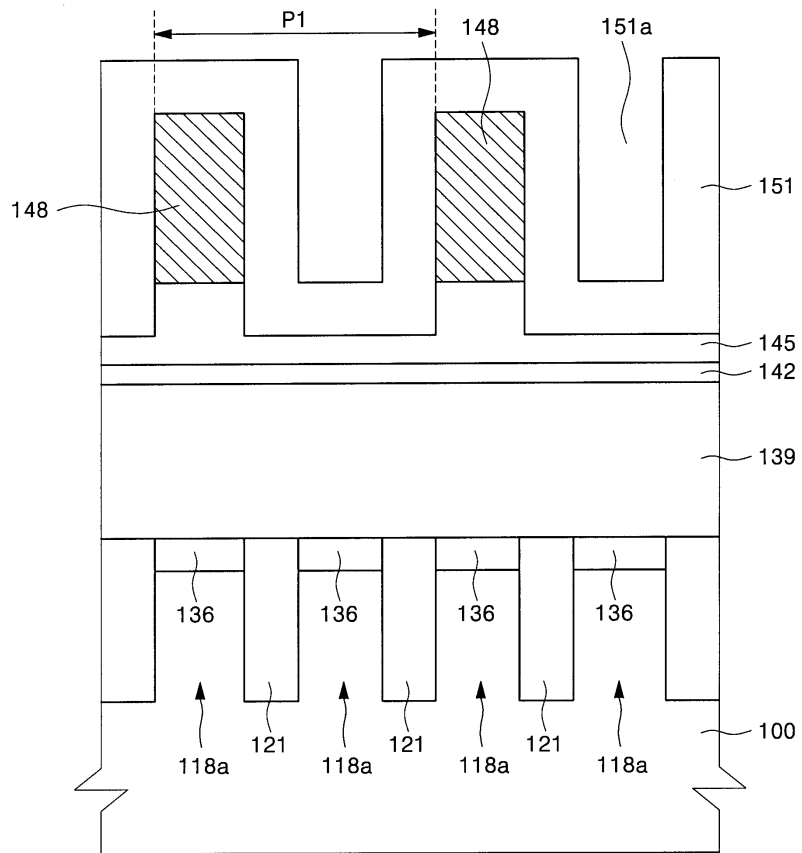
도면8a



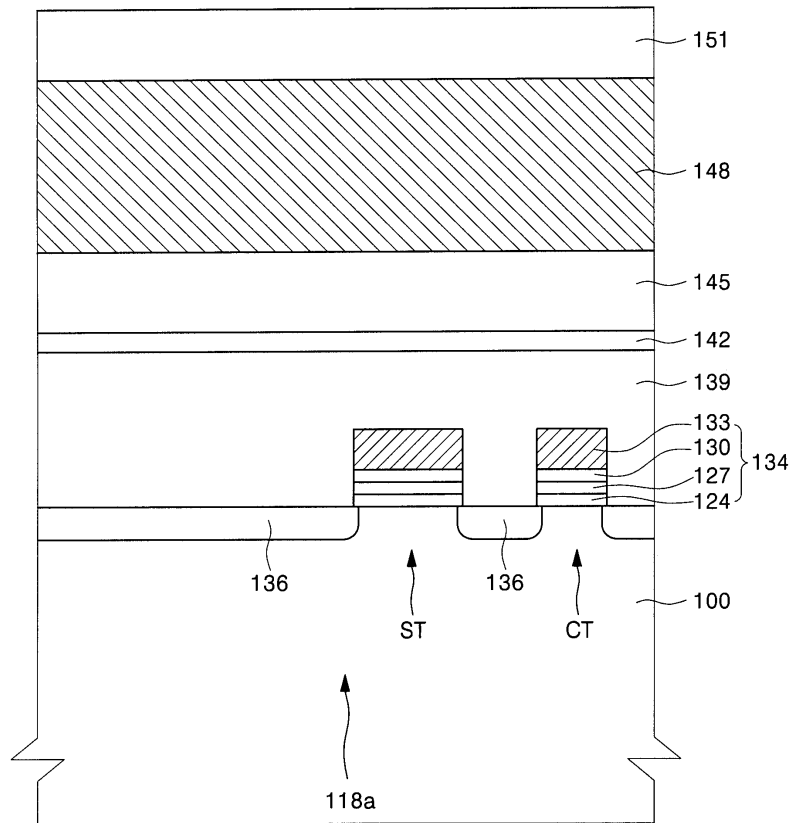
도면8b



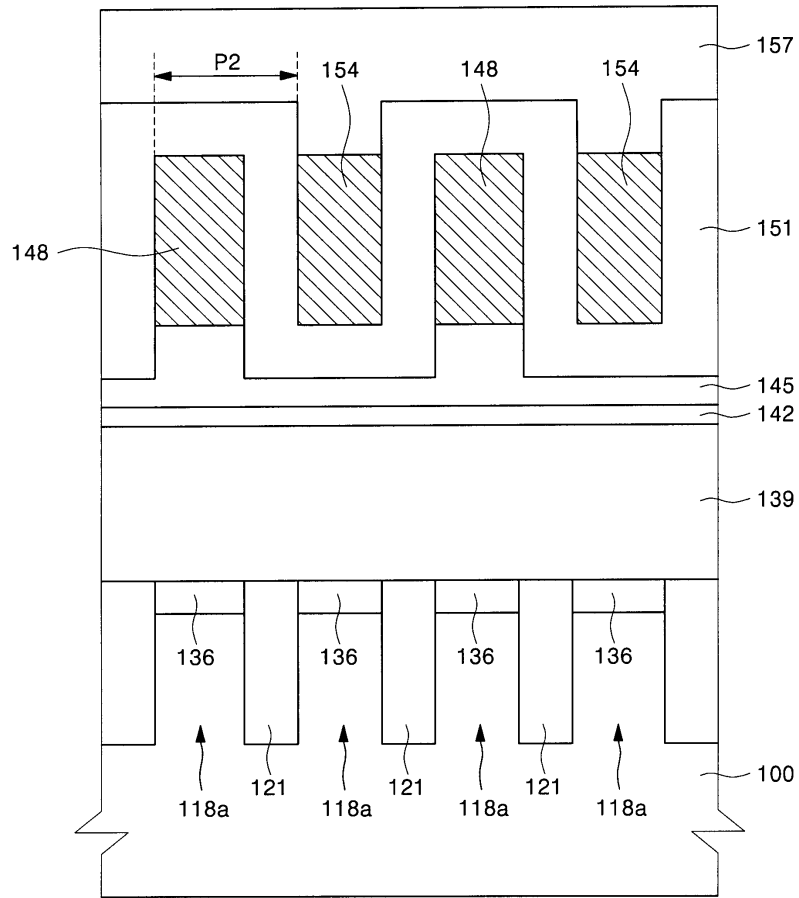
도면9a



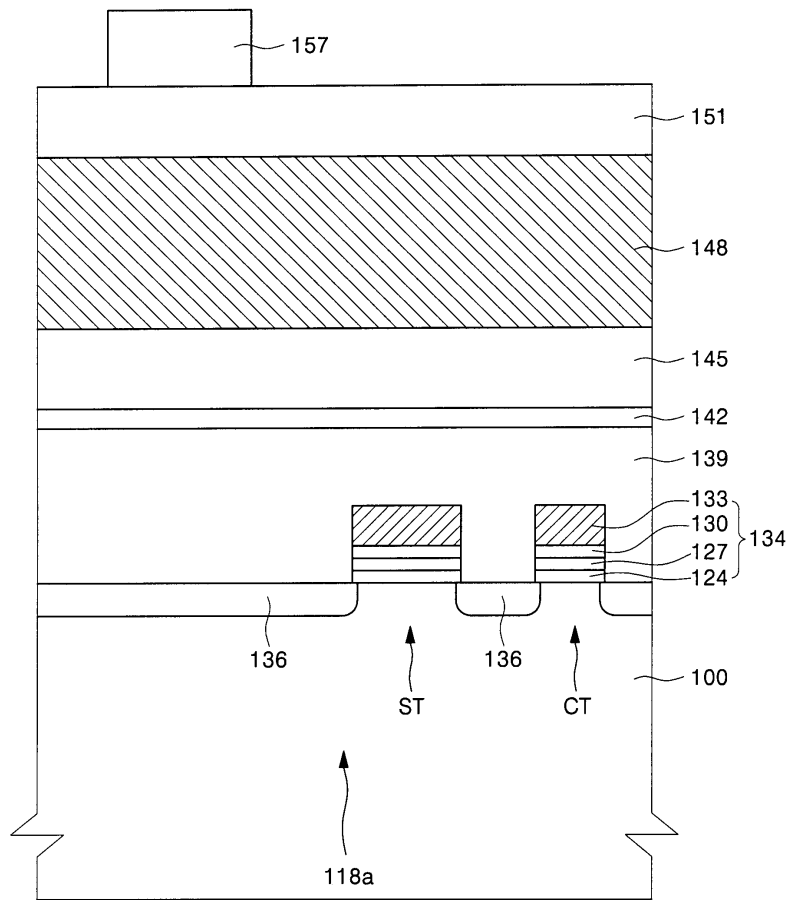
도면9b



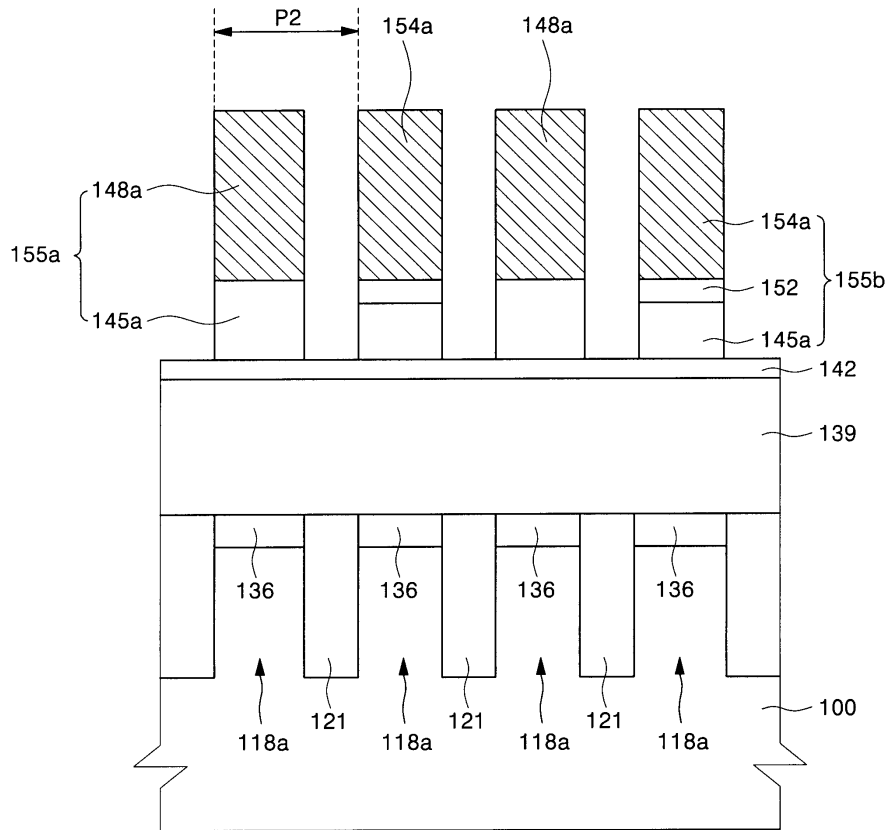
도면10a



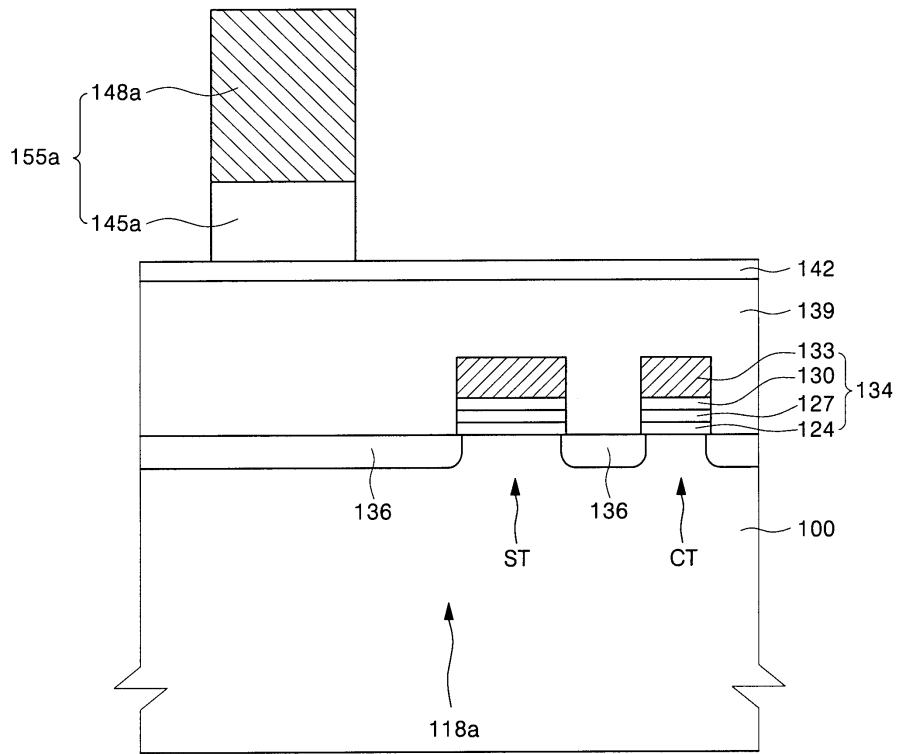
도면10b



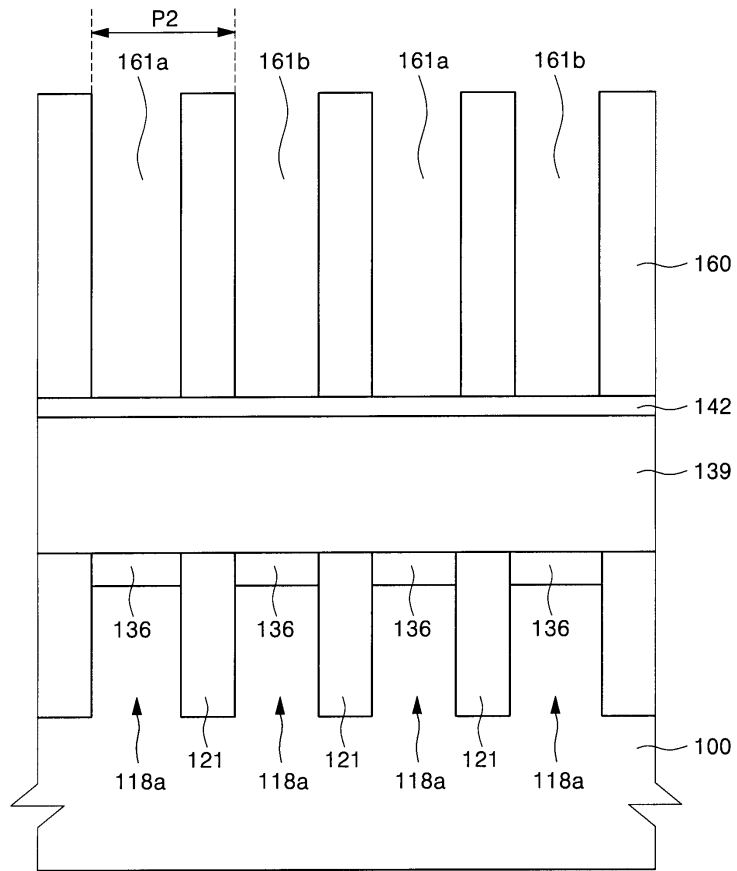
도면11a



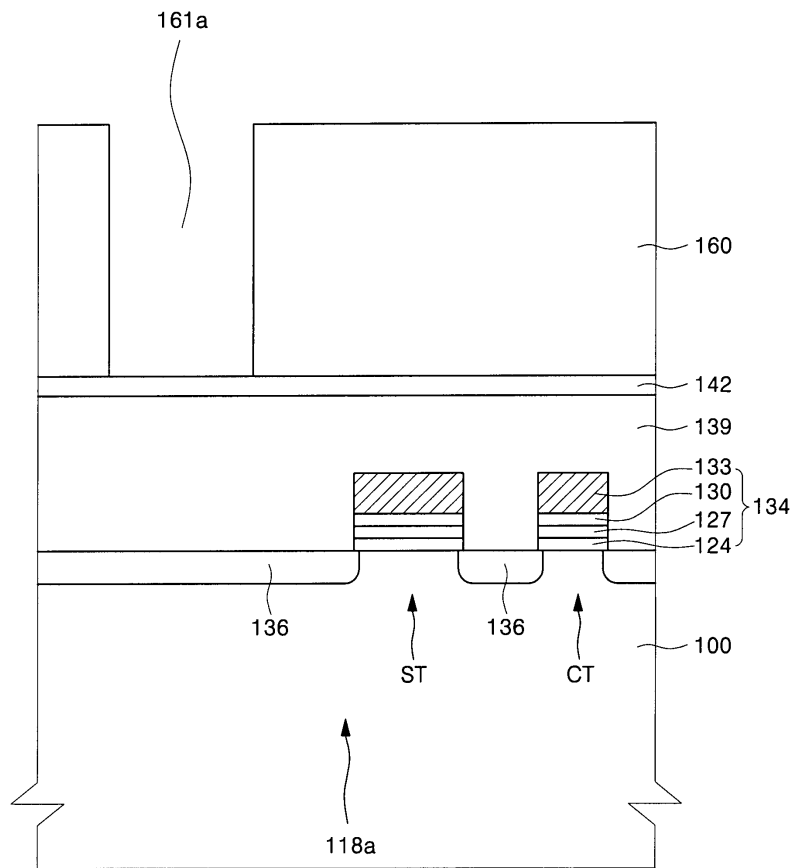
도면11b



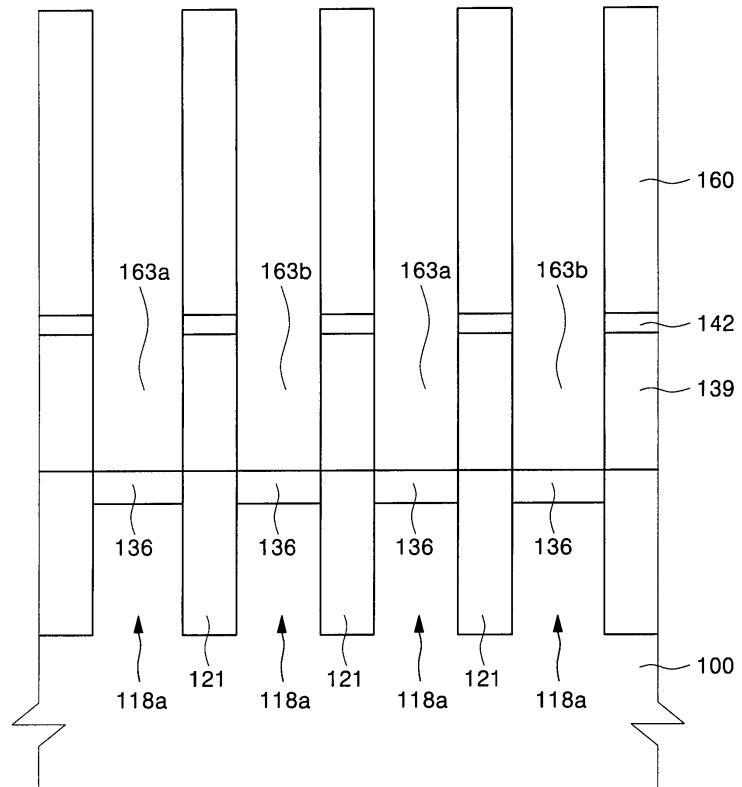
도면12a



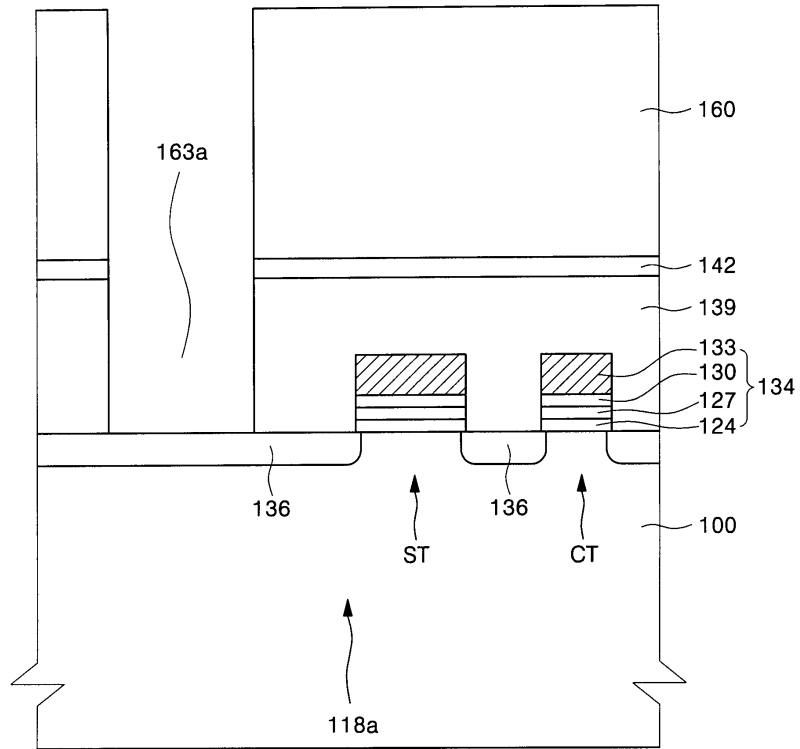
도면12b



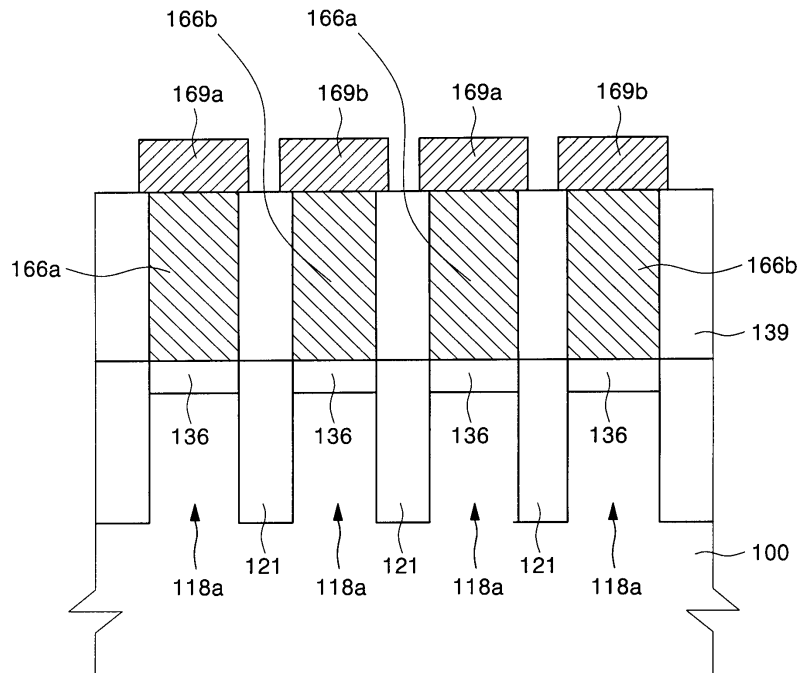
도면13a



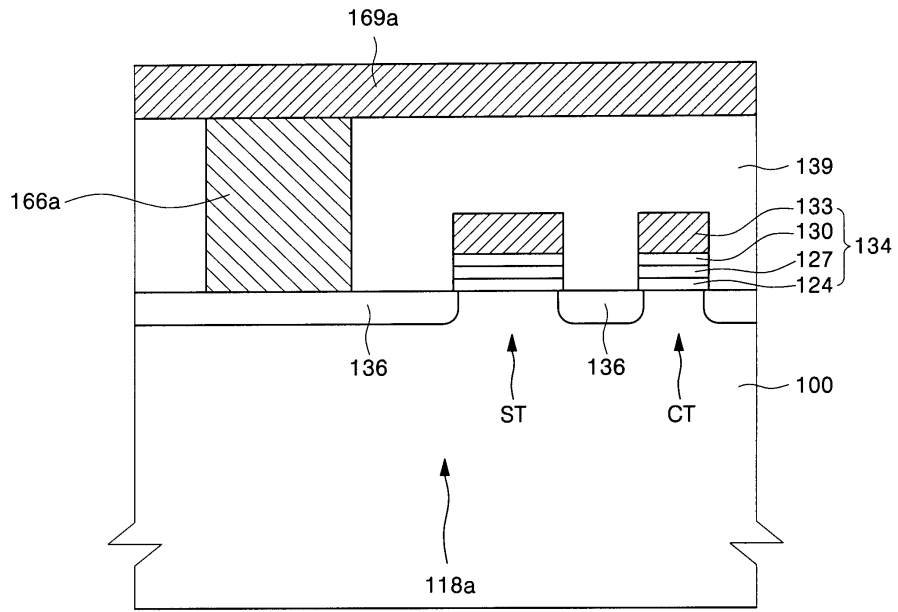
도면13b



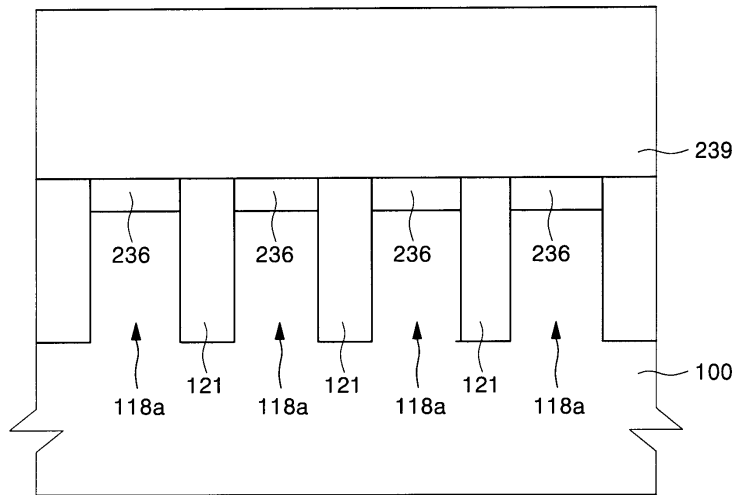
도면14a



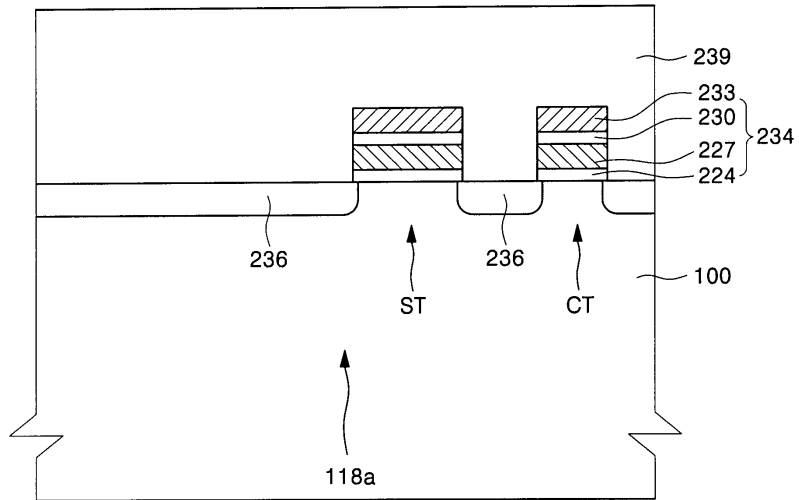
도면14b



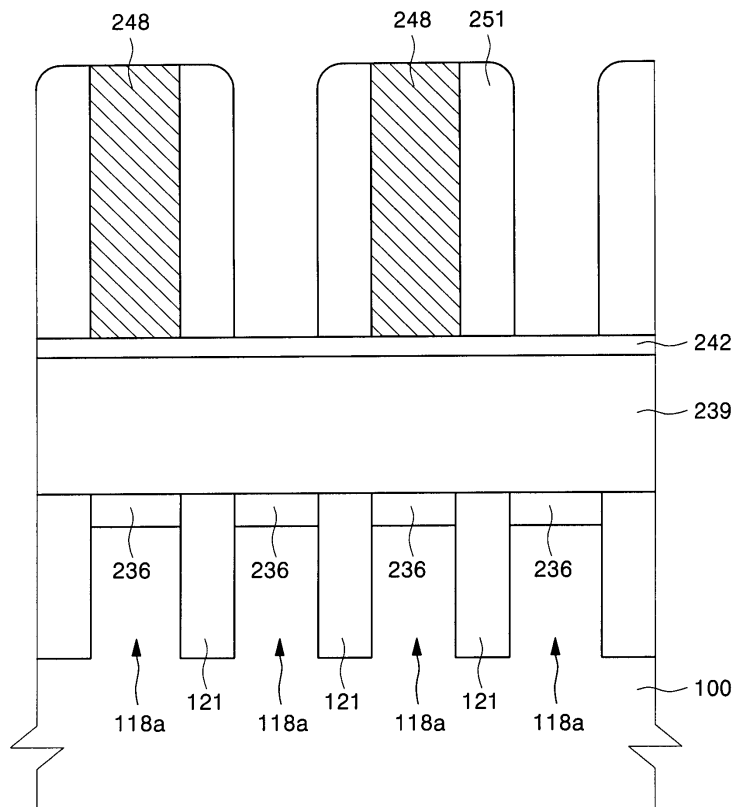
도면15a



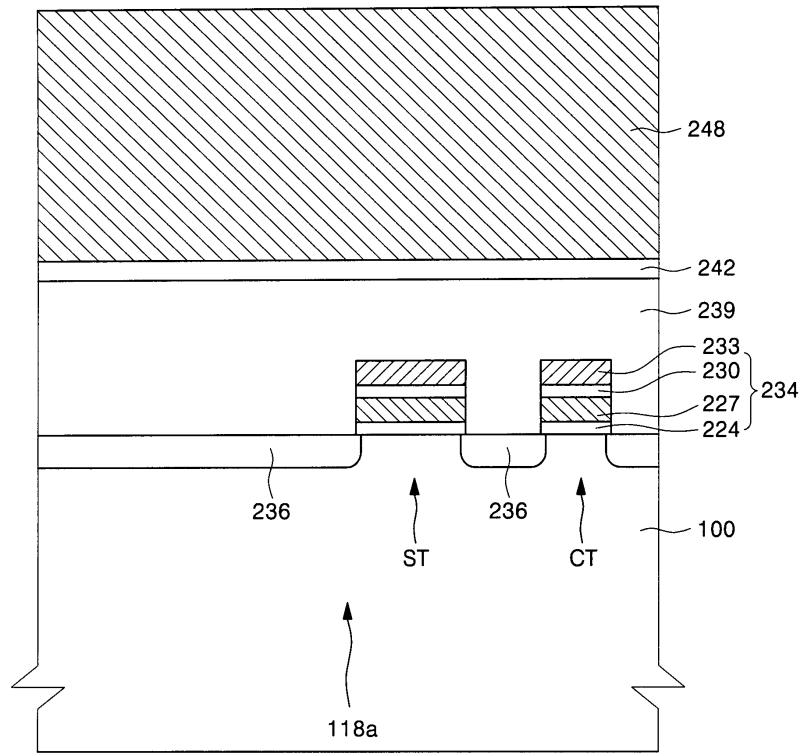
도면15b



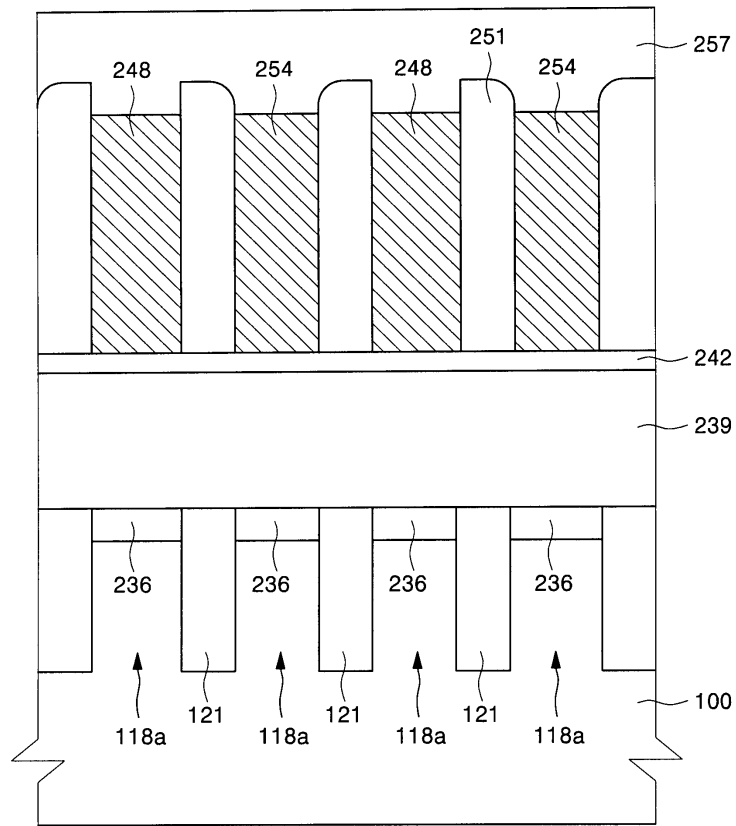
도면16a



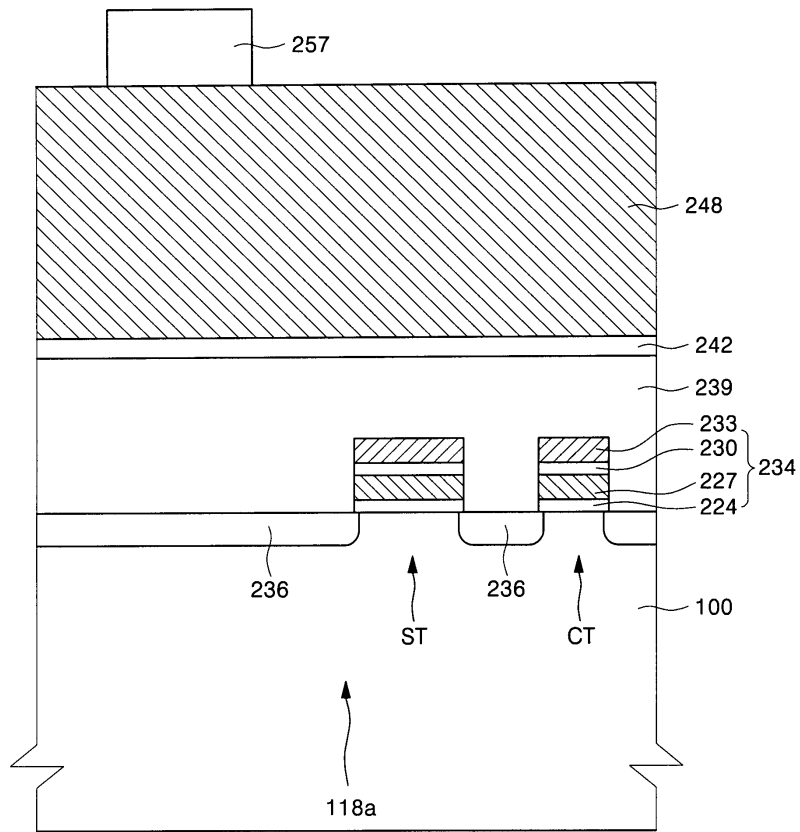
도면16b



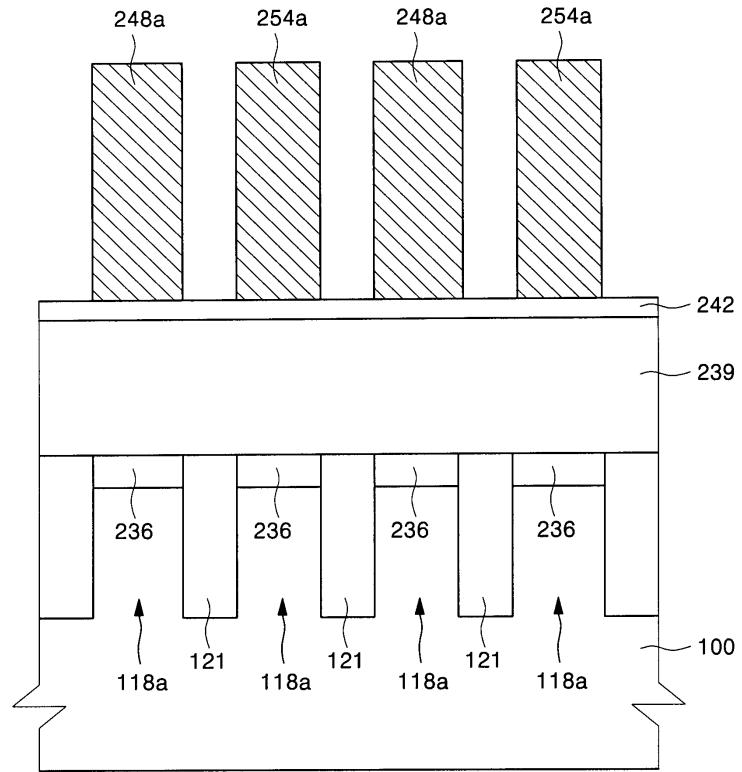
도면17a



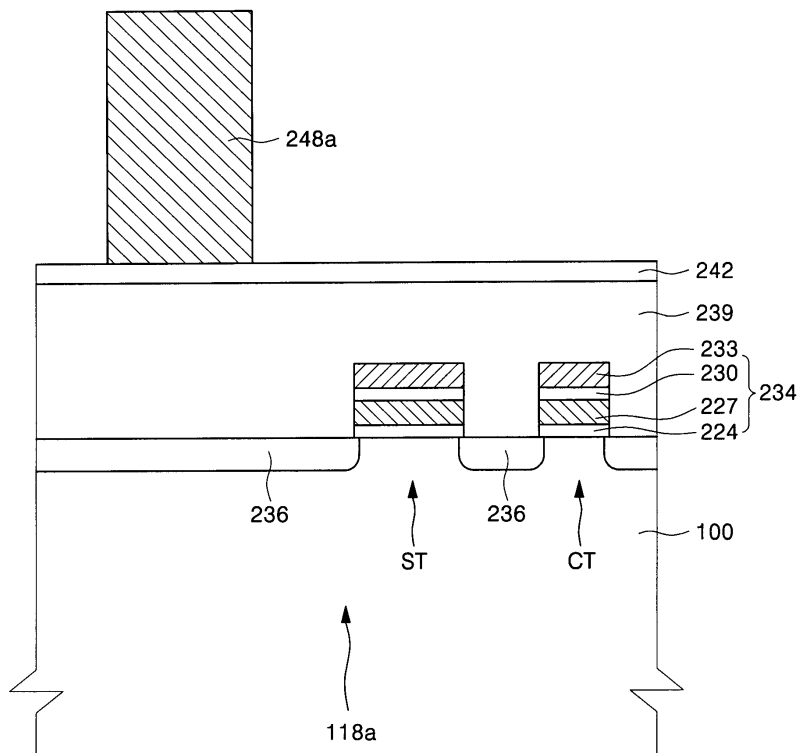
도면17b



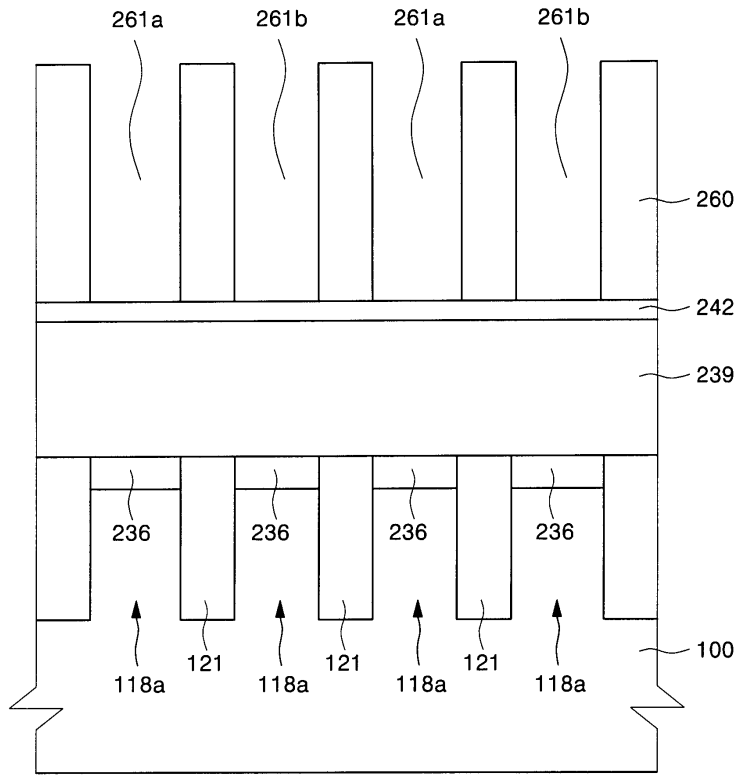
도면18a



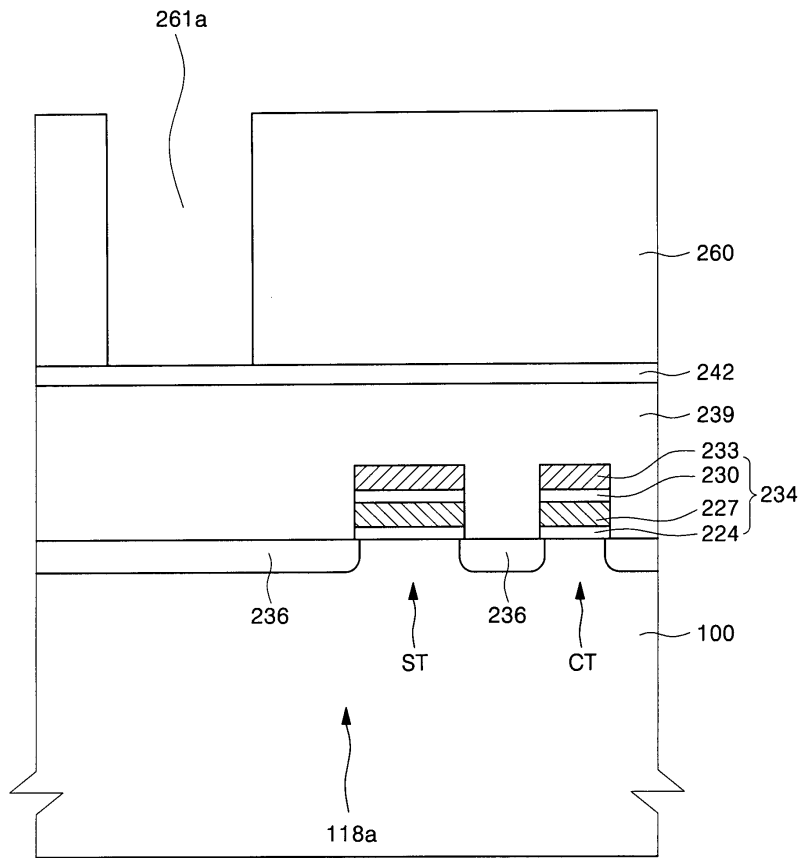
도면18b



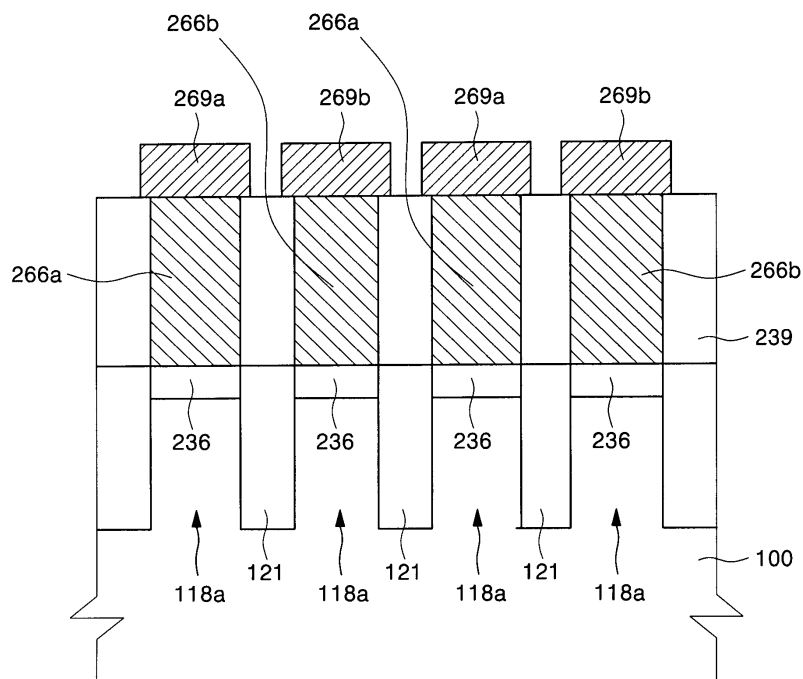
도면19a



도면19b



도면20a



도면20b

