



(12) 发明专利申请

(10) 申请公布号 CN 102576245 A

(43) 申请公布日 2012. 07. 11

(21) 申请号 201080047483. 0

代理人 张亚非 杨晓光

(22) 申请日 2010. 09. 07

(51) Int. Cl.

(30) 优先权数据

12/606, 842 2009. 10. 27 US

G06F 1/32 (2006. 01)

G06F 9/445 (2006. 01)

H04W 52/02 (2006. 01)

(85) PCT申请进入国家阶段日

2012. 04. 20

(86) PCT申请的申请数据

PCT/FI2010/050690 2010. 09. 07

(87) PCT申请的公布数据

W02011/051543 EN 2011. 05. 05

(71) 申请人 诺基亚公司

地址 芬兰埃斯波

(72) 发明人 M·K·沃蒂莱宁

(74) 专利代理机构 北京市中咨律师事务所

11247

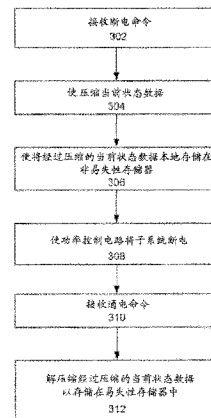
权利要求书 2 页 说明书 7 页 附图 3 页

(54) 发明名称

非易失性设备

(57) 摘要

所述装置和方法可以包括在包括第一处理器、第一易失性存储器、第一非易失性存储器、第一压缩器 / 解压缩器和第一功率控制电路的第一子系统上接收断电命令, 所述第一易失性存储器被配置为存储与所述第一子系统的运行状况相关的状态数据。响应于接收到断电命令, 所述装置和方法可以使所述第一压缩器 / 解压缩器压缩状态数据以产生经过压缩的状态数据, 以及使所述经过压缩的状态数据存储在上述第一非易失性存储器中。响应于将所述经过压缩的状态数据存储在上述第一非易失性存储器中, 所述装置和方法可以使所述第一功率控制电路将所述第一子系统断电。



1. 一种装置,包括:

第一子系统,其包括第一处理器、第一易失性存储器、第一非易失性存储器、第一压缩器/解压缩器和第一功率控制电路,所述第一易失性存储器被配置为存储与所述第一子系统的运行状况相关的状态数据;

与所述第一子系统相连的第二处理器,其中所述第二处理器被配置为在判定不需要所述第一子系统时,产生发送到所述第一子系统的断电命令;

其中所述第一处理器被配置为执行:

在接收到断电命令时,使所述第一压缩器/解压缩器压缩状态数据以产生经过压缩的状态数据,使所述经过压缩的状态数据存储在与所述第一非易失性存储器中,以及使所述第一功率控制电路将所述第一子系统断电。

2. 如权利要求 1 中所述的装置,其中所述第一处理器被进一步配置为执行:

在从所述第二处理器接收到通电命令时,使所述第一压缩器/解压缩器解压缩所述第一非易失性存储器中的状态数据并使解压缩的状态数据存储在与所述第一易失性存储器中。

3. 如权利要求 2 中所述的装置,其中所述第一子系统被配置为使用存储在所述第一易失性存储器中的解压缩的状态数据执行计算任务。

4. 如权利要求 1 中所述的装置,其中所述第一子系统被配置为:

执行更改状态数据的任务;以及

将识别状态数据更改的更改消息发送到第二子系统,其中所述第二子系统包括第三处理器、第二易失性存储器、第二非易失性存储器、第二压缩器/解压缩器和第二功率控制电路。

5. 如权利要求 1 中所述的装置,其中所述第一非易失性存储器为自旋电子存储器。

6. 如权利要求 1 中所述的装置,其中所述第一子系统被配置为将第二断电命令发送到所述第二子系统。

7. 如权利要求 1 中所述的装置,其中所述第二处理器被配置为监视所述第一子系统的活动级别,并且其中所述第二处理器响应于活动级别降到阈值活动级别以下,产生断电命令。

8. 一种方法,包括:

在包括第一处理器、第一易失性存储器、第一非易失性存储器、第一压缩器/解压缩器和第一功率控制电路的第一子系统上接收断电命令,所述第一易失性存储器被配置为存储与所述第一子系统的运行状况相关的状态数据;

响应于接收到断电命令,使所述第一压缩器/解压缩器压缩状态数据以产生经过压缩的状态数据,以及使所述经过压缩的状态数据存储在与所述第一非易失性存储器中;以及

响应于将所述经过压缩的状态数据存储在与所述第一非易失性存储器中,使所述第一功率控制电路将所述第一子系统断电。

9. 如权利要求 8 中所述的方法,进一步包括:

接收通电命令;以及

响应于接收到通电命令,使所述第一压缩器/解压缩器解压缩所述第一非易失性存储器中的状态数据并使解压缩的状态数据存储在与所述易失性存储器中。

10. 如权利要求 9 中所述的方法,进一步包括通过所述第一子系统使用存储在所述易

失性存储器中的解压缩的状态数据执行计算任务。

11. 如权利要求 8 中所述的方法,进一步包括:

通过所述第一子系统执行更改状态数据的任务;以及  
将识别状态数据更改的更改消息发送到第二子系统。

12. 如权利要求 8 中所述的方法,进一步包括通过所述第一子系统将第二断电命令发送到所述第二子系统。

13. 如权利要求 8 中所述的方法,进一步包括监视所述第一子系统的活动级别,其中响应于所述活动级别降到阈值活动级别以下,产生断电命令。

14. 一种包含计算机可执行指令的计算机可读介质,所述计算机可执行指令当被执行时,使处理器执行包括以下步骤的方法:

在包括第一处理器、第一易失性存储器、第一非易失性存储器、第一压缩器/解压缩器和第一功率控制电路的第一子系统上接收断电命令,所述第一易失性存储器被配置为存储与所述第一子系统的运行状况相关的状态数据;

响应于接收到断电命令,使所述第一压缩器/解压缩器压缩状态数据以产生经过压缩的状态数据,以及使所述经过压缩的状态数据存储于所述第一非易失性存储器中;以及

响应于将所述经过压缩的状态数据存储于所述第一非易失性存储器中,使所述第一功率控制电路将所述第一子系统断电。

15. 如权利要求 14 中所述的计算机可读介质,其中所述计算机可执行指令当被执行时,使处理器执行:

接收通电命令;以及

响应于接收到通电命令,使所述第一压缩器/解压缩器解压缩所述第一非易失性存储器中的状态数据并使解压缩的状态数据存储于所述第一易失性存储器中。

16. 如权利要求 15 中所述的计算机可读介质,其中所述计算机可执行指令当被执行时,使处理器使用存储于所述易失性存储器中的解压缩的状态数据执行计算任务。

17. 如权利要求 14 中所述的计算机可读介质,其中所述计算机可执行指令当被执行时,使处理器:

通过所述第一子系统执行更改状态数据的任务;以及  
将识别状态数据更改的更改消息发送到第二子系统。

18. 如权利要求 14 中所述的计算机可读介质,其中所述计算机可执行指令当被执行时,使处理器通过所述第一子系统将第二断电命令发送到所述第二子系统。

19. 如权利要求 14 中所述的计算机可读介质,其中所述计算机可执行指令当被执行时,使处理器监视所述第一子系统的活动级别,其中响应于所述活动级别降到阈值活动级别以下,产生断电命令。

## 非易失性设备

### 背景技术

[0001] 用户希望其设备具有在任何时间、任何地点都可用的服务。为使用传统互补金属氧化物半导体 (CMOS) 技术满足这种需要, 设备的所有相关电路必须始终处于打开状态, 因此即使在不用时也会耗电。始终将不常用的电路通电会浪费电能, 并对电池性能产生不利影响。此外, 传统移动设备经常无法在通用处理器上以节能的方式执行任务。极为简单的任务可能由功能强大的处理器执行, 而实时、低延迟任务可能由功能较弱的处理器执行, 从而造成不想要的结果。

### 发明内容

[0002] 下面给出某些示例性实施例的简化概要以提供对本发明的基本了解。此概要不是深入的综述, 并非旨在识别关键或重要元素或描述权利要求的范围。下面的概要仅以简单的形式提供某些概念和示例性实施例, 作为下文提供的更详细描述的前言。

[0003] 装置和方法可以通过关闭一个或多个未使用的多处理器子系统来提供改善的功耗。所述多处理器子系统每个均具有非易失性存储器来存储在需要重新打开所述子系统时快速检索的状态数据。因此, 所述多处理器子系统可以在实际未打开时看上去像处于打开状态。

[0004] 根据至少某些方面, 装置和方法可以包括在包括第一处理器、第一易失性存储器、第一非易失性存储器、第一压缩器 / 解压缩器和第一功率控制电路的第一子系统上接收断电命令, 所述第一易失性存储器被配置为存储与所述第一子系统的运行状况相关的状态数据。响应于接收所述断电命令, 所述装置和方法可以使所述第一压缩器 / 解压缩器压缩所述状态数据以产生经过压缩的状态数据以及使所述经过压缩的压缩状态数据存储在第一非易失性存储器中。响应于将所述经过压缩的状态数据存储在第一非易失性存储器中, 所述装置和方法可以使所述第一功率控制电路将所述第一子系统断电。

### 附图说明

[0005] 通过结合附图参考下面的详细描述, 可以更全面地了解本发明及其优点, 在所述附图中, 相同的标号表示相同的功能并且其中:

[0006] 图 1 示出具有多个多处理器子系统的示例性设备。

[0007] 图 2 示出在重新打开子系统时解压缩当前状态数据的流程图示例。

[0008] 图 3 示出将子系统通电和断电的方法的流程图示例。

### 具体实施方式

[0009] 在下面对各种实施例的详细描述中, 参考构成本发明一部分的附图, 其中通过举例示出实现本发明的各种实施例。将理解, 可以使用其他实施例并且可以在不偏离本发明范围的情况下, 做出结构和功能上的修改。

[0010] 图 1 示出被配置为使其多处理器子系统 101A 和 101B 即使实际上关闭也看上去像

处于打开状态的设备示例 100。子系统 101 可以检索本地存储的状态数据以快速重新打开。设备 100 可以例如是移动电话、计算机、PDA、膝上型计算机或其他计算设备。设备 100 可以包括处理器 125 和存储计算机可读指令的海量存储设备 123, 所述计算机可读指令当被执行时, 可使设备 100 执行在此描述的功能。海量存储设备 123 的示例包括硬盘和闪存, 以及其他类型的海量存储设备。

[0011] 设备 100 还可以包括多个多处理器子系统 101。例如, 图 1 示出具有两个子系统 101A 和 101B 的设备 100, 但设备 100 可以包括任意数量的子系统。设备 100 可以选择性地在各个时间打开和关闭一个或多个多处理器子系统 101 以控制功耗。例如, 移动电话可以在提供照相机的多处理器子系统 101 不使用时关闭它。

[0012] 多处理器子系统 101 可以包括被优化为根据例如延迟要求和处理带宽执行特定计算任务的硬件和 / 或软件。子系统 101 可以通过消息与其他子系统通信的是专用装置, 例如 2007 年 12 月 4 日提交的标题为“Multi-Processor architecture for a device”(多处理器设备体系结构, 美国专利申请号为 11/999, 314, 并且作为编号为 2009/0141654 的美国专利申请公开说明书发布, 此处纳入其全部内容作为参考) 的专利申请中所述的子系统。每个子系统 101 可以针对一个或有限个目的进行优化。因此, 子系统 101 可以使用非常高效的硬件处理而不是软件。硬件处理可以使用固定逻辑, 并且在非易失性存储器 104 中存储少量软件以提供某种灵活性。例如, 设备 100 可以是运行主要提供用户界面控制器的简单操作系统 (例如, Symbian) 的移动电话。所述操作系统可以处理用户界面控制器接收的用户输入 (例如, 接收视频片段) 来产生任务请求并将这些请求分配给优化的子系统 101。

[0013] 设备 100 可以根据执行特定计算任务所需的性能特性将任务分配给多处理器子系统 101。例如, 设备 100 可以接收任务执行请求, 可以判定适合于执行所请求任务的多处理器子系统 101, 以及可以使已识别的多处理器子系统 101 执行任务。例如, 子系统 101A 可以被优化为执行解压缩, 并且可以接收带有将预定数量的数据帧解压缩为 1920×1080 像素图像、然后将图像发送到显示子系统 101B 的指令的任务请求。作为另一示例, 一个系统 101A 能够执行要求实时、极低延迟及高带宽计算的任务, 例如处理游戏应用中的图形数据。另一子系统 101B 能够执行支持通常具有极长延迟且不影响性能的传感器数据处理的任务。多处理器子系统 101 的示例可以包括超级计算机、视频处理器、纳米技术计算机和 Audio Codec (音频编译码器) 子系统, 所述 Audio Codec 包括带有立体声耳机放大器的立体声扬声器功率放大器。

[0014] 对于诸如图 1 所示的实施例, 多处理器子系统 101 可以具有各种类型, 包括: (1) 使用用于多处理器子系统的时分复用技术的多点总线, 适用于在处理器间传输少量数据、但是多处理器单元中的每个处理器之间具有连接的应用; (2) 交换网络 (电路交换) 多处理器子系统, 其通过纵横开关类型网络使用极低延迟点对点连接; (3) 分组交换网络多处理器子系统, 适用于容忍长时间延迟但需要很大带宽的应用; 以及 (4) 用于多个处理器的共享块设备。共享块设备的实现示例包括运行同一操作系统的多个处理器共用 SDRAM 或 FIFO。共享存储器通过将公用数据结构放入共享存储段来允许两个或多个进程访问该数据结构。所述共享块设备可以用作 OS 消息传递 (例如, System V 进程间通信 (IPC)) 的硬件支持或硬件加速。

[0015] 多处理器子系统 101 可以通过桥接模块 120 相互连接,所述桥接模块中的一端(朝向分组网络 111)使用分组网络协议和硬件(例如,Spacewire 或 UniPro2),另一端(朝向多处理器子系统 101)使用专用于关联多处理器子系统 101 的协议和硬件。设备 100 的体系结构示例包括桥接模块,例如 2007 年 12 月 4 日提交的标题为“Multi-Processor architecture for a device”(多处理器设备体系结构,美国专利申请号为 11/999,314,并且作为编号为 2009/0141654 的美国专利申请公开说明书发布,此处纳入其全部内容作为参考)的专利申请中所述的桥接模块。

[0016] 多处理器子系统 101 可以使用诸如 Spacewire (ECSS-E50-04A) 或移动行业处理器接口 (MIP) 联盟统一协议 (UniPro2) 之类的接口与中央分组网络 111 相连。UniPro2 和 Spacewire 只是分组网络协议的示例。也可使用其他分组网络协议(例如,因特网)。许多通信方法(例如,与 UniPro2 结合使用的 MIPI D-PHY 和 M-PHY)可以具有多个速度不同的通信模式,并且设备 100 可以指示子系统 101 使用特定模式。例如,设备 100 可以使用静噪系统唤醒子系统 101,并且针对控制指定低速或高速模式,针对高带宽传输指定超高速。

[0017] 例如移动电话之类的设备 100 可以包括相对独立的子系统 101,所述子系统通过中央分组网络 111 使用诸如 MIPI UniPro 和 M-PHY 之类基于分组的节能的方法进行通信。中央分组网络 111 可以是无连接的(即,数据在没有事先安排的情况下从一个端点发送到另一端点)。但是,可以使用其他无连接网络协议和面向连接的网络协议。

[0018] 尽管图 1 中示出的实施例包括单个中央分组网络 111,但是本发明的某些实施例还可以使用具有任意数量网络的通信网络,其中未将特定网络视为中央网络,因为这些网络只是相互连接。这些连接可以形成网络链或网络的网络。

[0019] 每个子系统 101 可以包括多个处理器 102、非易失性存储器 104、压缩器/解压器 112、功率控制电路 116 和易失性存储器 118。多个处理器 102 可使用总线、分组网络、纵横开关或其他通信路径相互交互。易失性存储器 118 和/或非易失性存储器 104 可以存储计算机可执行指令,所述指令当被多个处理器 102 中的一个或多个执行时,可使子系统 101 执行在此描述的功能。在一个示例性实施例中,非易失性存储器 104 可以由石墨烯(graphene)晶体管组成的自旋电子(spintronic)存储器。自旋电子存储器还可以称为自旋矩传输(spin torque transfer)存储器。开发自旋矩传输随机存取存储器(STT-RAM)的公司包括 EverSpin、Grandis、Hynix、IBM、Samsung、TDK 和 Toshiba。非易失性存储器 104 还可以是 Numonyx 推出的商购相变存储器(PCM)、铁电随机存取存储器(FeRAM)、磁触发器(MFF)或石墨烯场效应设备。

[0020] 例如,非易失性存储器 104 可以是能够存储 128Mb 数据且具有 1.6GB/秒的读/写速度的 FeRAM。非易失性存储器 104 还可以是 MFF,其中通过将数据触发器(DFF)与磁隧道结(MTJ)集成在一起以及切换 MTJ 的磁化方向的电路,来产生 MFF 操作。操作时,MFF 可被设计为阻止 MTJ 影响 MFF 时钟频率,因为它可以与 DFF 相同的频率(例如,3.5GHz)执行操作。非易失性存储器 104 还可以是石墨烯非易失性场效应存储器,并且在一个示例中,其打开状态和关闭状态之间的电阻率可以相差 5 个数量级。还可以使用其他非易失性存储器技术。

[0021] 功率控制电路 116 可以响应于从处理器 125 或其他子系统 101 接收的命令而将子系统 101 断电和通电。在一个示例中,功率控制电路 116 可以包括 CMOS 倒相器和电源开关,

其中所述 CMOS 倒相器打开 / 关闭控制子系统 101 配电的电源开关。CMOS 倒相器耗电极少（例如，毫微瓦或微瓦）。在另一实施例中，可以使用内部集成电路（I<sup>2</sup>C）总线。还可以使用其他类型的功率控制电路。功率控制电路 116 可用于彻底关闭子系统 101，或者可以有数种例如根据 MIPI D-PHY 和 M-PHY 标准定义的省电状态级别。

[0022] 断电之前，子系统 101 可以将当前状态数据 114 存储在非易失性存储器 104 中以便在重新通电时快速检索先前状态并将其恢复在易失性存储器 118 中。当前状态数据 114 可以在子系统 101 关闭时或者在省电状态会丢失重要信息时被存储在本地非易失性存储器 101 中。当前状态数据 114 可以包括运行状况，例如但不限于操作参数 106、操作码 108 和内容 110。操作参数 106 可以是下次通电时启动模式通信的参数。参数的示例可用于基于硬件的 JPEG 压缩。操作码 108 可以是可执行运行时代码。操作码的示例包括操作系统（OS），例如但不限于 Symbian、Linux 或 DOS。操作码 108 是一个计算机可执行指令示例。内容 110 可以是 Symbian OS。

[0023] 多处理器子系统 101 可以访问它们各自的非易失性存储器 104，其访问速度远快于访问多处理器子系统 101 共享的海量存储设备 123 的速度。当通电时，多处理器子系统 101 从海量存储设备 123 加载数据所需的时间远长于从它们各自的本地非易失性存储器 104 加载数据所需的时间。例如，如果设备 100 是具有多个子系统 101 的企业个人计算机（PC），但是没有非易失性存储器 104，则每个子系统必须在 PC 开机时从海量存储设备 123 加载数据，从而在访问数据时耗费电力和时间，不管特定子系统 101 如何被频繁使用。为每个子系统 101 配备本地非易失性存储器 104，有利地不需要打开串行链路来从海量存储设备 123 读取数据。

[0024] 在另一示例中，使用共享传输通道（诸如将分组网络 111 实现为 UniPro2 网络）可造成延迟，因为当设备 100 由与设备 100 在逻辑上动态连接和断开连接（即，通电 / 断电，甚至通过拆除电缆在物理上断开连接）的快速子系统 101 和慢速子系统 101 两者构成时，很难高效地使用可用带宽。例如，使用 1Gbps 的 UniPro3 网络加载 200MB 的操作系统可能只需  $(200\text{Mb} \times 8 = 1600)$  1.6 秒，但是当与其他应用共享带宽时，加载时间可显著增加。当将操作系统内容本地存储在与多个处理器 102 位于同一集成电路（IC）封装中的非易失性存储器 104 中时，则 128 位并行接口可以使用 200Mbps 存储器接口在 62.5ms 内加载 1600Mb 的操作系统内容。因此，拥有自己的非易失性存储器 104 的子系统 101 可以显著提高速度。

[0025] 此外，当为 PC 通电时，传统系统中可能出现瓶颈，因为多个子系统 101 可能同时尝试访问海量存储设备 123。如在此所述为每个子系统 101 配备自己的非易失性存储器 104 可以有利地缩短通电时间，因为子系统 101 可以同时访问它们各自的本地非易失性存储器 104，而不是像在传统系统中那样竞相访问海量存储设备 123。所述通电时间是指从首次为子系统 101 供电到子系统 101 能够处理从分组网络 111 接收的数据或通过所述分组网络发送数据之间的时间。进一步地，在启动时，设备 100 可以根据需要单独将多个处理器子系统 101 通电，同时使其他子系统保持断电状态，这样就通过不为不用的子系统 101 供电，实现节能目的。此外，通过提供分布式非易失性存储器 104，可避免执行与海量存储设备 123 之间的大量数据传输。还可以减少总存储容量，因为每个多处理器子系统 101 都将其数据本地存储在非易失性存储器 104 中。当每个子系统 101 的多个处理器 102 针对它们执行的任务进行优化并且操作系统可以与任务和处理器硬件匹配时，便可实现此减少。

[0026] 为了关闭子系统 101, 设备 100 可以发送断电命令以指示关闭特定子系统 101。子系统 101 还可以将通电和断电命令发送到其他子系统。在一个示例性实施例中, 设备 100 可以监视子系统 101 的活动以判定是否指示关闭一个或多个子系统。设备 100 可以发出断电命令, 以响应被监视的子系统 101 的活动降到阈值活动级别以下, 用户终止子系统提供的应用, 计时器到期, 用户关闭设备 100, 或响应其他事件。例如, 非时间关键子系统 101 可以在没有活动任务以及在预定时间内没有收到任务请求时关闭。关闭之前, 子系统 101 可以将包括操作码 108、内容 110 和参数 106 的当前状态数据 114 存储在其本地非易失性存储器 104, 而非用于整个设备的海量存储设备 123 中。但是, 如果本地非易失性存储器 104 已满, 多处理器子系统 101 就可以将剩余的当前状态数据存储在海量存储设备 123 中。

[0027] 在某些实施例中, 当接收到断电命令时, 子系统 101 指示压缩器 / 解压缩器 112 压缩易失性存储器 118 中存储的操作参数、内容和操作码, 然后压缩器 / 解压缩器 112 使经过的压缩的操作码、内容和参数存储在非易失性存储器 104 中。如果非易失性存储器 104 具有足够的存储容量, 并且读取速度足够快, 则可以省略压缩。如果非易失性存储器 104 的读取速度太慢, 可通过读取少量压缩数据, 然后使用快速解压缩电路对压缩数据进行解压缩来提高速度。例如, 如果非易失性存储器 104 的读取速度慢, 可以通过压缩图像文件, 然后将所述压缩图像文件解压缩为高分辨率图片, 而不是读取未压缩的图像文件版本, 来提高读取速度。

[0028] 将当前状态数据本地存储在非易失性存储器 104 可以降低功耗和缩短重新打开的时间, 因为子系统 101 不必从海量存储设备 123 检索当前状态数据 114。进一步地, 非易失性存储器 104 甚至可以在关闭时存储数据, 从而降低设备 100 的功耗。例如, 从海量存储设备 123 读取需要打开子系统 101 和海量存储设备 123 之间的串行接口 (例如, UniPro2)。这可能需要很长时间并且需要在可能持续几秒的传输期间为子系统 101 和海量存储设备 123 两者供电。存储之后, 子系统 101 使功率控制电路 116 关闭子系统 101。

[0029] 由于计算任务可能被分配给特定子系统 101 并且在所分配的子系统 101 处本地执行, 因此操作码 108 的数量通常足够小, 使得基于本地硬件的压缩器 / 解压缩器 112 可以在有限时间 (例如, 在 1 微秒内) 内压缩 / 解压缩操作码 108, 从而使设备 100 的用户觉得每个多处理器子系统 101 都始终处于打开状态, 而它们实际并非如此。例如, 专用于子系统 101 的硬件和软件的本地操作码 108 可能只包括数百行代码, 但是在某些情况下, 用于操作系统 (例如, Symbian OS) 的操作码可能非常大 (例如, 1GB 或更多), 从而需要本地非易失性存储器 104 具有大存储容量。

[0030] 压缩器 / 解压缩器 112 还可以通过软件实现, 这具体取决于性能需求。只要子系统 101 将执行的计算任务比压缩 / 解压缩所需的时间相对要长, 从而使用户觉得子系统 101 提供的服务始终可用, 没有不当的延迟, 便可以容忍更长的压缩 / 解压缩时间。当断电时, 功率控制电路 116 可以监视分组网络 111 以查看通电命令。

[0031] 此后某个时刻, 设备 100 或另一子系统 101 可以决定重新将子系统 101 通电并通过分组网络 111 将通电命令发送到子系统 101。例如, 设备 100 可以判定用户所请求的计算任务适合已断电的子系统 101 执行。同样, 当排定了任务执行时间时, 可在预定时间唤醒子系统 101。例如, 蜂窝或 WLAN 调制解调器子系统可以具有预定时隙, 此时针对特定用户使用空中接口 (air interface) 发送数据。



[0032] 当重新通电时,子系统 101 可以从非易失性存储器 104 检索经过压缩的当前状态数据 114 并指示压缩器 / 解压缩器 112 执行解压缩以恢复当前状态数据。子系统 101 然后可以使当前状态数据存储于易失性存储器 118 中以恢复其断电之前的状态。例如,当前状态数据 114 可以被解压缩并加载到易失性存储器 118 中,所述易失性存储器可以是静态随机存取存储器 (SRAM)。同样,如果非易失性存储器 140 被设计为作为类似于 RAM 的可执行存储器执行功能,则可以省略易失性存储器 118 并且所述当前状态数据可以直接从非易失性存储器 140 解压缩和使用。

[0033] 图 2 示出在重新打开子系统 101 时解压缩当前状态数据 114 的流程图示例。所示实施例使用太赫兹 (THz) 石墨烯晶体管对以串行格式存储的压缩操作码执行超速解压缩并针对 1 千兆赫 (GHz) CMOS 系统将所述操作码转换为并行数据。传统而言,解压缩使用并行数据和并行处理器完成,所述并行处理器使用 100MHz-4GHz 上运行的宽并行总线 (例如,在 PC 中)。

[0034] 压缩器 / 解压缩器 112 可以使用串行 1 位数据内容和 1 位代码在超高频上执行计算。压缩器 / 解压缩器 112 可以直接对数据 (例如,视频) 执行压缩或解压缩,其中串行数据来自具有超高频串行端口的非易失性存储器 IC。例如,所述超高频串行端口以 5-50Gbps,甚至以 Tbps 比特率或更高的速度提供数据。有利地,使用串行 1 位数据内容和 1 位代码在超高频上执行计算允许使用超快计算元件,并且随后将串行数据转换为并行形式以便于 CMOS 处理器使用。由于目前的超快计算元件的成熟度可能不足以用于类似硅 CMOS 的大规模批量生产,因此,用于压缩器 / 解压缩器 112 以及其他处理装置 (例如,处理器 102 等) 的专用计算结构可以由少量活动元件构成,所述活动元件例如但不限于石墨烯 / 纳米管 FET 型晶体管、碳纳米管 (CNT) 或基于共振隧穿二极管 (RTD) 的逻辑门。

[0035] 在方块 202,压缩器 / 解压缩器 112 可以从非易失性存储器 104 中存储的操作码 108 检索解压缩器操作码。在方块 204,压缩器 / 解压缩器 112 可以 100Gb/ 秒 (Gbps) 的速度检索非易失性存储器 104 中以压缩格式存储的当前状态数据 114。在方块 206,压缩器 / 解压缩器 112 可以 100Gbps 的速度解压缩经过压缩的当前状态数据。在方块 208,压缩器 / 解压缩器 112 可以 100Gbps 的速度对解压缩数据执行串行到并行的转换,从而输出并行 1Gbps 解压缩数据。在某些系统中,CMOS 处理器和其他计算结构被设计为使用并行数据。将解压缩内容从串行格式转换为并行格式允许 CMOS 处理器和其他计算结构使用这些内容。

[0036] 为了进一步降低功耗,设备 100 可以限制多处理器系统 101 之间通过分组网络 111 传输的信息量。当多处理器子系统 101 执行的任务更改至少一个其他子系统 101 使用的任何操作参数、内容和操作码时,多处理器子系统 101 可以通过分组网络 111 将更改消息发送到至少一个其他子系统 101。所述更改消息可仅包括描述更改的压缩格式信息 (“更改信息”),而不包括更改影响的所有数据。

[0037] 在一个示例中,设备 100 可以是具有摄像机子系统 101A 和显示子系统 101B 的移动电话。摄像机子系统 101A 最初捕捉图像内容数据并将所述图像内容数据发送到显示子系统 101B 进行显示。经过一段时间,摄像机子系统 101A 捕捉新的图像内容数据并判定与之前的图像内容数据的差别。摄像机子系统 101A 然后发送更改数据 (例如,更改的像素) 而非所有新的图像内容数据到显示子系统 101B。显示子系统 101B 然后使用所述更改数据修改之前的图像内容数据以产生更新的图像内容数据来显示。此方法还可用于其他类型的

内容显示设备,所述内容例如但不限于以预定时间间隔(例如,每 20ms)发送图片以及以较低频率发送参考帧的数字电视地面/电缆/卫星内容传输。在发送下一参考帧之前,可不发送对参考帧的更改。

[0038] 图 3 示出将子系统通电和断电的方法的流程图示例。在方块 302,所述方法可以包括接收断电命令。设备 100 可以判定其一个子系统 101 不常用并可以断电。设备 100 可以通过分组网络 111 将断电命令发送到子系统 101。

[0039] 在方块 304,所述方法可以包括使得压缩用于子系统的当前状态数据。子系统 101 可以使得将易失性存储器 118 中的当前状态数据连同压缩指令一起提供给压缩器/解压缩器 112 以使得压缩器/解压缩器 112 压缩所述当前状态数据。例如,当前状态数据可以是操作系统(OS)、指定下次通电时使用的比特率的通信参数,以及要显示的屏幕保护照片。

[0040] 在方块 306,所述方法可以包括使得将经过压缩的当前状态数据本地存储在非易失性存储器。压缩器/解压缩器 112 可以发送经过压缩的当前状态数据以存储在非易失性存储器 104 中。

[0041] 在方块 308,所述方法可以包括使得功率控制电路响应于经过压缩的当前状态数据存储在非易失性存储器 104 中,将子系统 101 断电。

[0042] 在方块 310,所述方法可以包括接收通电命令。设备 100 可以判定子系统 101 适合于执行特定计算任务,并且可以将通电命令发送到该子系统 101。功率控制电路 116 可以使得响应于接收到通电命令,打开子系统。所述通电命令可以识别要执行的任务类型,或者子系统 101 可以在通电后通知设备 100 有关任务。

[0043] 在方块 312,所述方法可以包括响应于接收通电命令,检索和解压缩当前状态数据以恢复子系统的状态。子系统 101 可以使压缩器/解压缩器 112 从非易失性存储器 104 检索经过压缩的当前状态数据 114 并对所述当前状态数据进行解压缩。压缩器/解压缩器 112 然后可使所述当前状态数据存储在易失性存储器 118 中以重建关闭之前的先前状态。然后图 3 中的方法结束。

[0044] 因此,设备 100 可以指示关闭当前不用的一个或多个多处理器子系统 101,从而减少如果打开当前不使用的特定子系统 101 时将会产生的静态功耗。非易失性存储器 104 可以将当前状态数据 114 存储在本地以允许子系统 101 快速恢复其先前状态,从而使子系统即使在断电时也看上去像处于打开状态。

[0045] 本领域的技术人员将理解,可以使用具有包含计算机系统控制指令的关联计算机可读介质的计算机系统实现此处公开的示例性实施例。所述计算机系统可以包括至少一个计算机,例如微处理器、数字信号处理器和关联的外围电子电路。

[0046] 尽管参考包括目前优选的发明实施模式的特定示例描述了本发明,但是本领域的技术人员将理解,上述系统和技术可以具有各种处于所附权利要求中列出的本发明的精神和范围内的变形和排列。

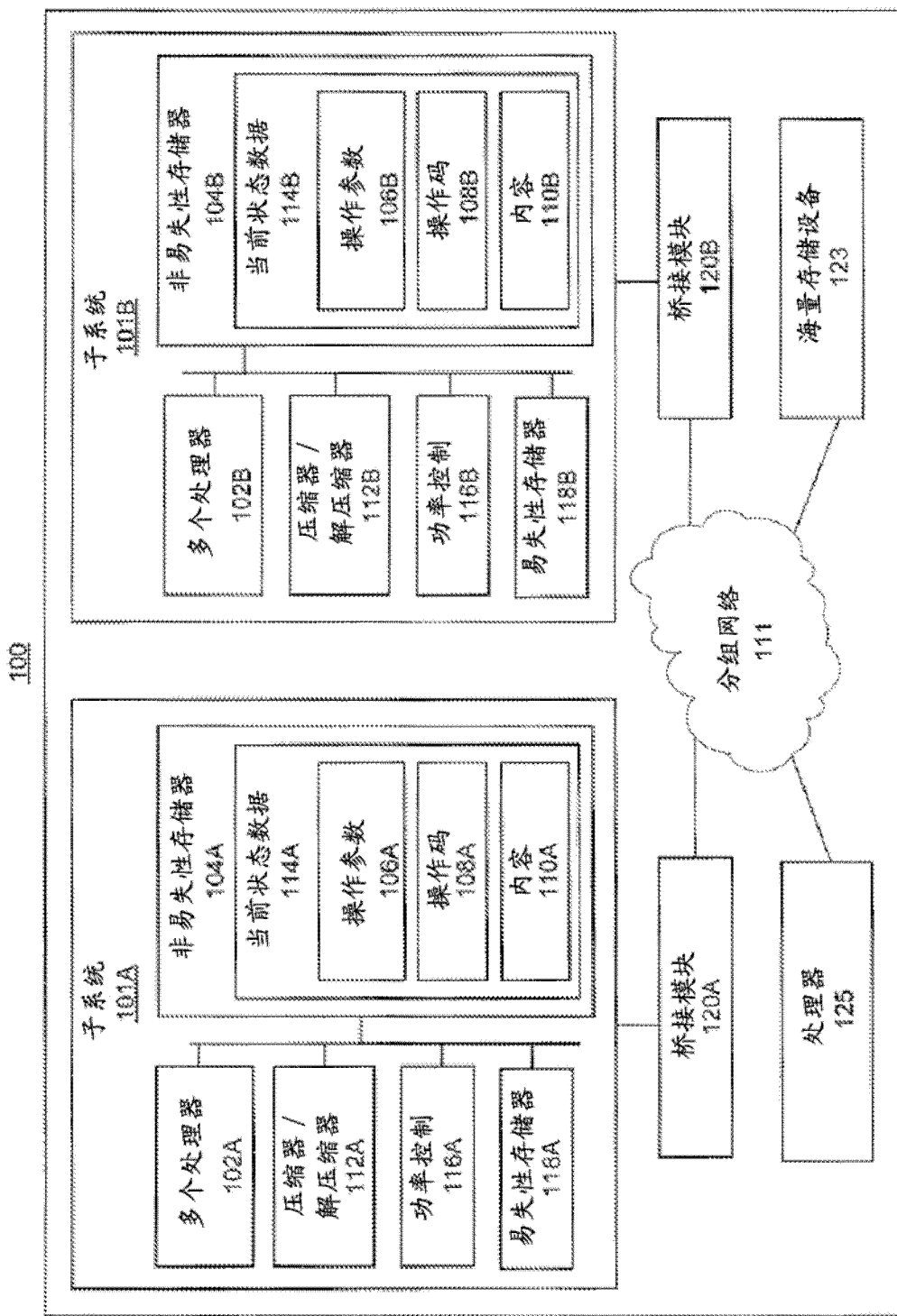


图 1

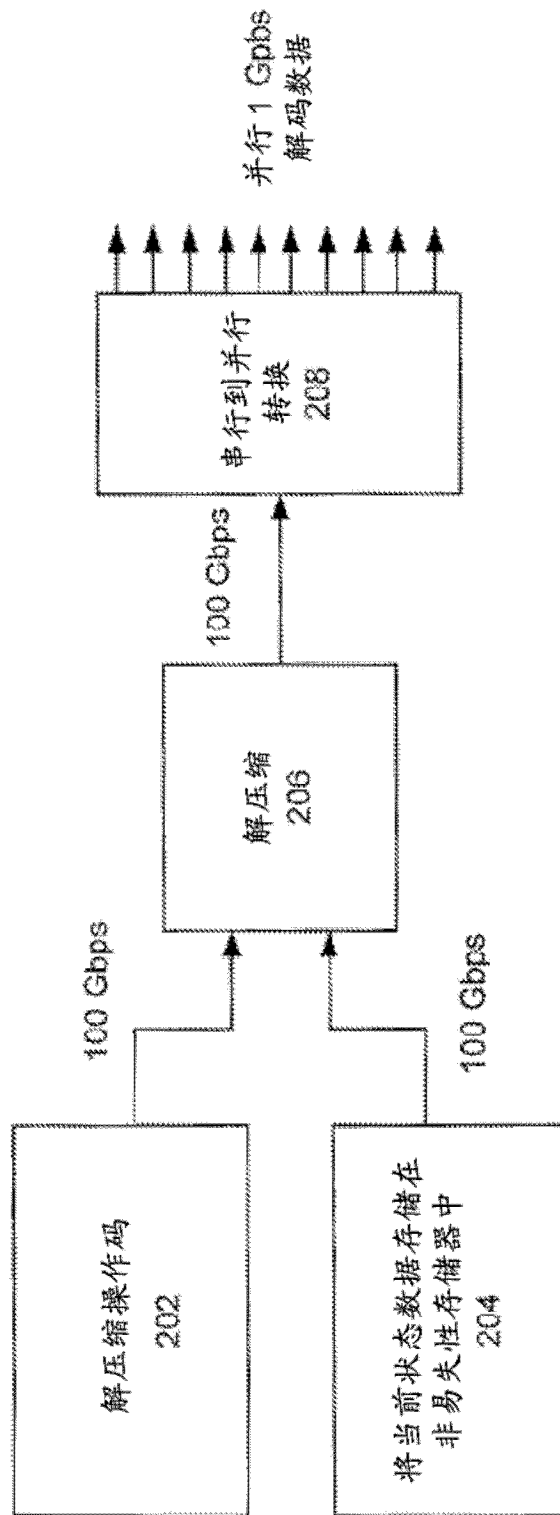


图 2

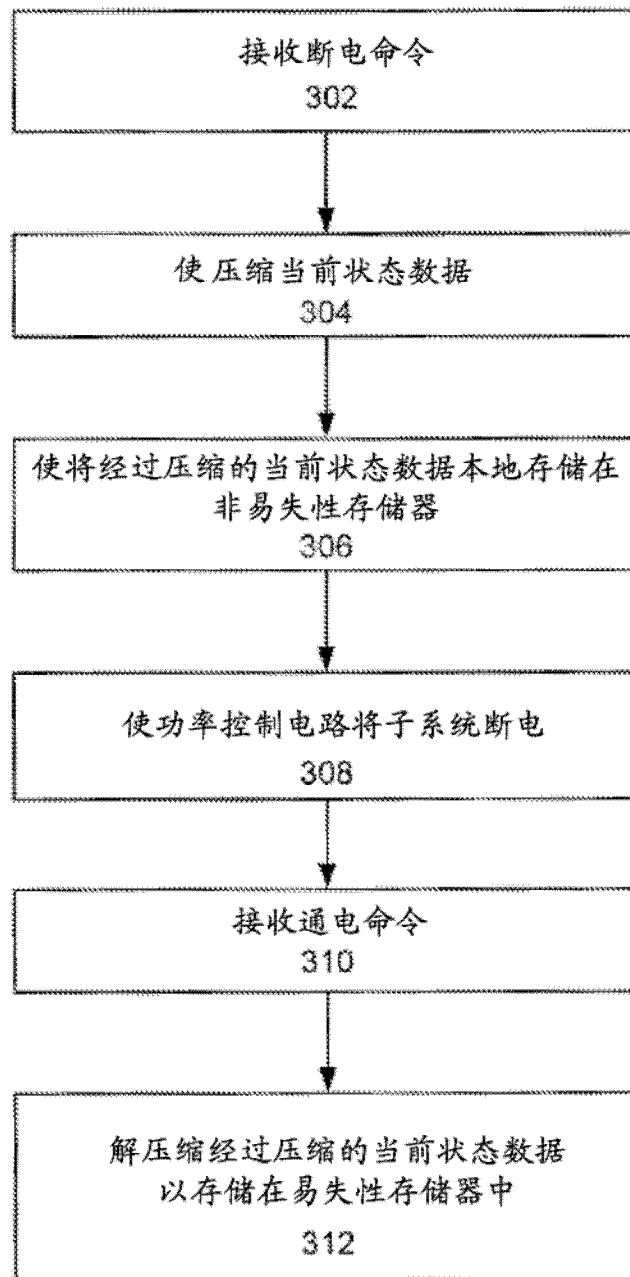


图 3