

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-98725

(P2010-98725A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl. F 1 テーマコード (参考)
H 0 4 N 7/30 (2006.01) H 0 4 N 7/133 Z 5 C 1 5 9

審査請求 有 請求項の数 20 O L 外国語出願 (全 24 頁)

(21) 出願番号	特願2009-201949 (P2009-201949)	(71) 出願人	501261300 エヌヴィディア コーポレイション アメリカ合衆国, カリフォルニア 950 50, サンタ クララ, サン トーマス エクスプレスウェイ 2701
(22) 出願日	平成21年9月1日(2009.9.1)	(74) 代理人	100094318 弁理士 山田 行一
(31) 優先権主張番号	12/250,809	(74) 代理人	100123995 弁理士 野田 雅一
(32) 優先日	平成20年10月14日(2008.10.14)	(74) 代理人	100107456 弁理士 池田 成人
(33) 優先権主張国	米国 (US)	(72) 発明者	ウェイ ジア アメリカ合衆国, カリフォルニア州, サン ホゼ, クレストポイント ドライ ヴ 1293

最終頁に続く

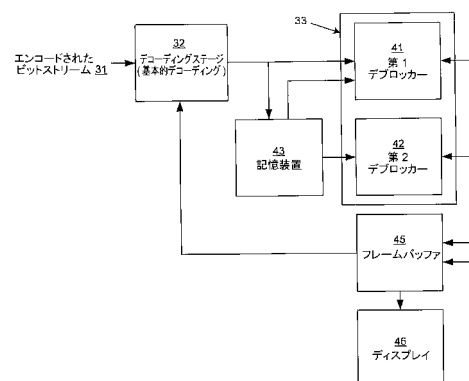
(54) 【発明の名称】 デコーディングパイプラインにおける第2デブロッカー

(57) 【要約】

【課題】 デコーディングパイプラインにおける第2デブロッカーを提供する。

【解決手段】 デコーダは、データのエンコードされたフレームを（デブロッキングの前に）デコードするのに使用できる第1ステージを含む。また、デコーダは、第1ステージの下流に第2ステージを含むこともできる。この第2ステージは、デコードされたフレームを並列にデブロックするのに使用できる第1デブロッカー及び第2デブロッカーを含む。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

エンコードされたデータのフレームをデコードするためのデコーダであって、
エンコードされた第 1 フレームをデコードして、デコードされた第 1 フレームを発生するように動作できるデコーダ第 1 ステージと、
前記第 1 ステージの下流に結合されたデコーダ第 2 ステージであり、コードされたフレームを並列にデブロッキングするように動作できる第 1 デブロッカー及び第 2 デブロッカーを含むデコーダ第 2 ステージと、
を備えるデコーダ。

【請求項 1】

10

前記デコードされた第 1 フレームにはフレーム形式が関連付けられ、前記デコードされた第 1 フレームは、前記フレーム形式に基づいて前記第 1 デブロッカー及び前記第 2 デブロッカーの 1 つへ送られる、請求項 1 に記載のデコーダ。

【請求項 2】

20

前記デコードされた第 1 フレームは、前記エンコードされた第 1 フレーム内のマクロブロックが特定順序で前記デコーダに到着する場合には順序正しいフレームとして識別され、さもなければ、前記デコードされた第 1 フレームは、順序ずれしたフレームとして識別され、更に、前記デコードされた第 1 フレームは、別のフレームがデコーディングについて前記デコードされた第 1 フレームの情報に依存する場合には参照フレームとして識別され、さもなければ、前記デコードされた第 1 フレームは、非参照フレームとして識別され、更に、前記デコードされた第 1 フレームは、そのデコードされた第 1 フレームが順序ずれした非参照フレームとして分類された場合には前記第 2 デブロッカーへ送られ、さもなければ、前記デコードされた第 1 フレームは、前記第 1 デブロッカーへ送られる、請求項 2 に記載のデコーダ。

【請求項 3】

前記エンコードされた第 1 フレームは、複数のマクロブロックを含み、それらのマクロブロックにはマクロブロック番号が各々関連付けられ、前記デコードされた第 1 フレームは、マクロブロック番号が連続的に増加する順序でマクロブロックが前記デコーダに到着する場合には順序正しいフレームとして識別される、請求項 3 に記載のデコーダ。

【請求項 4】

30

前記第 2 デブロッカーに結合され、前記デコードされたフレームをデブロッキングの前に記憶するように動作できる記憶要素を更に備える、請求項 1 に記載のデコーダ。

【請求項 5】

前記デコーダ第 1 ステージは、エンコードされた第 2 フレームを、前記デコードされた第 1 フレームのデブロッキングと並列にデコードするように動作できる、請求項 1 に記載のデコーダ。

【請求項 6】

40

前記デコーダ第 1 ステージは、可変長さデコーディング、逆量子化、逆変換、及び動き補償より成るグループから選択されたオペレーションを遂行するように動作できる、請求項 1 に記載のデコーダ。

【請求項 7】

データのエンコードされたフレームを処理するコンピュータ実施方法であって、
エンコードされた第 1 フレームをデコーダの第 1 ステージへの入力として受け取るステップと、
前記第 1 ステージにおいて前記エンコードされた第 1 フレームをデコードして、デコードされた第 1 フレームを発生するステップと、
前記デコードされた第 1 フレームを前記第 1 ステージから前記デコーダの第 2 ステージへ転送するステップであり、前記第 2 ステージが、デコードされたフレームを並列にデブロッキングするように動作できる第 1 デブロッカー及び第 2 デブロッカーを含むものであるステップと、

50

前記第 2 ステージにおいて前記デコードされた第 1 フレームをデブロッキングして、ディスプレイ装置上でレンダリングするのに適したデコードされデブロックされた第 1 フレームを発生するステップと、
を備えるコンピュータ実施方法。

【請求項 8】

前記デコードされた第 1 フレームを、前記エンコードされた第 1 フレーム内のマクロブロックが特定順序にある場合には順序正しいフレームとして識別し、さもなければ、前記デコードされた第 1 フレームを、順序ずれしたフレームとして識別するステップと、

前記デコードされた第 1 フレームを、別のフレームがデコーディングについて前記デコードされた第 1 フレームの情報に依存する場合には参照フレームとして識別し、さもなければ、前記デコードされた第 1 フレームを非参照フレームとして識別するステップと、

前記デコードされた第 1 フレームを、そのデコードされた第 1 フレームが順序ずれした非参照フレームとして識別された場合には前記第 2 デブロッカーへ転送し、さもなければ、前記デコードされた第 1 フレームを前記第 1 デブロッカーへ転送するステップと、
を更に備える請求項 8 に記載の方法。

【請求項 9】

前記エンコードされた第 1 フレームは、特定の順序でエンコードされた複数のマクロブロックを含み、

当該方法は、更に、

マクロブロックが特定のエンコーディング順序以外でデコーダに到着する場合及び前記デコードされた第 1 フレームが非参照フレームとして識別される場合に前記デコードされた第 1 フレームを前記第 2 デブロッカーへ送るステップであり、フレームは、別のフレームがデコーディングのためにそれに依存しない場合に非参照フレームとして識別されるようにしたステップと、

さもなければ、前記デコードされた第 1 フレームを前記第 1 デブロッカーへ送るステップと、
を更に備える請求項 8 に記載の方法。

【請求項 10】

前記マクロブロックの各々には、各マクロブロック番号が関連付けられ、前記複数のマクロブロックは、マクロブロック番号が増加する順序でエンコードされる、請求項 10 に記載の方法。

【請求項 11】

1 つ以上のデコードされたフレームをデブロッキングの前に記憶するステップを更に備える、請求項 8 に記載の方法。

【請求項 12】

エンコードされた第 2 フレームを、前記デコードされた第 1 フレームのデブロッキングと並列にデコードするステップを更に備える、請求項 8 に記載の方法。

【請求項 13】

前記デコーディングは、可変長さデコーディング、逆量子化、逆変換、及び動き補償より成るグループから選択されたオペレーションを含む、請求項 8 に記載の方法。

【請求項 14】

エンコードされたデータのフレームをデコードするデコーダパイプラインであって、
エンコードされたフレームをデコードするよう動作できるデコーディングステージと、
前記デコーディングステージに結合されたデブロッキングステージであり、デコードされたフレームをデブロッキングするよう動作できる第 1 デブロッカー及び第 2 デブロッカーを含むデブロッキングステージと、
を備え、デコードされた参照フレームは、前記第 1 デブロッカーを使用してデブロックされるが、前記第 2 デブロッカーを使用してデブロックされず、デコードされた非参照フレームをデブロックするために、デコードされた非参照フレームのエンコードされたバージョン内におけるマクロブロックの順序に基づいて前記第 1 デブロッカー及び前記第 2 デブ

ロッカーの１つが選択され、更に、フレームは、別のフレームがデコーディングについてそれに依存する場合には参照フレームとして分類され、さもなければ、非参照フレームとして分類される、デコーダパイプライン。

【請求項 15】

前記デコードされた非参照フレームは、前記エンコードされたバージョンにおけるマクロブロックが特定の順序にある場合には順序正しいフレームとして識別され、さもなければ、前記デコードされた非参照フレームは、順序ずれしたフレームとして識別され、更に、前記デコードされた非参照フレームは、順序正しいフレームとして分類された場合には前記第 1 デブロッカーへ送られ、一方、順序ずれしたフレームとして分類された場合には前記第 2 デブロッカーへ送られる、請求項 15 に記載のデコーダパイプライン。

10

【請求項 16】

前記デコードされた非参照フレームは、マクロブロック番号が連続的に増加する順序で前記エンコードされたバージョンにおけるマクロブロックが前記デコーダに到着する場合には順序正しいフレームとして識別され、さもなければ、前記デコードされた非参照フレームは、順序ずれしたフレームとして識別され、更に、前記デコードされた非参照フレームは、順序正しいフレームとして分類された場合には前記第 1 デブロッカーへ送られ、一方、順序ずれしたフレームとして分類された場合には前記第 2 デブロッカーへ送られる、請求項 15 に記載のデコーダパイプライン。

【請求項 17】

前記第 2 デブロッカーに結合されて、前記デコードされたフレームをデブロッキングの前に記憶するよう動作できる記憶要素を更に備える、請求項 15 に記載のデコーダパイプライン。

20

【請求項 18】

前記デコーディングステージは、エンコードされたフレームを処理するよう動作でき、前記デブロッキングステージは、デコードされたフレームを処理するように並列に動作できる、請求項 15 に記載のデコーダパイプライン。

【請求項 19】

前記デコーディングステージは、可変長さデコーディング、逆量子化、逆変換、及び動き補償より成るグループから選択されたオペレーションを遂行するよう動作できる、請求項 15 に記載のデコーダパイプライン。

30

【発明の詳細な説明】

【関連米国出願】

【0001】

[0001] 本出願は、本発明の譲受人に譲渡され参考としてここに援用する “On-the-Spot Deblocking in a Decoding Pipeline” と題する同時係争中の米国特許出願、代理人管理番号 N V I D - P - S C - 0 8 - 0 3 3 3 - U S 2 に関する。また、本出願は、本発明の譲受人に譲渡され参考としてここに援用する “Adaptive Deblocking in a Decoding Pipeline” と題する同時係争中の米国特許出願、代理人管理番号 N V I D - P - S C - 0 8 - 0 3 3 3 - U S 3 にも係る。

【技術分野】

40

【0002】

[0002] 本発明による実施形態は、一般に、ビデオデコーディング（ビデオ解凍）に関する。

【背景技術】

【0003】

[0003] ムービングピクチャーズエクスパートグループ - 4 (MPEG-4) パート 10 又は MPEG-4 アドバンスドビデオコーディング (AVC) としても知られている H.264 は、ビデオ圧縮のための規格である。ビデオは、一連の画像（又はフレーム）を含み、各フレームは、ピクセルの二次元アレイより成る。ピクセルは、マクロブロック（ピクセルの 16 x 16 アレイ）へ分割される。各マクロブロックは、マクロブロック番号を

50

有し、一般的に、マクロブロックは、フレームの左上でスタートして左から右へ上から下へ単調に増加して連続的に番号付けされる。マクロブロックは、スライスへとグループ分けすることができ、スライスは、スライスグループへとグループ分けすることができる。1つのスライス内のマクロブロックは、マイクロブロック番号が上昇する順序で配列される。スライスは、いかなる数のマクロブロックを含むこともでき、これらマクロブロックは、隣接してもしなくてもよく、即ち1つのスライス内のマクロブロックは、他のスライスグループの1つ以上の他のスライスのマクロブロック間に散在されてもよいが、同じスライスグループ内のスライスからのマクロブロックが互いに散在することはない。

【0004】

[0004] 上述したようにマクロブロックをスライスへグループ分けできるようにするH. 264の特徴は、一般的に、融通性マクロブロック順序付け(FMO)と称される。このFMOは、送信中にスライスが失われるか又は破損された場合にエラーを隠すためにデコーダによって使用できるエラー耐性(resiliency)ツールの1つである。欠落又は破損したスライスにおけるマクロブロックは、別のスライスからマクロブロック情報を内挿し又は外挿することで再構成することができる。

10

【0005】

[0005] 別のH. 264特徴は、一般的に、任意のスライス順序付け(A SO)と称される。A SOでは、スライスを任意の順序で送信することができる。例えば、スライスは、それが準備できるや否や送信されてもよく、即ちスライスは、そのスライスを作り上げる全マクロブロックがエンコードされるや否や、デコーダヘストリーミングされてもよい。その結果、1つのスライスグループからのスライスが送信された後に、別のスライスグループからのスライスが送信され、その後、第1のスライスグループからの別のスライスが送信され、等々と続く。

20

【0006】

[0006] 従って、一般的に述べると、H. 264は、エンコードされたマクロブロックを「順序ずれ」して送信するのを許す。即ち、マクロブロックは、特定の順序で(例えば、上から下へ及び左から右へ、マクロブロック番号に基づく上昇順に)エンコードされるが、マクロブロックがデコーディング装置へ送信される順序、ひいては、それがデコーディング装置により受信される順序は、エンコーディング順序とは異なるものでよい。

【0007】

[0007] 基本的なデコーディングオペレーションに加えて、デコーディング装置は、デブロッキングオペレーションを遂行する。デブロッキングでは、隣接するマクロブロック間の境界を平滑化するために、デコードされたマクロブロックにデブロッキングフィルタが適用される。

30

【0008】

[0008] 図1を参照すれば、マクロブロックM1をデブロックするためには、マクロブロックM2(マクロブロックM1の左側の最も近い隣接部)及びおそらくはマクロブロックM3(マクロブロックM1の上の最も近い隣接部)に対する情報が必要となる。しかしながら、マクロブロックM1は、1つのスライス(例えば、スライスS2)にあり、そして隣接マクロブロックM2及びM3は、1つ又は複数の異なるスライス(例えば、スライスS1)にあることがある。A SOがイネーブルされると、スライスS2は、スライスS1の前にデコーダへ送信される。従って、マクロブロックM1は、デブロッキングの準備ができるが、スライスS1がデコーダにまだ到着しない場合にはデブロッキングを遅らせねばならない。

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

[0009] その結果、H. 264デコーディングは、典型的に、2パス解決策を使用して具現化される。第1パスでは、基本的デコーディング(デブロッキングの前のデコーディング)が遂行され、デコードされたデータは、それがデコードされたときにセーブされる。

50

第2パスでは、デコードされたデータが再ロードされて、デブロッキングが遂行される。不都合にも、この形式の具現化は、デコーディング装置に付加的な負担をかける。より詳細には、デコーディング装置は、メモリへの及びメモリからのデータの転送を受け容れるためのより広いデータバス帯域巾を必要とし、デコードされたデータをデブロッキングの前に記憶するための付加的なメモリを必要とし、また、第1及び第2のパスが順次に遂行されるためにより長い計算時間を必要とすることがある。

【課題を解決するための手段】

【0010】

[0010]本発明の実施形態によれば、デコーダは、データのエンコードされたフレームをデコードするのに使用できる第1（デブロッキングの前のデコーディング）ステージを備えている。また、デコーダは、第1ステージの下流に第2（デブロッキング）ステージも備えている。この第2ステージは、デコードされたフレームを並列にデブロックするように使用できる第1デブロッカー及び第2デブロッカーを含む。

10

【0011】

[0011]第1及び第2のデブロッカーは、互いに並列に且つデコーディングステージとも並列に動作することができる。例えば、第1デブロッカーは、あるフレームをデブロッキングする一方、第2デブロッカーは、別のフレームをデブロッキングし、その間に、デコーディングステージは、更に別のフレームに対して動作することができる。更に、ある例においては、デブロッカーが、フレームのある部分に対して動作する一方、デコーディングステージが、同じフレームの後続部分に対して動作してもよい。

20

【0012】

[0012]一般的に、エンコードされたフレームは、デコーダの第1ステージ（基本的デコーディングステージ）への入力として受け取られて、デコードされる。デコードされたフレームは、第1デブロッカー又は第2デブロッカーのいずれかへ転送され、それをデブロックすることができる。一実施形態では、デコードされたフレームは、そのデコードされたフレームをどのように分類するかに基づいて、第1デブロッカー又は第2デブロッカーのいずれかへ転送される。デコードされたフレームが第1形式のフレームとして分類された場合には、それが第1デブロッカーへ送信され、さもなければ、デコードされたフレームは、第2形式のフレームとして分類されて、第2デブロッカーへ送信される。

30

【0013】

[0013]第2デブロッカーを導入することは、幾つかのフレームのデブロッキングを一次経路から並列の二次経路へオフロード化できることを意味する。処理時間が短縮され、全体的な性能が改善される。

【0014】

[0014]本発明の種々の実施形態のこれら及び他の目的並びに効果は、当業者であれば、種々の添付図面に示された実施形態の以下の詳細な説明を読んだ後に明らかとなるであろう。

【0015】

[0015]本発明は、同様の要素が同じ参照番号で示された添付図面を参照して、一例として、以下に詳細に説明する。

40

【図面の簡単な説明】

【0016】

【図1】マクロブロックのアレイを示す。

【図2】本発明の実施形態によるデコーダを具現化できるシステムの一例を示すブロック図である。

【図3】本発明の一実施形態によるデコーディングパイプラインの要素を示すブロック図である。

【図4】本発明の一実施形態によるデコーダの要素を示すブロック図である。

【図5】本発明の一実施形態による第2デブロッカーを使用してデータを処理するためのコンピュータ実施方法の一例のフローチャートである。

50

【図 6】本発明の一実施形態により第 2 デブロッカーを適応式に使用してデータを処理するためのコンピュータ実施方法の一例のフローチャートである。

【図 7 A】本発明の一実施形態によるマクロブロック状態を追跡するのに使用できるアレイの一例を示す。

【図 7 B】本発明の一実施形態によるマクロブロック状態を追跡するのに使用できるアレイの一例を示す。

【図 7 C】本発明の一実施形態によるマクロブロック状態を追跡するのに使用できるアレイの一例を示す。

【図 7 D】本発明の一実施形態によるマクロブロック状態を追跡するのに使用できるアレイの一例を示す。

【図 8】本発明の一実施形態によりマクロブロックをデブロッキングするためのコンピュータ実施方法の一例のフローチャートである。

【図 9】本発明の一実施形態によるデブロッキングに適したマクロブロックを識別するコンピュータ実施方法の一例のフローチャートである。

【図 10】本発明の実施形態によりデブロックできる順序ずれフレームの一例を示す。

【0017】

【発明を実施するための形態】

【0018】

[0026]添付図面に例が示された本発明による実施形態を以下に詳細に説明する。本発明は、これらの実施形態に関連して説明するが、本発明をこれらの実施形態に限定するものでないことを理解されたい。逆に、本発明は、特許請求の範囲に規定された本発明の精神及び範囲内に包含される代替、変更及び等効物を網羅するものとする。更に、本発明の実施形態の以下の詳細な説明において、本発明の完全な理解を与えるために多数の特定の細部が述べられる。しかしながら、当業者であれば、本発明は、これらの特定の細部を伴わずに実施できることが認識されよう。他の点では、本発明の実施形態の態様を不必要に不明瞭にしないために、良く知られた方法、手順、コンポーネント及び回路は、詳細に説明しない。

【0019】

[0027]以下の詳細な説明の幾つかの部分は、コンピュータメモリ内のデータビットに対するオペレーションの手順、ステップ、論理的ブロック、処理、及び他の記号的表示に関して表現される。これらの記述及び表示は、データ処理技術の当業者の仕事の実体を他の当業者へ最も効率的に伝達するために当業者により使用される手段である。手順、コンピュータ実行ステップ、論理的ブロック、プロセス、等は、ここでは、そして一般的には、希望の結果を導くステップ又はインストラクションの自己矛盾のないシーケンスであると考えられる。これらステップは、物理的量の物理的な操作を必要とする。通常、必ずしもそうでないが、これらの量は、コンピュータシステムにおいて記憶、転送、合成、比較、及びその他、操作することのできる電氣的又は磁氣的信号の形態をとる。主として普通使用されるという理由で、これらの信号をビット、値、要素、記号、特性、語、数字、等として参照するのが時々は便利であると分かっている。

【0020】

[0028]しかしながら、これら及び同様の語は、全て、適当な物理量に関連されるべきであり、且つそれらの量に適用される便利な表示に過ぎないことを心に留めておかれたい。特に指示のない限り、以下の説明から明らかなように、本発明全体にわたり、「エンコーディング」、「デコーディング」、「デブロッキング」、「受信」、「送信」、「転送」、「識別」、「決定」、「分類」、「比較」、「選択」、「記憶」、「処理」、「使用」、「初期化」、「設定」、「フラグ」、「アクセス」、「関連付け」、等の語を使用する説明は、コンピュータシステムのレジスタ及びメモリ内の物理的（電子的）量として表されたデータを、コンピュータシステムのメモリ又はレジスタ或いは他のそのような情報記憶、伝達又は表示装置内の物理的量として同様に表された他のデータへと操作及び変換するコンピュータシステム又は同様の電子的コンピューティング装置のアクション及びプロ

10

20

30

40

50

セスを指すことが明らかである。

【 0 0 2 1 】

[0029] 図 5、6、8 及び 9 は、本発明の実施形態によりデータを処理するためのコンピュータ実施方法の一例のフローチャートである。それらフローチャートには特定のステップが開示されるが、それらステップは、例示に過ぎない。即ち、本発明の実施形態は、種々の他のステップ、又はフローチャートに取り上げられたステップの変更を遂行するのに良く適している。

【 0 0 2 2 】

[0030] 図 5、6、8 及び 9 のフローチャートは、1 つ以上のコンピュータ又は他の装置により実行されるプログラムモジュールのようなある形態のコンピュータ使用可能な媒体に存在するコンピュータ実行可能なインストラクションとして具現化することができる。一般に、プログラムモジュールは、特定のタスクを遂行するか又は特定の抽象トラクトデータ形式を具現化するルーチン、プログラム、オブジェクト、コンポーネント、データ構造、等を含む。プログラムモジュールの機能は、種々の実施形態で望まれるように合成又は分布されてもよい。

【 0 0 2 3 】

[0031] 例えば、これに限定されないが、コンピュータ使用可能な媒体は、コンピュータ記憶媒体及び通信媒体を含む。コンピュータ記憶媒体は、コンピュータ読み取り可能なインストラクション、データ構造、プログラムモジュール又は他のデータのような情報を記憶するための方法又は技術で具現化される揮発性及び不揮発性の、除去可能及び除去不能な媒体を含む。コンピュータ記憶媒体は、ランダムアクセスメモリ (RAM)、リードオンリメモリ (ROM)、電氣的に消去可能なプログラマブル ROM (EEPROM)、フラッシュメモリ又は他のメモリ技術、コンパクトディスク ROM (CD-ROM)、デジタル多様性ディスク (DVD)、或いは他の光学的記憶装置、磁気化セット、磁気テープ、磁気ディスク記憶装置、又は他の磁気記憶装置、或いは希望の情報を記憶するのに使用できる他の媒体を含むが、これらに限定されない。

【 0 0 2 4 】

[0032] 通信媒体は、コンピュータ読み取り可能なインストラクション、データ構造、プログラムモジュール又は他のデータを搬送波又は他のトランスポートメカニズムのような変調データ信号において実施することができ、任意の情報配信媒体を含む。「変調データ信号」という語は、信号に情報をエンコードするように 1 つ以上の特性がセット又は変化した信号を意味する。例えば、これに限定されないが、通信媒体は、ワイヤードネットワーク又は直接ワイヤード接続のようなワイヤード媒体と、音響、高周波 (RF)、赤外線及び他のワイヤレス媒体のようなワイヤレス媒体とを含む。これらのいずれかを組み合わせることも、コンピュータ読み取り可能な媒体の範囲内に包含される。

【 0 0 2 5 】

[0033] 図 2 は、本発明によるデコーダを具現化できるシステム 20 の一例を示すブロック図である。図 2 の例において、このシステムは、バス 25 を経てグラフィック処理ユニット (GPU) 22 に結合されたホスト中央処理ユニット (CPU) 21 を備えている。GPU は、媒体処理ユニット (MPU) と称されてもよい。CPU 及び GPU は、両方とも、メモリ 24 に結合される。図 2 の例において、メモリは、共有メモリであり、従って、メモリは、CPU 及び GPU の両方に対するインストラクション及びデータを記憶する。或いはまた、CPU 及び GPU に専用の個別のメモリが各々あってもよい。また、メモリは、結合されたディスプレイ 23 を駆動するピクセルデータを記憶するためのビデオフレームバッファを含むこともできる。

【 0 0 2 6 】

[0034] 一般的に述べると、システム 20 は、本発明の実施形態によるファンクションを具現化するコンピュータシステムプラットフォームの基本的コンポーネントを備えている。システム 20 は、例えば、多数の異なる形式のコンピュータシステム (例えば、ラップトップ、デスクトップ及びノートブック) として、並びにセットトップボックス又はデジタ

10

20

30

40

50

ルテレビジョンのようなホームエンターテイメントシステム（例えば、DVDプレーヤ）、ポータブル又はハンドヘルド電子装置（例えば、ポータブル電話、パーソナルデジタルアシスタント又はハンドヘルドゲーム装置）、或いは表示能力をもつ実質上あらゆる他の形式の装置として、具現化することができる。

【0027】

[0035] 図3は、本発明の一実施形態によるデコーダ30の要素を示すブロック図である。一般的に、このデコーダは、エンコードされたビットストリーム31を受け取り、ビットストリーム内のデータをデコードし、そして表示可能な映像データ34を発生する。

【0028】

[0036] 一実施形態において、生の映像データ（例えば、ビデオデータ）が、ある形式の圧縮スキームを使用して圧縮されて、エンコーディングパラメータのセット、例えば、これに限定されないが、フレーム形式（例えば、イントラコード化Iフレーム、予想Pフレーム又は2予想Bフレーム）、マクロブロック予想モード（例えば、インターブロック対イントラブロック）、変換（例えば、離散的コサイン変換）係数、テクスチャ係数、及び運動ベクトル情報を発生する。次いで、エンコーディングパラメータは、例えば、ハフマンコーディングを使用して可変長さコード（VLC）へと変換される。エンコードされたビットストリームは、VLCを含む直列化ビットストリームである。

【0029】

[0037] デコーダは、本質的に、エンコーディングプロセスを逆転して、映像データを再構成する。図3の例では、デコーダは、デコーディングステージ32及びデブロッキングステージ33を含むデコーディングパイプライン36を備えている。

【0030】

[0038] デコーディングステージは、可変長さデコーディング、逆量子化、逆変換、及び運動圧縮のような基本的デコーディングオペレーションを遂行する。一般的に、デコーディングステージは、エンコードされたビットストリームを構文解析してVLCを抽出し、次いで、VLCを変換して、上述したエンコーディングパラメータを再生する。エンコーディングパラメータは、次いで、オリジナルビデオデータを再構成するのに使用される（より詳細には、オリジナルビデオデータのあるバージョンが構成される）。

【0031】

[0039] デブロッキングステージは、デブロッキングフィルタを適用してマクロブロックをデコードし、再構成された映像がレンダリング（表示）されるとき隣接マクロブロック間の境界を平滑化する。例えば、デブロッキングフィルタは、隣接マクロブロックの境界又はその付近におけるピクセル値の重み付けされた平均を使用して、境界に沿ってマクロブロックを混合し、これにより、圧縮（エンコーディング）プロセスによって導入されることのある欠陥であって、除去しないと、再構成された映像が塊のように見えるようにさせる欠陥を除去することができる。一実施形態では、デブロッキングステージは、2つのデブロッカーを備え、これらは、図4を参照して以下に詳細に説明する。

【0032】

[0040] 以下の説明において、特に指示のない限り、「デコーダ」は、デコーディング及びデブロッキングの両方を遂行する要素（例えば、スタンドアロン又は周辺装置或いは一体化システム）を指す。「デコーディング」は、特に指示のない限り、上述した基本的なデコーディングオペレーション（例えば、可変長さデコーディング、逆量子化、逆変換及び運動補償）を指す。「十分にデコードされたデータ」及び「完全にデコードされたデータ」という語は、特に指示のない限り、デコード及びデブロックの両方がなされたデータを指す。

【0033】

デコーディングパイプラインにおける第2デブロッカー

[0041] 図4は、本発明の一実施形態によりフレームバッファ45及びディスプレイ46に結合されたデコーダの要素を示すブロック図である。図4の例において、デコーダは、デコーディングステージ32及びデブロッキングステージ33を備えている。デブロッキ

10

20

30

40

50

ングステージは、第 1 デブロッカー 4 1 及び第 2 デブロッカー 4 2 を含む。デコーディングステージから第 1 デブロッカーを通る経路は、ここでは、デコーディングパイプラインを通る一次経路と称され、一方、デコーディングステージから第 2 デブロッカーを通る経路は、ここでは、デコーディングパイプラインを通る第 2 経路と称される。一実施形態では、記憶要素 4 3 が、デコーディングステージの出力と第 2 デブロッカーの入力との間に結合されると共に、第 1 デブロッカーの入力にも結合される。

【 0 0 3 4 】

[0042] 第 1 及び第 2 のデブロッカーの出力は、フレームバッファに記憶される。フレームバッファのコンテンツは、その後、ディスプレイ上でレンダリングすることもできるし及び / 又は別のフレームをデコードするのに使用することもできる。後者のケースでは、あるフレーム（例えば、I フレーム又は P フレーム又はおそらく B フレームのような参照フレーム； H . 2 6 4 によれば、B フレームを参照フレームとして使用できる）がデコードされると、1 つ以上の後続フレーム（例えば、別の P フレーム又は B フレーム）をデコードするのにそれに依存することができる。他のフレームがデコーディングのために依存する各フレームは、それら他のフレームがデコードされるときに使用できるようにフレームバッファに保持することができる。ある具現化においては、他のフレームをデコードするために依存するフレームを記憶するために、フレームバッファ以外のメモリを使用してもよい。

10

【 0 0 3 5 】

[0043] 第 1 及び第 2 のデブロッカーは、互いに並列に且つデコーディングステージとも並列に動作することができる。例えば、第 1 デブロッカーは、1 つのフレームをデブロッキングすることができ、一方、第 2 デブロッカーは、別のフレームをデブロッキングすると共に、デコーディングステージは、更に別のフレームに対して動作する。更に、ある例では、デブロッカーは、フレームのある部分に対して動作し、一方、デコーディングステージは、同じフレームの後続部分に対して動作する。換言すれば、ある環境のもとでは、あるフレームのマクロブロックがデコードされて、第 1 デブロッカーへ直接入力され、そしてそのフレームの他のマクロブロックのデコーディングと並列にオンザスポットでデブロックされる。オンザスポットデブロッキングに関する付加的な情報は、図 6、8 及び 9 に関連して与えられる。

20

【 0 0 3 6 】

[0044] 第 2 のスタンドアローンデブロッカーの導入は、以下に詳しく述べる環境のもとで、幾つかのフレームのデブロッキングを、一次経路から、並列の二次経路へオフロード化できることを意味する。処理時間が短縮され、全体的な性能が改善される。

30

【 0 0 3 7 】

[0045] 一般的に、図 4 のデコーダは、本発明の一実施形態に基づき第 2 デブロッカーを使用してデータを処理するコンピュータ実施方法を示す図 5 のフローチャートに概説されたように動作する。図 5 のブロック 5 1 において、エンコードされたフレームが、デコーダの第 1 ステージ（基本的デコーディングステージ）への入力として受け取られる。ブロック 5 2 において、エンコードされたフレームがデコードされて、デコードされたフレーム（デブロッキングの前にデコードされた）を発生する。

40

【 0 0 3 8 】

[0046] ブロック 5 3 において、デコードされたフレームは、第 1 デブロッカー又は第 2 デブロッカーのいずれかへ転送されて、デブロックできるようにされる。一実施形態では、デコードされたフレームは、このデコードされたフレームがどのように分類されるかに基づいて第 1 デブロッカー又は第 2 デブロッカーのいずれかへ転送される。デコードされたフレームが第 1 形式のフレームとして分類された場合には、それが第 1 デブロッカーへ送信され、さもなければ、デコードされたフレームは、第 2 形式のフレームとして分類されて、第 2 デブロッカーへ送信される。フレームの分類に関する付加的な情報は、図 6 に関連して与えられる。

【 0 0 3 9 】

50

[0047]図5のブロック54において、完全にデコードされた（デコード及びデブロックの両方がなされた）フレームがフレームバッファへ転送され、これを使用して、後続フレームを再構成し及び／又はレンダリングして目に見えるようにすることができる。

【0040】

デコーディングパイプラインにおける適応デブロッキング

[0048]一実施形態において、図4のデコーダは、本発明の一実施形態により第2デブロッカーを使用してデータを処理するコンピュータ実施方法を示す図6のフローチャートに概説された適応式の仕方で作動作する。ブロック61において、デコーダは、エンコードされたフレームにアクセスする。

【0041】

10

[0049]ブロック62において、フレームが「順序正しいフレーム」であるか又は「順序ずれしたフレーム」であるかに関して判断がなされる。ここに使用する順序正しいフレームとは、既定の順序で配列されたマクロブロックを含むフレームであり、即ちフレームにおけるマクロブロックの配列が特定の規定の順序を満足する場合には、そのフレームが順序正しいフレームとして分類され、さもなければ、そのフレームが順序ずれしたフレームとして分類される。上述した融通性マクロブロック順序付け（FMO）及び／又は任意のスライス順序付け（ASO）を使用してエンコードされるフレームは、順序ずれしたフレームの一例である。

【0042】

[0050]フレームヘッダは、フレームをFMO/ASOフレームとして、又は順序正しいフレーム対順序ずれしたフレームとして識別するのに使用できる情報を含まないことがある。しかしながら、一実施形態では、フレームの各マクロブロックに関連したマクロブロック番号を使用して、フレームが順序正しいフレームであるか順序ずれしたフレームであるかを、ここに述べる仕方では推測することができる。

20

【0043】

[0051]一般的に述べると、マクロブロック番号は、マクロブロックがエンコードされる順序に一致する。例えば、マクロブロックは、フレームの左上のマクロブロックでスタートして左から右へ上から下へ単調に増加して連続的に番号付けされる。また、マクロブロックは、一般的に、フレームの左上のマクロブロックでスタートして左から右へ上から下へ進んでエンコードされる（時々「ラスタスキャン順序」と称される）。従って、エンコードされたフレームのマクロブロックが、それらがエンコードされた順序でデコーダに受け取られる場合には、フレームにおけるマクロブロック番号が正しい順序となる。

30

【0044】

[0052]従って、一実施形態では、フレームのエンコードされたバージョン（ひいては、フレームのデコードされたバージョン）におけるマクロブロックの番号が数字の順序である場合には、そのフレームは、順序正しいフレームであり、さもなければ、そのフレームは、順序ずれしたフレームである。一実施形態では、デコーダがフレームにおけるマクロブロック（ここでは「現在マクロブロック」とも称される「当該マクロブロック」）を受け取るときに、デコーダは、当該マクロブロックのマクロブロック番号を、その当該マクロブロックの直前に受け取られたマクロブロックのマクロブロック番号と比較する。換言すれば、デコーダは、マクロブロックのマクロブロック番号を、マクロブロックがデコーダに受け取られる順序で次のように比較することができる。

40

全ての $i = 0, 1, \dots, N - 1$ に対して、 $MB_ID_{i+1} = MB_ID_i + 1$ である場合には、そのフレームが順序正しいものであり、

さもなければ、そのフレームが順序ずれしたものである。

但し、“ MB_ID ”は、マクロブロック番号であり、“ i ”は、マクロブロックが受け取られる順序に対応し、そして“ N ”は、フレームにおけるマクロブロックの数である。

【0045】

[0053]図6を参照し続けると、フレームが順序ずれフレームと分類された場合には、フローチャートは、ブロック63へ進み、さもなければ、フローチャートは、ブロック64

50

へ進む。

【 0 0 4 6 】

[0054] ブロック 6 3 において、順序ずれしたフレームが「参照フレーム」であるか「非参照フレーム」であるかに関する決定がなされる。ここで使用される参照フレームとは、デコーディングのために別のフレームが依存するフレームである。参照フレームは、例えば、I フレーム及び P フレームである（時々 I 画像及び P 画像と称される）。H. 2 6 4 によれば、B フレームを参照フレームとして使用することができる。また、ここで使用される非参照フレームとは、参照フレームでないフレームである。B フレーム（又は B 画像）は、非参照フレームの一例である。各フレームに関連したフレームヘッダは、従来、フレームを I フレーム、P フレーム又は B フレームとして識別する情報を含む。

10

【 0 0 4 7 】

[0055] フレームが参照フレームとして分類される場合には、フローチャートは、ブロック 6 4 へ進み、さもなければ、フローチャートは、ブロック 6 5 へ進む。

【 0 0 4 8 】

[0056] ブロック 6 4 において、順序正しい参照フレーム又は順序正しい非参照フレームは、図 4 の第 1 デブロッカーを使用して完全にデコード（基本的デコーディング及びデブロッキング）される。即ち、フレームは、「オンザスポット」でデブロックされ、即ち、フレームは、必ずしも、デブロッキングの前にメモリに記憶されず、これは、順序ずれした非参照フレームが処理される仕方とは対照的である（図 6 のブロック 6 5、6 6 及び 6 7 を参照）。

20

【 0 0 4 9 】

[0057] フレームが順序正しい参照フレーム又は順序正しい非参照フレームである場合には、フレームがデコードされるときにデブロッキングを行うことができる。一般的に述べると、順序正しいフレームとして分類されるためには、フレームにおける全てのマクロブロックが上述したように順序正しいものである。図 1 に戻ると、マクロブロック M 1 をデブロックするために、マクロブロック M 2 及び M 3（例えば、マクロブロックの左の最も近い隣接部及び / 又はマクロブロックの上の最も近い隣接部）からの情報が使用される。一般的なルールとして、順序正しいフレームでは、フレームにおけるマクロブロック M 1 の位置に関わりなく、マクロブロック M 1 がデブロッキングの準備ができる前に、マクロブロック M 2 及びマクロブロック M 3 の両方がデコードされデブロックされる。

30

【 0 0 5 0 】

[0058] 一般的に述べると、順序正しいフレームでは、特定のマクロブロックをデブロックするために依存するマクロブロック（1 つ又は複数）は、その特定のマクロブロックをデブロックするのに間に合うようにデコードされデブロックされる。従って、順序正しいフレームは、オンザスポットでデブロックすることができ、即ちフレームにおける各マクロブロックがデコードされるときに、そのデコードされるマクロブロックは、基本的なデコーディングの直後に第 1 デブロッカーへ直接転送してデブロックすることができる。

【 0 0 5 1 】

[0059] 順序正しいフレームを処理する間には、あるマクロブロックをデブロックしながら、次のマクロブロックをデコードすることができる。同様に、1 つのフレームの全てのマクロブロックがデコードされると、パイプラインのデコーディングステージは、次のフレームのマクロブロックのデコーディングを開始できる一方、手前のフレームのマクロブロックがデブロックされる。即ち、デブロッキングステージが、1 つのフレームの後半のマクロブロックを処理する間に、デコーディングステージが、次のフレームの最初のマクロブロックを処理することができる。

40

【 0 0 5 2 】

[0060] 図 6 のブロック 6 5 において、順序ずれした非参照フレームがデコードされる（基本的デコーディングのみ）。この点において、図 4 のデコーディングステージは、次のフレームのデコーディングを開始するのに使用できるようになる。

【 0 0 5 3 】

50

[0061] 図 6 のブロック 6 6 において、デコードされた順序ずれした非参照フレームは、図 4 の記憶要素 4 3 に任意に記憶される。フレームが順序ずれした非参照フレームであるときには、フレームにおけるデコードされたマクロブロックの幾つか又は全部を、それらマクロブロックをデブロックするのに必要な他のマクロブロックもデコードされるまで、記憶することが必要になる。更に、非参照フレームは、別のフレームをデコードするためにそれに依存するものではなく、従って、何らかの理由でデブロックを延期することが効果的である場合には、そのようにすることができる。ブロック 6 7 において、順序ずれした非参照フレームは、図 4 の第 2 デブロッカーを使用してデブロックされる。

【 0 0 5 4 】

[0062] 従って、順序ずれした非参照フレームの基本的なデコーディングが遂行された後に、デコードされたデータは、デブロックのために第 2 デブロッカーへ通される。それと同時に、次のフレームをデコードするために一次デコーディング経路が使用可能となる。即ち、順序ずれした非参照フレームがデブロックされる間に、次のフレームをデブロックと並列に（時間的に重畳して）デコードすることができる。このように、非参照フレームのデコーディングは、FMO / ASO がイネーブルされても、順序正しいフレームのデコーディングと同程度に高速で遂行することができる。一般的に、ビデオシーケンスにおけるフレームの大半は、非参照フレームである。それ故、順序正しいデコーディングに匹敵するレートで非参照フレームを処理することにより、デコーディングパイプラインの全体的な性能を著しく改善することができる。

【 0 0 5 5 】

[0063] 図 6 の実施形態を要約すれば、（フレーム内のマクロブロックが順序正しいか、順序ずれであるかに関わらず）デコードされたフレームが参照フレームとして分類された場合には、デコードされたフレームがオンザスポットデブロックのために第 1 デブロッカーへ直接送信される。デコードされたフレームが順序正しい非参照フレームとして分類された場合にも、デコードされたフレームは、オンザスポットデブロックのために第 1 デブロッカーへ直接送信される。また、デコードされたフレームが順序ずれした非参照フレームとして分類された場合には、それが第 2 デブロッカーへ送信される。換言すれば、上述した実施形態によれば、第 1 デブロッカーは、参照フレーム（順序正しい又は順序ずれした）及び順序正しい非参照フレームをデブロックし、一方、第 2 デブロッカーは、順序ずれした非参照フレームをデブロックする。

【 0 0 5 6 】

[0064] 従って、本発明の一実施形態によれば、参照フレームと非参照フレームとの間を区別するのに加えて、順序正しいフレームと順序ずれしたフレームとの間も区別することができる。換言すれば、リアルタイム入力データに基づいて、ASO / FMO エンコーディングをオンザフライで検出し（より詳細には、推測し）、次いで、それに応じて、デコーディング解決策（より詳細には、デブロック解決策）を適応させることができる。ASO / FMO のリアルタイム検出は、フレーム内のスライスの到着順序が保証されない通信アプリケーションにおいて低遅延処理を達成する上で特に重要である。ここに述べる実施形態は、ASO / FMO が使用されるかどうかを事前に知ることなく、ASO / FMO が使用されないときには順序正しいデコーディングを遂行し、そして ASO / FMO が使用されるときには処理遅延を短縮することができる。

【 0 0 5 7 】

[0065] 本発明の一実施形態によれば、第 2 デブロッカーがデコーディングパイプラインに導入され、ある形式のフレームに対して、一次デコーディング経路（第 1 デブロッカーを含む経路）から、並列の第 2 経路（第 2 デブロッカーを含む経路）へとデブロックタスクをオフロード化できるようにしている。その結果、第 1 デブロッカーは、實際上、より本質的なフレーム（例えば、参照フレーム）をデブロックするように予約される。従って、より本質的なフレームのデブロックは、より迅速に遂行することができる。更に、第 1 デブロッカーは、實際上、オンザスポットでデブロックできるフレーム（例えば、順序正しいフレーム）をデブロックするように予約される。マクロブロックが

デコードされるときにオンザスポットデブロッキングが遂行されるので、オンザスポットデブロッキングに第1デブロッカーを使用することでデコーディングパイプラインに遅延が導入されることはない。

【0058】

[0066] 2つのデブロッカーを使用して、異なる形式のフレームを取り扱うことにより、フレームのデコーディング及びデブロッキングを全体的により迅速に遂行することができる。というのは、デコーディング及びデブロッキングを、各特定のフレーム形式に対して最も高速であるパイプライン経路を使用して達成できるからである。更に、参照フレーム及び順序正しいフレームに対してオンザスポットデブロッキングを使用することで、データバスを通るトラフィックを減少すると共に、記憶されるデータの量も減少する。というのは、従来の2パス具現化の場合のように、デコードされたデータを記憶してフェッチする必要がないからである。一般的に述べると、第2デブロッカーの使用は、全体的なデコード性能を改善する。

10

【0059】

[0067] 第2デブロッカーは、必ずしも、専用のプロセッサ又は他の専用のハードウェアリソースを使用して具現化されなくてもよい。第2デブロッカーは、例えば、アイドル状態でもよいGPU又はCPUを使用して具現化することができる。換言すれば、ほとんどの場合でなくても幾つかの場合に、第2デブロッカーは、時間クリティカルフレームに対して動作しなくてもよく、従って、既存のハードウェアリソースが使用できるようになったときにそれらリソースを使用してその機能を与えることができる。

20

【0060】

フレーム内のマクロブロックのオンザスポットデブロッキング

[0068] 図6のついでに以上の説明において、参照フレーム及び順序正しい非参照フレームは、オンザスポットで（デコーディングの直後に）デブロックできるが、順序ずれした非参照フレームは、デコードされ、記憶され、次いで、後でデブロックされる。しかしながら、順序ずれしたフレームとして分類されるフレーム内に、順序正しいマクロブロックのシーケンスが存在する。ある環境において、順序ずれしたフレームにおける順序正しいマクロブロックのシーケンスは、オンザスポットでデブロックすることができる。

【0061】

[0069] より詳細には、フレーム内の特定のマクロブロックは、フレームにおいてそれに先行する全てのマクロブロックがデコードされデブロックされた（完全にデコードされた）ときにデブロックすることができる。一方、特定のマクロブロックに先行する全てのマクロブロックが完全にデコードされない場合には、その特定のマクロブロックが記憶され、そしてその後、フレームレベルにおいて上述したのと同様に、全ての先行するマクロブロックが完全にデコードされたときに、デブロッキングのためにそれが再ロードされる。マクロブロックがデブロックされた後に、それを使用して、デコードされたがデブロックされていない後続のマクロブロックをデブロックし、次いで、それを使用して、デコードされたがデブロックされていない別の後続のマクロブロックをデブロックし、等々を行って、デブロッキングに適した全てのマクロブロックがデブロックされるまでそれを繰り返すことができる。

30

40

【0062】

[0070] 図7Aは、フレーム内のマクロブロックのデブロッキング状態を追跡するのに使用できるアレイ70の一例を示す。このアレイは、フレーム内の各マクロブロックに対するビット値を含む。ビット値は、デコードされたがデブロックされていないマクロブロックはどれかを識別するようにセットされる。マクロブロックに対するビットがセットされない場合は、そのマクロブロックがまだデコードされていないか、又はデコード及びデブロックされたかのいずれかである。換言すれば、そのビットは、デブロッキングの候補であるマクロブロックを識別するようにセットされる。

【0063】

[0071] 図7Aの例において、アレイは、ビット値の4×3アレイを含む。図7Aは、ビ

50

デオデータのフレームの一部分しか示さず、一般的に、フレームは、12より多くのマクロブロックを含む。最初、全てのビット値が同じバイナリー値（例えば、0）にセットされる。フレームが完全にデコードされた後に、アレイが再初期化される。

【0064】

[0072]図7Bは、マクロブロックM0、M1、M2及びM3がデコードされデブロックされたある時間後におけるアレイの一例を示す。図7Bの例において、マクロブロックM0、M1、M2及びM3は、同じスライス（スライスS1）にあり、そしてそれらがエンコードされた順序（例えば、次の順序M0、M1、M2及びM3）でデコードに受け取られる。マクロブロックM0は、デブロックのために現在フレーム内の別のマクロブロックに依存しないので、オンザスポットでデコードされデブロックされる。オンザスポットデブロックは、デコーディングパイプラインを通る一次経路に沿って図4の第1デブロッカーを使用して遂行される。

10

【0065】

[0073]次いで、マクロブロックM1は、現在フレームにおいて、デブロックのためにマクロブロックM0のみに依存するので、第1デブロッカーを使用してオンザスポットでデコードされデブロックされる。一般的に述べると、マクロブロックM1をデブロックするのに必要な全てのマクロブロックがデコードされデブロックされる。換言すれば、エンコーディング順序でマクロブロックM1に先行する全てのマクロブロックが受け取られてデブロックされる。次いで、同じ一般化をマクロブロックM2及びM3に適用することができ、それ故、これらマクロブロックも、第1デブロッカーを使用してオンザスポットでデコードされデブロックされる。図中、マクロブロックM0、M1、M2及びM3がデコードされデブロックされたことを指示するためにアスタリスクが使用される。實際上、このような区別を行う必要はない。

20

【0066】

[0074]スライスS1に続いて、マクロブロックM6及びM7より成るスライスS2がデコードに受け取られる。即ち、マクロブロックは、順序正しく受け取られない。マクロブロックM6及びM7は、エンコーディング順序でマクロブロックM6及びM7に先行する全てのマクロブロック（例えば、マクロブロックM4及びM5）がまだ受け取られてデブロックされていないので、デコードすることはできるがデブロックすることはできない。従って、マクロブロックM6及びM7に対応するビット値は、図7Cに示すように、アレイにおいて（例えば、1の値に）セットされる。また、デコードされたマクロブロックM6及びM7は、メモリ（例えば、図4の記憶要素43）に記憶される。

30

【0067】

[0075]スライスS2に続いて、マクロブロックM8及びM9より成るスライスS3がデコードに受け取られる。マクロブロックM8及びM9は、これらマクロブロックM8及びM9に先行する全てのマクロブロックがまだ受け取られてデブロックされていない（この時点では、マクロブロックM4及びM5がまだデブロックされていない）ので、デコードすることはできるがデブロックすることはできない。従って、マクロブロックM8及びM9に対応するビット値は、図7Dに示すように、アレイにおいて（例えば、1の値に）セットされる。

40

【0068】

[0076]スライスS3に続いて、マクロブロックM4及びM5より成るスライスS4がデコードに受け取られる。マクロブロックM4は、エンコーディング順序でそれに先行する全てのマクロブロック（即ち、マクロブロックM0、M1、M2及びM3）がデコードされデブロックされているので、第1デブロッカーにおいてオンザスポットでデコード及びデブロックすることができる。マクロブロックM4がデブロックされた後に、マクロブロックM5を第1デブロッカーにおいてオンザスポットでデコード及びデブロックすることができる。

【0069】

[0077]更に、マクロブロックM5がデブロックされると、マクロブロックM6に先行す

50

る全てのマクロブロックが今やデブロックされ、従って、マクロブロック M 6 を記憶装置から検索してデブロックすることができる。この場合に、マクロブロック M 6 は、デコーディングパイプラインを通る一次経路に沿って、図 4 の第 1 デブロックカーを使用してデブロックされる。マクロブロック M 6 がデブロックされると、マクロブロック M 7 を記憶装置から検索して、第 2 デブロックカーを使用してデブロックし、等々、マクロブロック M 9 まで行われる。この例では、マクロブロック M 10 及び M 11 は、それに先行する全てのマクロブロックがデコードされデブロックされても、この時点ではデブロックされない。というのは、マクロブロック M 10 及び M 11 それ自体がまだ受け取られてデコードされていないからである。マクロブロック M 10 及び M 11 は、それが受け取られると、図 4 の第 1 デブロックカーを使用してオンザスポットでデコードしデブロックすることができる。

10

【 0 0 7 0 】

[0078] 上述した実施形態によれば、マクロブロックは、3 つの状態、即ちまだデコードされていない（不完全な基本的デコーディング）、デコードされたがデブロックされていない、及びデコードされデブロックされた、のうちの 1 つをとることができる。しかしながら、各マクロブロックの状態を指示するのに、2 つの状態を有する 1 つのバイナリービットしか必要とされない。というのは、アレイを使用して、デブロックの候補であるマクロブロック（デコードされたがデブロックされていないマクロブロック）を識別するからである。デブロックに対するマクロブロックを識別するために、まだデコードされていないマクロブロックを、デコードされデブロックされたマクロブロックから区別する必要はない。

20

【 0 0 7 1 】

[0079] 図 8 は、本発明の一実施形態によりオンザスポットでマクロブロックをデブロックするためのコンピュータ実施方法のフローチャートである。ブロック 8 1 において、（最後にデブロックされたマクロブロックに対する）変数 “ L a s t _ D b _ M B ” が - 1 （負の 1 ）の値に初期化される。また、図 7 A のアレイも、上述したように初期化される。

【 0 0 7 2 】

[0080] ブロック 8 2 では、現在マクロブロック M に対するマクロブロック番号（ “ M B _ I D ” ）がアクセスされる。ブロック 8 3 では、 M B _ I D の値が、1 の値だけ増加された L a s t _ D b _ M B の値（ L a s t _ D b _ M B + 1 ）と比較される。實際上、ブロック 8 3 を使用して、マクロブロックが順序正しく受け取られたか順序ずれて受け取られたか決定し、順序正しい場合には、その直前のマクロブロック M - 1 が完全にデコードされた（デコードされデブロックされた）かどうか決定する。 M B _ I D が L a s t _ D b _ M B + 1 に等しい場合には、現在マクロブロック M は、デブロックされた最後のマクロブロック L a s t _ D b _ M B に続く次のマクロブロックであり、即ち現在マクロブロック M のマクロブロック番号と、最後にデブロックされたマクロブロック L a s t _ D b _ M B のマクロブロック番号は、連続番号となり、フローチャートは、ブロック 8 7 へ進む。さもなければ、マクロブロックが順序ずれて受け取られたか、又は現在マクロブロック M が、最後にデブロックされたマクロブロック L a s t _ D b _ M B に続く次のマクロブロックではなく、即ち現在マクロブロック M は、最後にデブロックされたマクロブロック L a s t _ D b _ M B から、デブロックされていない 1 つ以上のマクロブロックだけ分離されたものであり、フローチャートは、ブロック 8 4 へ進む。

30

40

【 0 0 7 3 】

[0081] ブロック 8 4 において、現在マクロブロック M がデコードされ（デブロックはされず）、そしてデコードされたデータが（例えば、図 4 の記憶要素 4 3 に）セーブされる。ブロック 8 5 において、現在マクロブロック M は、デコードされたがデブロックはされないとしてフラグが立てられる。一実施形態では、現在マクロブロック M に対応するビット値が、図 7 A ~ 図 7 D に関連して上述したように、アレイにおいてセットされる。

【 0 0 7 4 】

50

[0082] 図 8 のブロック 8 6 において、現在マクロブロック M がフレームにおける最後のマクロブロックでない場合には、フローチャートは、ブロック 8 2 へ戻る（ある種のエラーがない限り、図 8 のフローチャートは、この時点で、常にブロック 8 2 へ戻る）。

【 0 0 7 5 】

[0083] ブロック 8 7 において、現在マクロブロック M は、図 4 の第 1 デブロッカーを使用して、オンザフライでデコードされデブロックされる。また、上述したように、あるマクロブロックは、エンコーディング順序でそれに先行する全てのマクロブロックがデブロックされた場合に、デブロックすることができる。現在マクロブロック M の直前のマクロブロック M - 1 が（フローチャートのブロック 8 3 で決定されたように）デブロックされた場合に、現在マクロブロック M をデブロックすることができる。換言すれば、デブロックされるために、マクロブロック M - 1 は、全ての先行するマクロブロックがデブロックされるという条件を満足する。即ち、現在マクロブロック M がマクロブロック M - 1 の直後にあるために、これもその条件を満足する。

【 0 0 7 6 】

[0084] 図 8 のブロック 8 8 において、他の適格なマクロブロックが記憶装置から検索され、そして図 4 の第 2 デブロッカーを使用してデブロックされる。即ち、エンコーディング順序で現在マクロブロック M の直後に続くマクロブロック M + 1 も、そのマクロブロック M + 1 が以前にデコードされて記憶された場合にデブロックすることができる。マクロブロック M + 1 がデブロックされると、エンコーディング順序でマクロブロック M + 1 の直後に続くマクロブロック M + 2 は、それが以前にデコードされて記憶された場合にデブロックすることができ、等々となる。一実施形態では、デブロッキングに適した各マクロブロックは、図 7 A ~ 図 7 D のアレイのようなアレイにおいてフラグが立てられる。また、図 9 に関連して以下に述べるように、付加的な情報も与えられる。

【 0 0 7 7 】

[0085] 図 8 のブロック 8 9 において、（今や、最後にデブロックされたマクロブロック Last __ Db __ MB に等しい）現在マクロブロック M がフレームにおいて最後のマクロブロックでない場合には、フローチャートがブロック 8 2 へ戻る。さもなければ、フレームが完全にデコードされる。

【 0 0 7 8 】

[0086] 図 9 は、本発明の一実施形態により適格なマクロブロックをデブロックするためのコンピュータ実施方法のフローチャートである。ブロック 9 1 において、フレーム内の N 番目のマクロブロックがデブロックされ、そしてデブロッキングに対して適格な他のマクロブロックが識別される。一実施形態では、適格なマクロブロックを識別するために、図 7 A ~ 図 7 D のアレイのようなアレイがアクセスされる。

【 0 0 7 9 】

[0087] 図 9 のブロック 9 2 では、最後に（最も最近）デブロックされたマクロブロック（ブロック 9 1 においてデブロックされたマクロブロック）のマクロブロック番号が 1 だけ増加される（ $N = N + 1$ ）。ブロック 9 3 において、N の現在値がフレーム内の最後のマクロブロックのマクロブロック番号より大きい場合には、フローチャートは、ブロック 9 5 へ進み、さもなければ、フローチャートは、ブロック 9 4 へ進む。

【 0 0 8 0 】

[0088] ブロック 9 4 において、現在マクロブロックに対応するアレイのビット値が読み取られる。ビット値が（例えば、1 に等しく）セットされた場合には、現在マクロブロックをデブロックすることができ、フローチャートは、ブロック 9 1 へ戻り、そして現在マクロブロックがデブロックされる。さもなければ、フローチャートは、ブロック 9 5 へ進む。

【 0 0 8 1 】

[0089] ブロック 9 5 において、Last __ Db __ MB の値（前記のように定義された）は、N の現在値を 1 だけ減少した値（ $N - 1$ ）にセットされ、この Last __ Db __ MB の値は、図 8 に関連して説明したように、返送され使用される。

【 0 0 8 2 】

[0090] 従って、本発明の一実施形態によれば、マクロブロックは、デブロックするのに適したものとなるや否や、デブロックすることができる。順序ずれした（例えば、A S O / F M O）フレーム内にある幾つかのマクロブロックに対してオンザスポットデブロックを行うことができる。従って、このようなフレームにおける全てのマクロブロックをメモリへ及びメモリから転送する必要がないので、バストラフィックの量を減少することができ、また、消費されるメモリの量も減少される。更に、デコーディング及びデブロックを並列に遂行でき、即ち1つのマクロブロックがデコードされる間に、別のマクロブロックをデブロックできるので、コンピューティング時間を短縮することができる。

【 0 0 8 3 】

[0091] 例えば、図10は、（陰影付けされたブロックを使用して表された）第1スライスのマクロブロックが、（陰影付けされないブロックを使用して表された）第2スライスのマクロブロックとチェッカーボードパターンで散在しているフレームの一部分を示す。第1スライスが最初にデコーダへ送られ、その後、第2スライスが送られ、それ故、フレームは、A S O / F M Oフレームである。デコーディング中に、第1（左上）のマクロブロックM aは、オンザスポットでデブロックできるが、陰影付けされた他のブロックは、デブロックまで記憶される。第2（陰影付けされない）スライスのマクロブロックがデコードされるときには、第2スライスの各マクロブロックを、それがデコードされた直後にデブロックすることができると共に、第1スライスの各マクロブロックをメモリから順序正しくフェッチしてデブロックすることができる。より詳細には、マクロブロックM bは、デブロックされているマクロブロックM aにしか依存しないので、オンザスポットでデブロックすることができ、次いで、マクロブロックM cをメモリから検索してデブロックすることができ、マクロブロックM dをオンザスポットでデブロックすることができ、等々となる。それ故、第2スライスのマクロブロックをデブロックまで記憶する必要はなく、（マクロブロックM aを除く）第1スライスのマクロブロックのみがデブロックまで記憶される。従って、この例では、デブロックまで記憶されるのは、フレーム内のマクロブロックの半分未満であり、バスを経てメモリへ行き来するトラフィックも約半分に減少される。

【 0 0 8 4 】

[0092] 動きの補償は、デブロックよりも、完了までにより長い時間を要するので、デコーディングパイプラインのデブロックステージが時々アイドル状態になることがある（例えば、データが欠乏することがある）。しかしながら、オンザスポットデブロックでは、デブロックステージは、アイドル時間を利用して、記憶されたマクロブロックを処理し、合計デコーディング時間を従来の2パス具現化に比して短縮することができる。

【 0 0 8 5 】

[0093] 更に、A S O / F M Oフレームは、オンザフライで検出することができる。順序正しいフレームのデコーディングについては従来の具現化と少なくとも同じ性能を達成するが、順序ずれしたフレームのデコーディングは、著しく改善される。更に、単一デコーダアーキテクチャーを使用して、順序正しい / 順序ずれした参照 / 非参照フレームを処理することができ、即ちデコーダを通る経路は、処理されているフレームの形式に基づいて適応式に選択される。

【 0 0 8 6 】

[0094] 本発明の特定の実施形態の以上の説明は、本発明を例示するためのものである。それらは、本発明を余すところなく述べたものでも、ここに開示した正確な形態に限定するものでもなく、以上の教示に鑑み、多数の変更や修正が考えられる。それらの実施形態は、本発明の原理及びその実際上の応用を最良に説明して、当業者が、本発明、及び意図された適当な用途に適するように変更された種々の実施形態を最良に利用できるようにするために、選択され記述された。本発明の範囲は、特許請求の範囲及びその等効物により規定されることが意図される。

10

20

30

40

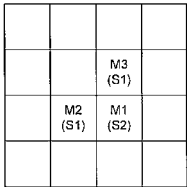
50

【符号の説明】

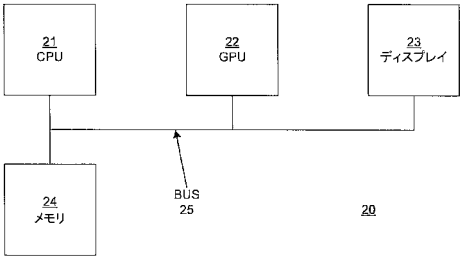
【 0 0 8 7 】

2 0 . . . システム、 2 1 . . . ホスト中央処理ユニット（ C P U ）、 2 2 . . . グラフィック処理ユニット（ G P U ）、 2 3 . . . ディスプレイ、 2 4 . . . メモリ、 2 5 . . . バス、 3 0 . . . デコーダ、 3 1 . . . エンコードされたビットストリーム、 3 2 . . . デコーディングステージ、 3 3 . . . デブロッキングステージ、 3 4 . . . 映像データ、 3 6 . . . デコーディングパイプライン、 4 1 . . . 第 1 デブロッカー、 4 2 . . . 第 2 デブロッカー、 4 3 . . . 記憶要素、 4 5 . . . フレームバッファ、 4 6 . . . ディスプレイ

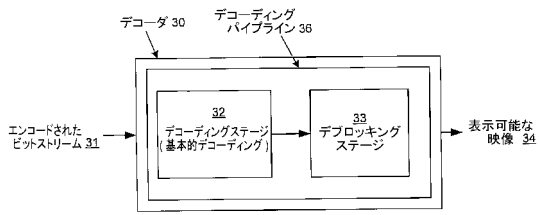
【 図 1 】



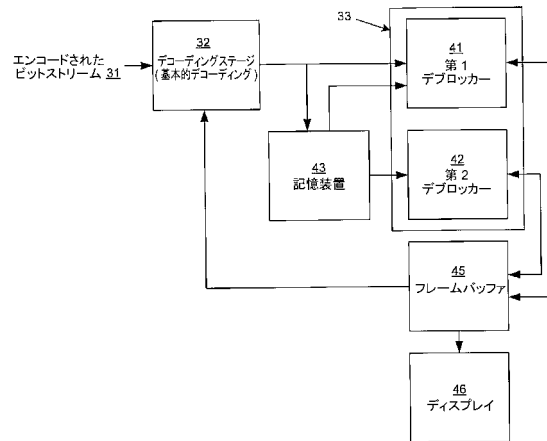
【 図 2 】



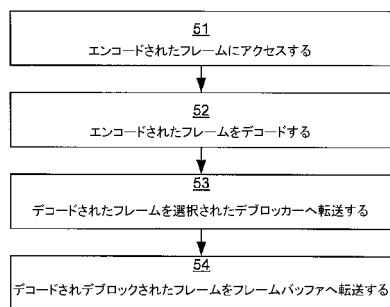
【図 3】



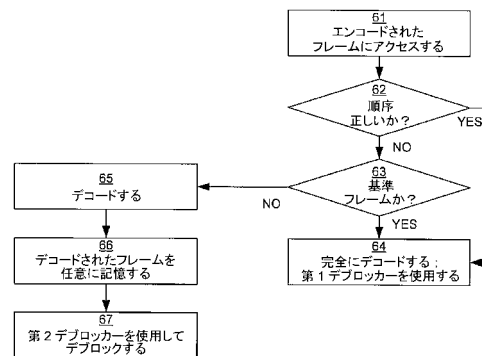
【図 4】



【図 5】



【図 6】



【 図 7 A 】

【 図 7 B 】

70

MB0 0	MB1 0	MB2 0	MB3 0
MB4 0	MB5 0	MB6 0	MB7 0
MB8 0	MB9 0	MB10 0	MB11 0

MB0 0*	MB1 0*	MB2 0*	MB3 0*
MB4 0	MB5 0	MB6 0	MB7 0
MB8 0	MB9 0	MB10 0	MB11 0

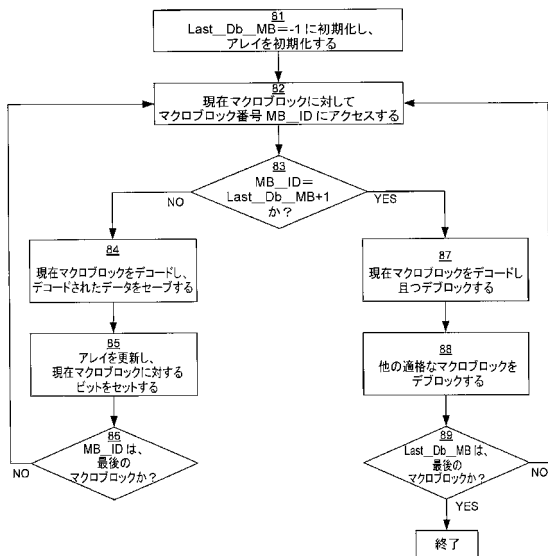
【 図 7 C 】

【 図 7 D 】

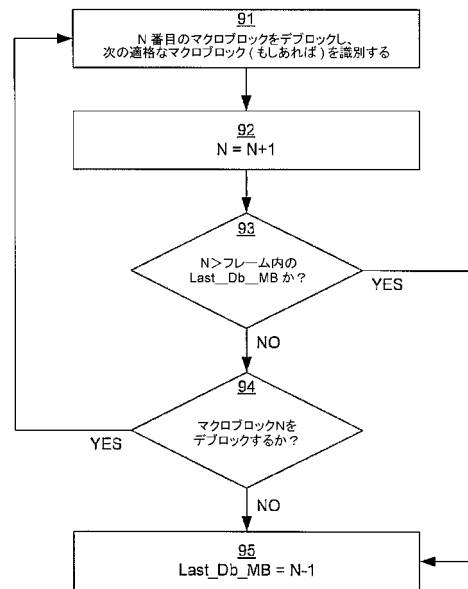
MB0 0*	MB1 0*	MB2 0*	MB3 0*
MB4 0	MB5 0	MB6 1	MB7 1
MB8 0	MB9 0	MB10 0	MB11 0

MB0 0*	MB1 0*	MB2 0*	MB3 0*
MB4 0	MB5 0	MB6 1	MB7 1
MB8 1	MB9 1	MB10 0	MB11 0

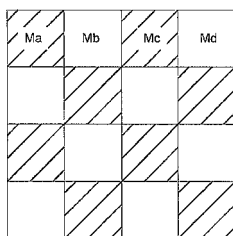
【図 8】



【図 9】



【図 10】



フロントページの続き

F ターム(参考) 5C159 KK03 KK08 KK14 MA00 MA23 MC11 MC38 ME02 RC26 TA00
TB07 TC24 TC45 TD11 UA05 UA12

【外国語明細書】
2010098725000001.pdf