

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97119418

※申請日期：97 年 05 月 26 日

※IPC 分類：

一、發明名稱：

H01L²¹/₃₃₅、²⁹/_{h86}、G02F¹/₁₃₃

(中) 半導體裝置及顯示裝置的製造方法

(2006.01)

(英) Method for manufacturing semiconductor device and display device

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本

JAPAN

三、發明人：(共 1 人)

1. 姓 名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/06/01 ; 2007-147386 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：半導體裝置及顯示裝置的製造方法

本發明的目的在於提供不使薄膜電晶體的製程複雜化且適合大量生產的顯示裝置的製造方法。藉由以氫化矽或鹵化矽為原料氣體且使用 1GHz 以上的頻率的微波電漿 CVD 裝置來形成微晶半導體膜，以及形成使用該微晶半導體膜之薄膜電晶體及連接到該薄膜電晶體的顯示元件。因為使用 1GHz 以上的頻率的微波所產生的電漿具有高電子密度，因此可以容易分解原料氣體的氫化矽或鹵化矽，進而可以提高顯示裝置的大量生產性。

六、英文發明摘要

發明之名稱：METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE
AND DISPLAY DEVICE

It is an object to provide a method for manufacturing a display device suitable for mass production without complicating a manufacturing process of a thin film transistor. A microcrystalline semiconductor film is formed by use of a microwave plasma CVD apparatus with a frequency of greater than or equal to 1 GHz using silicon hydride or silicon halide as a source gas, and a thin film transistor using the microcrystalline semiconductor film and a display element connected to the thin film transistor are formed. Since plasma which is generated using microwaves with a frequency of greater than or equal to 1 GHz has high electron density, silicon hydride or silicon halide which is a source gas can be easily dissociated, so that mass productivity of the display device can be improved.

七、指定代表圖：

(一)、本案指定代表圖為：第(2C)圖

(二)、本代表圖之元件代表符號簡單說明：

83：像素電極

84：隔壁

85：發光層

86：共同電極

87：保護膜

88：驅動電路

89：像素部

90：發光元件

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明

【發明所屬之技術領域】

本發明關於顯示裝置，其至少於像素部中包含薄膜電晶體。

【先前技術】

近年來，藉由使用形成於具有絕緣表面的基底上的半導體薄膜（厚度大約為幾 nm 至幾百 nm）來構成薄膜電晶體的技術正受到關注。薄膜電晶體在如 IC 和電光學裝置的電子裝置中獲得了廣泛應用，特別地，正在加快開發作為圖像顯示裝置的開關元件的薄膜電晶體。

使用非晶半導體膜的薄膜電晶體、使用多晶半導體膜的薄膜電晶體等用作圖像顯示裝置的開關元件。

另外，使用微晶半導體膜的薄膜電晶體用作圖像顯示裝置的開關元件（專利文件 1 以及專利文件 2）。

[專利文件 1] 日本專利申請公開 Hei 4-242724 號公報

[專利文件 2] 日本專利申請公開 2005-49832 號公報

使用多晶半導體膜的薄膜電晶體具有如下優點：與使用非晶半導體膜的薄膜電晶體相比，其遷移度高 2 位數以上；可以在同一個基底上集成地形成半導體顯示裝置的像素部和其附近的驅動電路。然而，與使用非晶半導體膜時相比，由於半導體膜的結晶化其製程複雜化，所以有降低成品率且提高成本的缺點。

【發明內容】

鑒於上述問題，本發明的目的在於提供不使薄膜電晶體的製程複雜化而能夠批量生產的顯示裝置的製造方法。

微晶半導體膜（也被稱為半結晶半導體膜）與多晶半導體膜不同，可以作為微晶半導體膜在基底上直接形成。具體而言，可以藉由以氫化矽或鹵化矽為原料氣體且使用 1GHz 以上的頻率的微波電漿 CVD 裝置來形成微晶半導體膜。藉由使用上述方法製造的微晶半導體膜包括在非晶半導體中含有 0.5nm 至 20nm 的晶粒的微晶半導體膜。因此，與使用多晶半導體膜時不同，在形成半導體膜之後不需要結晶化的製程。可以減少在製造薄膜電晶體時的製程數，而提高顯示裝置的成品率，且抑制製造成本。另外，使用 1GHz 以上的頻率的微波的電漿的電子密度高，因此可以容易分解原料氣體的氫化矽或鹵化矽。因此，與幾十 MHz 至幾百 MHz 的頻率的微波電漿 CVD 裝置相比，藉由使用 1GHz 以上的頻率的微波電漿 CVD 裝置，可以容易製造微晶半導體膜，而可以提高成膜速度。由此，可以提高顯示裝置的批量生產性。

另外，藉由使用微晶半導體膜製造薄膜電晶體（TFT），而且將該薄膜晶體管用於像素部、以及驅動電路製造顯示裝置。使用微晶半導體膜的薄膜電晶體的遷移度為 $2\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $10\text{cm}^2/\text{V}\cdot\text{sec}$ ，該遷移度是使用非晶半導體膜的薄膜電晶體的 2 倍至 20 倍的遷移度，因此可以

在與像素部同一個基底上集成地形成驅動電路的一部分或整體，來形成系統面板（system-on-panel）。

注意，在本發明中，將微晶半導體膜至少使用於溝道形成區域即可。

另外，作為顯示裝置包括發光裝置或液晶顯示裝置。發光裝置包括發光元件，並且液晶顯示裝置包括液晶元件。發光元件其範疇內包括由電流或電壓控制亮度的元件，具體而言，包括無機 EL（Electro Luminescence）、有機 EL、或使用於 FED（Field Emission Display，即場致發射顯示器）的電子源元件（electron source element）（電子發射元件）等。

另外，顯示裝置包括顯示元件被密封的狀態的面板、該面板安裝有包括控制器的 IC 等的狀態的模組。而且本發明涉及相當於在製造該發光裝置的製程中完成顯示元件之前的一個方式的元件基底，該元件基底在多個像素中分別具備對發光元件供給電流的方式。具體而言，元件基底既可以是僅形成顯示元件的像素電極的狀態，又可以在形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，無論是任何狀態都可以。

注意，本說明書中的顯示裝置意味著圖像顯示裝置、發光裝置、或光源（包括照明裝置）。顯示裝置還包括在發光裝置安裝有連接器諸如 FPC（柔性印刷電路）、TAB（載帶自動鍵合）帶或 TCP（帶載封裝）的模組；印刷線路板設置到 TAB 帶或 TCP 端部的模組；IC（積體電路）

藉由 COG（玻璃上晶片）方式直接安裝在發光元件的模組。

本發明藉由使用 1GHz 以上的頻率的微波電漿 CVD 裝置可以提高微晶半導體膜的成膜速度，而可以提高使用該微晶半導體膜的薄膜電晶體的顯示裝置的大量生產性。

另外，可以減少成膜之後的半導體膜的結晶化的製程，可以不使薄膜電晶體的製程複雜化，而實現顯示裝置的系統面板化。

【實施方式】

下面，將參照附圖說明本發明的實施方式。但是，本發明可以藉由多種不同的方式來實施，所屬技術領域的普通人員可以很容易地理解一個事實就是其形式及詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的方式。因此，本發明不應該被解釋為僅限定在本實施方式所記載的內容中。

實施方式 1

對本發明的顯示裝置的製造方法進行說明。首先，作為顯示裝置的一個方式，使用發光裝置進行說明。在圖 1A 至 1C、圖 2A 至 2C、圖 3A 至 3C 中表示用於驅動電路的薄膜電晶體的截面圖、以及用於像素部的薄膜電晶體的截面圖。注意，n 型使用微晶半導體膜的薄膜電晶體的遷移度比 p 型高，因此 n 型薄膜電晶體更適合用於驅動電

民國100年5月19日修正

100年5月19日修正替換頁

路。在本發明中，在使用具有 n 型及 p 型中的任一極性的薄膜電晶體的情況下，優選使形成在同一個基底上的薄膜電晶體的極性一致，以抑制製程數。

如圖 1A 所示，在基底 50 上形成閘電極 51、閘電極 52。基底 50 可以使用藉由熔化方法或浮發方法（float method）製造的無碱玻璃基底例如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、或陶瓷基底，還可以使用具有可承受本製造製程處理溫度的耐熱性的塑膠基底等。此外，還可以使用在不銹鋼合金等金屬基底表面上設置絕緣層的基底。基底 50 的尺寸可以採用 320mm×400mm、370mm×470mm、550mm×650mm、600mm×720mm、680mm×880mm、730mm×920mm、1000mm×1200mm、1100mm×1250mm、1150mm×1300mm、1500mm×1800mm、1900mm×2200mm、2160mm×2460mm、2400mm×2800mm、或者 2850mm×3050mm 等。

使用鈦、鉬、鉻、鉭、鎢、鋁等金屬材料或它們的合金材料來形成閘電極 51、閘電極 52。可以藉由濺射法或真空沈積法在基底 50 上形成導電膜，藉由光刻技術或噴墨法在該導電膜上形成罩，使用該罩蝕刻導電膜來形成閘電極 51、閘電極 52。另外，也可以使用銀、金、銅等導電奈米膏藉由噴墨法噴射而焙燒來形成閘電極 51、閘電極 52。注意，爲了提高閘電極 51、閘電極 52 的緊密性，可以在基底 50 和閘電極 51、閘電極 52 之間設置上述金屬材料的氮化物膜。

注意，在閘電極 51、閘電極 52 上形成半導體膜或佈線，因此其端部優選加工為錐形形狀，以便防止斷開。此外，雖然未圖示，但是藉由形成閘電極的製程也可以同時形成連接到閘電極的佈線。

其次，如圖 1B 所示，在閘電極 51、閘電極 52 上按順序形成用作閘極絕緣膜的絕緣膜 53（下面稱為絕緣膜 53）、微晶半導體膜 54、以及添加有賦予一導電型的雜質元素的半導體膜 55（下面稱為半導體膜 55）。注意，至少連續形成絕緣膜 53 及微晶半導體膜 54 是優選的。進而，連續形成絕緣膜 53、微晶半導體膜 54、以及半導體膜 55 是優選的。藉由在不接觸大氣的狀態下至少連續形成絕緣膜 53 及微晶半導體膜 54，可以形成各個疊層介面而不被大氣成分及懸浮在大氣中的污染雜質元素污染，因此可以減少薄膜電晶體特性的不均勻。

絕緣膜 53 可以藉由 CVD 法或濺射法等，使用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層或疊層而形成。另外，可以從基底一側按順序層疊氧化矽膜或氧氮化矽膜與氮化矽膜或氮氧化矽膜而形成絕緣膜 53。另外，還可以從基底一側按順序層疊氮化矽膜或氮氧化矽膜、氧化矽膜或氧氮化矽膜、及氮化矽膜或氮氧化矽膜而形成絕緣膜 53。進而，藉由使用 1GHz 以上的頻率的微波電漿 CVD 裝置形成絕緣膜 53 是優選的。使用微波電漿 CVD 裝置形成的氧氮化矽膜的耐壓性高且可以提高之後所形成的薄膜電晶體的可靠性。

在此，氧氮化矽膜是氧的含量多於氮，當使用盧瑟福背散射光譜學法（RBS:Rutherford Backscattering Spectrometry）以及氫前方散射法（HFS:Hydrogen Forward Scattering）測量時，作為濃度範圍，其包含 50 原子%至 70 原子%的氧、0.5 原子%至 15 原子%的氮、25 原子%至 35 原子%的 Si、0.1 原子%至 10 原子%的氫。另外，氮氧化矽膜是作為其組成，氮的含量多於氧，當使用 RBS 以及 HFS 測量時，作為濃度範圍，其包含 5 原子%至 30 原子%的氧、20 原子%至 55 原子%的氮、25 原子%至 35 原子%的 Si、10 原子%至 30 原子%的氫。但是，在以構成氧氮化矽或氮氧化矽的原子的總計設定為 100 原子%的情況下，氮、氧、Si 以及氫的含有比率包括於上述範圍內。

微晶半導體膜 54 是指具有非晶結構和結晶（包括單晶、多晶）結構之間的中間結構的半導體的膜。該半導體是具有在自由能方面上很穩定的第三狀態的半導體，並且是具有短程有序且晶格畸變的結晶半導體，可以以其粒徑為 0.5nm 至 20nm 使它分散存在於非晶半導體中。此外，導入至少 1 原子%或其以上的氫或鹵素，以便終結懸空鍵。再者，藉由將氦、氬、氪、氙等的稀有氣體元素包含在微晶半導體膜中而進一步促進晶格畸變，可以獲得穩定性提高的優質的微晶半導體膜。關於這種微晶半導體膜的記述例如在美國專利文件 4,409,134 號中公開。

藉由使用頻率為 1GHz 以上，優選為 2.45GHz 以上，

更優選為 8.3GHz 以上的微波的微波電漿 CVD 裝置可以形成該微晶半導體膜 54。代表地，可以使用 SiH_4 、 Si_2H_6 等的氫化矽形成。另外，也可以使用 SiCl_4 、 SiF_4 等的鹵化矽形成。另外，可以氫化矽或鹵化矽藉由使用氫；選自氫、氫、氮、氟中的一種或多種稀有氣體元素；氫和選自氫、氫、氮、氟中的一種或多種稀有氣體元素進行稀釋，而形成微晶半導體膜。

以 1nm 以上且 300nm 以下，優選為 5nm 以上且 200nm 以下的膜厚度形成微晶半導體膜 54。

也可以將 CH_4 、 C_2H_6 等的碳化物氣體、或者 GeH_4 、 GeF_4 等的鍺化氣體混入在氫化矽或鹵化矽中，以將能帶寬度調節為 1.5eV 至 2.4eV 或者 0.9eV 至 1.1eV。

另外，當以控制價電子為目的的雜質元素未有意添加時，微晶半導體膜 54 呈現較弱的 n 型導電性，因此對於用作薄膜電晶體的溝道形成區域的微晶半導體膜，在成膜同時或成膜之後添加賦予 p 型的雜質元素，來可以控制閾值。作為賦予 p 型的雜質元素以硼為代表，將 B_2H_6 、 BF_3 等雜質氣體以 1ppm 至 1000ppm，優選以 1ppm 至 100ppm 混入到氫化矽或鹵化矽即可。進而，優選地是，將硼的濃度例如設定為 $1 \times 10^{14} \text{ atoms/cm}^3$ 至 $6 \times 10^{16} \text{ atoms/cm}^3$ 。

另外，優選地是將微晶半導體膜的氧濃度設定為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下，並且將氮及碳濃度分別設定為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下。

關於半導體膜 55，在形成 n 溝道型薄膜電晶體的情況

下，作為代表的雜質元素添加磷，並且將 PH_3 等雜質氣體添加到氫化矽或鹵化矽即可。另外，在形成 p 溝道型薄膜電晶體的情況下，作為代表的雜質元素添加硼，並且將 B_2H_6 等雜質氣體添加到氫化矽或鹵化矽即可。可以由微晶半導體膜、或非晶半導體膜形成半導體膜 55。

在此，使用圖 6 示出可以從絕緣膜 53 到半導體膜 55 連續形成的微波電漿 CVD 裝置。圖 6 是示出微波電漿 CVD 裝置的俯視截面圖的示意圖。公共腔 1120 夾著閘閥 1122 至 1127 連接有裝載/卸載 (L/UL; Load/UnLoad) 室 1110、裝載/卸載 (L/UL) 室 1115、以及反應室 (1) 1111 至反應室 (4) 1114。基底 1130 嵌入安裝於設置在裝載/卸載 (L/UL) 室 1110、裝載/卸載 (L/UL) 室 1115 的匣 (cassette) 1128、匣 1129，而利用公共腔 1120 的搬送機構 1121 搬送到各反應室 (1) 至反應室 (4)。

在每個反應室 (1) 至反應室 (4) 中，連續層疊絕緣膜 53、微晶半導體膜 54、以及半導體膜 55。在此情況下，藉由原料氣體的交換，可以連續層疊多個不同種類的膜。或者，在反應室 (1) 及反應室 (3) 中連續層疊絕緣膜 53 及微晶半導體膜 54，並且在反應室 (2) 及反應室 (4) 中形成半導體膜 55。藉由單獨地形成半導體膜 55，可以防止殘留在小室 (chamber) 內的雜質元素混入到其他膜。

如此，藉由使用連接有多個小室的微波電漿 CVD 裝置，可以同時形成絕緣膜 53、微晶半導體膜 54、以及半

導體膜 55，因此可以提高批量生產性。另外，即使某一個反應室進行維護或清洗，在其他反應室中也可以進行成膜處理，能夠高功率地成膜。另外，可以形成各個疊層介面而不被大氣成分及懸浮在大氣中的污染雜質元素污染，因此可以減少薄膜電晶體特性的不均勻。

另外，在由氧化矽膜或氧氮化矽膜與氮化矽膜或氮氧化矽膜的兩層形成閘極絕緣膜 53 的情況下，可以在反應室（1）中形成絕緣膜 53 的氧化矽膜或氧氮化矽膜，在反應室（2）中形成絕緣膜 53 的氮化矽膜或氮氧化矽膜，在反應室（3）中形成微晶半導體膜 54，在反應室（4）中形成半導體膜 55。此時，首選由與成膜的膜相同種類的膜塗上每個反應室的內側。當使用這種結構的微波電漿 CVD 裝置時，可以在每個反應室中形成一個種類的膜且以不接觸大氣的方式連續形成，因此不被之前成膜的膜的殘留物或懸浮在大氣中的雜質元素污染，可以形成每個疊層介面。

注意，雖然圖 6 所示的微波電漿 CVD 裝置設置有多個裝載/卸載（L/UL）室，但是也可以設置有一個。另外，也可以在微波電漿 CVD 裝置中設置備用室。藉由在備用室中預熱基底，在反應室中可以縮短直到成膜的加熱時間，因此可以提高生產率。

圖 7 是詳細說明這種微波電漿 CVD 裝置中的一個反應室的結構的圖。微波電漿 CVD 裝置的反應室設置有處理容器 180、設置在處理容器 180 內的用於佈置基底 1130

的支撐台 181、將氣體引導於處理容器 180 內的氣體供給部 182、連接到用於排出處理容器 180 內的氣體的真空泵的排氣口 183、供給用於發生電漿的微波的微波產生單元 184、從微波供給部到處理容器 180 引導微波的波導管 185、接觸於波導管 185 且具有開口部 187a 的頂板 187、由安裝附件 188 設置在頂板 187 的多個電介質板 186。另外，在基底 1130 及電介質板 186 之間設置流過非原料氣體的氣體管 197（下面稱為氣體管 197）、以及流過原料氣體的氣體管 198（下面稱為氣體管 198）。氣體管 197 和氣體管 198 連接到氣體供給部 182。具體而言，氣體管 197 通過閥門 195 及質量流量控制器 193 連接到非原料氣體供給源 191。另外，流過原料氣體的氣體管 198 通過閥門 196 及質量流量控制器 194 連接到原料氣體供給源 192。另外，藉由安裝用於支撐台 181 之溫度控制器 199，可以控制基底 1130 的溫度。另外，也可以採用如下結構，即將高頻電源連接到支撐台 181，而由從高頻電源輸出的交流的電力將預定的偏壓施加到支撐台 181。注意，氣體供給部 182 及微波產生單元 184 設置在反應容器的外部。

微波產生單元 184 供給頻率為 1GHz 以上，優選為 2.45GHz 以上，更優選為 8.3GHz 以上的微波。注意，在本發明中，藉由具有多個微波產生單元 184，可以生成穩定且大面積的電漿。因此，即使在使用一邊超過 600mm 的基底，尤其是一邊超過 1000mm 的大面積基底的情況

下，也可以形成均勻性高的膜，並且可以提高成膜速度。

處理容器 180、以及頂板 187 由金屬如含有鋁的合金形成，該金屬是其表面由礬土、氧化矽、或氟樹脂的絕緣膜覆蓋的。此外，安裝附件 188 由金屬如含有鋁的合金形成。

以緊密接觸於天板 187 的開口部的方式設置電介質板 186。在微波產生單元 184 中發生的微波經過波導管 185 及頂板 187 的開口部 187a 傳播到電介質板 186，而透過電介質板 186 發射到處理容器內。由於發射到處理容器內的微波的電場能量，非原料氣體電漿化。因為在電介質板 186 表面上該電漿 200 的密度更高，所以可以減少對於基底 1130 的損傷。此外，藉由設置多個電介質板 186，可以發生且維持均勻且大面積的電漿。電介質板 186 也可以由陶瓷如藍寶石、石英玻璃、礬土、氧化矽、氮化矽等形成。注意，電介質板 186 可以在電漿 200 發生一側形成有凹部 189。由於該凹部 189，可以生成穩定的電漿。藉由設置多個電介質板 186，即使在使用一邊超過 600mm 的基底，尤其是一邊超過 1000mm 的大面積基底的情況下，也可以形成均勻性高的膜，並且可以提高成膜速度。

氣體管 197 和氣體管 198 彼此交叉而設置。氣體管 197 的噴出口設置在電介質板 186 一側，且流過原料氣體的氣體管 198 的噴出口設置在基底 1130 一側。通過非原料氣體噴出在電介質板 186 一側，可以在電介質板 186 表面上不形成膜且可以發生電漿 200。另外，因為氣體管

198 的噴出口設置在基底 1130 一側，可以在進一步接近於基底 1130 的位置噴出原料氣體，所以可以提高成膜速度。氣體管 197、氣體管 198 由陶瓷如礬土、氮化鋁等形成。因為陶瓷的微波的透過率高，所以當由陶瓷形成氣體管 197、氣體管 198，即使在電介質板 186 的正下方設置氣體管，電場也不擾亂而可以使電漿的分佈均勻。

下面，對成膜處理進行說明。這些成膜處理根據其目的選擇從氣體供給部 182 供給的氣體即可。

首先，對氧氮化矽膜的成膜處理方法將參照圖 8 及圖 7 進行說明。首先，從圖 8 中的階段 S170 開始成膜處理，在階段 S171 中控制基底 1130 的溫度。基底 1130 的溫度為室溫或由溫度控制器 199 將基底 1130 加熱為 100℃ 至 550℃。在階段 S172 中使處理容器 180 內變成真空狀態，並且導入氦、氬、氙、氬等中的稀有氣體的任一種以上及氧作為用於電漿發生的氣體。藉由與稀有氣體一起將氧導入到處理容器 180 內，可以容易發火電漿。注意，基底 1130 和電介質板 186 之間的間隔大約為 10mm 至 200mm（優選為 110mm 至 160mm）。其次，在階段 S173 中，將處理容器 180 內的壓力變為預定的壓力。處理容器內的壓力為 1Pa 至 200Pa，優選為 1Pa 至 100Pa，更優選為 1Pa 至 40Pa。其次，在階段 S174 中使微波產生單元 184 的電源為導通，微波產生單元 184 將微波供給給波導管 185，來在處理容器 180 內生成電漿。微波產生單元的輸出為 500W 至 6000W、優選為 4000W 至 6000W。當藉由

微波的導入進行電漿的激發時，可以低電子溫度（ 0.7eV 以上且 3eV 以下，優選為 0.7eV 以上且 1.5eV 以下）且高電子密度（ $1\times 10^{11}\text{atoms/cm}^3$ 至 $1\times 10^{13}\text{atoms/cm}^3$ ）的電漿。其次，在階段 S175 中，從氣體管 198 將原料氣體導入到處理容器 180 內。具體而言，藉由停止氧的供給而導入一氧化二氮、稀有氣體、以及氮化矽或鹵化矽作為原料氣體，可以在基底 1130 上形成氮化矽膜。其次，在階段 S176 中，停止原料氣體的供給，且降低處理容器內的壓力，並且將微波產生單元的電源為關斷，然後在階段 S177 中結束成膜製程。

在上述氮化矽膜的成膜處理方法中，藉由採用如下條件可以形成耐壓性高的氮化矽膜，即：基底溫度為 300°C 至 350°C ；一氧化二氮的流量為矽烷的流量的 10 倍以上且 300 倍以下，優選為 50 倍以上且 200 倍以下；使用 2 台至 6 台其功率為 5kW 的微波產生單元；處理容器內的壓力為 10Pa 至 100Pa ，優選為 10Pa 至 50Pa ；在基底 1130 和電介質板 186 之間的間隔為 110mm 至 160mm 。

其次，對微晶半導體膜 54 的成膜處理方法說明。首先，從圖 8 中的階段 S170 開始成膜處理，在階段 S171 中控制基底 1130 的溫度。基底 1130 的溫度為由室溫或溫度控制器 199 將基底 1130 加熱為 100°C 至 550°C 。在階段 S172 中使處理容器內變成真空狀態，並且導入氮、氬、氫、氬等的稀有氣體作為用於電漿發火的氣體。注意，基底 1130 和電介質板 186 之間的間隔大約為 10mm 至

200mm（優選為 110mm 至 160mm）。其次，在階段 S173 中，將處理容器 180 內的壓力變為預定的壓力。處理容器內的壓力為 1Pa 至 200Pa，優選為 1Pa 至 100Pa。其次，在階段 S174 中使微波產生單元 184 的電源成為導通，微波產生單元 184 將微波供給給波導管 185，來在處理容器 180 內生成電漿。微波產生單元的輸出功率為 500W 至 6000W、優選為 4000W 至 6000W。當藉由微波的導入進行電漿的激發時，可以低電子溫度（0.7eV 以上且 3eV 以下，優選為 0.7eV 以上且 1.5eV 以下）且高電子密度（ 1×10^{11} atoms/cm³ 至 1×10^{13} atoms/cm³）的電漿。其次，在階段 S175 中，從氣體管 198 將原料氣體導入到處理容器 180 內。具體而言，藉由導入 SiH₄、Si₂H₆ 等氫化矽或 SiH₂Cl₂、SiHCl₃ 等鹵化矽，來可以形成微晶半導體膜。或者，藉由導入 SiH₄、Si₂H₆ 等氫化矽或 SiH₂Cl₂、SiHCl₃ 等鹵化矽、氫，來可以形成微晶半導體膜。其次，在階段 S176 中，停止原料氣體的供給，且降低處理容器內的壓力，並且將微波產生單元的電源成為關斷，然後在階段 S177 中結束成膜製程。

注意，為了電漿的發火及電漿的維持，當混合氬等的稀有氣體時，由於稀有氣體的激發種，可以有效地進行原料氣體的分離及基（radical）的形成。

另外，由頻率為 1GHz 以上，優選為 2.45GHz、更優選為 8.3GHz 以上的微波電漿 CVD 裝置發生的電漿因為其電子密度高，並且由原料氣體形成多數基而供給給基底

10年5月9日修正替換頁

1130。因此促進在基底上的基的表面反應，可以提高微晶半導體膜的成膜速度。進而，由多個微波產生單元、以及多個電介質板構成的微波電漿 CVD 裝置可以生成穩定且大面積的電漿。因此，即使在大面積基底上，也可以形成提高膜質的均勻性的膜並且可以提高批量生產性。

在形成 n 溝道型薄膜電晶體的情況下，半導體膜 55 可摻雜磷做為典型之雜質元素，藉由使用氫化矽或鹵化矽及 PH_3 等包含雜質元素的氣體的電漿 CVD 法而形成。另外，在形成 p 溝道型薄膜電晶體的情況下，作為代表的雜質元素添加硼即可，藉由使用氫化矽或鹵化矽及 B_2H_6 等雜質元素的電漿 CVD 法而形成。藉由將磷或硼的濃度設定為 $1 \times 10^{19} \text{ atoms/cm}^3$ 至 $1 \times 10^{21} \text{ atoms/cm}^3$ ，可以與之後形成的半導體膜 55 與源電極及汲電極之間實現歐姆接觸。可以由微晶半導體、或非晶半導體形成半導體膜 55。以 2nm 以上且 50nm 以下的膜厚度形成半導體膜 55。藉由使添加有賦予一導電型的雜質元素的半導體膜 55 的膜厚度薄，可以提高生產率。

另外，也可以藉由使用如圖 7 所示的 1GHz 以上的頻率的微波電漿 CVD 裝置，並且使用圖 8 所示的階段與微晶半導體膜 54 同樣地形成半導體膜 55。在此情況下，在階段 S175 中，藉由導入氫化矽或鹵化矽、 PH_3 或 B_2H_6 、以及氫作為原料氣體，可以形成添加有賦予一導電型的雜質元素的微晶半導體膜。

其次，在半導體膜 55 上形成罩 56、罩 57，將微晶半

100年5月9日修正替換頁

導體膜 54、半導體膜 55 蝕刻為島狀而分離形成。其結果，可以形成如圖 1C 所示那樣的微晶半導體膜 60、微晶半導體膜 61、以及添加有賦予一導電型的雜質元素的半導體膜 58、添加有賦予一導電型的雜質元素的半導體膜 59（下面稱為半導體膜 58、半導體膜 59）。

然後，在半導體膜 58、半導體膜 59 及絕緣膜 53 上形成源電極及汲電極 62 至 65。優選使用鋁、銅、或添加有提高耐熱性的元素或防止小丘（hillock）的元素如矽、鈦、鈹、釷、鉬等的鋁合金來形成源電極及汲電極 62 至 65。另外，也可以採用如下疊層結構，即由鈦、鉬、鉬、鎢、或這些元素的氮化物形成與添加有賦予一導電型的雜質元素的半導體膜接觸的一側的層，並且在其上形成鋁或鋁合金。進而，也可以採用由鈦、鉬、鉬、鎢、或這些元素的氮化物夾著鋁或鋁合金的上表面及下表面的疊層結構。

藉由濺射法或真空沈積法，在半導體膜 58、半導體膜 59、以及絕緣膜 53 上形成導電膜，在該導電膜上藉由光刻技術或塗佈法形成罩，然後使用該罩蝕刻導電膜來形成源電極及汲電極 62 至 65。另外，也可以藉由使用銀、金、銅等導電奈米膏藉由絲網印刷法、噴墨法等噴射而焙燒來形成源電極及汲電極 62 至 65。

其次，如圖 2A 所示，藉由使用源電極及汲電極 62 至 65 或未圖示的形成源電極及汲電極 62 至 65 的罩，蝕刻半導體膜 58、半導體膜 59 來形成源極區域及汲極區域 66 至

100年5月19日修正替換頁

69。另外，在該製程中，因為不能獲得與用作基底的微晶半導體膜 60、用作基底的微晶半導體膜 61 的蝕刻選擇比，所以微晶半導體膜 60、微晶半導體膜 61 也少許被蝕刻，而形成用作溝道形成區域的微晶半導體膜 70、用作溝道形成區域的微晶半導體膜 71。

注意，在本實施方式中，源電極及汲電極 62 至 65 和源極區域及汲極區域 66 至 69 藉由使用同一抗蝕劑罩，並且使用幹蝕刻法蝕刻導電膜及添加有賦予一導電型的雜質元素的半導體膜而形成。

藉由上述製程，可以形成溝道蝕刻型的薄膜電晶體 72、溝道蝕刻型的薄膜電晶體 73。溝道蝕刻型的薄膜電晶體的製造製程數目少，而可以降低成本。另外，藉由由微晶半導體膜構成溝道形成區域，可以獲得 $2\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $10\text{cm}^2/\text{V}\cdot\text{sec}$ 的電場效應遷移率。因此，可以將該薄膜晶體管用作像素部 89 的像素的開關用元件，進而用作形成掃描線（閘極線）一側的驅動電路 88 的元件。

接下來，如圖 2B 所示，在薄膜電晶體 72、薄膜電晶體 73 上形成用於溝道形成區域的保護的絕緣膜 81，在絕緣膜 81 上作為優選的方式形成具有接觸孔的平坦化膜 82，在平坦化膜 82 上形成在接觸孔中與源電極或汲電極接觸的像素電極 83。

作為絕緣膜 81，可以與絕緣膜 53 相同地形成。注意，絕緣膜 81 用於防止從懸浮在大氣中的有機物、金屬物、水蒸氣等污染雜質的浸入，因此優選為緻密的膜。另

外，藉由將氮化矽膜使用於絕緣膜 81，可以將在用作溝道形成區域的微晶半導體膜 70、用作溝道形成區域的微晶半導體膜 71 中的氧濃度設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，優選為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下。

平坦化膜 82 優選使用丙烯、聚醯亞胺、聚醯胺等有機樹脂，或者矽烷聚合物，由絕緣膜形成。

在圖 2B 中，因為像素的薄膜電晶體為 n 型，所以作為像素電極 83 優選使用陰極材料，與此相反，像素的薄膜電晶體為 p 型時，優選使用陽極材料。具體而言，作為陰極材料可以使用功函數小的已知的材料如 Ca、Al、CaF、MgAg、AlLi 等。

其次，如圖 2C 所示，在平坦化膜 82 及像素電極 83 的端部上形成隔壁 84。隔壁 84 具有開口部，在該開口部中露出像素電極 83。隔壁 84 使用有機樹脂膜或無機絕緣膜而形成。尤其是，藉由使用感光性的材料，在像素電極上形成開口部，並且以該開口部的側壁具有連續的曲率的傾斜面的方式形成，可以減少之後形成的發光層 85 的斷開，這是優選的。

其次，以在隔壁 84 的開口部中接觸像素電極 83 的方式形成發光層 85。發光層 85 既可以由單獨層構成，又可以由多層的疊層構成。

以覆蓋發光層 85 的方式形成使用陽極材料的共同電極 86。共同電極 86 可以使用具有透光性的導電材料如含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧

化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物（下面表示為 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。作為共同電極 86，上述透明導電膜之外，還可以使用氮化鈦膜或鈦膜。在圖 2C 中，作為共同電極 86 使用 ITO。在隔壁 84 的開口部中，藉由像素電極 83、發光層 85、共同電極 86 彼此重疊，以形成發光元件 90。然後，優選在共同電極 86 及隔壁 84 上形成保護膜 87，以便防止氧、氫、水分、二氧化碳等浸入到發光元件 90 中。作為保護膜 87，可以形成氮化矽膜、氮氧化矽膜、DLC（Diamond Like Carbon；類金剛石碳）膜等。

進而，實際上當完成圖 2C 的製程時，為了不被暴露於空氣，優選由氣密性高且脫氣少的保護薄膜（層壓薄膜、紫外線硬化樹脂薄膜等）或覆蓋材料來封裝（密封）。

注意，雖然圖 1A 至 1C、2A 至 2C 示出具有溝道蝕刻型的薄膜電晶體的發光裝置的製造方法，但是也可以使用溝道保護型的薄膜電晶體而形成。對該製造方法，使用圖 3A 至 3C 進行說明。

如圖 3A 所示，在基底 50 上形成閘電極 51、閘電極 52。接下來，在閘電極 51、閘電極 52 上形成絕緣膜 53 及微晶半導體膜 54。使用 1GHz 以上的頻率的微波電漿 CVD 裝置，因此可以容易形成微晶半導體膜 54。

接下來，以與閘電極 51、閘電極 52 重疊的方式在微晶半導體膜 54 上形成溝道保護膜 94、溝道保護膜 95。作

100年5月19日修正替換頁

為溝道保護膜 94、溝道保護膜 95，使用氮化矽、氮氧化矽、氧化矽、氧氮化矽藉由濺射法、CVD 法等在半導體膜 54 上形成絕緣膜，在該絕緣膜上形成罩，使用罩蝕刻絕緣膜而形成。另外，也可以藉由噴射而焙燒含有聚醯亞胺、丙烯、或矽烷的組成物來形成溝道保護膜 94、溝道保護膜 95。

接下來，在溝道保護膜 94、溝道保護膜 95 上形成半導體膜 96（下面稱為半導體膜 96），在半導體膜 96 上形成罩 97、罩 98。半導體膜 96 可以與圖 1B 所示的半導體膜 55 相同地形成。罩 97、罩 98 可以與圖 1B 所示的罩 56、罩 57 相同地形成。

接下來，藉由使用罩 97、罩 98 蝕刻而分離半導體膜 96 及微晶半導體膜 54，來如圖 3B 所示那樣形成用作溝道形成區域的微晶半導體膜 60、用作溝道形成區域的微晶半導體膜 61、以及半導體膜 58、半導體膜 59。

接下來，在半導體膜 58、半導體膜 59 以及絕緣膜 53 上形成源電極及汲電極 62 至 65。

接下來，藉由以源電極及汲電極 62 至 65 為罩蝕刻半導體膜 58、半導體膜 59，如圖 3C 所示那樣，形成源極及汲極區域 101 至 104。此時，溝道保護膜 94、溝道保護膜 95 的一部分被蝕刻。將一部分被蝕刻的溝道保護膜表示為溝道保護膜 105、溝道保護膜 106。

藉由上述製程，可以製造具有重疊於閘電極 51、閘電極 52、以及微晶半導體膜 60、微晶半導體膜 61 的溝道保

護膜 105、溝道保護膜 106 的溝道保護型的薄膜電晶體。藉由將溝道保護型的薄膜電晶體形成在元件基底上，可以減少薄膜電晶體的元件特性的不均勻，並且降低關斷電流。另外，藉由由微晶半導體膜構成溝道形成區域，可以獲得 $2\text{cm}^2/\text{V}\cdot\text{sec}$ 至 $10\text{cm}^2/\text{V}\cdot\text{sec}$ 的電場效應遷移率。因此，可以將該薄膜晶體管用作像素部 89 的像素的開關用元件，進而用作形成掃描線（閘極線）一側的驅動電路 88 的元件。

接下來，對發光元件的結構將參照圖 4A 至 4C 進行說明。在此，舉出驅動 TFT 為 n 型的情況作為一例，對像素的截面結構進行說明。

為了提取發光，發光元件的陽極和陰極中的至少一個是透明的即可。薄膜電晶體及發光元件形成在基底上。存在具有頂部發射結構、底部發射結構和雙面發射結構的發光元件，其中頂部發射結構通過與基底相對表面提取發射的光，其中底部發射結構通過基底一側的表面提取發射的光，其中雙面發射結構通過基底一側和與基底相對表面的表面提取發射的光。本發明的像素結構可以應用於具有任一種發射結構的發光元件。

對具有頂部發射結構的發光元件參照圖 4A 進行說明。

在圖 4A 中示出當驅動 TFT7001 為 n 型且從發光元件 7002 發射的光傳輸到陽極 7005 一側時的像素的截面圖。在圖 4A 中，發光元件 7002 的陰極 7003 和驅動 TFT7001

電連接，並且在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。陰極 7003 只要是功函數小且反射光的導電膜，可以使用已知的材料。例如，優選使用 Ca、Al、CaF、MgAg、AlLi 等。發光層 7004 既可以由單獨層構成，又可以由多層的疊層構成。在由多層構成的情況下，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、空穴傳輸層、空穴注入層。注意，不一定必要設置所有的這些層。陽極 7005 使用透過光的透明導電膜而形成，例如也可以使用具有透光性的導電膜如含有氧化錫的銦氧化物、含有氧化錫的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物（下面表示為 ITO）、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

由陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 4A 所示的像素中，如空心箭頭所示，從發光元件 7002 發射的光發射到陽極 7005 一側。

接下來，對具有底部發射結構的發光元件將參照圖 4B 進行說明。圖 4B 示出當驅動 TFT7011 為 n 型且從發光元件 7012 發射的光發射到陰極 7013 一側時的像素的截面圖。在圖 4B 中，在與驅動 TFT7011 電連接的透明導電膜 7017 上形成有發光元件 7012 的陰極 7013，在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。注意，在陽極 7015 具有透光性的情況下，可以形成用於反射光或遮光的遮光膜 7016，以覆蓋陽極 7015。與圖 4A 相同，陰極 7013 只要是功函數小的導電膜，可以使用已知的材料。注

意，將其膜厚度設定為透過光的膜厚度（優選大約為 5nm 至 30nm）。例如，可以使用膜厚度為 20nm 的 Al 作為陰極 7013。而且，與圖 4A 相同，發光層 7014 既可以由單獨層構成，又可以由多層的疊層構成。陽極 7015 不必要透過光，但是與圖 4A 相同，可以使用透明導電膜而形成。遮光膜 7016 可以使用如反射光的金屬等，但是不局限於金屬膜。例如，也可以使用添加黑色顏料的樹脂等。

由陰極 7013 及陽極 7015 夾有發光層 7014 的區域相當於發光元件 7012。在圖 4B 所示的像素中，如空心箭頭所示，從發光元件 7012 發射的光發射到陰極 7013 一側。

其次，對具有雙面發射結構的發光元件，使用圖 4C 進行說明。在圖 4C 中，在與驅動 TFT7021 電連接的透明導電膜 7027 上形成有發光元件 7022 的陰極 7023，在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 4A 相同，陰極 7023 只要是功函數小的導電膜，可以使用已知的材料。注意，將其膜厚度設定為透過光的膜厚度。例如，可以使用膜厚度為 20nm 的 Al 作為陰極 7023。而且，與圖 4A 相同，發光層 7024 既可以由單獨層構成，又可以由多層的疊層構成。與圖 4A 相同，陽極 7025 可以使用透過光的透明導電膜而形成。

陰極 7023、發光層 7024、陽極 7025 彼此重疊的區域相當於發光元件 7022。在圖 4C 所示的像素中，如空心箭頭所示，從發光元件 7022 發射的光發射到陽極 7025 一側和陰極 7023 一側的雙方。

注意，雖然在本實施方式中示出驅動 TFT 和發光元件電連接的一例，但是也可以採用在驅動 TFT 和發光元件之間連接有控制流到發光元件的電流的電流控制 TFT 的結構。

注意，本實施方式所示的發光裝置不限於圖 4A 至 4C 所示的結構，而基於本發明的技術思想可以實現各種各樣的變形。

接下來，作為顯示裝置對液晶顯示裝置的製造製程使用圖 1A 至 1C、2A 至 2C、以及圖 5 進行說明。

經過圖 1A 至 1C 以及圖 2A 的製程，如圖 5 所示，在基底 120 上形成薄膜電晶體 72、薄膜電晶體 73。接下來，在薄膜電晶體 72、薄膜電晶體 73 上形成用作保護膜的絕緣膜 81、平坦化膜 82、與薄膜電晶體 72、薄膜電晶體 73 的源電極及汲電極 62 至 65 分別連接的佈線 122 至 125。接下來，在平坦化膜 82 上形成連接到佈線 125 的像素電極 130。

雖然在此示出由透明導電膜形成像素電極 130 來製造透過型的液晶顯示裝置的一例，但是本發明的液晶顯示裝置不局限於該結構。藉由使用容易反射光的導電膜形成像素電極，可以形成反射型的液晶顯示裝置。在此情況下，可以將佈線 125 的一部分用作像素電極。

接下來，在佈線 124 或佈線 125 上由絕緣膜形成隔離物 133。注意，在圖 5 中示出在佈線 124 上使用氧化矽形成隔離物 133 的一例。無論先形成像素電極 130 還是隔離

物 133 都可以。另外，作為隔離物 133 雖然在此使用柱狀隔離物，但是也可以散佈珠狀隔離物。

而且，以覆蓋佈線 122 至 125、隔離物 133、像素電極 130 的方式形成定向膜 131，而進行研磨處理。

接下來，形成為了密封液晶的密封劑 162。另一方面，準備形成有使用透明導電膜的相對電極 141 和進行了研磨處理的定向膜 142 的第二基底 140。而且，在由密封劑 162 圍繞的區域中滴落液晶 161，使用密封劑 162 以相對電極 141 和像素電極 130 相對的方式貼合第二基底 140。注意，也可以在密封劑 162 中混合填料。

注意，也可以在第二基底 140 上形成密封劑 162，在由密封劑 162 圍繞的區域中滴落液晶 161 之後，使用密封劑 162 貼合第一基底 120 和第二基底 140。

另外，雖然上述的液晶的注入使用分配器方式（滴落方式），但是本發明不局限於此。也可以使用在由密封劑 162 貼合第一基底 120 及第二基底 140 之後利用毛細現象注入液晶的浸漬方式（汲上方式）。

另外，也可以在第一基底 120 或第二基底 140 上形成有顏色濾光片、用來防止旋錯（disclination）的屏蔽膜（黑矩陣）等。另外，在與第一基底 120 的形成有薄膜電晶體的面相反的面貼合偏振片 150，在與第二基底 140 的形成有相對電極 141 的面相反的面貼合偏振片 151。

用於像素電極 130 或相對電極 141 的透明導電膜可以適當地使用與圖 2B 所示的像素電極相同的材料。藉由使

100年5月19日修正管換頁

液晶 161 夾於像素電極 130 相對電極 141 之間，形成液晶元件 132。

藉由上述製程，可以製造顯示裝置。另外，由 1GHz 以上的微波電漿 CVD 裝置發生的電漿因為電子密度高，所以藉由使用該裝置，可以提高微晶半導體膜的成膜速度。因此，可以提高具有使用微晶半導體膜的薄膜電晶體的顯示裝置的批量生產性。另外，由多個微波產生單元、以及多個電介質板構成的微波電漿 CVD 裝置可以生成穩定且大面積的電漿。因此，可以藉由使用大面積基底製造顯示裝置，而提高批量生產性。

實施方式 2

在本實施方式中，將使用圖 12 說明實施方式 1 所示的薄膜電晶體的其他形狀。

如圖 12 所示，本實施方式所示的薄膜電晶體 72、薄膜電晶體 73，其特徵在於源電極 62a、源電極 64a 的端部和源極區域 66、源極區域 68 的端部不一致。另外，其特徵還在於汲電極 63a、汲電極 65a 的端部和汲極區域 67、汲極區域 69 的端部不一致。

在本實施方式中，藉由使用同一個抗蝕劑罩，濕蝕刻導電膜形成源電極及汲電極 62a 至 65a，並且幹蝕刻添加有賦予一導電型的雜質元素的半導體膜形成源極區域及汲極區域 66 至 69。藉由本實施方式中之源電極及汲電極 62a 至 65a 的結構，因為相對的電極的間隔變大，所以可

以減少在源電極及汲電極之間的短路，因此可以提高成品率。

實施方式 3

接下來，下面示出本發明的顯示裝置的一個方式的顯示面板的結構。

在圖 9 中示出另外僅形成信號線驅動電路 6013 且與在基底 6011 上形成的像素部 6012 連接的顯示面板的方式。像素部 6012 及掃描線驅動電路 6014 使用使用微晶半導體膜的薄膜電晶體而形成。藉由由其遷移度高於使用微晶半導體膜的薄膜電晶體的遷移度的薄膜電晶體形成信號線驅動電路，可以使信號線驅動電路的工作穩定，該信號線驅動電路的驅動頻率被要求高於掃描線驅動電路的驅動頻率。注意，信號線驅動電路 6013 可以為使用單晶半導體的薄膜電晶體、使用多晶半導體的薄膜電晶體、或使用 SOI 的薄膜電晶體。電源的電位、各種信號等經由 FPC6015 分別供給給像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014。

注意，也可以將信號線驅動電路及掃描線驅動電路都形成在與像素部相同的基底上。

此外，在另外形成驅動電路的情況下，不一定必要將形成有驅動電路的基底貼合到形成有像素部的基底上，也可以如貼合到 FPC 上。在圖 10A 中表示另外僅形成信號線驅動電路 6023，並且具有形成在基底 6021 上的像素部

6022 及掃描線驅動電路 6024 的顯示面板的方式。像素部 6022 及掃描線驅動電路 6024 藉由使用使用微晶半導體膜的薄膜電晶體而形成。信號線驅動電路 6023 經由 FPC6025 連接到像素部 6022。電源的電位、各種信號等經由 FPC6025 分別供給給像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024。

另外，也可以使用使用微晶半導體膜的薄膜電晶體在與像素部相同的基底上僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分，另外形成其他部分且與像素部電連接。在圖 10B 中表示將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基底上，並且將信號線驅動電路所具有的移位暫存器 6033b 另外形成在不同的基底 6031 上，而彼此貼合的顯示面板的方式。像素部 6032 及掃描線驅動電路 6034 使用使用微晶半導體膜的薄膜電晶體而形成。信號線驅動電路所具有的移位暫存器 6033b 經由 FPC6035 連接到像素部 6032。電源的電位、各種信號等經由 FPC6035 分別供給給像素部 6032、信號線驅動電路、掃描線驅動電路 6034。

如圖 9、10A 和 10B 所示，可以在與像素部相同的基底上使用使用微晶半導體膜的薄膜電晶體形成本發明的顯示裝置的驅動電路的一部分或全部。

注意，對另外形成的基底的連接方法沒有特別的限制，可以使用已知的 COG 方法、引線鍵合方法、或 TAB 方法等。此外，連接的位置只要是能夠電連接，就不限於

圖 9、10A 和 10B 所示的位置。另外，也可以另外形成控制器、CPU、記憶體等而連接。

注意，在本發明中使用的信號線驅動電路不局限於僅具有移位暫存器和類比開關的方式。除了移位暫存器和類比開關之外，還可以具有緩衝器、電平轉移電路、源極跟隨器等其他電路。另外，不一定必要設置移位暫存器和類比開關，例如既可以使用像解碼器電路的可以選擇信號線的另外電路而代替移位暫存器，又可以使用門鎖等而代替類比開關。

圖 11A 示出本發明的發光裝置的框圖。圖 11A 所示的發光裝置包括具有多個具備顯示元件的像素的像素部 701、選擇每個像素的掃描線驅動電路 702、以及控制視頻信號輸入到被選擇的像素的信號線驅動電路 703。

在圖 11A 中信號線驅動電路 703 具有移位暫存器 704、類比開關 705。對移位暫存器 704 輸入有時鐘信號（CLK）、起始脈衝信號（SP）。當輸入時鐘信號（CLK）和起始脈衝信號（SP）時，在移位暫存器 704 中生成定時信號，而輸入到類比開關 705。

另外，將視頻信號（video signal）供給給類比開關 705。根據輸入的定時信號，類比開關 705 取樣視頻信號，並供給給信號線。

接下來，對掃描線驅動電路 702 的結構進行說明。掃描線驅動電路 702 具有移位暫存器 706、緩衝器 707。此外，根據情況也可以具有電平轉移電路。在掃描線驅動電

路 702 中，藉由對移位暫存器 706 輸入有時鐘信號（CLK）及起始脈衝信號（SP）生成選擇信號。生成了的選擇信號在緩衝器 707 中被緩衝放大，而供給給對應的掃描線。一條線上的像素所具有的電晶體的閘極連接到掃描線。而且，需要使一條線上的像素的電晶體同時導通，因此採用能夠流過大電流的緩衝器 707。

全彩色顯示裝置中，在將對應於 R（紅）、G（綠）、B（藍）的視頻信號按順序取樣而供給給對應的信號線的情況下，用於連接移位暫存器 704 和類比開關 705 的端子數目相當於用於連接類比開關 705 和像素部 701 的信號線的端子數目的三分之一左右。因此，藉由將類比開關 705 形成在與像素部 701 相同的基底上，與將類比開關 705 形成在與像素部 701 不同的基底上時相比，可以減少用於連接的端子數目，並且抑制連接不良的發生比率，以可以提高成品率。

圖 11B 示出與圖 11A 不同的根據本發明的顯示裝置的框圖。在圖 11B 中，信號線驅動電路 713 具有移位暫存器 714、閘鎖 A715、閘鎖 B716。掃描線驅動電路 712 具有與圖 11A 的情況相同的結構。

移位暫存器 714 中輸入有時鐘信號（CLK）和起始脈衝信號（SP）。當輸入時鐘信號（CLK）和起始脈衝信號（SP）時，在移位暫存器 714 中生成定時信號，然後按順序輸入到第一段閘鎖 A 715 中。當定時信號輸入到閘鎖 A 715 中時，與該定時信號同步，視頻信號按順序被寫入到

門鎖 A 715 中並被存儲。注意，在圖 11B 中雖然假定了視頻信號按順序寫入到門鎖 A 715 中，但是本發明並不限於這種結構。也可以將門鎖 A 715 的多個級（stage）分成幾個組，然後給各組並行輸入視頻信號，即進行所謂分區驅動。

向門鎖 A 715 的所有門鎖寫入視頻信號的周期被稱為線周期。實際上，有可能在上述線周期加上水平回掃周期的周期包含在線周期中。

當一個線周期結束時，向第二段的門鎖 B 716 供給門鎖信號（Latch Signal）。與該門鎖信號的輸入同步，存儲在門鎖 A 715 中的視頻信號同時寫入並存儲在門鎖 B 716 中。在將視頻信號傳輸到門鎖 B 716 的門鎖 A 715 中，與從移位暫存器 714 輸入的定時信號同步，又按順序進行下一個視頻信號的寫入。在第二一個線周期中，寫入並存儲在門鎖 B 716 中的視頻信號輸入到信號線。

注意，圖 11A、11B 所示的結構只不過是本發明的顯示裝置的一個方式，信號線驅動電路和掃描線驅動電路的結構不局限於此。

接下來，對相當於本發明的顯示裝置的一個方式的發光顯示面板的外觀及截面，使用圖 13A 和 13B 進行說明。圖 13A 是藉由使用密封劑將形成在第一基底上的使用微晶半導體膜的薄膜電晶體及發光元件密封在第一基底與第二基底之間的面板的俯視圖，圖 13B 相當於沿圖 13A 的 A-A' 的截面圖。

以圍繞在第一基底 4001 上設置的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封劑 4005。另外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基底 4006。因此，像素部 4002 和掃描線驅動電路 4004 與填料 4007 一起由第一基底 4001、密封劑 4005、以及第二基底 4006 密封。另外，在第一基底 4001 上的與由密封劑 4005 圍繞的區域不同的區域中安裝有在另外準備的基底上由多晶半導體膜形成的信號線驅動電路 4003。注意，雖然在本實施方式中，對將具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼合到第一基底 4001 的一例進行說明，但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 13B 例示包含於信號線驅動電路 4003 的由多晶半導體膜形成的薄膜電晶體 4009。

設置在第一基底 4001 上的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 13B 例示包含於像素部 4002 的薄膜電晶體 4010。注意，在本實施方式中，雖然假定了薄膜電晶體 4010 為驅動 TFT，但是薄膜電晶體 4010 既可以為電流控制 TFT，又可以為擦除 TFT。薄膜電晶體 4010 相當於使用微晶半導體膜的薄膜電晶體。

另外，發光元件 4011 所具有的像素電極與薄膜電晶體 4010 的源電極或汲電極通過佈線 4017 電連接。在本實施方式中發光元件 4011 的共同電極和透明導電膜 4012 電連接。注意，發光元件 4011 的結構不局限於本實施方式所示的結構。根據從發光元件 4011 取出的光的方向或薄

膜電晶體 4010 的極性，可以適當地改變發光元件 4011 的結構。

此外，供給給另外形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，雖然在圖 13B 的截面圖中未圖示，但是通過引導佈線 4014 及引導佈線 4015 從 FPC4018 提供。

在本實施方式中，連接端子 4016 由與發光元件 4011 所具有的像素電極相同的導電膜形成。另外，引導佈線 4014、引導佈線 4015 由與佈線 4017 相同的導電膜形成。

連接端子 4016 與 FPC4018 所具有的端子通過各向異性導電膜 4019 電連接。

注意，作為第一基底 4001、第二基底 4006，可以使用玻璃、金屬（代表為不銹鋼）、陶瓷、塑膠。作為塑膠，可以使用 FRP（Fiberglass-Reinforced Plastics，即纖維增強塑膠）板、PVF（聚氟乙烯）薄膜、聚酯薄膜、聚酯薄膜或丙烯酸樹脂薄膜。另外，也可以採用由 PVF 薄膜或聚酯薄膜夾有鋁箔的結構的薄片。

但是，作為位於從發光元件 4011 的取出光的方向的第二基底必須為透明。在此情況下，使用玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等具有透光性的材料。

另外，作為填料 4007 除了氮或氬等惰性的氣體之外，還可以使用紫外線硬化樹脂或熱硬化樹脂，即可以使用 PVC（聚氯乙烯）、丙烯酸、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB（聚乙烯醇縮丁醛）、或 EVA（ethylene vinyl

acetate，即 乙 烯 - 醋 酸 乙 烯 酯）。在 本 實 施 方 式 中 作 為 填 料 使 用 氮。

另 外，若 有 需 要，也 可 以 在 發 光 元 件 的 射 出 表 面 上 適 當 地 提 供 諸 如 偏 振 片、圓 偏 振 片（包 括 橢 圓 偏 振 片）、相 位 差 板（ $\lambda/4$ 片、 $\lambda/2$ 片）、以 及 顏 色 濾 光 片 等 的 光 學 膜。另 外，也 可 以 在 偏 振 片 或 圓 偏 振 片 上 提 供 抗 反 射 膜。例 如，可 以 執 行 抗 眩 光 處 理，該 處 理 是 利 用 表 面 的 凹 凸 來 擴 散 反 射 光 並 降 低 眩 光 的。

注 意，圖 13A 和 13B 示 出 另 外 形 成 信 號 線 驅 動 電 路 4003 並 安 裝 到 第 一 基 底 4001 的 一 例，但 是 本 實 施 方 式 不 局 限 於 該 結 構。既 可 以 另 外 形 成 掃 描 線 驅 動 電 路 並 安 裝，又 可 以 另 外 僅 形 成 信 號 線 驅 動 電 路 的 一 部 分 或 掃 描 線 驅 動 電 路 的 一 部 分 並 安 裝。

接 下 來，對 相 當 於 本 發 明 的 顯 示 裝 置 的 一 個 方 式 的 液 晶 顯 示 面 板 的 外 觀 及 截 面，使 用 圖 14A 和 14B 進 行 說 明。圖 14A 是 藉 由 使 用 密 封 劑 4005 將 形 成 在 第 一 基 底 4001 上 的 具 有 微 晶 半 導 體 膜 的 薄 膜 電 晶 體 4010 及 液 晶 元 件 4013 密 封 在 第 一 基 底 4001 與 第 二 基 底 4006 之 間 的 面 板 的 俯 視 圖，圖 14B 相 當 於 沿 圖 14A 的 A-A' 的 截 面 圖。

以 圍 繞 在 第 一 基 底 4001 上 設 置 的 像 素 部 4002 和 掃 描 線 驅 動 電 路 4004 的 方 式 設 置 有 密 封 劑 4005。另 外，在 像 素 部 4002 和 掃 描 線 驅 動 電 路 4004 上 設 置 有 第 二 基 底 4006。因 此，像 素 部 4002 和 掃 描 線 驅 動 電 路 4004 與 液 晶 4008 一 起 由 第 一 基 底 4001、密 封 劑 4005、以 及 第 二 基 底

4006 密封。另外，在第一基底 4001 上的與由密封劑 4005 圍繞的區域不同的區域中安裝有在另外準備的基底上由多晶半導體膜形成的信號線驅動電路 4003。注意，雖然在本實施方式中，對將具有使用多晶半導體膜的薄膜電晶體的信號線驅動電路貼合到第一基底 4001 的一例進行說明，但是也可以由使用單晶半導體的電晶體形成信號線驅動電路並貼合。圖 14B 例示包含於信號線驅動電路 4003 的由多晶半導體膜形成的薄膜電晶體 4009。

設置在第一基底 4001 上的像素部 4002 和掃描線驅動電路 4004 具有多個薄膜電晶體，圖 14B 例示包含於像素部 4002 的薄膜電晶體 4010。薄膜電晶體 4010 相當於使用微晶半導體膜的薄膜電晶體。

另外，液晶元件 4013 所具有的像素電極 4030 與薄膜電晶體 4010 通過佈線 4041 電連接。而且液晶元件 4013 的相對電極 4031 形成在第二基底 4006 上。像素電極 4030、相對電極 4031、液晶 4008 彼此重疊的部分相當於液晶元件 4013。

另外，球狀的隔離物 4035 用於控制像素電極 4030 和相對電極 4031 之間的距離（單元間隙）而設置。注意，也可以使用藉由對絕緣膜進行構圖獲得的隔離物。

此外，供給給另外形成的信號線驅動電路 4003 和掃描線驅動電路 4004 或像素部 4002 的各種信號及電位，通過引導佈線 4014 及引導佈線 4015 從 FPC4018 提供。

在本實施方式中，連接端子 4016 由與液晶元件 4013

所具有的像素電極 4030 相同的導電膜形成。另外，引導佈線 4014、引導佈線 4015 由與佈線 4041 相同的導電膜形成。

連接端子 4016 與 FPC4018 所具有的端子通過各向異性導電膜 4019 電連接。

注意，雖然未圖示，本實施方式所示的液晶顯示裝置具有定向膜、偏振片，進而也可以具有顏色濾光片、遮罩膜。

注意，圖 14A 和 14B 示出另外形成信號線驅動電路 4003 並安裝到第一基底 4001 的一例，但是本實施方式不局限於該結構。既可以另外形成掃描線驅動電路並安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

本實施方式可以與其他實施方式所記載的結構組合而實施。

實施方式 4

根據本發明而獲得的顯示裝置如液晶顯示裝置等或發光裝置可以用於各種模組（有源矩陣型液晶模組、有源矩陣型 EL 模組）上。換句話說，其顯示部分安裝有上述各種模組的所有電子設備均可以實施本發明。

作為這種電子設備，可以舉出影像拍攝裝置如攝像機和數位照相機等、頭戴式顯示器（護目鏡型顯示器）、汽車導航系統、投影機、汽車音響、個人電腦、攜帶型資訊

終端（移動電腦、移動電話或電子書籍等）等。圖 15A 至 15C 示出了其一例。

圖 15A 表示電視裝置。如圖 15A 所示可以將顯示模組組裝在框體中來完成電視裝置。將安裝了 FPC 的顯示面板還稱為顯示模組。由顯示模組形成主畫面 2003，作為其他附屬器件還具有揚聲器單元 2009、操作開關等。如上所述，可以完成電視裝置。

如圖 15A 所示，在框體 2001 中組裝利用了顯示元件的顯示面板 2002，並且可以由接收機 2005 接收普通的電視廣播，而且通過介於數據機 2004 連接到有線或無線方式的通訊網絡，從而還可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間，或者在接收者之間）的資訊通訊。電視裝置的操作可以由組裝在框體中的開關或另外的遙控裝置 2006 進行，並且該遙控裝置 2006 也可以設置有顯示輸出資訊的顯示部分 2007。

另外，電視裝置還可以附加有如下結構：除了主畫面 2003 以外，使用第二顯示面板形成輔助畫面 2008，並顯示頻道或音量等。在這種結構中，也可以採用優越於視角的發光顯示面板形成主畫面 2003，並且採用能夠以低耗電量進行顯示的液晶顯示面板形成輔助畫面。另外，為了優先地減小耗電量，也可以採用如下結構：使用液晶顯示面板形成主畫面 2003，使用發光顯示面板形成輔助畫面，並且輔助畫面能夠點亮和熄滅。

當然，本發明不局限於電視裝置，還可以應用於各種

用途如個人電腦的監視器、鐵路的車站或飛機場等中的資訊顯示幕、街頭上的廣告顯示幕等大面積顯示媒體。

圖 15B 表示攜帶型電話機 2301 的一例。該攜帶型電話機 2301 包括顯示部 2302、操作開關 2303 等而構成。在顯示部 2302 中，應用上述實施方式所說明的顯示裝置，而可以提高批量生產性。

另外，圖 15C 所示的便攜型電腦包括主體 2401、顯示部 2402 等。藉由對顯示部 2402 應用上述實施方式所示的顯示裝置，可以提高大量生產性。

本申請基於 2007 年 6 月 1 日在日本專利局申請的日本專利申請序列號 2007-147386，在此引用其全部內容作為參考。

【圖式簡單說明】

圖 1A 至 1C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 2A 至 2C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 3A 至 3C 是說明本發明的顯示裝置的製造方法的截面圖；

圖 4A 至 4C 是說明可以應用於本發明的發光裝置中的像素的截面圖；

圖 5 是說明本發明的顯示裝置的製造方法的截面圖；

圖 6 是說明本發明的微波電漿 CVD 裝置的俯視圖；

100年5月9日修正替換頁

圖 7 是說明本發明的微波電漿 CVD 裝置的反應室的
截面圖；

圖 8 是說明本發明的成膜製程的圖；

圖 9 是說明本發明的顯示面板的立體圖；

圖 10A 和 10B 是說明本發明的顯示面板的立體圖；

圖 11A 和 11B 是說明可以應用於本發明的顯示裝置的
結構的方塊圖；

圖 12 是說明本發明的顯示裝置的截面圖；

圖 13A 和 13B 是說明本發明的發光顯示面板的俯視圖
及截面圖；

圖 14A 和 14B 是說明本發明的液晶顯示面板的俯視圖
及截面圖；

圖 15A 至 15C 是說明使用本發明的顯示裝置的電子設
備的立體圖。

【主要元件符號說明】

50：基底

51：閘電極

52：閘電極

53：絕緣膜

54：微晶半導體膜

55：半導體膜

56：罩

57：罩

- 58：半 導 體 膜
- 59：半 導 體 膜
- 60：微 晶 半 導 體 膜
- 61：微 晶 半 導 體 膜
- 62：汲 電 極
- 62a：源 電 極
- 63：汲 電 極
- 63a：汲 電 極
- 64：汲 電 極
- 64a：源 電 極
- 65：汲 電 極
- 65a：汲 電 極
- 66：源 極 區 域
- 67：汲 極 區 域
- 68：源 極 區 域
- 69：汲 極 區 域
- 70：微 晶 半 導 體 膜
- 71：微 晶 半 導 體 膜
- 72：薄 膜 電 晶 體
- 73：薄 膜 電 晶 體
- 81：絕 緣 膜
- 82：平 坦 化 膜
- 83：像 素 電 極
- 84：隔 壁

- 85：發光層
- 86：共同電極
- 87：保護膜
- 88：驅動電路
- 89：像素部
- 90：發光元件
- 94：溝道保護膜
- 95：溝道保護膜
- 96：半導體膜
- 97：罩
- 98：罩
- 101：源極及汲極區域
- 102：源極及汲極區域
- 103：源極及汲極區域
- 104：源極及汲極區域
- 105：溝道保護膜
- 106：溝道保護膜
- 120：基底
- 122：佈線
- 123：佈線
- 124：佈線
- 125：佈線
- 130：像素電極
- 131：定向膜

- 132：液 晶 元 件
- 133：隔 離 物
- 140：第 二 基 底
- 141：相 對 電 極
- 142：定 向 膜
- 150：偏 振 片
- 151：偏 振 片
- 161：液 晶
- 162：密 封 劑
- 180：處 理 容 器
- 181：支 撐 台
- 182：氣 體 供 給 部
- 183：排 氣 口
- 184：微 波 產 生 單 元
- 185：波 導 管
- 186：電 介 質 板
- 187：頂 板
- 187a：開 口 部
- 188：安 裝 附 件
- 189：凹 部
- 191：非 原 料 氣 體 供 給 源
- 192：原 料 氣 體 供 給 源
- 193：質 量 流 量 控 制 器
- 194：質 量 流 量 控 制 器

- 195：閥門
- 196：閥門
- 197：氣體管
- 198：氣體管
- 199：溫度控制器
- 200：電漿
- 701：像素部
- 702：掃描線驅動電路
- 703：信號線驅動電路
- 704：移位暫存器
- 705：類比開關
- 706：暫存器
- 707：緩衝器
- 712：掃描線驅動電路
- 713：信號線驅動電路
- 714：移位暫存器
- 715：閘鎖
- 716：閘鎖
- 1110：裝載/卸載室
- 1111：反應室
- 1112：反應室
- 1113：反應室
- 1114：反應室
- 1115：裝載/卸載室

1120：公共腔

1121：搬送機構

1122：閘閥

1123：閘閥

1124：閘閥

1125：閘閥

1126：閘閥

1127：閘閥

1128：匣

1129：匣

1130：基底

2001：框體

2002：顯示面板

2003：主畫面

2004：數據機

2005：接收機

2006：遙控裝置

2007：顯示部分

2008：輔助畫面

2009：揚聲器單元

2301：攜帶型電話機

2302：顯示部

2303：操作開關

2401：主體

2402：顯示部
 4001：第一基底
 4002：像素部
 4003：信號線驅動電路
 4004：掃描線驅動電路
 4005：密封劑
 4006：第二基底
 4007：填料
 4008：液晶
 4009：薄膜電晶體
 4010：薄膜電晶體
 4011：發光元件
 4012：透明導電膜
 4013：液晶元件
 4014：引導佈線
 4015：引導佈線
 4016：連接端子
 4017：佈線
 4018：FPC
 4019：各向異性導電膜
 4030：像素電極
 4031：相對電極
 4035：隔離物
 4041：佈線

6011：基底

6012：像素部

6013：信號線驅動電路

6014：掃描線驅動電路

6015：FPC

6021：基底

6022：像素部

6023：信號線驅動電路

6024：掃描線驅動電路

6025：FPC

6031：基底

6032：像素部

6033a：類比開關

6033b：移位暫存器

6034：掃描線驅動電路

6035：FPC

7001：驅動 TFT

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7011：驅動 TFT

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：遮光膜

7017：透明導電膜

7021：驅動 TFT

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：透明導電膜

103年7月8日修正 P1~5

十、申請專利範圍

1.一種半導體裝置的製造方法，包括如下步驟：

導入非原料氣體至微波電漿 CVD 裝置；

藉由該微波電漿 CVD 裝置於該非原料氣體產生電漿；

在產生該電漿後導入原料氣體；以及

藉由該微波電漿 CVD 裝置於 1GHz 以上的頻率，於該原料氣體形成薄膜電晶體的微晶半導體膜，

其中，該微波電漿 CVD 裝置設置有在多個電介質板上的多個波導管，

其中，設置第一氣體管與第二氣體管以相互交叉於基板及該多個電介質板之間，

其中，該非原料氣體從設置在該多個介電質板側上的該第一氣體管的噴出口釋放，並且

其中，該原料氣體從設置在該基板側上的該第二氣體管的噴出口釋放。

2.一種半導體裝置的製造方法，包括如下步驟：

導入非原料氣體至微波電漿 CVD 裝置；

藉由該微波電漿 CVD 裝置於該非原料氣體產生電漿；

在產生該電漿後導入原料氣體；以及

藉由該微波電漿 CVD 裝置於 1GHz 以上的頻率，於該原料氣體形成薄膜電晶體的微晶半導體膜，該微波電漿 CVD 裝置具有多個微波產生單元和傳播在該多個微波產生

單元中產生的微波的多個電介質板，

其中，該微波電漿 CVD 裝置設置有在該多個電介質板上的多個波導管，

其中，設置第一氣體管與第二氣體管以相互交叉於基板及該多個電介質板之間，

其中，該非原料氣體從設置在該多個介電質板側上的該第一氣體管的噴出口釋放，並且

其中，該原料氣體從設置在該基板側上的該第二氣體管的噴出口釋放。

3.根據申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中該微晶半導體膜使用至少做為該薄膜電晶體的溝道形成區域。

4.根據申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中該微晶半導體膜是微晶矽膜。

5.一種顯示裝置的製造方法，包括如下步驟：

在基底上形成閘電極；

在該閘電極上形成閘極絕緣膜；

導入非原料氣體至微波電漿 CVD 裝置；

藉由該微波電漿 CVD 裝置於該非原料氣體產生電漿；

在產生該電漿後導入原料氣體；

在該閘極絕緣膜上於該原料氣體形成微晶半導體膜；

在該微晶半導體膜上形成添加有賦予一導電型的雜質元素之半導體膜；

蝕刻該微晶半導體膜以及添加有賦予一導電型的該雜質元素之該半導體膜，以形成用作溝道形成區域的島狀微晶半導體膜及添加有賦予一導電型的該雜質元素的島狀半導體膜；

在添加有賦予一導電型的該雜質元素的該島狀半導體膜上形成源電極及汲電極；

以該源電極及汲電極為罩，蝕刻添加有賦予一導電型的該雜質元素的該島狀半導體膜，以分割成為源極區域及汲極區域；以及

形成與該源電極或該汲電極接觸的像素電極，

其中該微晶半導體膜及添加有賦予一導電型的該雜質元素的該半導體膜係藉由該微波電漿 CVD 裝置於 1GHz 以上的頻率而形成，該微波電漿 CVD 裝置具有多個微波產生單元和傳播在該多個微波產生單元中產生的微波的多個電介質板，

其中，該微波電漿 CVD 裝置設置有在該多個電介質板上的多個波導管，

其中，設置第一氣體管與第二氣體管以相互交叉於該基板及該多個電介質板之間，

其中，該非原料氣體從設置在該多個介電質板側上的該第一氣體管的噴出口釋放，並且

其中，該原料氣體從設置在該基板側上的該第二氣體管的噴出口釋放。

6.一種顯示裝置的製造方法，包括如下步驟：

在基底上形成閘電極；

在該閘電極上形成閘極絕緣膜；

導入非原料氣體至微波電漿 CVD 裝置；

藉由該微波電漿 CVD 裝置於該非原料氣體產生電漿；

在產生該電漿後導入原料氣體；

在該閘極絕緣膜上於該原料氣體形成微晶半導體膜；

在該微晶半導體膜上形成溝道保護膜；

在該微晶半導體膜及該溝道保護膜上形成添加有賦予一導電型的雜質元素的半導體膜；

蝕刻該微晶半導體膜以及添加有賦予一導電型的該雜質元素的該半導體膜，以形成用作溝道形成區域的島狀微晶半導體膜及添加有賦予一導電型的該雜質元素的島狀半導體膜；

在添加有賦予一導電型的該雜質元素的該島狀半導體膜上形成源電極及汲電極；

以該源電極及汲電極為罩，蝕刻添加有賦予一導電型的該雜質元素的該島狀半導體膜，以分割成為源極區域及汲極區域；以及

形成與該源電極或汲電極接觸的像素電極，

其中該微晶半導體膜及添加有賦予一導電型的該雜質元素的該半導體膜係藉由該微波電漿 CVD 裝置於 1GHz 以上的頻率而形成，該微波電漿 CVD 裝置具有多個微波產生單元和傳播在該多個微波產生單元中產生的微波的多個

電介質板，

其中，該微波電漿 CVD 裝置設置有在該多個電介質板上的多個波導管，

其中，設置第一氣體管與第二氣體管以相互交叉於該基板及該多個電介質板之間，

其中，該非原料氣體從設置在該多個介電質板側上的該第一氣體管的噴出口釋放，並且

其中，該原料氣體從設置在該基板側上的該第二氣體管的噴出口釋放。

7.根據申請專利範圍第 5 或 6 項之顯示裝置的製造方法，其中該微晶半導體膜是微晶矽膜。

8.根據申請專利範圍第 5 或 6 項之顯示裝置的製造方法，其中該顯示裝置是液晶顯示裝置。

9.根據申請專利範圍第 5 或 6 項之顯示裝置的製造方法，其中該顯示裝置是發光裝置。

圖1A

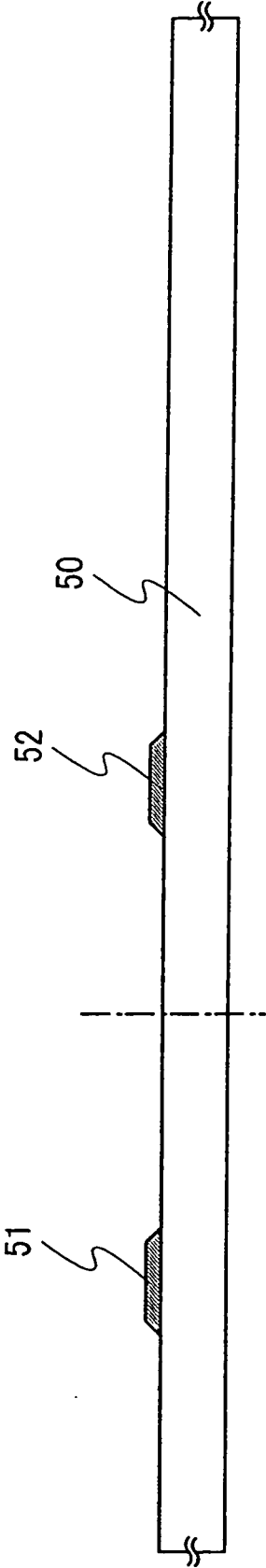


圖1B

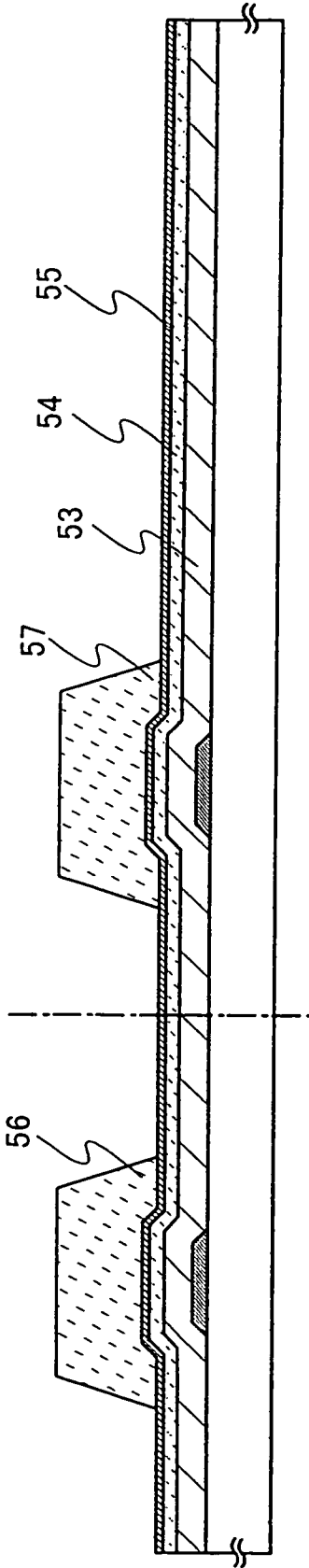


圖1C

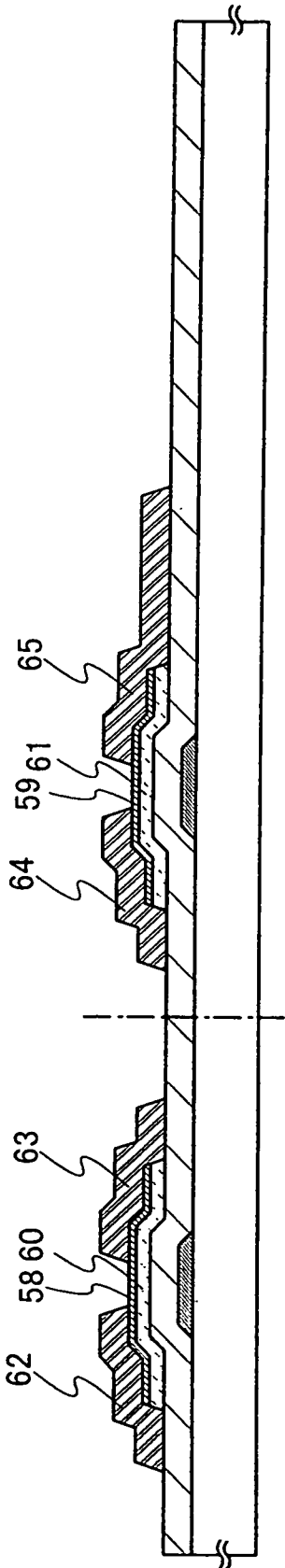


圖2A

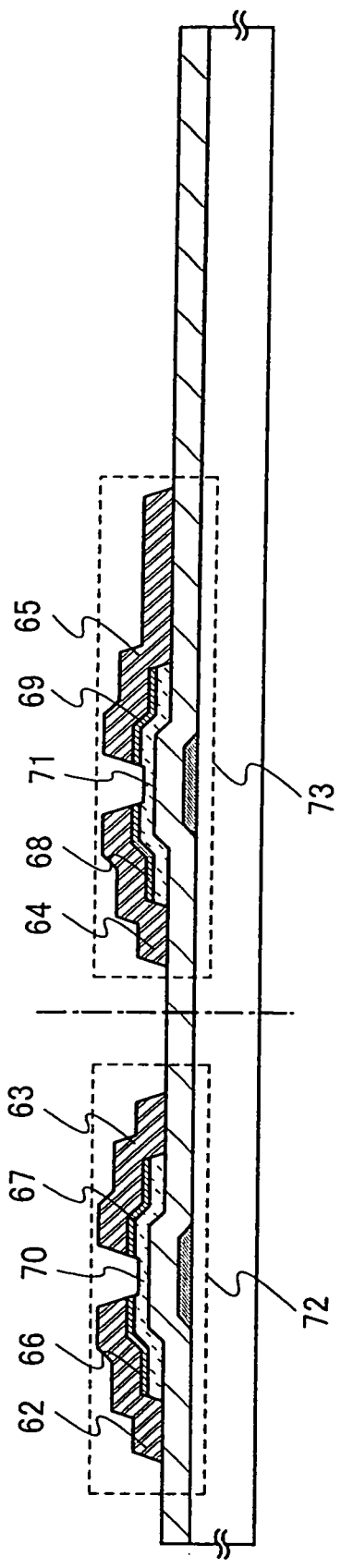


圖2B

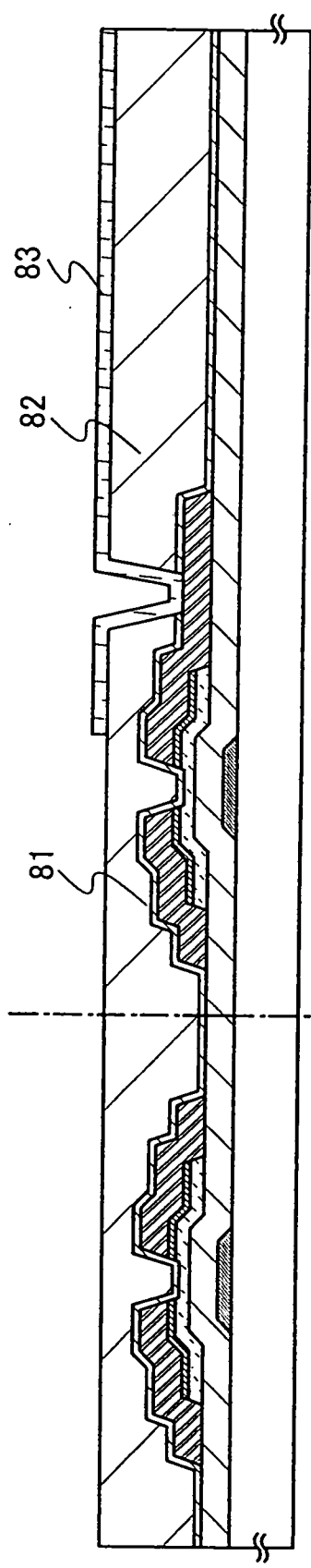


圖2C

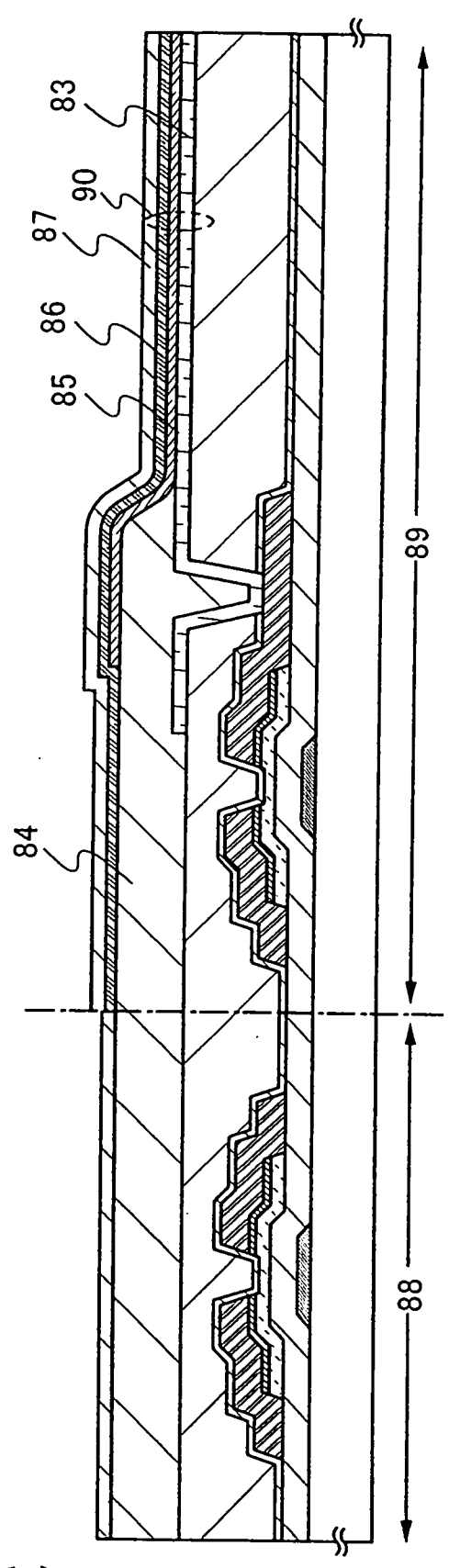


圖3A

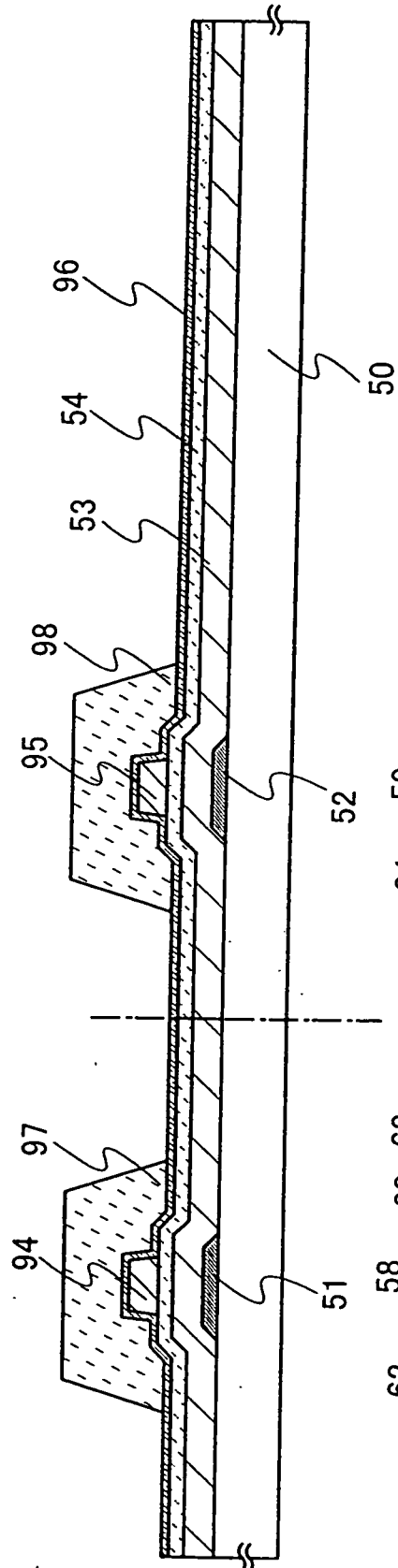


圖3B

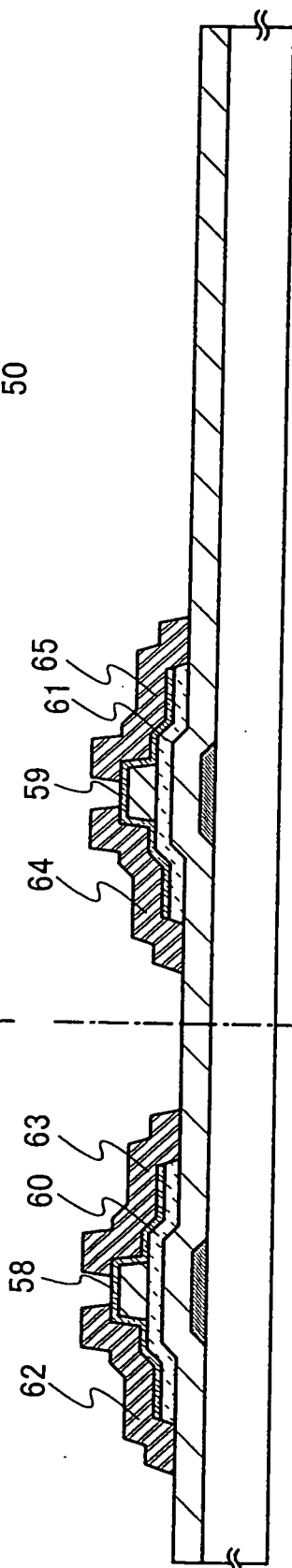


圖3C

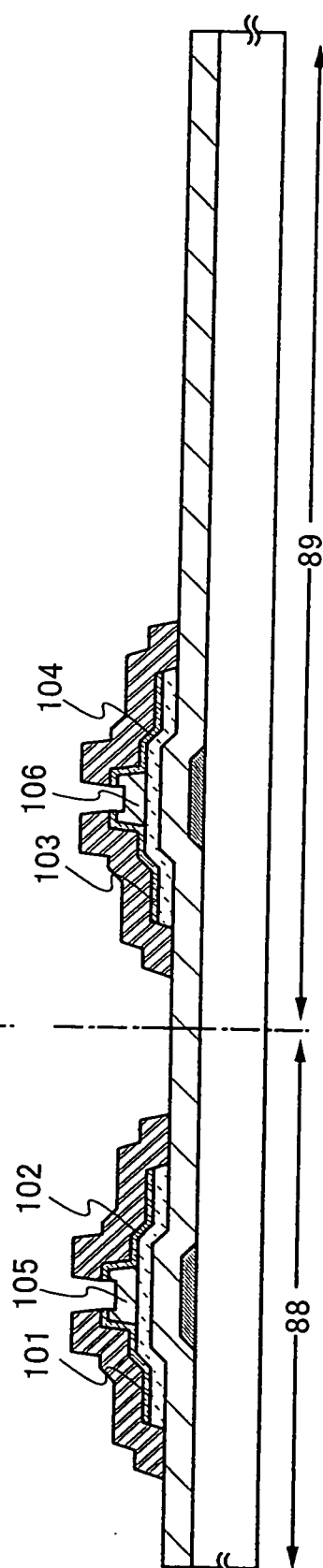


圖 4A

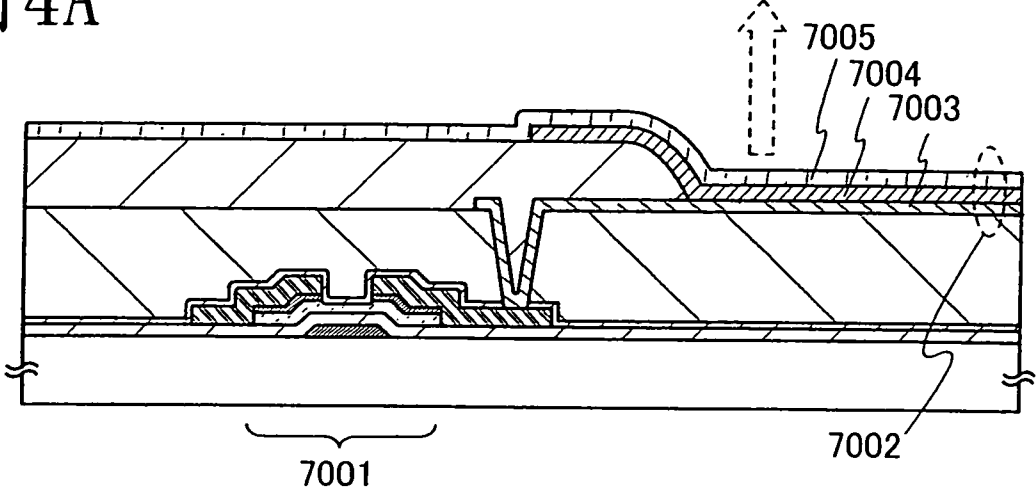


圖 4B

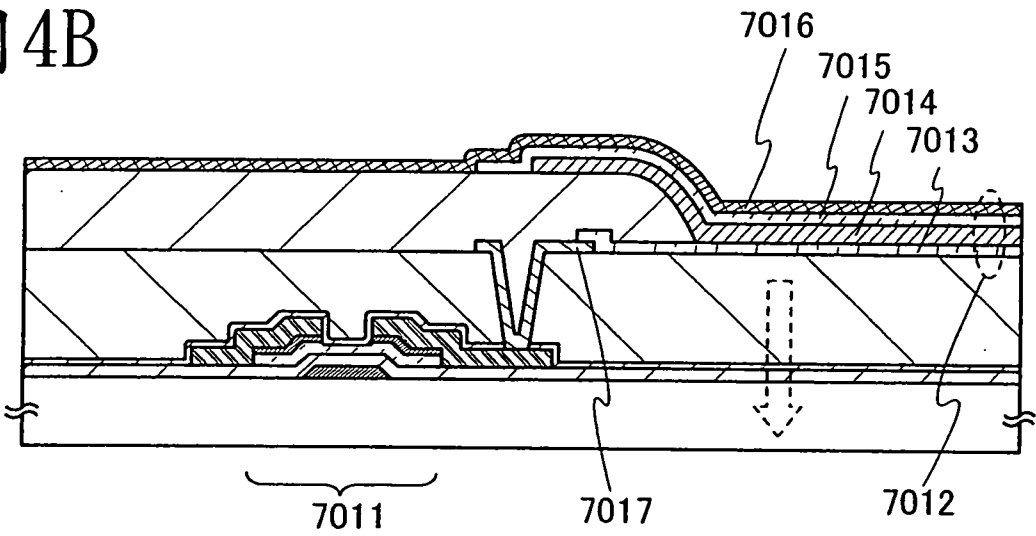


圖 4C

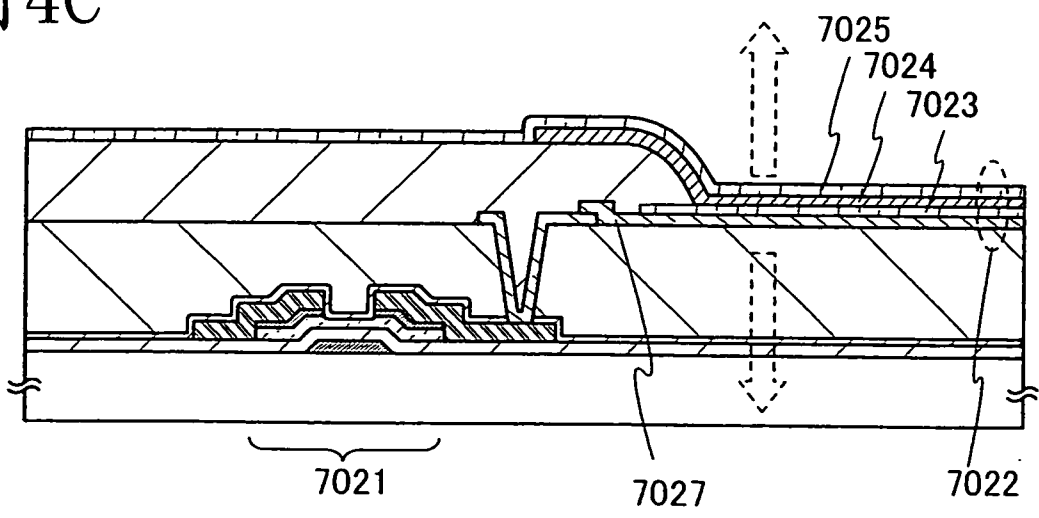


圖5

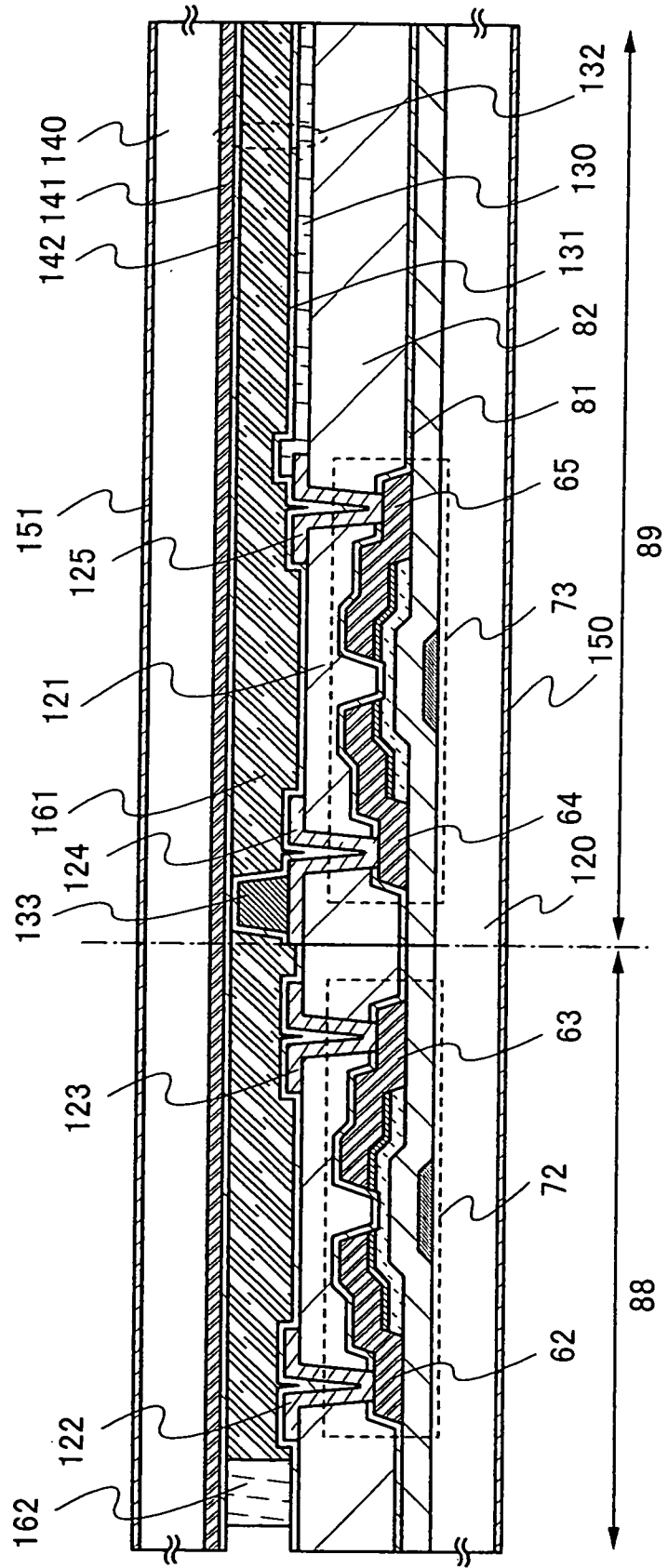


圖6

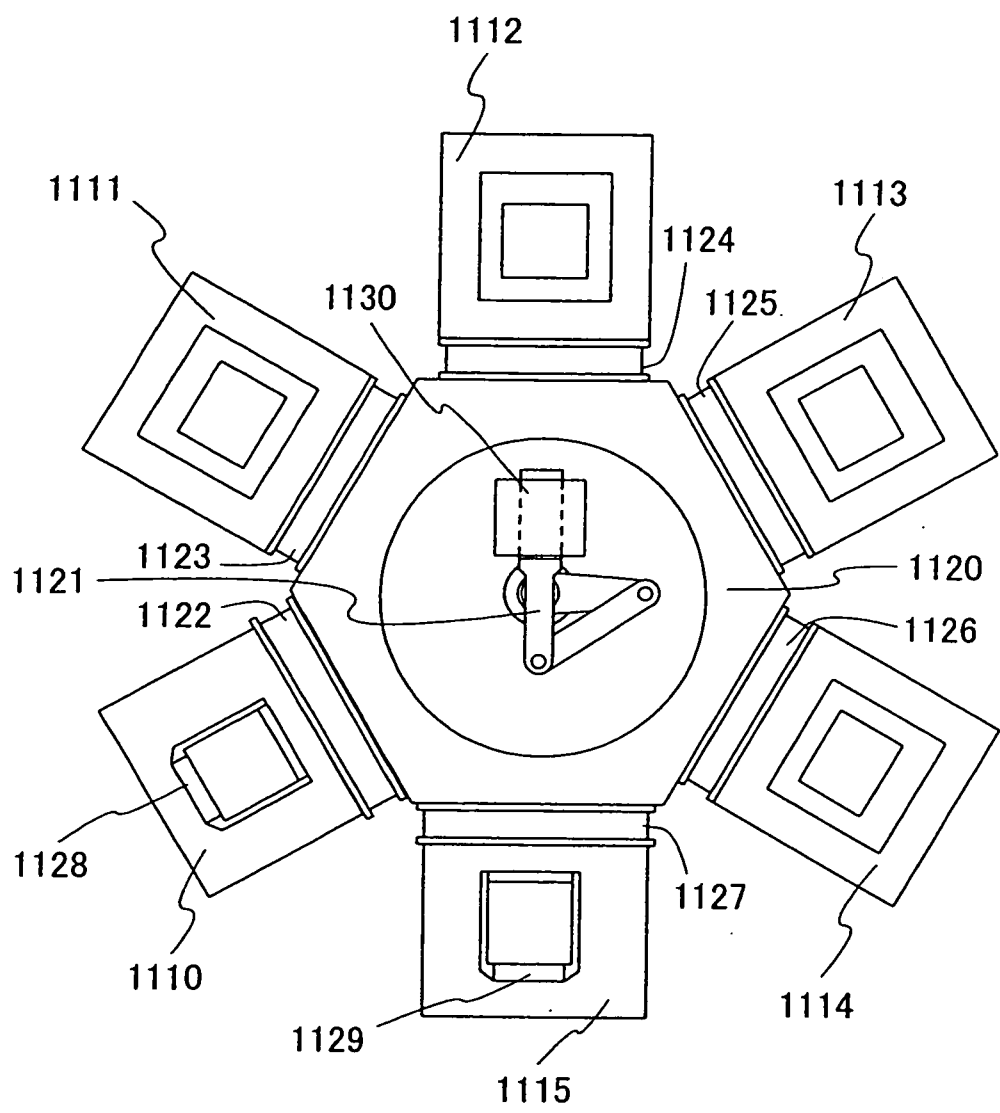


圖7

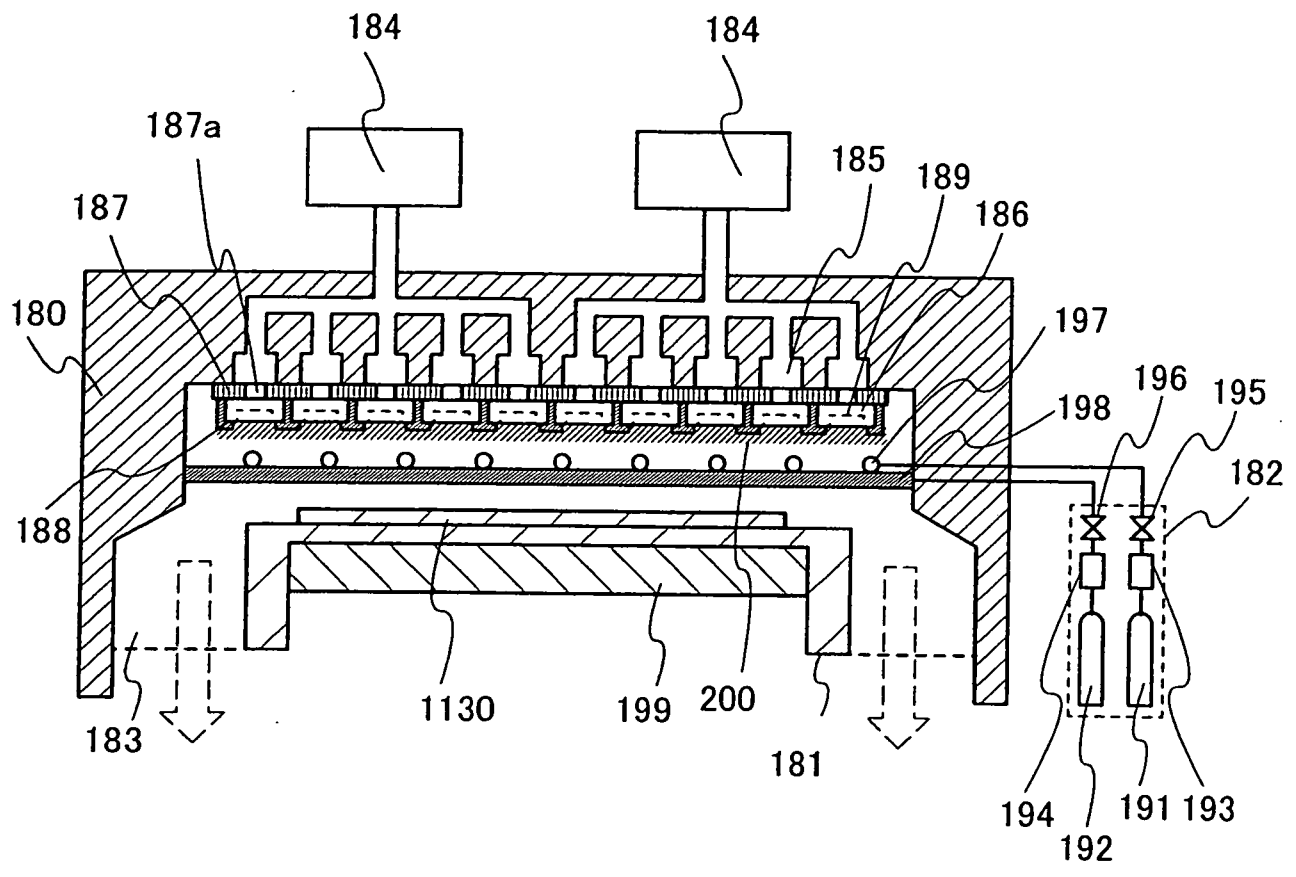


圖 8

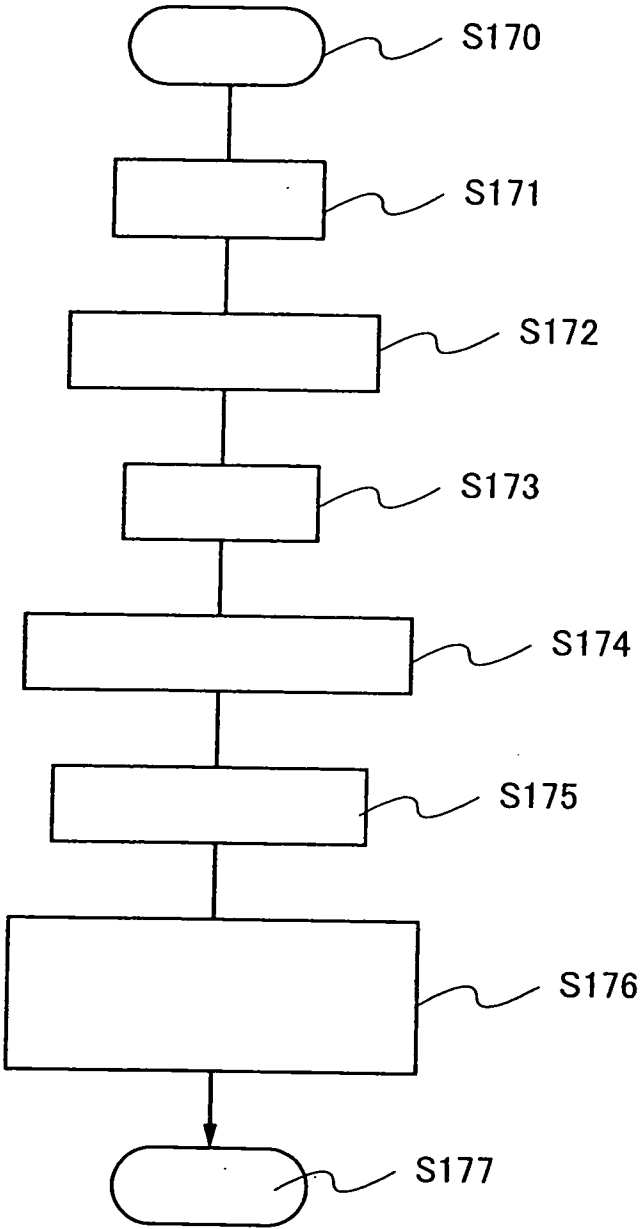


圖 9

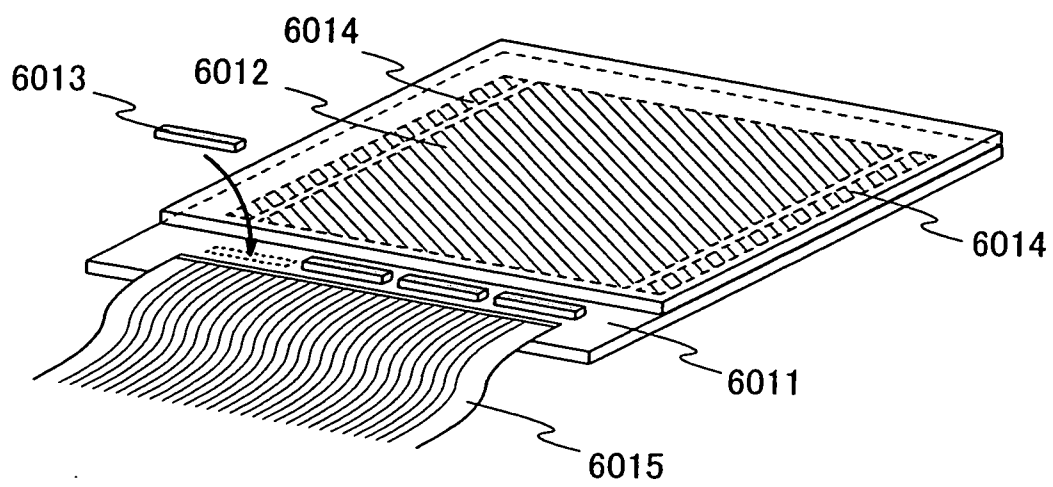


圖 10A

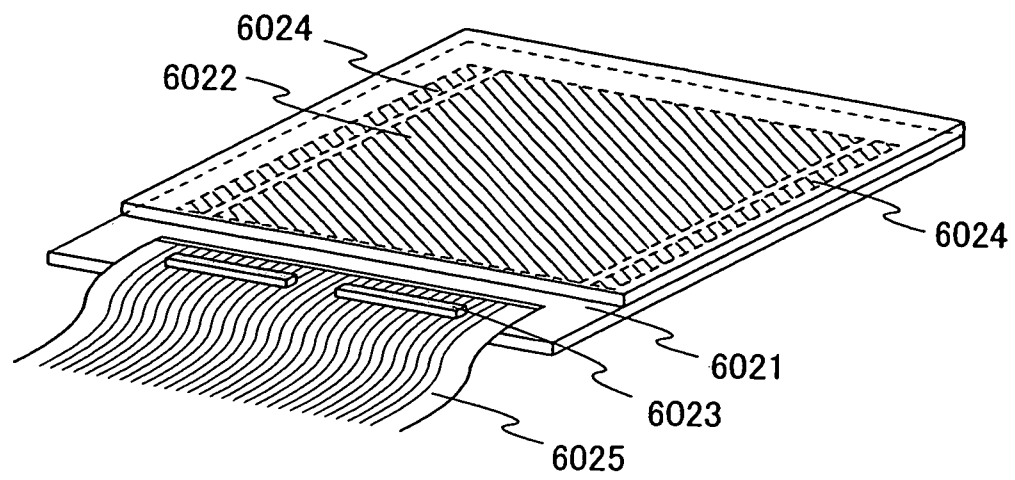


圖 10B

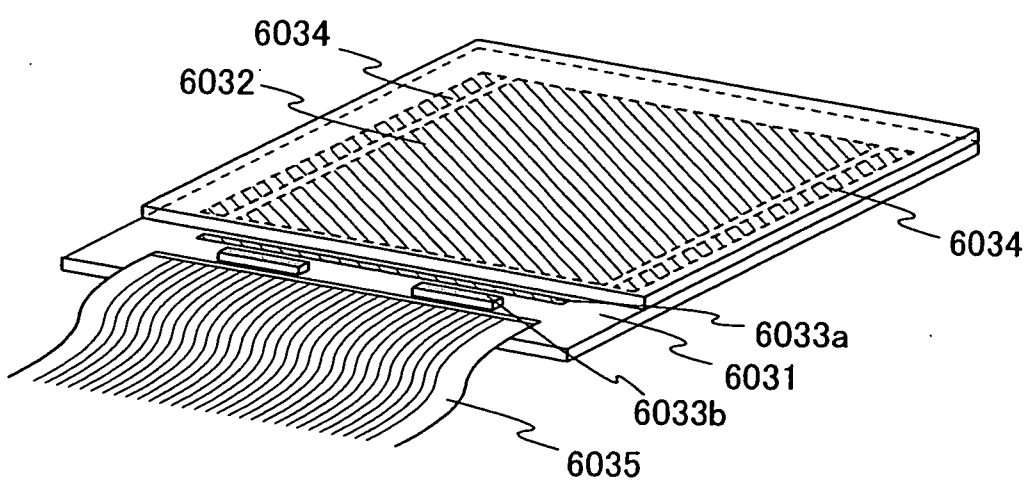


圖 11A

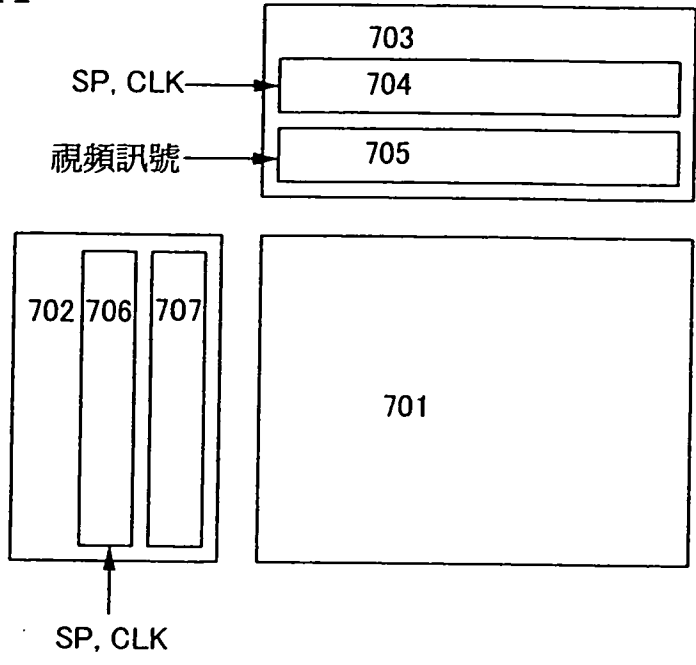


圖 11B

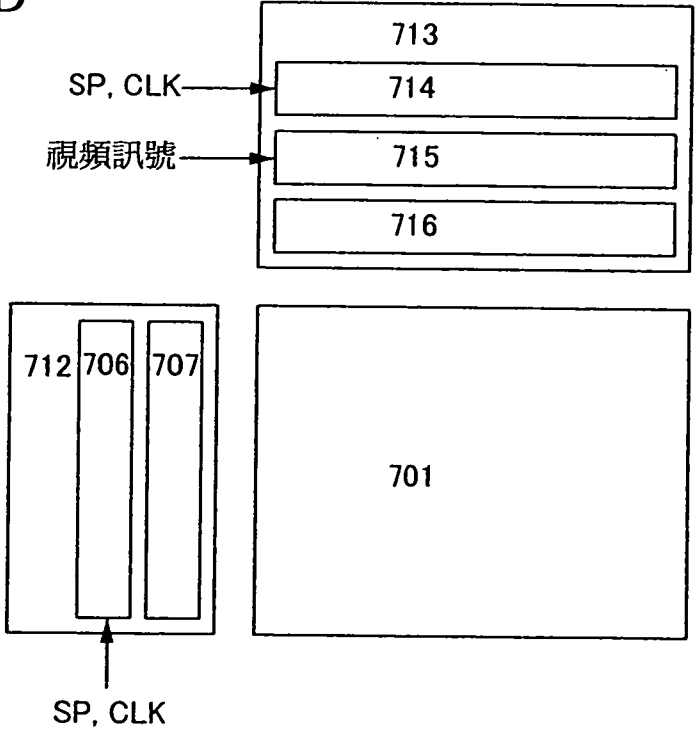


圖12

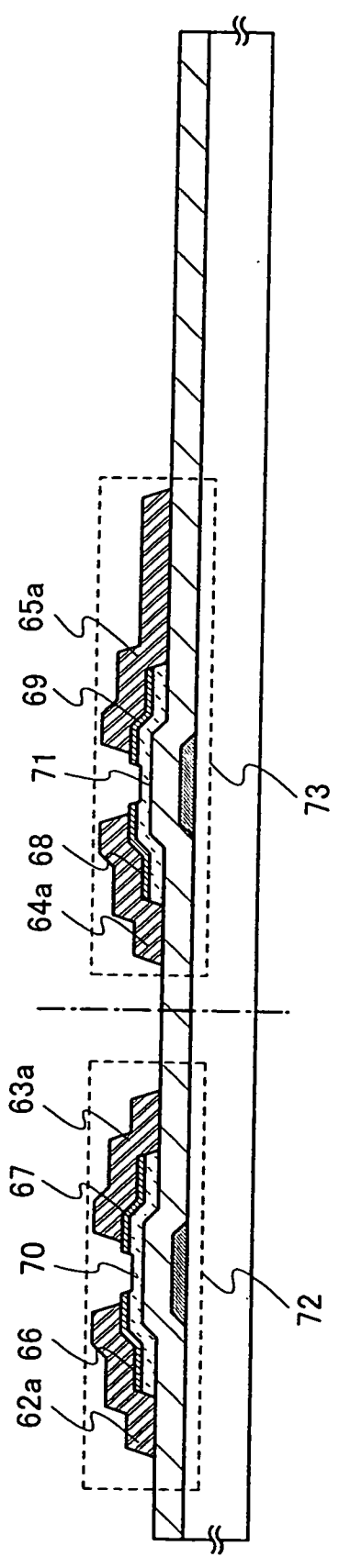


圖14A

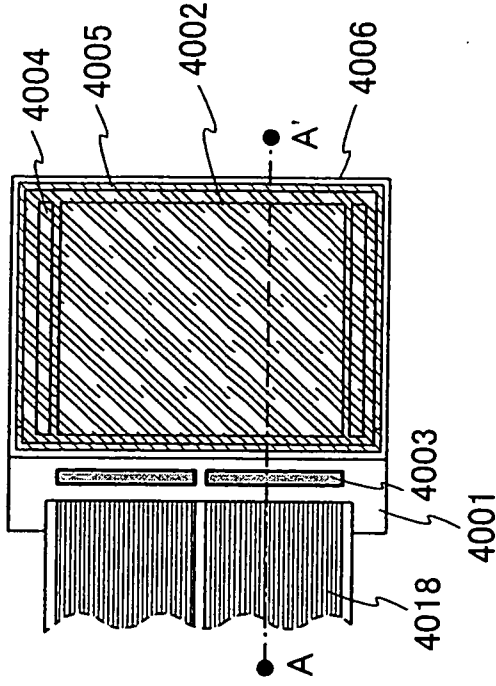


圖14B

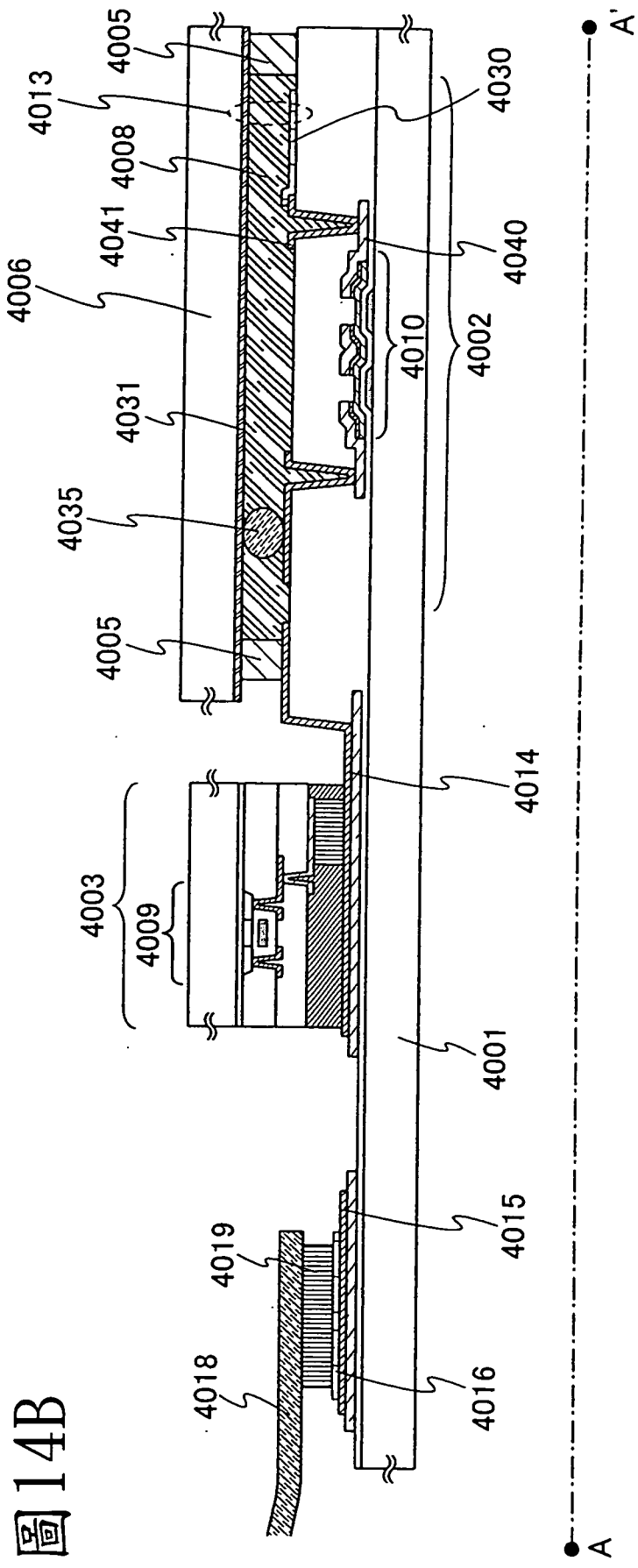


圖 15A

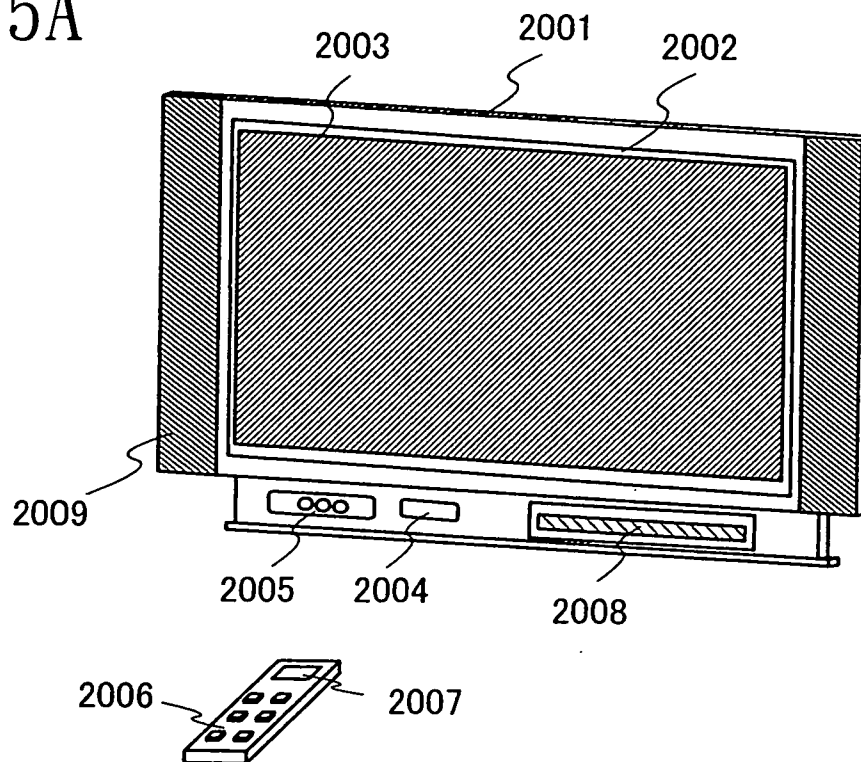


圖 15B

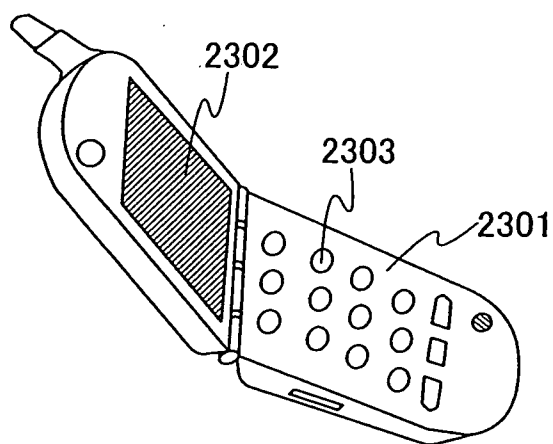


圖 15C

