



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0054580
(43) 공개일자 2014년05월09일

(51) 국제특허분류(Int. Cl.)
H01L 33/44 (2010.01) H01L 33/36 (2010.01)
H01L 33/48 (2010.01)

(21) 출원번호 10-2012-0120240

(22) 출원일자 2012년10월29일
심사청구일자 없음

(71) 출원인
엘지이노텍 주식회사

서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)

(72) 발명자
정환희

서울 중구 한강대로 416, (남대문로5가, 서울스퀘어)

(74) 대리인
서교준

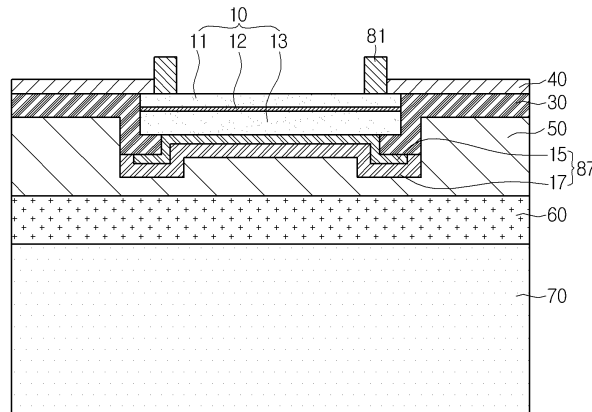
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 발광소자, 발광소자 패키지 및 라이트 유닛

(57) 요약

실시 예에 따른 발광소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물; 상기 발광구조물 둘레에 배치되며 상부면이 상기 발광구조물의 상부면과 같거나 더 높게 배치된 채널층; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 상기 제2 도전형 반도체층 아래에 배치되며 상기 제2 도전형 반도체층에 전기적으로 연결된 제2 전극; 상기 제2 전극 아래에 배치된 지지부재; 를 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물;

상기 발광구조물 둘레에 배치되며 상부면이 상기 발광구조물의 상부면과 같거나 더 높게 배치된 채널층;

상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극;

상기 제2 도전형 반도체층 아래에 배치되며 상기 제2 도전형 반도체층에 전기적으로 연결된 제2 전극;

상기 제2 전극 아래에 배치된 지지부재;

를 포함하는 발광소자.

청구항 2

제1항에 있어서,

상기 채널층은 상기 발광구조물의 측면을 감싸도록 배치된 발광소자.

청구항 3

제1항에 있어서,

상기 채널층의 상부면이 상기 활성층의 상부면에 비하여 더 높게 배치된 발광소자.

청구항 4

제1항에 있어서,

상기 채널층 위에 배치된 패시베이션층을 더 포함하는 발광소자.

청구항 5

제4항에 있어서,

상기 패시베이션층의 일부 영역이 상기 발광구조물 위에 배치된 발광소자.

청구항 6

제4항에 있어서,

상기 패시베이션층의 하부면이 상기 발광구조물의 상부면과 같거나 더 높게 배치된 발광소자.

청구항 7

제4항에 있어서,

상기 패시베이션층이 상기 채널층 위에 접촉되어 배치된 발광소자.

청구항 8

제1항에 있어서,

상기 발광구조물과 상기 제2 전극 사이에 상기 채널층의 일부 영역이 배치된 발광소자.

청구항 9

제1항에 있어서,

상기 제1 전극은 상기 제1 도전형 반도체층 위에 배치된 발광소자.

청구항 10

제4항에 있어서,
상기 제1 전극의 일부 영역이 상기 패시베이션층 위에 배치된 발광소자.

청구항 11

제1항에 있어서,
상기 제1 도전형 반도체층은 100 나노미터 내지 500 나노미터의 두께로 형성된 발광소자.

청구항 12

제1항에 있어서,
상기 제1 도전형 반도체층의 두께가 상기 제2 도전형 반도체층의 두께에 비하여 더 얇게 형성된 발광소자.

청구항 13

제1항에 있어서,
상기 제2 전극은 오믹접촉층, 반사층, 금속층 중에서 적어도 하나를 포함하는 발광소자.

청구항 14

제1항에 있어서,
상기 채널층은 상기 제1 도전형 반도체층의 둘레를 감싸도록 배치된 발광소자.

청구항 15

제1항에 있어서,
상기 채널층은 상기 활성층의 둘레를 감싸도록 배치된 발광소자.

청구항 16

제1항에 있어서,
상기 채널층은 상기 제2 도전형 반도체층의 둘레를 감싸도록 배치된 발광소자.

청구항 17

몸체;
상기 몸체 위에 배치되며, 제1항 내지 제11항 중의 어느 한 항에 의한 발광소자;
상기 발광소자에 전기적으로 연결된 제1 리드 전극 및 제2 리드 전극;
을 포함하는 발광소자 패키지.

청구항 18

기판;
상기 기판 위에 배치되며, 제1항 내지 제11항 중의 어느 한 항에 의한 발광소자;
상기 발광소자로부터 제공되는 빛이 지나가는 광학 부재;
를 포함하는 라이트 유닛.

명세서

기술분야

[0001] 실시 예는 발광소자, 발광소자 패키지 및 라이트 유닛에 관한 것이다.

배경 기술

[0002] 발광소자의 하나로서 발광 다이오드(LED: Light Emitting Diode)가 많이 사용되고 있다. 발광 다이오드는 화합물 반도체의 특성을 이용해 전기 신호를 적외선, 가시광선, 자외선과 같은 빛의 형태로 변환한다.

[0003] 발광소자의 광 효율이 증가됨에 따라 표시장치, 조명기기를 비롯한 다양한 분야에 발광소자가 적용되고 있다.

발명의 내용

해결하려는 과제

[0004] 실시 예는 발광 효율을 향상시킬 수 있는 발광소자, 발광소자 패키지, 라이트 유닛을 제공한다.

과제의 해결 수단

[0005] 실시 예에 따른 발광소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물; 상기 발광구조물 둘레에 배치되며 상부면이 상기 발광구조물의 상부면과 같거나 더 높게 배치된 채널층; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 상기 제2 도전형 반도체층 아래에 배치되며 상기 제2 도전형 반도체층에 전기적으로 연결된 제2 전극; 상기 제2 전극 아래에 배치된 지지부재; 를 포함한다.

[0006] 실시 예에 따른 발광소자 패키지는, 몸체; 상기 몸체 위에 배치된 발광소자; 상기 발광소자에 전기적으로 연결된 제1 리드 전극 및 제2 리드 전극; 을 포함하고, 상기 발광소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물; 상기 발광구조물 둘레에 배치되며 상부면이 상기 발광구조물의 상부면과 같거나 더 높게 배치된 채널층; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 상기 제2 도전형 반도체층 아래에 배치되며 상기 제2 도전형 반도체층에 전기적으로 연결된 제2 전극; 상기 제2 전극 아래에 배치된 지지부재; 를 포함한다.

[0007] 실시 예에 따른 라이트 유닛은, 기관; 상기 기관 위에 배치된 발광소자; 상기 발광소자로부터 제공되는 빛이 지나가는 광학 부재; 를 포함하고, 상기 발광소자는, 제1 도전형 반도체층, 상기 제1 도전형 반도체층 아래에 활성층, 상기 활성층 아래에 제2 도전형 반도체층을 포함하는 발광구조물; 상기 발광구조물 둘레에 배치되며 상부면이 상기 발광구조물의 상부면과 같거나 더 높게 배치된 채널층; 상기 제1 도전형 반도체층에 전기적으로 연결된 제1 전극; 상기 제2 도전형 반도체층 아래에 배치되며 상기 제2 도전형 반도체층에 전기적으로 연결된 제2 전극; 상기 제2 전극 아래에 배치된 지지부재; 를 포함한다.

발명의 효과

[0008] 실시 예에 따른 발광소자, 발광소자 패키지, 라이트 유닛은 발광 효율을 향상시킬 수 있는 장점이 있다.

도면의 간단한 설명

- [0009] 도 1은 실시 예에 따른 발광소자를 나타낸 도면이다.
- 도 2 내지 도 6은 실시 예에 따른 발광소자 제조방법을 나타낸 도면이다.
- 도 7은 실시 예에 따른 발광소자의 다른 예를 나타낸 도면이다.
- 도 8 및 도 9는 실시 예에 따른 발광소자의 변형 예를 나타낸 도면이다.
- 도 10은 실시 예에 따른 발광소자 패키지를 나타낸 도면이다.
- 도 11은 실시 예에 따른 표시장치를 나타낸 도면이다.
- 도 12는 실시 예에 따른 표시장치의 다른 예를 나타낸 도면이다.
- 도 13은 실시 예에 따른 조명장치를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상/위(on)"에 또는 "하/아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "상/위(on)"와 "하/아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여 (indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.
- [0011] 도면에서 각층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되거나 생략되거나 또는 개략적으로 도시될 수 있다. 또한 각 구성요소의 크기는 실제크기를 전적으로 반영하는 것은 아니다.
- [0012] 이하, 첨부된 도면을 참조하여 실시 예들에 따른 발광소자, 발광소자 패키지, 라이트 유닛 및 발광소자 제조방법에 대해 상세히 설명하도록 한다.
- [0013] 도 1은 실시 예에 따른 발광소자를 나타낸 도면이다.
- [0014] 실시 예에 따른 발광소자는, 도 1에 나타낸 바와 같이, 발광구조물(10), 채널층(30), 지지부재(70), 제1 전극(81), 제2 전극(87)을 포함할 수 있다.
- [0015] 상기 발광구조물(10)은 제1 도전형 반도체층(11), 활성층(12), 제2 도전형 반도체층(13)을 포함할 수 있다. 상기 활성층(12)은 상기 제1 도전형 반도체층(11)과 상기 제2 도전형 반도체층(13) 사이에 배치될 수 있다. 상기 활성층(12)은 상기 제1 도전형 반도체층(11) 아래에 배치될 수 있으며, 상기 제2 도전형 반도체층(13)은 상기 활성층(12) 아래에 배치될 수 있다.
- [0016] 예로서, 상기 제1 도전형 반도체층(11)이 제1 도전형 도펀트로서 n형 도펀트가 첨가된 n형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 제2 도전형 도펀트로서 p형 도펀트가 첨가된 p형 반도체층으로 형성될 수 있다. 또한 상기 제1 도전형 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 n형 반도체층으로 형성될 수도 있다.
- [0017] 상기 제1 도전형 반도체층(11)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 도전형 반도체층(11)은 화합물 반도체로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 예로서 II족-VI족 화합물 반도체 또는 III족-V족 화합물 반도체로 구현될 수 있다.
- [0018] 예컨대, 상기 제1 도전형 반도체층(11)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은, 예를 들어 GaN, AlN, AlGa_n, InGa_n, InN, InAlGa_n, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑될 수 있다.
- [0019] 상기 활성층(12)은 상기 제1 도전형 반도체층(11)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(13)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(12)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(12)은 단일 우물 구조, 다중 우물 구조, 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0020] 상기 활성층(12)은 화합물 반도체로 구현될 수 있다. 상기 활성층(12)은 예로서 II족-VI족 또는 III족-V족 화합물 반도체로 구현될 수 있다. 상기 활성층(12)은 예로서 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 활성층(12)이 상기 다중 우물 구조로 구현된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 적층되어 구현될 수 있으며, 예를 들어, InGa_n 우물층/GaN 장벽층의 주기로 구현될 수 있다.
- [0021] 상기 제2 도전형 반도체층(13)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은 화합물 반도체로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은 예로서 II족-VI족 화합물 반도체 또는 III족-V족 화합물 반도체로 구현될 수 있다.
- [0022] 예컨대, 상기 제2 도전형 반도체층(13)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은, 예를 들어 GaN, AlN, AlGa_n, InGa_n, InN, InAlGa_n, AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0023] 한편, 상기 제1 도전형 반도체층(11)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(13)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제2 도전형 반도체층(13) 아래에는 n형 또는 p형 반도체층을 포함하는 반도체

층이 더 형성될 수도 있다. 이에 따라, 상기 발광구조물(10)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 도전형 반도체층(11) 및 상기 제2 도전형 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.

- [0024] 또한, 상기 제1 도전형 반도체층(11)과 상기 활성층(12) 사이에는 제1 도전형 InGaN/GaN 슈퍼래티스 구조 또는 InGaN/InGaN 슈퍼래티스 구조가 형성될 수도 있다. 또한, 상기 제2 도전형 반도체층(13)과 상기 활성층(12) 사이에는 제2 도전형의 AlGaIn층이 형성될 수도 있다.
- [0025] 실시 예에 따른 발광소자는, 상기 발광구조물(10) 둘레에 배치된 채널층(30)을 포함할 수 있다. 예컨대, 상기 채널층(30)의 상부면은 상기 발광구조물(10)의 상부면과 같은 높이에 배치될 수 있다. 또한 상기 채널층(30)의 상부면은 상기 발광구조물(10)에 비해 더 높게 배치될 수도 있다.
- [0026] 상기 채널층(30)은 상기 발광구조물(10)의 측면을 감싸도록 배치될 수 있다. 상기 채널층(30)의 상부면은 상기 활성층(12)의 상부 면에 비하여 더 높게 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 측면에 배치될 수 있다.
- [0027] 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 측면에 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 측면에 배치될 수 있다.
- [0028] 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13) 아래에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)의 하부 면에 접촉되어 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 발광구조물(10)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 반사층(17) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 오믹접촉층(15) 사이에 배치될 수 있다.
- [0029] 상기 채널층(30)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 채널층(30)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 상기 채널층(30)은 에칭 스톱퍼(etching stopper)로 지칭될 수도 있다. 상기 채널층(30)은 추후 상기 발광구조물(10)에 대한 전면 에칭 공정 시 에칭 스톱퍼의 기능을 수행할 수 있다.
- [0030] 상기 제1 전극(81)은 상기 제1 도전형 반도체층(11)에 전기적으로 연결될 수 있다. 상기 제1 전극(81)은 상기 제1 도전형 반도체층(11) 위에 배치될 수 있다. 상기 제1 전극(81)은 상기 제1 도전형 반도체층(11) 위에 접촉되어 배치될 수 있다. 상기 제2 전극(87)은 상기 제2 도전형 반도체층(13)에 전기적으로 연결될 수 있다. 상기 제2 전극(87)은 상기 제2 도전형 반도체층(13) 아래에 배치될 수 있다. 실시 예에 따른 상기 제2 전극(87)은 예로서 상기 반사층(17)과 상기 오믹접촉층(15) 중에서 적어도 하나를 포함할 수 있다.
- [0031] 상기 반사층(17)은 상기 제2 도전형 반도체층(13)에 전기적으로 연결될 수 있다. 상기 반사층(17)은 상기 발광구조물(10) 아래에 배치될 수 있다. 상기 반사층(17)은 상기 제2 도전형 반도체층(13) 아래에 배치될 수 있다.
- [0032] 실시 예에 의한 발광소자는, 상기 반사층(17)과 상기 제2 도전형 반도체층(13) 사이에 배치된 상기 오믹접촉층(15)을 포함할 수 있다. 상기 오믹접촉층(15)은 상기 제2 도전형 반도체층(13)에 접촉되어 배치될 수 있다.
- [0033] 상기 오믹접촉층(15)은 상기 발광구조물(10)과 오믹 접촉이 되도록 형성될 수 있다. 상기 오믹접촉층(15)은 상기 발광구조물(10)과 오믹 접촉되는 영역을 포함할 수 있다. 상기 반사층(17)은 상기 제2 도전형 반도체층(13)에 전기적으로 연결될 수 있다. 또한 상기 반사층(17)은 상기 발광구조물(10)로부터 입사되는 빛을 반사시켜 외부로 추출되는 광량을 증가시키는 기능을 수행할 수 있다.
- [0034] 상기 오믹접촉층(15)은 예컨대 투명 전도성 산화막으로 형성될 수 있다. 상기 오믹접촉층(15)은 예로서 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrO_x, RuO_x, NiO, Pt, Ag, Ti 중에서 선택된 적어도 하나의 물질로 형성될 수 있다.
- [0035] 상기 반사층(17)은 고 반사율을 갖는 물질로 형성될 수 있다. 예컨대 상기 반사층(17)은 Ag, Ni, Al, Rh, Pd,

Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 또한, 상기 반사층(17)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투광성 전도성 물질을 이용하여 다층으로 형성될 수 있다. 예를 들어, 실시 예에서 상기 반사층(17)은 Ag, Al, Ag-Pd-Cu 합금, 또는 Ag-Cu 합금 중 적어도 어느 하나를 포함할 수 있다.

- [0036] 예를 들면, 상기 반사층(17)은 Ag 층과 Ni 층이 교대로 형성될 수도 있고, Ni/Ag/Ni, 혹은 Ti 층, Pt 층을 포함할 수 있다. 또한, 상기 오믹접촉층(15)은 상기 반사층(17) 아래에 형성되고, 적어도 일부가 상기 반사층(17)을 통과하여 상기 발광구조물(10)과 오믹 접촉될 수도 있다.
- [0037] 실시 예에 따른 발광소자는 상기 반사층(17) 아래에 배치된 금속층(50)을 포함할 수 있다. 상기 금속층(50)은 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다. 상기 금속층(50)은 확산장벽층의 기능을 수행할 수도 있다.
- [0038] 실시 예에 의하면, 상기 제2 전극(87)은 상기 반사층(17), 상기 오믹접촉층(15) 중에서 적어도 하나를 포함할 수 있다. 한편 상기 제2 전극(87)은 오믹접촉층, 반사층, 또는 금속층 중에서 적어도 하나를 포함하여 형성될 수도 있다. 예로서, 상기 제2 전극(87)은 상기 반사층(17), 상기 금속층(50), 상기 오믹접촉층(15)을 모두 포함할 수도 있고, 선택된 1 개의 층 또는 선택된 2 개의 층을 포함할 수도 있다.
- [0039] 실시 예에 따른 발광소자는 상기 금속층(50) 아래에 배치된 본딩층(60), 지지부재(70)를 포함할 수 있다.
- [0040] 상기 금속층(50)은 상기 본딩층(60)이 제공되는 공정에서 상기 본딩층(60)에 포함된 물질이 상기 반사층(17) 방향으로 확산되는 것을 방지하는 기능을 수행할 수 있다. 상기 금속층(50)은 상기 본딩층(60)에 포함된 주석(Sn) 등의 물질이 상기 반사층(17)에 영향을 미치는 것을 방지할 수 있다.
- [0041] 상기 본딩층(60)은 베리어 금속 또는 본딩 금속 등을 포함하며, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다. 상기 지지부재(70)는 실시 예에 따른 발광구조물(10)을 지지하며 방열 기능을 수행할 수 있다. 상기 본딩층(60)은 시드층으로 구현될 수도 있다.
- [0042] 상기 지지부재(70)는 예를 들어, Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있다. 또한 상기 지지부재(70)는 Al₂O₃, SiO₂ 등의 절연성 물질로 구현될 수도 있다. 상기 지지부재(70)는 상기 제2 전극(87) 아래에 배치될 수 있다.
- [0043] 실시 예에 의하면, 상기 제2 전극(87) 및 상기 제1 전극(81)을 통하여 상기 발광구조물(10)에 전원이 인가될 수 있게 된다. 실시 예에 의하면, 상기 제1 전극(81)은 오믹층, 중간층, 상부층으로 구현될 수 있다. 상기 오믹층은 Cr, V, W, Ti, Zn 등에서 선택된 물질을 포함하여 오믹 접촉을 구현할 수 있다. 상기 중간층은 Ni, Cu, Al 등에서 선택된 물질로 구현될 수 있다. 상기 상부층은 예컨대 Au를 포함할 수 있다. 상기 제1 전극(81)은 Cr, V, W, Ti, Zn, Ni, Cu, Al, Au, Mo 중에서 적어도 하나를 포함할 수 있다.
- [0044] 실시 예에 따른 발광소자는 상기 채널층(30) 위에 배치된 패시베이션층(40)을 포함할 수 있다. 상기 패시베이션층(40)이 상기 채널층(30) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면과 상기 채널층(30)의 상부면이 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 발광구조물(10)의 상부면과 같거나 더 높게 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 제1 도전형 반도체층(11)의 상부면과 같거나 더 높게 배치될 수 있다.
- [0045] 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 접촉되어 배치될 수 있다.
- [0046] 상기 패시베이션층(40)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 패시베이션층(40)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [0047] 실시 예에 따른 발광소자는 상기 제1 도전형 반도체층(11)의 두께가 최소화될 수 있도록 구현될 수 있다. 예컨대

대, 상기 제1 도전형 반도체층(11)은 상기 발광구조물(10)이 동작될 수 있는 최소한의 두께로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 100 나노미터 내지 500 나노미터의 두께로 형성될 수 있다.

- [0048] 한편, 종래 발광소자의 경우, 제1 도전형 반도체층이 두껍게 형성됨으로써 활성층에서 생성된 빛이 제1 도전형 반도체층을 투과하는 과정에서 결정 결함 등에 의하여 소실되는 문제점이 발생할 수 있다. 예컨대 종래 발광소자의 경우 제1 도전형 반도체층은 수 마이크로 미터로 형성될 수 있다.
- [0049] 실시 예에 의하면, 상기 제1 도전형 반도체층(11)은 성장 과정에서 두껍게 형성됨으로써 양질의 결정성을 확보할 수 있으며, 성장이 완료된 후 이후 공정에서 에칭을 통해 두께를 감소시킴으로써 박막으로 구현될 수 있게 된다.
- [0050] 이에 따라 상기 활성층(12)에서 생성된 빛이 상기 제1 도전형 반도체층(11)을 통과하는 과정에서 소멸 되는 비율을 줄일 수 있게 된다. 이로써, 실시 예에 따른 발광소자는 발광 효율을 향상시킬 수 있게 된다. 한편, 실시 예에 의하면 상기 제1 도전형 반도체층(11)의 두께가 상기 제2 도전형 반도체층(13)의 두께에 비하여 더 얇게 형성될 수 있다.
- [0051] 그러면 도 2 내지 도 6을 참조하여 실시 예에 따른 발광소자 제조방법을 설명하기로 한다.
- [0052] 실시 예에 따른 발광소자 제조방법에 의하면, 도 2에 도시된 바와 같이, 기판(5) 위에 제1 도전형 반도체층(11), 활성층(12), 제2 도전형 반도체층(13)을 형성할 수 있다. 상기 제1 도전형 반도체층(11), 상기 활성층(12), 상기 제2 도전형 반도체층(13)은 발광구조물(10)로 정의될 수 있다.
- [0053] 상기 기판(5)은 예를 들어, 사파이어 기판(Al_2O_3), SiC, GaAs, GaN, ZnO, Si, GaP, InP, Ge 중 적어도 하나로 형성될 수 있으며, 이에 대해 한정하지는 않는다. 상기 제1 도전형 반도체층(11)과 상기 기판(5) 사이에는 버퍼층이 더 형성될 수 있다.
- [0054] 예로써, 상기 제1 도전형 반도체층(11)이 제1 도전형 도펀트로서 n형 도펀트가 첨가된 n형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 제2 도전형 도펀트로서 p형 도펀트가 첨가된 p형 반도체층으로 형성될 수 있다. 또한 상기 제1 도전형 반도체층(11)이 p형 반도체층으로 형성되고, 상기 제2 도전형 반도체층(13)이 n형 반도체층으로 형성될 수도 있다.
- [0055] 상기 제1 도전형 반도체층(11)은 예를 들어, n형 반도체층을 포함할 수 있다. 상기 제1 도전형 반도체층(11)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제1 도전형 반도체층(11)은, 예를 들어 InAlGaN, GaN, AlGaIn, AlInN, InGaIn, AlN, InN 등에서 선택될 수 있으며, Si, Ge, Sn, Se, Te 등의 n형 도펀트가 도핑될 수 있다.
- [0056] 상기 활성층(12)은 상기 제1 도전형 반도체층(11)을 통해서 주입되는 전자(또는 정공)와 상기 제2 도전형 반도체층(13a)을 통해서 주입되는 정공(또는 전자)이 서로 만나서, 상기 활성층(12a)의 형성 물질에 따른 에너지 밴드(Energy Band)의 밴드갭(Band Gap) 차이에 의해서 빛을 방출하는 층이다. 상기 활성층(12)은 단일 우물 구조, 다중 우물 구조, 양자점 구조 또는 양자선 구조 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0057] 상기 활성층(12)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 활성층(12)이 상기 다중 우물 구조로 형성된 경우, 상기 활성층(12)은 복수의 우물층과 복수의 장벽층이 적층되어 형성될 수 있으며, 예를 들어, InGaIn 우물층/GaN 장벽층의 주기로 형성될 수 있다.
- [0058] 상기 제2 도전형 반도체층(13)은 예를 들어, p형 반도체층으로 구현될 수 있다. 상기 제2 도전형 반도체층(13)은 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료로 형성될 수 있다. 상기 제2 도전형 반도체층(13)은, 예를 들어 InAlGaIn, GaN, AlGaIn, InGaIn, AlInN, AlN, InN 등에서 선택될 수 있으며, Mg, Zn, Ca, Sr, Ba 등의 p형 도펀트가 도핑될 수 있다.
- [0059] 한편, 상기 제1 도전형 반도체층(11)이 p형 반도체층을 포함하고 상기 제2 도전형 반도체층(13)이 n형 반도체층을 포함할 수도 있다. 또한, 상기 제2 도전형 반도체층(13) 위에는 n형 또는 p형 반도체층을 포함하는 반도체층이 더 형성될 수도 있으며, 이에 따라, 상기 발광구조물(10)은 np, pn, npn, pnp 접합 구조 중 적어도 어느 하나를 가질 수 있다. 또한, 상기 제1 도전형 반도체층(11) 및 상기 제2 도전형 반도체층(13) 내의 불순물의 도핑 농도는 균일 또는 불균일하게 형성될 수 있다. 즉, 상기 발광구조물(10)의 구조는 다양하게 형성될 수 있으며, 이에 대해 한정하지는 않는다.

- [0060] 또한, 상기 제1 도전형 반도체층(11)과 상기 활성층(12) 사이에는 제1 도전형 InGaN/GaN 슈퍼래티스 구조 또는 InGaN/InGaN 슈퍼래티스 구조가 형성될 수도 있다. 또한, 상기 제2 도전형 반도체층(13)과 상기 활성층(12) 사이에는 제2 도전형의 AlGaIn층이 형성될 수도 있다.
- [0061] 다음으로, 도 3에 나타난 바와 같이, 상기 발광구조물(10)에 대한 에칭을 수행하여 상기 제1 도전형 반도체층(11)의 일부 영역을 노출시킬 수 있다. 이때, 상기 에칭은 습식에칭 또는 건식에칭으로 수행될 수 있다.
- [0062] 그리고, 도 4에 나타난 바와 같이, 상기 발광구조물(10)에 채널층(30), 오믹접촉층(15), 반사층(17)을 형성할 수 있다.
- [0063] 예를 들어, 상기 채널층(30)은 산화물 또는 질화물의 절연층으로 형성될 수 있다. 상기 채널층(30)은 SiO₂, Si_xO_y, Si₃N₄, Si_xN_y, SiO_xN_y, Al₂O₃, TiO₂, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [0064] 상기 반사층(17)과 상기 제2 도전형 반도체층(13) 사이에 상기 오믹접촉층(15)이 배치될 수 있다. 상기 오믹접촉층(15)은 상기 제2 도전형 반도체층(13)에 접촉되어 배치될 수 있다.
- [0065] 상기 오믹접촉층(15)은 상기 발광구조물(10)과 오믹 접촉이 되도록 형성될 수 있다. 상기 반사층(17)은 상기 제2 도전형 반도체층(13)에 전기적으로 연결될 수 있다. 상기 오믹접촉층(15)은 상기 발광구조물(10)과 오믹 접촉되는 영역을 포함할 수 있다.
- [0066] 상기 오믹접촉층(15)은 예컨대 투명 전도성 산화막으로 형성될 수 있다. 상기 오믹접촉층(15)은 예로서 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), AZO(Aluminum Zinc Oxide), AGZO(Aluminum Gallium Zinc Oxide), IZTO(Indium Zinc Tin Oxide), IAZO(Indium Aluminum Zinc Oxide), IGZO(Indium Gallium Zinc Oxide), IGTO(Indium Gallium Tin Oxide), ATO(Antimony Tin Oxide), GZO(Gallium Zinc Oxide), IZON(IZO Nitride), ZnO, IrO_x, RuO_x, NiO, Pt, Ag, Ti 중에서 선택된 적어도 하나의 물질로 형성될 수 있다.
- [0067] 상기 반사층(17)은 고 반사율을 갖는 물질로 형성될 수 있다. 예컨대 상기 반사층(17)은 Ag, Ni, Al, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Cu, Au, Hf 중 적어도 하나를 포함하는 금속 또는 합금으로 형성될 수 있다. 또한, 상기 반사층(17)은 상기 금속 또는 합금과 ITO(Indium-Tin-Oxide), IZO(Indium-Zinc-Oxide), IZTO(Indium-Zinc-Tin-Oxide), IAZO(Indium-Aluminum-Zinc-Oxide), IGZO(Indium-Gallium-Zinc-Oxide), IGTO(Indium-Gallium-Tin-Oxide), AZO(Aluminum-Zinc-Oxide), ATO(Antimony-Tin-Oxide) 등의 투광성 전도성 물질을 이용하여 다층으로 형성될 수 있다. 예를 들어, 실시 예에서 상기 반사층(17)은 Ag, Al, Ag-Pd-Cu 합금, 또는 Ag-Cu 합금 중 적어도 어느 하나를 포함할 수 있다.
- [0068] 예를 들면, 상기 반사층(17)은 Ag 층과 Ni 층이 교대로 형성될 수도 있고, Ni/Ag/Ni, 혹은 Ti 층, Pt 층을 포함할 수 있다. 또한, 상기 오믹접촉층(15)은 상기 반사층(17) 아래에 형성되고, 적어도 일부가 상기 반사층(17)을 통과하여 상기 발광구조물(10)과 오믹 접촉될 수도 있다.
- [0069] 이어서, 도 5에 도시된 바와 같이, 상기 반사층(17) 위에 금속층(50), 본딩층(60), 지지부재(70)이 형성될 수 있다.
- [0070] 상기 금속층(50)은 Au, Cu, Ni, Ti, Ti-W, Cr, W, Pt, V, Fe, Mo 물질 중에서 적어도 하나를 포함할 수 있다. 상기 금속층(50)은 확산장벽층의 기능을 수행할 수도 있다.
- [0071] 실시 예에 의하면, 상기 제2 도전형 반도체층(13)에 전기적으로 연결된 제2 전극은 반사층, 오믹접촉층, 금속층 중에서 적어도 하나를 포함할 수 있다. 실시 예에 의하면 제2 전극은 반사층, 오믹접촉층, 금속층을 모두 포함할 수도 있으며, 그 중에서 1 개의 층 또는 2 개의 층을 포함할 수도 있다.
- [0072] 상기 금속층(50)은 상기 본딩층(60)이 제공되는 공정에서 상기 본딩층(60)에 포함된 물질이 상기 반사층(17) 방향으로 확산되는 것을 방지하는 기능을 수행할 수 있다. 상기 제2 금속층(50)은 상기 본딩층(60)에 포함된 주석(Sn) 등의 물질이 상기 반사층(17)에 영향을 미치는 것을 방지할 수 있다.
- [0073] 상기 본딩층(60)은 베리어 금속 또는 본딩 금속 등을 포함하며, 예를 들어, Ti, Au, Sn, Ni, Cr, Ga, In, Bi, Cu, Ag, Nb, Pd 또는 Ta 중 적어도 하나를 포함할 수 있다. 상기 지지부재(70)는 실시 예에 따른 발광구조물(10)을 지지하며 방열 기능을 수행할 수 있다. 상기 본딩층(60)은 시드층으로 구현될 수도 있다.
- [0074] 상기 지지부재(70)는 예를 들어, Ti, Cr, Ni, Al, Pt, Au, W, Cu, Mo, Cu-W 또는 불순물이 주입된 반도체 기판(예: Si, Ge, GaN, GaAs, ZnO, SiC, SiGe 등) 중에서 적어도 어느 하나로 형성될 수 있다. 또한 상기 지지부재

(70)는 절연물질로 형성될 수도 있다.

- [0075] 다음으로 상기 제1 도전형 반도체층(11)으로부터 상기 기판(5)을 제거한다. 하나의 예로서, 상기 기판(5)은 레이저 리프트 오프(LL0: Laser Lift Off) 공정에 의해 제거될 수 있다. 레이저 리프트 오프 공정(LL0)은 상기 기판(5)의 하면에 레이저를 조사하여, 상기 기판(5)과 상기 제1 도전형 반도체층(11)을 서로 박리시키는 공정이다. 그리고, 상기 제1 도전형 반도체층(11)에 대한 전면 에칭을 수행할 수 있다. 예로서 상기 전면 에칭은 건식 에칭으로 수행될 수 있다. 상기 전면 에칭은 예를 들어, ICP(Inductively Coupled Plasma)와 같은 건식 에칭에 의해 실시될 수 있으나, 이에 대해 한정하지는 않는다.
- [0076] 이러한 공정은 하나의 예시이며, 필요에 따라 공정 순서는 다양하게 변형될 수 있다.
- [0077] 실시 예에 의하면, 도 6에 도시된 바와 같이, 상기 전면 에칭을 수행함으로써 상기 채널층(30)이 노출될 수 있게 된다. 상기 채널층(30)은 에칭 스톱퍼의 기능을 수행할 수 있으며, 상기 채널층(30)의 구성요소가 검출되는 시점에 상기 전면 에칭이 중지될 수 있도록 공정이 설계될 수 있다.
- [0078] 이때, 상기 제1 도전형 반도체층(11)이 에칭됨에 있어, 상기 제1 도전형 반도체층(11)의 상부면이 상기 채널층(30)의 상부면에 비하여 같거나 또는 조금 낮게 형성될 수 있다.
- [0079] 다음으로, 도 6에 도시된 바와 같이, 패시베이션층(40)과 제1 전극(81)이 형성될 수 있다.
- [0080] 상기 패시베이션층(40)은 상기 채널층(30) 위에 형성될 수 있다. 상기 패시베이션층(40)의 일부 영역은 상기 제1 도전형 반도체층(11) 위에 형성될 수 있다.
- [0081] 상기 제1 전극(81)은 상기 제1 도전형 반도체층(11)에 전기적으로 연결될 수 있다. 상기 제1 전극(81)의 일부 영역은 상기 제1 도전형 반도체층(11)에 접촉될 수 있다. 실시 예에 의하면, 상기 제1 전극(81) 및 상기 제2 전극(87)을 통하여 상기 발광구조물(10)에 전원이 인가될 수 있게 된다.
- [0082] 상기 제1 전극(81)은 오믹층, 중간층, 상부층으로 구현될 수 있다. 상기 오믹층은 Cr, V, W, Ti, Zn 등에서 선택된 물질을 포함하여 오믹 접촉을 구현할 수 있다. 상기 중간층은 Ni, Cu, Al 등에서 선택된 물질로 구현될 수 있다. 상기 상부층은 예컨대 Au를 포함할 수 있다. 상기 제1 전극(81)은 Cr, V, W, Ti, Zn, Ni, Cu, Al, Au 층에서 적어도 하나를 포함할 수 있다.
- [0083] 실시 예에 따른 발광소자는, 상기 발광구조물(10) 둘레에 배치된 채널층(30)을 포함할 수 있다. 예컨대, 상기 채널층(30)의 상부면은 상기 발광구조물(10)의 상부면과 같은 높이에 배치될 수 있다. 또한 상기 채널층(30)의 상부면은 상기 발광구조물(10)에 비해 더 높게 배치될 수도 있다.
- [0084] 상기 채널층(30)은 상기 발광구조물(10)의 측면을 감싸도록 배치될 수 있다. 상기 채널층(30)의 상부면은 상기 활성층(12)의 상부면에 비하여 더 높게 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 측면에 배치될 수 있다.
- [0085] 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 측면에 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 측면에 배치될 수 있다.
- [0086] 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13) 아래에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)의 하부면에 접촉되어 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 발광구조물(10)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 반사층(17) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 오믹접촉층(15) 사이에 배치될 수 있다.
- [0087] 실시 예에 따른 발광소자는 상기 채널층(30) 위에 배치된 패시베이션층(40)을 포함할 수 있다. 상기 패시베이션층(40)이 상기 채널층(30) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면과 상기 채널층(30)의 상부면이 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 발광구조물(10)의 상부면과 같거나 더 높게 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 제1 도전형 반도체층(11)의 상부면과 같거나 더 높게 배치될 수 있다.
- [0088] 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1

도전형 반도체층(11) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 접촉되어 배치될 수 있다.

- [0089] 실시 예에 따른 발광소자는 상기 제1 도전형 반도체층(11)의 두께가 최소화될 수 있도록 구현될 수 있다. 예컨대, 상기 제1 도전형 반도체층(11)은 상기 발광구조물(10)이 동작될 수 있는 최소한의 두께로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 100 나노미터 내지 500 나노미터의 두께로 형성될 수 있다.
- [0090] 한편, 종래 발광소자의 경우, 제1 도전형 반도체층이 두껍게 형성됨으로써 활성층에서 생성된 빛이 제1 도전형 반도체층을 투과하는 과정에서 결정 결함 등에 의하여 소실되는 문제점이 발생할 수 있다. 예컨대 종래 발광소자의 경우 제1 도전형 반도체층은 수 마이크로 미터로 형성될 수 있다.
- [0091] 실시 예에 의하면, 상기 제1 도전형 반도체층(11)은 성장 과정에서 두껍게 형성됨으로써 양질의 결정성을 확보할 수 있으며, 성장이 완료된 후 이후 공정에서 에칭을 통해 두께를 감소시킴으로써 박막으로 구현될 수 있게 된다.
- [0092] 이에 따라 상기 활성층(12)에서 생성된 빛이 상기 제1 도전형 반도체층(11)을 통과하는 과정에서 소멸 되는 비율을 줄일 수 있게 된다. 이로써, 실시 예에 따른 발광소자는 발광 효율을 향상시킬 수 있게 된다. 한편, 실시 예에 의하면 상기 제1 도전형 반도체층(11)의 두께가 상기 제2 도전형 반도체층(13)의 두께에 비하여 더 얇게 형성될 수 있다.
- [0093] 한편, 위에서 설명된 각 층의 형성 공정은 하나의 예시이며, 그 공정 순서는 다양하게 변형될 수 있다.
- [0094] 도 7은 실시 예에 따른 발광소자의 다른 예를 나타낸 도면이다. 도 7에 도시된 발광소자를 설명함에 있어서 도 1을 참조하여 설명된 부분과 중복되는 사항에 대해서는 설명을 생략하기로 한다.
- [0095] 실시 예에 따른 발광소자는, 도 7에 도시된 바와 같이, 발광구조물(10), 채널층(30), 패시베이션층(40), 지지부재(70), 제1 전극(81), 제2 전극(87)을 포함할 수 있다.
- [0096] 실시 예에 따른 발광소자는, 상기 발광구조물(10) 둘레에 배치된 상기 채널층(30)을 포함할 수 있다. 예컨대, 상기 채널층(30)의 상부면은 상기 발광구조물(10)의 상부면과 같은 높이에 배치될 수 있다. 또한 상기 채널층(30)의 상부면은 상기 발광구조물(10)에 비해 더 높게 배치될 수도 있다.
- [0097] 상기 채널층(30)은 상기 발광구조물(10)의 측면을 감싸도록 배치될 수 있다. 상기 채널층(30)의 상부면은 활성층(12)의 상부 면에 비하여 더 높게 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 측면에 배치될 수 있다.
- [0098] 상기 채널층(30)은 제1 도전형 반도체층(11)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 측면에 배치될 수 있다. 상기 채널층(30)은 제2 도전형 반도체층(13)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 측면에 배치될 수 있다.
- [0099] 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13) 아래에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)의 하부 면에 접촉되어 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 발광구조물(10)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 반사층(17) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 오믹접촉층(15) 사이에 배치될 수 있다.
- [0100] 상기 채널층(30)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 채널층(30)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 상기 채널층(30)은 에칭 스톱퍼(etching stopper)로 지칭될 수도 있다. 상기 채널층(30)은 추후 상기 발광구조물(10)에 대한 전면 에칭 공정 시 에칭 스톱퍼의 기능을 수행할 수 있다.
- [0101] 실시 예에 따른 발광소자는 상기 채널층(30) 위에 배치된 상기 패시베이션층(40)을 포함할 수 있다. 상기 패시베이션층(40)이 상기 채널층(30) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면과 상기 채널층(30)의 상부면이 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 발광구조물(10)의 상부면과 같거나 더 높게 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 제1 도전형 반도체층(11)의 상부면과 같거나 더 높게 배치될 수 있다.

- [0102] 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 접촉되어 배치될 수 있다.
- [0103] 상기 패시베이션층(40)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 패시베이션층(40)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [0104] 실시 예에 따른 발광소자는 상기 제2 전극(87) 아래에 배치된 금속층(50), 본딩층(60), 지지부재(70)를 포함할 수 있다. 또한 상기 제1 전극(81)의 일부 영역이 상기 패시베이션층(40) 위에 배치될 수 있다. 상기 제1 전극(81)의 일부 영역이 상기 패시베이션층(40) 위에 접촉되어 배치될 수 있다. 예컨대, 외부 전원으로부터 전기가 인가되는 단자가 상기 패시베이션층(40) 위에 형성될 수도 있다.
- [0105] 실시 예에 따른 발광소자는 상기 제1 도전형 반도체층(11)의 두께가 최소화될 수 있도록 구현될 수 있다. 예컨대, 상기 제1 도전형 반도체층(11)은 상기 발광구조물(10)이 동작될 수 있는 최소한의 두께로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 100 나노미터 내지 500 나노미터의 두께로 형성될 수 있다.
- [0106] 한편, 종래 발광소자의 경우, 제1 도전형 반도체층이 두껍게 형성됨으로써 활성층에서 생성된 빛이 제1 도전형 반도체층을 투과하는 과정에서 결정 결함 등에 의하여 소실되는 문제점이 발생할 수 있다. 예컨대 종래 발광소자의 경우 제1 도전형 반도체층은 수 마이크로 미터로 형성될 수 있다.
- [0107] 실시 예에 의하면, 상기 제1 도전형 반도체층(11)은 성장 과정에서 두껍게 형성됨으로써 양질의 결정성을 확보할 수 있으며, 성장이 완료된 후 이후 공정에서 에칭을 통해 두께를 감소시킴으로써 박막으로 구현될 수 있게 된다.
- [0108] 이에 따라 상기 활성층(12)에서 생성된 빛이 상기 제1 도전형 반도체층(11)을 통과하는 과정에서 소멸 되는 비율을 줄일 수 있게 된다. 이로써, 실시 예에 따른 발광소자는 발광 효율을 향상시킬 수 있게 된다. 한편, 실시 예에 의하면 상기 제1 도전형 반도체층(11)의 두께가 상기 제2 도전형 반도체층(13)의 두께에 비하여 더 얇게 형성될 수 있다.
- [0109] 도 8은 실시 예에 따른 발광소자의 다른 예를 나타낸 도면이다. 도 8에 도시된 발광소자를 설명함에 있어서 도 1을 참조하여 설명된 부분과 중복되는 사항에 대해서는 설명을 생략하기로 한다.
- [0110] 실시 예에 따른 발광소자에 의하면, 상기 발광구조물(10) 아래에 오믹 반사층(19)이 배치될 수 있다. 상기 오믹 반사층(19)은 반사층(17)과 오믹접촉층(15)의 기능을 모두 수행하도록 구현될 수 있다. 이에 따라 상기 오믹 반사층(19)은 상기 제2 도전형 반도체층(13)에 오믹 접촉되며, 상기 발광구조물(10)로부터 입사되는 빛을 반사시키는 기능을 수행할 수 있다.
- [0111] 여기서, 상기 오믹 반사층(19)은 여러 층으로 형성될 수 있다. 예를 들면, Ag층과 Ni층이 교대로 형성될 수도 있고, Ni/Ag/Ni, 혹은 Ti, Pt 층을 포함할 수도 있다.
- [0112] 실시 예에 따른 발광소자는, 상기 발광구조물(10) 둘레에 배치된 채널층(30)을 포함할 수 있다. 예컨대, 상기 채널층(30)의 상부면은 상기 발광구조물(10)의 상부면과 같은 높이에 배치될 수 있다. 또한 상기 채널층(30)의 상부면은 상기 발광구조물(10)에 비해 더 높게 배치될 수도 있다.
- [0113] 상기 채널층(30)은 상기 발광구조물(10)의 측면을 감싸도록 배치될 수 있다. 상기 채널층(30)의 상부면은 상기 활성층(12)의 상부면에 비하여 더 높게 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 측면에 배치될 수 있다.
- [0114] 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 측면에 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 측면에 배치될 수 있다.
- [0115] 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13) 아래에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)의 하부면에 접촉되어 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 발광구조물(10)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전

형 반도체층(13)과 반사층(17) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 오믹접촉층(15) 사이에 배치될 수 있다.

- [0116] 상기 채널층(30)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 채널층(30)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 상기 채널층(30)은 에칭 스톱퍼(etching stopper)로 지칭될 수도 있다.
- [0117] 실시 예에 따른 발광소자는 상기 채널층(30) 위에 배치된 패시베이션층(40)을 포함할 수 있다. 상기 패시베이션층(40)이 상기 채널층(30) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면과 상기 채널층(30)의 상부면이 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 발광구조물(10)의 상부면과 같거나 더 높게 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 제1 도전형 반도체층(11)의 상부면과 같거나 더 높게 배치될 수 있다.
- [0118] 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 접촉되어 배치될 수 있다.
- [0119] 상기 패시베이션층(40)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 패시베이션층(40)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [0120] 실시 예에 따른 발광소자는 상기 제2 전극(87) 아래에 배치된 금속층(50), 본딩층(60), 지지부재(70)를 포함할 수 있다.
- [0121] 실시 예에 따른 발광소자는 상기 제1 도전형 반도체층(11)의 두께가 최소화될 수 있도록 구현될 수 있다. 예컨대, 상기 제1 도전형 반도체층(11)은 상기 발광구조물(10)이 동작될 수 있는 최소한의 두께로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 100 나노미터 내지 500 나노미터의 두께로 형성될 수 있다.
- [0122] 한편, 종래 발광소자의 경우, 제1 도전형 반도체층이 두껍게 형성됨으로써 활성층에서 생성된 빛이 제1 도전형 반도체층을 투과하는 과정에서 결정 결함 등에 의하여 소실되는 문제점이 발생할 수 있다. 예컨대 종래 발광소자의 경우 제1 도전형 반도체층은 수 마이크로 미터로 형성될 수 있다.
- [0123] 실시 예에 의하면, 상기 제1 도전형 반도체층(11)은 성장 과정에서 두껍게 형성됨으로써 양질의 결정성을 확보할 수 있으며, 성장이 완료된 후 이후 공정에서 에칭을 통해 두께를 감소시킴으로써 박막으로 구현될 수 있게 된다.
- [0124] 이에 따라 상기 활성층(12)에서 생성된 빛이 상기 제1 도전형 반도체층(11)을 통과하는 과정에서 소멸되는 비율을 줄일 수 있게 된다. 이로써, 실시 예에 따른 발광소자는 발광 효율을 향상시킬 수 있게 된다. 한편, 실시 예에 의하면 상기 제1 도전형 반도체층(11)의 두께가 상기 제2 도전형 반도체층(13)의 두께에 비하여 더 얇게 형성될 수 있다.
- [0125] 도 9는 실시 예에 따른 발광소자의 다른 예를 나타낸 도면이다. 도 9에 도시된 발광소자를 설명함에 있어서 도 7을 참조하여 설명된 부분과 중복되는 사항에 대해서는 설명을 생략하기로 한다.
- [0126] 실시 예에 따른 발광소자에 의하면, 상기 발광구조물(10) 아래에 오믹 반사층(19)이 배치될 수 있다. 상기 오믹 반사층(19)은 반사층(17)과 오믹접촉층(15)의 기능을 모두 수행하도록 구현될 수 있다. 이에 따라 상기 오믹 반사층(19)은 상기 제2 도전형 반도체층(13)에 오믹 접촉되며, 상기 발광구조물(10)로부터 입사되는 빛을 반사시키는 기능을 수행할 수 있다.
- [0127] 여기서, 상기 오믹 반사층(19)은 여러 층으로 형성될 수 있다. 예를 들면, Ag층과 Ni층이 교대로 형성될 수도 있고, Ni/Ag/Ni, 혹은 Ti, Pt 층을 포함할 수도 있다.
- [0128] 실시 예에 따른 발광소자는, 상기 발광구조물(10) 둘레에 배치된 채널층(30)을 포함할 수 있다. 예컨대, 상기 채널층(30)의 상부면은 상기 발광구조물(10)의 상부면과 같은 높이에 배치될 수 있다. 또한 상기 채널층(30)의 상부면은 상기 발광구조물(10)에 비해 더 높게 배치될 수도 있다.
- [0129] 상기 채널층(30)은 상기 발광구조물(10)의 측면을 감싸도록 배치될 수 있다. 상기 채널층(30)의 상부면은 상기

활성층(12)의 상부 면에 비하여 더 높게 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 활성층(12)의 측면에 배치될 수 있다.

- [0130] 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제1 도전형 반도체층(11)의 측면에 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 둘레를 감싸도록 배치될 수 있다. 상기 채널층(30)은 상기 제2 도전형 반도체층(13)의 측면에 배치될 수 있다.
- [0131] 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13) 아래에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)의 하부 면에 접촉되어 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 발광구조물(10)과 상기 제2 전극(87) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 반사층(17) 사이에 배치될 수 있다. 상기 채널층(30)의 일부 영역은 상기 제2 도전형 반도체층(13)과 오믹접촉층(15) 사이에 배치될 수 있다.
- [0132] 상기 채널층(30)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 채널층(30)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다. 상기 채널층(30)은 에칭 스톱퍼(etching stopper)로 지칭될 수도 있다.
- [0133] 실시 예에 따른 발광소자는 상기 채널층(30) 위에 배치된 패시베이션층(40)을 포함할 수 있다. 상기 패시베이션층(40)이 상기 채널층(30) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면과 상기 채널층(30)의 상부면이 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 발광구조물(10)의 상부면과 같거나 더 높게 배치될 수 있다. 상기 패시베이션층(40)의 하부면이 상기 제1 도전형 반도체층(11)의 상부면과 같거나 더 높게 배치될 수 있다.
- [0134] 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 발광구조물(10) 위에 접촉되어 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 배치될 수 있다. 상기 패시베이션층(40)의 일부 영역이 상기 제1 도전형 반도체층(11) 위에 접촉되어 배치될 수 있다.
- [0135] 상기 패시베이션층(40)은 예컨대 산화물 또는 질화물로 구현될 수 있다. 예를 들어, 상기 패시베이션층(40)은 SiO_2 , Si_xO_y , Si_3N_4 , Si_xN_y , SiO_xN_y , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있다.
- [0136] 실시 예에 따른 발광소자는 상기 제2 전극(87) 아래에 배치된 금속층(50), 본딩층(60), 지지부재(70)를 포함할 수 있다. 또한 상기 제1 전극(81)의 일부 영역이 상기 패시베이션층(40) 위에 배치될 수 있다. 상기 제1 전극(81)의 일부 영역이 상기 패시베이션층(40) 위에 접촉되어 배치될 수 있다. 예컨대, 외부 전원으로부터 전기가 인가되는 단자가 상기 패시베이션층(40) 위에 형성될 수도 있다.
- [0137] 실시 예에 따른 발광소자는 상기 제1 도전형 반도체층(11)의 두께가 최소화될 수 있도록 구현될 수 있다. 예컨대, 상기 제1 도전형 반도체층(11)은 상기 발광구조물(10)이 동작될 수 있는 최소한의 두께로 구현될 수 있다. 상기 제1 도전형 반도체층(11)은 100 나노미터 내지 500 나노미터의 두께로 형성될 수 있다.
- [0138] 한편, 종래 발광소자의 경우, 제1 도전형 반도체층이 두껍게 형성됨으로써 활성층에서 생성된 빛이 제1 도전형 반도체층을 투과하는 과정에서 결정 결함 등에 의하여 소실되는 문제점이 발생될 수 있다. 예컨대 종래 발광소자의 경우 제1 도전형 반도체층은 수 마이크로 미터로 형성될 수 있다.
- [0139] 실시 예에 의하면, 상기 제1 도전형 반도체층(11)은 성장 과정에서 두껍게 형성됨으로써 양질의 결정성을 확보할 수 있으며, 성장이 완료된 후 이후 공정에서 에칭을 통해 두께를 감소시킴으로써 박막으로 구현될 수 있게 된다.
- [0140] 이에 따라 상기 활성층(12)에서 생성된 빛이 상기 제1 도전형 반도체층(11)을 통과하는 과정에서 소멸되는 비율을 줄일 수 있게 된다. 이로써, 실시 예에 따른 발광소자는 발광 효율을 향상시킬 수 있게 된다. 한편, 실시 예에 의하면 상기 제1 도전형 반도체층(11)의 두께가 상기 제2 도전형 반도체층(13)의 두께에 비하여 더 얇게 형성될 수 있다.
- [0141] 도 10은 실시 예에 따른 발광소자가 적용된 발광소자 패키지를 나타낸 도면이다.
- [0142] 도 10을 참조하면, 실시 예에 따른 발광소자 패키지는 몸체(120)와, 상기 몸체(120)에 배치된 제1 리드전극

(131) 및 제2 리드전극(132)과, 상기 몸체(120)에 제공되어 상기 제1 리드전극(131) 및 제2 리드전극(132)과 전기적으로 연결되는 실시 예에 따른 발광소자(100)와, 상기 발광소자(100)를 포위하는 몰딩부재(140)를 포함할 수 있다.

- [0143] 상기 몸체(120)는 실리콘 재질, 합성수지 재질, 또는 금속 재질을 포함하여 형성될 수 있으며, 상기 발광소자(100)의 주위에 경사면이 형성될 수 있다.
- [0144] 상기 제1 리드전극(131) 및 제2 리드전극(132)은 서로 전기적으로 분리되며, 상기 발광소자(100)에 전원을 제공한다. 또한, 상기 제1 리드전극(131) 및 제2 리드전극(132)은 상기 발광소자(100)에서 발생된 빛을 반사시켜 광효율을 증가시킬 수 있으며, 상기 발광소자(100)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0145] 상기 발광소자(100)는 상기 몸체(120) 위에 배치되거나 상기 제1 리드전극(131) 또는 제2 리드전극(132) 위에 배치될 수 있다.
- [0146] 상기 발광소자(100)는 상기 제1 리드전극(131) 및 제2 리드전극(132)과 와이어 방식, 플립칩 방식 또는 다이 본딩 방식 중 어느 하나에 의해 전기적으로 연결될 수도 있다.
- [0147] 상기 몰딩부재(140)는 상기 발광소자(100)를 포위하여 상기 발광소자(100)를 보호할 수 있다. 또한, 상기 몰딩부재(140)에는 형광체가 포함되어 상기 발광소자(100)에서 방출된 광의 파장을 변화시킬 수 있다.
- [0148] 실시 예에 따른 발광소자 또는 발광소자 패키지는 복수 개가 기판 위에 어레이될 수 있으며, 상기 발광소자 패키지의 광 경로 상에 광학 부재인 렌즈, 도광판, 프리즘 시트, 확산 시트 등이 배치될 수 있다. 이러한 발광소자 패키지, 기판, 광학 부재는 라이트 유닛으로 기능할 수 있다. 상기 라이트 유닛은 탑뷰 또는 사이드 뷰 타입으로 구현되어, 휴대 단말기 및 노트북 컴퓨터 등의 표시 장치에 제공되거나, 조명장치 및 지시 장치 등에 다양하게 적용될 수 있다. 또 다른 실시 예는 상술한 실시 예들에 기재된 발광소자 또는 발광소자 패키지를 포함하는 조명 장치로 구현될 수 있다. 예를 들어, 조명 장치는 램프, 가로등, 전광판, 전조등을 포함할 수 있다.
- [0149] 실시 예에 따른 발광소자는 라이트 유닛에 적용될 수 있다. 상기 라이트 유닛은 복수의 발광소자가 어레이된 구조를 포함하며, 도 11 및 도 12에 도시된 표시 장치, 도 13에 도시된 조명 장치를 포함할 수 있다.
- [0150] 도 11을 참조하면, 실시 예에 따른 표시 장치(1000)는 도광판(1041)과, 상기 도광판(1041)에 빛을 제공하는 발광 모듈(1031)과, 상기 도광판(1041) 아래에 반사 부재(1022)와, 상기 도광판(1041) 위에 광학 시트(1051)와, 상기 광학 시트(1051) 위에 표시 패널(1061)과, 상기 도광판(1041), 발광 모듈(1031) 및 반사 부재(1022)를 수납하는 바텀 커버(1011)를 포함할 수 있으나, 이에 한정되지 않는다.
- [0151] 상기 바텀 커버(1011), 반사시트(1022), 도광판(1041), 광학 시트(1051)는 라이트 유닛(1050)으로 정의될 수 있다.
- [0152] 상기 도광판(1041)은 빛을 확산시켜 면광원화 시키는 역할을 한다. 상기 도광판(1041)은 투명한 재질로 이루어지며, 예를 들어, PMMA(polymethyl metaacrylate)와 같은 아크릴 수지 계열, PET(polyethylene terephthalate), PC(poly carbonate), COC(cycloolefin copolymer) 및 PEN(polyethylene naphthalate) 수지 중 하나를 포함할 수 있다.
- [0153] 상기 발광모듈(1031)은 상기 도광판(1041)의 적어도 일 측면에 빛을 제공하며, 궁극적으로는 표시 장치의 광원으로써 작용하게 된다.
- [0154] 상기 발광모듈(1031)은 적어도 하나가 제공될 수 있으며, 상기 도광판(1041)의 일 측면에서 직접 또는 간접적으로 광을 제공할 수 있다. 상기 발광 모듈(1031)은 기판(1033)과 위에서 설명된 실시 예에 따른 발광소자 또는 발광소자 패키지(200)를 포함할 수 있다. 상기 발광소자 패키지(200)는 상기 기판(1033) 위에 소정 간격으로 어레이될 수 있다.
- [0155] 상기 기판(1033)은 회로패턴을 포함하는 인쇄회로기판(PCB, Printed Circuit Board)일 수 있다. 다만, 상기 기판(1033)은 일반 PCB 뿐 아니라, 메탈 코어 PCB(MCPCB, Metal Core PCB), 연성 PCB(FPCB, Flexible PCB) 등을 포함할 수도 있으며, 이에 대해 한정하지는 않는다. 상기 발광소자 패키지(200)는 상기 바텀 커버(1011)의 측면 또는 방열 플레이트 위에 제공될 경우, 상기 기판(1033)은 제거될 수 있다. 여기서, 상기 방열 플레이트의 일부는 상기 바텀 커버(1011)의 상면에 접촉될 수 있다.
- [0156] 그리고, 상기 다수의 발광소자 패키지(200)는 빛이 방출되는 출사면이 상기 도광판(1041)과 소정 거리 이격되도록 탑재될 수 있으며, 이에 대해 한정하지는 않는다. 상기 발광소자 패키지(200)는 상기 도광판(1041)의 일측면

인 입광부에 광을 직접 또는 간접적으로 제공할 수 있으며, 이에 대해 한정하지는 않는다.

- [0157] 상기 도광판(1041) 아래에는 상기 반사 부재(1022)가 배치될 수 있다. 상기 반사 부재(1022)는 상기 도광판(1041)의 하면으로 입사된 빛을 반사시켜 위로 향하게 함으로써, 상기 라이트 유닛(1050)의 휘도를 향상시킬 수 있다. 상기 반사 부재(1022)는 예를 들어, PET, PC, PVC 레진 등으로 형성될 수 있으나, 이에 대해 한정하지는 않는다. 상기 반사 부재(1022)는 상기 바텀 커버(1011)의 상면일 수 있으며, 이에 대해 한정하지는 않는다.
- [0158] 상기 바텀 커버(1011)는 상기 도광판(1041), 발광모듈(1031) 및 반사 부재(1022) 등을 수납할 수 있다. 이를 위해, 상기 바텀 커버(1011)는 상면이 개구된 박스(box) 형상을 갖는 수납부(1012)가 구비될 수 있으며, 이에 대해 한정하지는 않는다. 상기 바텀 커버(1011)는 탑 커버와 결합될 수 있으며, 이에 대해 한정하지는 않는다.
- [0159] 상기 바텀 커버(1011)는 금속 재질 또는 수지 재질로 형성될 수 있으며, 프레스 성형 또는 압출 성형 등의 공정을 이용하여 제조될 수 있다. 또한 상기 바텀 커버(1011)는 열 전도성이 좋은 금속 또는 비 금속 재료를 포함할 수 있으며, 이에 대해 한정하지는 않는다.
- [0160] 상기 표시 패널(1061)은 예컨대, LCD 패널로서, 서로 대향되는 투명한 재질의 제1 및 제2 기판, 그리고 제1 및 제2 기판 사이에 개재된 액정층을 포함한다. 상기 표시 패널(1061)의 적어도 일면에는 편광판이 부착될 수 있으며, 이러한 편광판의 부착 구조로 한정하지는 않는다. 상기 표시 패널(1061)은 광학 시트(1051)를 통과한 광에 의해 정보를 표시하게 된다. 이러한 표시 장치(1000)는 각 종 휴대 단말기, 노트북 컴퓨터의 모니터, 랩탑 컴퓨터의 모니터, 텔레비전 등에 적용될 수 있다.
- [0161] 상기 광학 시트(1051)는 상기 표시 패널(1061)과 상기 도광판(1041) 사이에 배치되며, 적어도 한 장의 투광성 시트를 포함한다. 상기 광학 시트(1051)는 예컨대 확산 시트, 수평 및 수직 프리즘 시트, 및 휘도 강화 시트 등과 같은 시트 중에서 적어도 하나를 포함할 수 있다. 상기 확산 시트는 입사되는 광을 확산시켜 주고, 상기 수평 또는/및 수직 프리즘 시트는 입사되는 광을 표시 영역으로 집광시켜 주며, 상기 휘도 강화 시트는 손실되는 광을 재사용하여 휘도를 향상시켜 준다. 또한 상기 표시 패널(1061) 위에는 보호 시트가 배치될 수 있으며, 이에 대해 한정하지는 않는다.
- [0162] 여기서, 상기 발광 모듈(1031)의 광 경로 상에는 광학 부재로서, 상기 도광판(1041) 및 광학 시트(1051)를 포함할 수 있으며, 이에 대해 한정하지는 않는다.
- [0163] 도 12는 실시 예에 따른 표시 장치의 다른 예를 나타낸 도면이다.
- [0164] 도 12를 참조하면, 표시 장치(1100)는 바텀 커버(1152), 상기에 개시된 발광소자(100)가 어레이된 기판(1020), 광학 부재(1154), 및 표시 패널(1155)을 포함한다.
- [0165] 상기 기판(1020)과 상기 발광소자 패키지(200)는 발광 모듈(1060)로 정의될 수 있다. 상기 바텀 커버(1152), 적어도 하나의 발광 모듈(1060), 광학 부재(1154)는 라이트 유닛으로 정의될 수 있다.
- [0166] 상기 바텀 커버(1152)에는 수납부(1153)를 구비할 수 있으며, 이에 대해 한정하지는 않는다.
- [0167] 여기서, 상기 광학 부재(1154)는 렌즈, 도광판, 확산 시트, 수평 및 수직 프리즘 시트, 및 휘도 강화 시트 등에서 적어도 하나를 포함할 수 있다. 상기 도광판은 PC 재질 또는 PMMA(Poly methy methacrylate) 재질로 이루어질 수 있으며, 이러한 도광판은 제거될 수 있다. 상기 확산 시트는 입사되는 광을 확산시켜 주고, 상기 수평 및 수직 프리즘 시트는 입사되는 광을 표시 영역으로 집광시켜 주며, 상기 휘도 강화 시트는 손실되는 광을 재사용하여 휘도를 향상시켜 준다.
- [0168] 상기 광학 부재(1154)는 상기 발광 모듈(1060) 위에 배치되며, 상기 발광 모듈(1060)로부터 방출된 광을 먼 광원하거나, 확산, 집광 등을 수행하게 된다.
- [0169] 도 13은 실시 예에 따른 조명장치를 나타낸 도면이다.
- [0170] 도 13을 참조하면, 실시 예에 따른 조명 장치는 커버(2100), 광원 모듈(2200), 방열체(2400), 전원 제공부(2600), 내부 케이스(2700), 소켓(2800)을 포함할 수 있다. 또한, 실시 예에 따른 조명 장치는 부재(2300)와 홀더(2500) 중 어느 하나 이상을 더 포함할 수 있다. 상기 광원 모듈(2200)은 실시 예에 따른 발광소자 패키지를 포함할 수 있다.
- [0171] 예컨대, 상기 커버(2100)는 벌브(bulb) 또는 반구의 형상을 가지며, 속이 비어 있고, 일 부분이 개구된 형상으로 제공될 수 있다. 상기 커버(2100)는 상기 광원 모듈(2200)과 광학적으로 결합될 수 있다. 예를 들어, 상기

커버(2100)는 상기 광원 모듈(2200)로부터 제공되는 빛을 확산, 산란 또는 여기 시킬 수 있다. 상기 커버(2100)는 일종의 광학 부재일 수 있다. 상기 커버(2100)는 상기 방열체(2400)와 결합될 수 있다. 상기 커버(2100)는 상기 방열체(2400)와 결합하는 결합부를 가질 수 있다.

- [0172] 상기 커버(2100)의 내면에는 유백색 도료가 코팅될 수 있다. 유백색의 도료는 빛을 확산시키는 확산재를 포함할 수 있다. 상기 커버(2100)의 내면의 표면 거칠기는 상기 커버(2100)의 외면의 표면 거칠기보다 크게 형성될 수 있다. 이는 상기 광원 모듈(2200)로부터의 빛이 충분히 산란 및 확산되어 외부로 방출시키기 위함이다.
- [0173] 상기 커버(2100)의 재질은 유리(glass), 플라스틱, 폴리프로필렌(PP), 폴리에틸렌(PE), 폴리카보네이트(PC) 등 일 수 있다. 여기서, 폴리카보네이트는 내광성, 내열성, 강도가 뛰어나다. 상기 커버(2100)는 외부에서 상기 광원 모듈(2200)이 보이도록 투명할 수 있고, 불투명할 수 있다. 상기 커버(2100)는 블로우(blow) 성형을 통해 형성될 수 있다.
- [0174] 상기 광원 모듈(2200)은 상기 방열체(2400)의 일 면에 배치될 수 있다. 따라서, 상기 광원 모듈(2200)로부터의 열은 상기 방열체(2400)로 전도된다. 상기 광원 모듈(2200)은 광원부(2210), 연결 플레이트(2230), 커넥터(2250)를 포함할 수 있다.
- [0175] 상기 부재(2300)는 상기 방열체(2400)의 상면 위에 배치되고, 복수의 광원부(2210)들과 커넥터(2250)이 삽입되는 가이드홈(2310)들을 갖는다. 상기 가이드홈(2310)은 상기 광원부(2210)의 기관 및 커넥터(2250)와 대응된다.
- [0176] 상기 부재(2300)의 표면은 빛 반사 물질로 도포 또는 코팅된 것일 수 있다. 예를 들면, 상기 부재(2300)의 표면은 백색의 도료로 도포 또는 코팅된 것일 수 있다. 이러한 상기 부재(2300)는 상기 커버(2100)의 내면에 반사되어 상기 광원 모듈(2200)측 방향으로 되돌아오는 빛을 다시 상기 커버(2100) 방향으로 반사한다. 따라서, 실시예에 따른 조명 장치의 광 효율을 향상시킬 수 있다.
- [0177] 상기 부재(2300)는 예로서 절연 물질로 이루어질 수 있다. 상기 광원 모듈(2200)의 연결 플레이트(2230)는 전기 전도성의 물질을 포함할 수 있다. 따라서, 상기 방열체(2400)와 상기 연결 플레이트(2230) 사이에 전기적인 접촉이 이루어질 수 있다. 상기 부재(2300)는 절연 물질로 구성되어 상기 연결 플레이트(2230)와 상기 방열체(2400)의 전기적 단락을 차단할 수 있다. 상기 방열체(2400)는 상기 광원 모듈(2200)로부터의 열과 상기 전원 제공부(2600)로부터의 열을 전달받아 방열한다.
- [0178] 상기 홀더(2500)는 내부 케이스(2700)의 절연부(2710)의 수납홈(2719)을 막는다. 따라서, 상기 내부 케이스(2700)의 상기 절연부(2710)에 수납되는 상기 전원 제공부(2600)는 밀폐된다. 상기 홀더(2500)는 가이드 돌출부(2510)를 갖는다. 상기 가이드 돌출부(2510)는 상기 전원 제공부(2600)의 돌출부(2610)가 관통하는 홀을 갖는다.
- [0179] 상기 전원 제공부(2600)는 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 상기 광원 모듈(2200)로 제공한다. 상기 전원 제공부(2600)는 상기 내부 케이스(2700)의 수납홈(2719)에 수납되고, 상기 홀더(2500)에 의해 상기 내부 케이스(2700)의 내부에 밀폐된다.
- [0180] 상기 전원 제공부(2600)는 돌출부(2610), 가이드부(2630), 베이스(2650), 연장부(2670)를 포함할 수 있다.
- [0181] 상기 가이드부(2630)는 상기 베이스(2650)의 일 측에서 외부로 돌출된 형상을 갖는다. 상기 가이드부(2630)는 상기 홀더(2500)에 삽입될 수 있다. 상기 베이스(2650)의 일 면 위에 다수의 부품이 배치될 수 있다. 다수의 부품은 예를 들어, 외부 전원으로부터 제공되는 교류 전원을 직류 전원으로 변환하는 직류변환장치, 상기 광원 모듈(2200)의 구동을 제어하는 구동칩, 상기 광원 모듈(2200)을 보호하기 위한 ESD(ElectroStatic discharge) 보호 소자 등을 포함할 수 있으나 이에 대해 한정하지는 않는다.
- [0182] 상기 연장부(2670)는 상기 베이스(2650)의 다른 일 측에서 외부로 돌출된 형상을 갖는다. 상기 연장부(2670)는 상기 내부 케이스(2700)의 연결부(2750) 내부에 삽입되고, 외부로부터의 전기적 신호를 제공받는다. 예컨대, 상기 연장부(2670)는 상기 내부 케이스(2700)의 연결부(2750)의 폭과 같거나 작게 제공될 수 있다. 상기 연장부(2670)에는 "+ 전선"과 "- 전선"의 각 일 단이 전기적으로 연결되고, "+ 전선"과 "- 전선"의 다른 일 단은 소켓(2800)에 전기적으로 연결될 수 있다.
- [0183] 상기 내부 케이스(2700)는 내부에 상기 전원 제공부(2600)와 함께 몰딩부를 포함할 수 있다. 몰딩부는 몰딩 액체가 굳어진 부분으로서, 상기 전원 제공부(2600)가 상기 내부 케이스(2700) 내부에 고정될 수 있도록 한다.
- [0184] 이상에서 실시 예들에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시 예에 포함되며, 반드시 하

나의 실시 예에만 한정되는 것은 아니다. 나아가, 각 실시 예에서 예시된 특징, 구조, 효과 등은 실시 예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시 예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

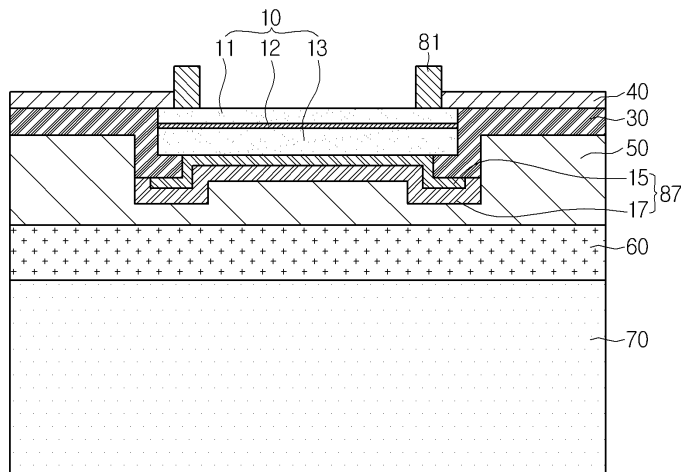
[0185] 또한, 이상에서 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시 예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

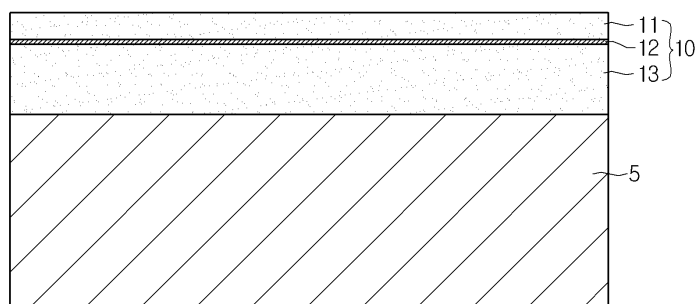
- [0186]
- | | |
|-----------|-----------------|
| 10: 발광구조물 | 11: 제1 도전형 반도체층 |
| 12: 활성층 | 13: 제2 도전형 반도체층 |
| 15: 오믹접촉층 | 17: 반사층 |
| 30: 채널층 | 40: 페시베이션층 |
| 50: 금속층 | 60: 본딩층 |
| 70: 지지부재 | 81: 제1 전극 |
| 87: 제2 전극 | |

도면

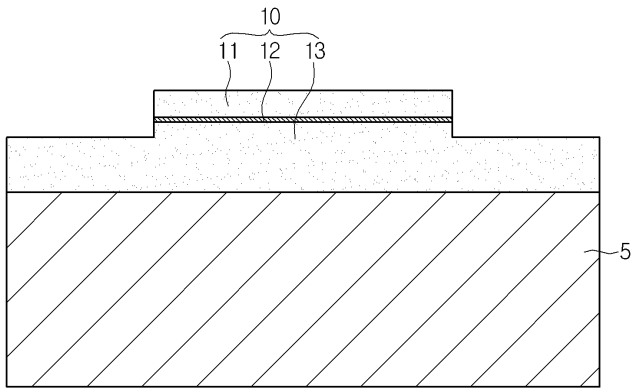
도면1



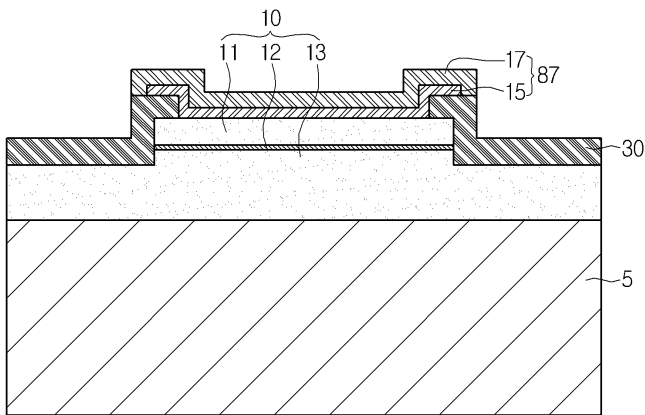
도면2



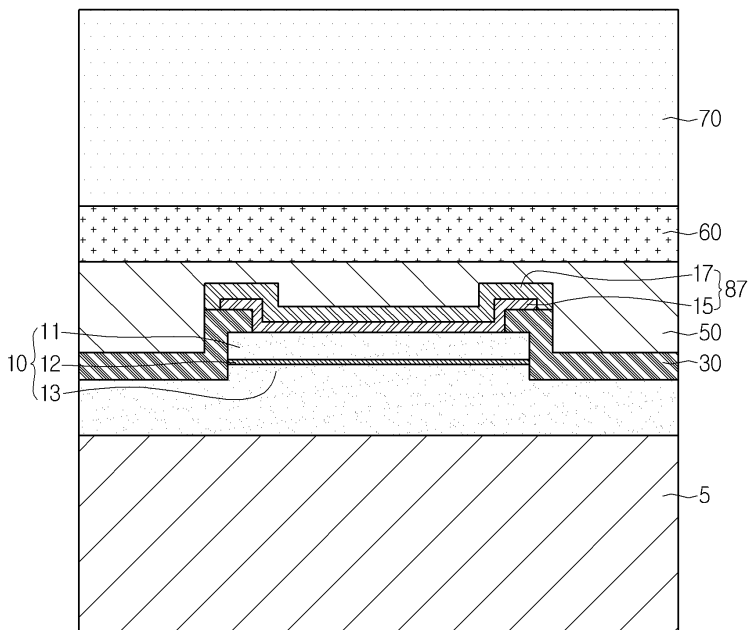
도면3



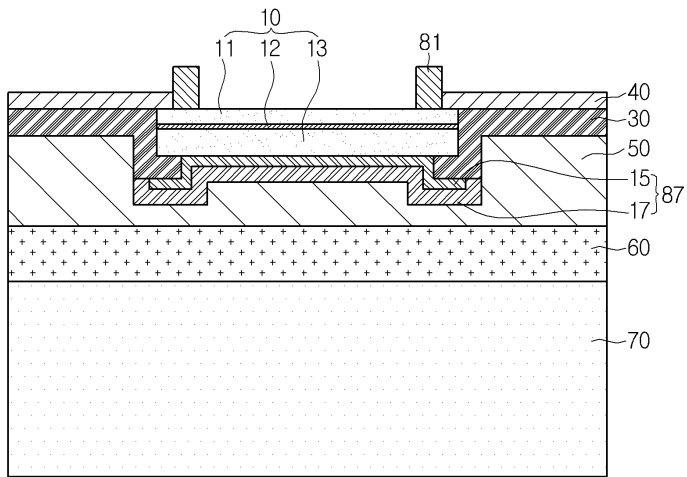
도면4



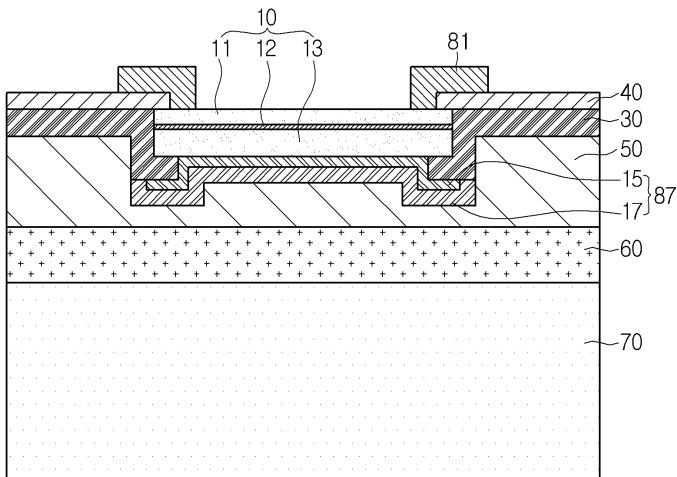
도면5



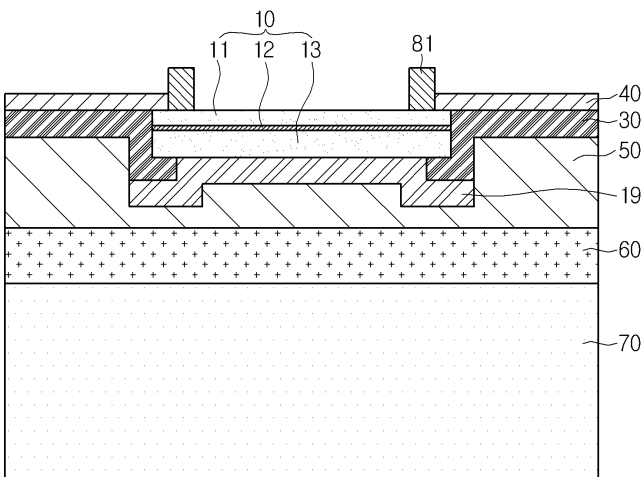
도면6



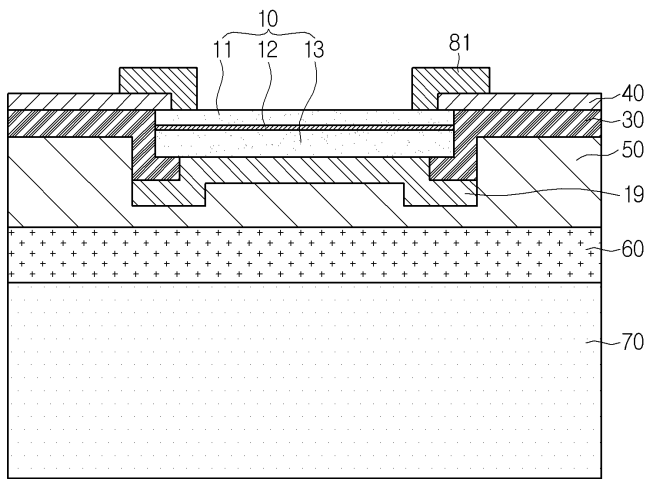
도면7



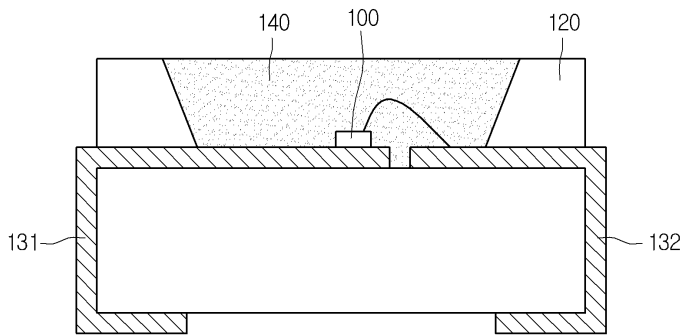
도면8



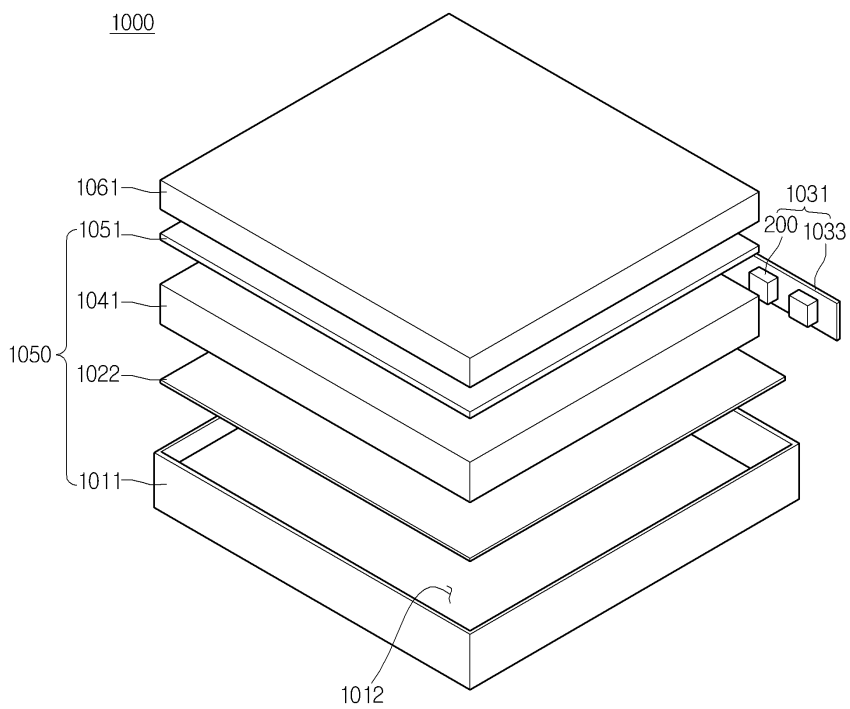
도면9



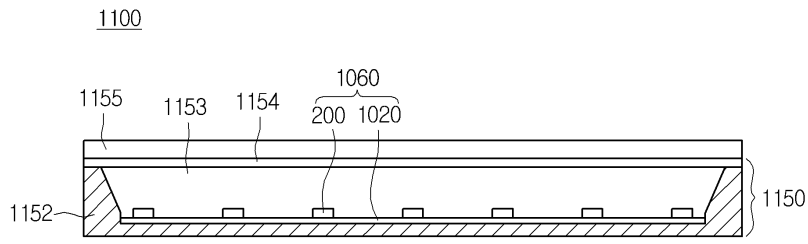
도면10



도면11



도면12



도면13

