



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I529867 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：099144198 (22)申請日：中華民國 99 (2010) 年 12 月 16 日

(51)Int. Cl. : H01L23/12 (2006.01) H01L21/58 (2006.01)

(30)優先權：2010/02/12 美國 12/705,021

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國

(72)發明人：馬休 維魯吉斯 MATHEW, VARUGHESE (US)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

US 2004/0124509A1 US 2006/0249801A1

US 2009/0102032A1 US 2010/0032660A1

Bob Chylak, Jamin Ling, Horst Clauberg and Tom Thieme, Next Generation Nickel-Based Bond Pads Enable Copper Wire Bonding, ECS Transactions, ECS Digital Library, Vol. 18, Issue 1, March 19~20, 2009, p.p.777-785。

審查人員：修宇鋒

申請專利範圍項數：10 項 圖式數：7 共 22 頁

(54)名稱

具多層覆墊金屬化部的黏接墊與形成方法

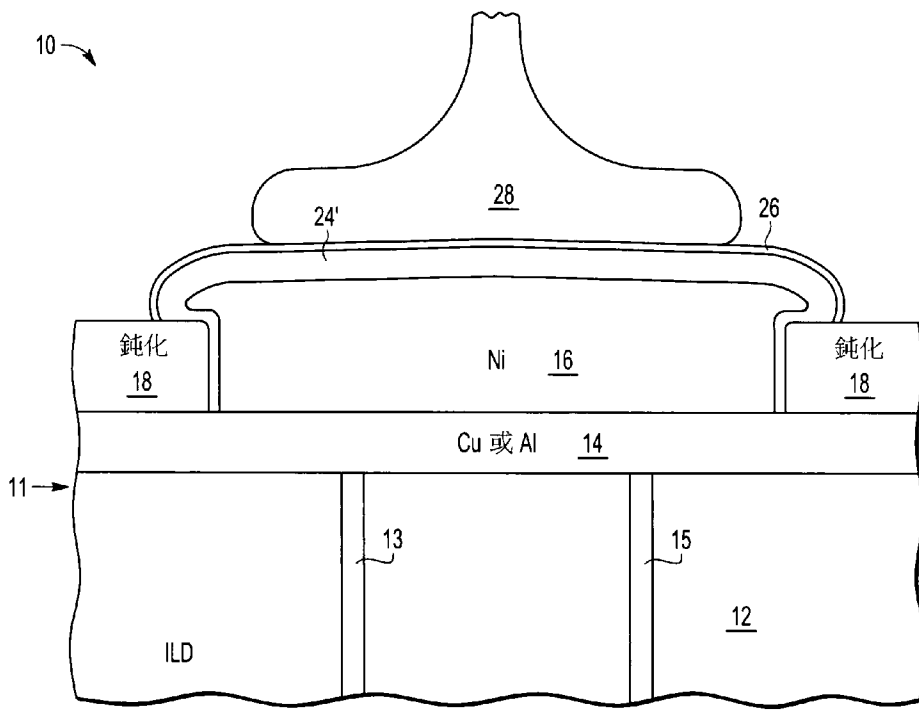
BOND PAD WITH MULTIPLE LAYER OVER PAD METALLIZATION AND METHOD OF FORMATION

(57)摘要

一種半導體裝置結構(10)具有一半導體晶粒(11)，其具有一黏接墊(14)，其具有一圍繞此黏接墊之一部份之鈍化層(18)。一經沉積之鎳層(16)係於內部份上。一空間(20)係於鎳層之一側壁與鈍化層之間，且延伸至黏接墊。一鈀層(24')係於鎳層上且填充此空間。此空間起始係相當小(20)，但藉由等向蝕刻變寬(20')，如此，當鈀層被沉積時，空間(20)係足夠大，如此，鈀之沉積能填充空間(20')。填充此空間造成一其中鈀接觸鎳層、鈍化層，及黏接墊之結構。

A semiconductor device structure (10) has a semiconductor die (11) that has a bond pad (14) with a passivation layer (18) surrounding a portion of the bond pad. A nickel layer (16), which is deposited, is on the inner portion. A space (20) is between a sidewall of the nickel layer and the passivation layer and extends to the bond pad. A palladium layer (24') is over the nickel layer and fills the space. The space is initially quite small (20) but is widened (20') by an isotropic etch so that when the palladium layer is deposited, the space (20) is sufficiently large so that the deposition of palladium is able to fill the space (20'). Filling the space results in a structure in which the palladium contacts the nickel layer, the passivation layer and the bond pad.

指定代表圖：



符號簡單說明：

10 . . . 半導體裝置結構

11 . . . 半導體晶粒

12 . . . 層間介電質

13 . . . 導電路徑

14 . . . 上覆導電層

15 . . . 通路

16 . . . 鎳層

18 . . . 鈍化層

24' . . . 經修改之鈦導電層

26 . . . 薄金屬層

28 . . . 球型黏接

第 6 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 99144198

※申請日： 99.12.16

※IPC 分類： H01L 23/12 :2006.01

H01L 21/58 :2006.01

一、發明名稱：(中文/英文)

具多層覆墊金屬化部的黏接墊與形成方法 / BOND PAD WITH MULTIPLE LAYER OVER PAD METALLIZATION AND METHOD OF FORMATION

二、中文發明摘要：

一種半導體裝置結構(10)具有一半導體晶粒(11)，其具有一黏接墊(14)，其具有一圍繞此黏接墊之一部份之鈍化層(18)。一經沉積之鎳層(16)係於內部份上。一空間(20)係於鎳層之一側壁與鈍化層之間，且延伸至黏接墊。一鈀層(24')係於鎳層上且填充此空間。此空間起始係相當小(20)，但藉由等向蝕刻變寬(20')，如此，當鈀層被沉積時，空間(20)係足夠大，如此，鈀之沉積能填充空間(20')。填充此空間造成一其中鈀接觸鎳層、鈍化層，及黏接墊之結構。

三、英文發明摘要：

A semiconductor device structure (10) has a semiconductor die (11) that has a bond pad (14) with a passivation layer (18) surrounding a portion of the bond pad. A nickel layer (16), which is deposited, is on the inner portion. A space (20) is between a sidewall of the nickel layer and the passivation layer and extends to the bond pad. A palladium layer (24') is over the nickel layer and fills the space. The space is initially quite small (20) but is widened (20') by an isotropic etch so that when the palladium layer is deposited, the space (20) is sufficiently large so that the deposition of palladium is able to fill the space (20'). Filling the space results in a structure in which the palladium contacts the nickel layer, the passivation layer and the bond pad.

四、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

- 10...半導體裝置結構
- 11...半導體晶粒
- 12...層間介電質
- 13...導電路徑
- 14...上覆導電層
- 15...通路
- 16...鎳層
- 18...鈍化層
- 24'...經修改之鈹導電層
- 26...薄金屬層
- 28...球型黏接

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

先前申請案之參考資料

本申請案已於2010年2月12日於美國以專利申請案第12/705021號案申請。

發明領域

本發明一般係有關於積體電路，且更特別地，係具有金屬接面之半導體之製造。

【先前技術】

發明背景

半導體典型上使用金屬黏接墊與下層電路電連接。作為黏接墊之選擇之金屬係且持續為鋁，係因為其可靠之沉積及形成圖案之性質。但是，與諸如銅之其它金屬相比，鋁具有相對較高之電阻。但是，裸銅黏接墊已知係易腐蝕，且一般與諸如傳統線結合之打線方法係不相符。具有鋁蓋之銅黏接墊已被提議用以克服此等困難。使用具有塗層之此等銅黏接墊之另類者係自二或更多之諸如鋁、金、鎳、鈮及其等之合金之金屬形成黏接墊。但是，許多線結合結構不能通過高溫可靠性測試。例如，許多傳統之線結合結構當接受諸如150°C及更高之溫度數百小時時會展現諸如界面孔隙及與下層連接電路物理性分離之失效。高溫環培通常存在於用於汽車應用之積體電路應用，且於此等應用之擴大可靠度係重要。此等失效之來源係由於在黏接墊內之不同金屬之邊界發生之介金屬反應。於不同金屬間之界

面自然形成之介金屬化合物回應高溫周圍環境而持續形成。因此，隨著時間，黏接墊之介金屬化合物之區域會蔓延，此等區域代表形成孔隙之區域。當黏接墊結構內之孔隙數量增加，黏接墊結構易與下層墊連接分離產生電失效。因此，需要一種於尺寸係緊密且於曝置於高溫時係可靠地用於延長年份之經改良之黏接墊。

【發明內容】

依據本發明之一實施例，係特地提出一種半導體裝置結構，包含：一半導體晶粒，具有一第一黏接墊，及一圍繞第一黏接墊之一內部份之鈍化層；一於第一黏接墊之內部份上之第一鎳層，其中，第一鎳層具有一側壁，其中，側壁與鈍化層間之一第一空間延伸至第一黏接墊；及一於第一鎳層上且填充第一空間之第一鈹層，藉此，第一鈹層係與第一空間內之第一鎳層、第一空間內之第一黏接墊，及第一空間內之鈍化層接觸。

依據本發明之另一實施例，係特地提出一種用以於一具有一黏接墊之半導體晶粒上形成覆墊金屬化部(OPM)之方法，其中，黏接墊具有一以鈍化層圍繞之內部份，包含：使一鎳層沉積於黏接墊上；使一等向蝕刻劑塗敷至鎳層，以使鎳層與鈍化層間之一空間變寬至黏接墊；及使一鈹層沉積於鎳層上及於空間內，以於空間內與黏接墊、鈍化層，及鎳層接觸。

依據本發明之又一實施例，係特地提出一種製造一具有一具一圍繞鈍化層之黏接墊之半導體裝置結構之方

法，包含：使一鎳層沉積於黏接墊上而於鎳層之一側壁與鈍化層間留下一空間；使空間變寬以形成一經變寬之空間；及以鈮填充經變寬之空間。

圖式簡單說明

本發明係以所附圖式舉例且非限制性地例示，其中，同樣之參考編號係指相似元件。

第1-6圖係以截面型式例示依據本發明之一黏接墊結構及用以形成此結構之方法；且

第7圖係以截面型式例示依據本發明之多個黏接結構之緊密集成。

熟習此項技藝者瞭解圖式中之元件係為了簡單及清楚而例示且無需依比例繪製。例如，圖式中某些元件之尺寸相對於其它元件可能係過大以助於增進瞭解本發明之實施例。

【實施方式】

詳細說明

第1圖係例示一使與因於高操作溫度之延長操作造成之介金屬化合物有關之可靠度問題達最小之半導體裝置結構10之截面圖。一具圖案之半導體晶粒11一般具有一層間介電質(ILD)12、一上覆導電層14，及一具圖案之鈍化層18。具圖案之鈍化層18係一絕緣、保護性之材料，且具有一使導電層14露出之開口。於一型式，導電層14係銅或鋁。導電路徑或通路13及15係形成於ILD 12內，且使導電層14與ILD 12下之電路(未示出)電連接。於一實施例，通路13

及15係藉由使ILD 12形成圖案及蝕刻而形成。通路13及15係以諸如銅之導電材料填充。需瞭解任何數量之導電通路可被實施，且為了方便，每一黏接墊僅二個被例示。

導電層14之形成係依使用材料而定。若銅被選擇，銅係藉由電鍍形成。於另一型式，銅之無電鍍可被實施。若鋁被使用，鋁之物理氣相沈積(PVD)被用以形成導電層14。鈍化層18被沉積，且傳統之鈍化材料被用於鈍化層18。使用一遮罩，鈍化層18之經曝光部份被移除以使導電層14露出。此等部份之導電層14可稱為內部份之導電層14，其中，於鈍化層18下之導電層14部份係外部份之導電層14。於此型式，半導體晶粒11可用以進一步加工處理產生用以形成半導體裝置結構10之黏接墊結構。一鎳層16於導電層14上形成，較佳係藉由無電鍍。因為無電鍍係傳統，將不詳細探討無電鍍。於另一型式，鎳層16可電鍍於導電層14上。當無電鍍被使用時，鎳層16係以保形方式形成，且具有一凹上表面。鎳層16具有一與導電層14直接接觸之平的底表面。依加工處理方法而定，可具有存在於導電層14與鎳層16間之中間層(未示出)。此等中間層可作為黏著層、擴散障壁，或取代層。鎳層16一般於鈍化層18及鎳層16之界面顯現問題。因此，當鎳厚度生長超過一特定厚度時，例如，高於一微米，於熱處理後及/或於應力條件下，一空間20係沿著鎳層16及鈍化層18之側壁存在。鎳層16與鈍化層18間之分離造成造成嚴重問題，因為半導體裝置結構10之其後加工處理會使化學品及濕氣拉觸空間20內之露出的金屬表

而且腐蝕金屬，造成孔隙形成及缺乏裝置可靠性。例如，電鍍化學品含有酸及添加劑，諸如，氯化物及硫化物，其會腐蝕空間20內露出的金屬。加工處理完全後，空間20易曝置於濕氣，此會腐蝕與濕氣接觸之任何金屬。

第2圖係例示半導體裝置結構10之進一步加工處理之截面圖，其中，鈍化層18與鎳層16間之空間20增加或變寬。傳統之濕式蝕刻化學係一用於此目的之方法。因為濕式蝕刻會自鎳層16之所有露出表面移除物料，鎳層16之高度及鎳層16之側輪廓會藉由移除鎳層16之一部份材料而修改。濕式蝕刻係一使用等向蝕刻劑之等向蝕刻，且自空氣20移除露出之鎳而形成一經修改之空間20'。清理步驟係於濕式蝕刻後以自半導體裝置結構10沖洗掉殘質。濕式蝕刻使空氣20'之尺寸自一小開口增加至寬到足以於一其後步驟形成導電性材料者。於濕式蝕刻前，空間20之寬度並非大到足以能於空間20內形成一填充空間20之物料。於空間20之某些部份，由於鎳與鈍化材料不能黏著，開口可能看起來些微大於鎳層16與鈍化層18間之間隙。但是，第2圖實施之濕式蝕刻使間隙變寬。

第3圖例示半導體裝置結構10之進一步加工處理之截面圖，其中，一鈦導電層24於一實施例係藉由無電鍍形成。鈦係於鎳之所有露出表面上形成。於另一型式，鈦係藉由電鍍形成。導電層24之形成係保形方式，且填充如第2圖所示般變寬之空間20'。因此，鎳層16於所有表面上係以金屬圍繞。鈦展現與鎳更佳之與鈍化層18之黏著品質。再者，

退火進一步改良鈮與鈍化層18之黏著。因此，形成之導電層24自鎳層16延伸，且與鈍化層18黏著接觸。無開口或空間存在於鎳層16與鈍化層18之間。因此，於此加工處理之此時，鎳層16及保護層14於所有表面上係免受任何上覆化學品及任何濕氣，而避免此等層腐蝕。

第4圖例示半導體裝置結構10之進一步加工處理之截面圖，其中，鈮導電層24之上表面進一步增加厚度，以於鈍化層18之上表面上提供增加之保護及改善與鈍化層18之黏著。如第4圖所示，鈮之進一步無電鍍被實施以增加導電層24之厚度，以形成一經修改之鈮導電層24'。

第5圖係例示半導體裝置結構10之進一步加工處理之截面圖，其中，一薄金屬層26於經修改之導電層24'之露出表面上形成。於一型式，金屬層26係金，Au。薄金屬層26較佳係藉由無電鍍或浸鍍形成。於另一型式，薄金屬層26係藉由電鍍形成。當金作為金屬層26時，若金球型黏接被使用，半導體裝置結構10之上表面係相同。金具有相對較低之電阻，展現與鈮之良好黏著性質，及耐腐蝕。用於經修改之導電層24'之鈮助於吸收與其後之用以與金屬層26接觸之線結合方法有關之力。經電鍍之鈮具有相對較粗糙之表面，因此，上覆之金屬層26提供用於其後加工處理之較平滑表面。鎳層16具有數個優點。鎳展現與銅或鋁之良好黏著，且使任一物料被用於導電層14。鎳亦係一良好擴散障壁材料，且因此，保護半導體晶粒11內之任何下層電路。鎳對於無電鍍係相對較直接，且有關於金屬間之反應，

係與銅或鋁接觸之良好金屬。

第6圖係例示半導體裝置結構10之進一步加工處理之截面圖。具有於頂部附接之導線之球型黏接28係藉由傳統之結合壓縮力及溫度之熱音波形成。於一型式，球型黏接28係由金或銅形成。其它導電結構可用以替代球型黏接28。特別地，傳統之訂合式黏接可被使用，或導電性之球或凸物可與薄金屬層26形成黏著接觸。

第7圖係一具有以一極為尺寸有效率之配置而實施之多數個覆墊金屬化部(OPM)31，32及33之半導體裝置結構30之截面圖。半導體裝置結構30具有一層間介電質(ILD)35，其上係置放多數個黏接墊，諸如，黏接墊36、黏接墊44，及黏接墊52。每一黏接墊間之距離結合使用上述方法係可靠地短。為了與第1-6圖作比較，黏接墊36係類似於導電層14。上覆黏接墊36，44及52個別係鎳層38、鎳層46，及鎳層54。鎳層38係類似於第1-6圖之鎳層16。上覆鎳層38，46及54個別係鈮層40，48，及56。鈮層40係類似於第4-6圖之經修改之導電層24'。上覆鈮層40，48及56個別係金層42、金層50，及金層58。金層42係類似於第5及6圖之金屬層26。鈍化層60係電隔離及分離覆墊金屬化部31，32及33之每一者。使黏接墊36與下層電路(未示出)連接係導電通路37及39。使黏接墊44與下層電路(未示出)係導電通路41及43。使黏接墊52與下層電路(未示出)係導電通路51及53。需瞭解任何數量之導電通路可被實施，且為了方便，每一黏接墊僅二個被例示。

距離L1係黏接墊間距，且代表二黏接墊之中心間之距離。為此裝置最小化，此距離所欲地係儘可能小，同時仍使相鄰之覆墊金屬化部(OPM)結構可靠。距離L2係黏接墊36及44之上表面之鈹層40及48之側邊之間的距離。此距離L2係極接近二相鄰鈍化開口間之距離。覆墊金屬化部(OPM)間之最小分隔距離係距離L3，其所欲地係小以製造較小之晶粒及省錢。但是，分隔距離不能太接近，否則，覆墊金屬化部結構之漏電流或橋接(電短路)之不可接受之增加會發生。於一型式，距離L3係不多於四微米。鎳層38之高度係H1，且鈍化層60之高度係H2。

於傳統之半導體晶粒，距離L1係顯著較大。此意指距離L3亦係大，此容許已知黏接墊結構使用一於中間鈍化物上充份延伸之封蓋材料，以保護底層物料免於腐蝕。

以此間所述之方法，藉由去除於中間鈍化物上之覆墊金屬化部(OPM)結構之延伸性重疊之必要性而可顯著減少距離L1且仍維持黏接墊之可靠性。黏接墊金屬於各種加工處理步驟期間曝置於腐蝕性環境可因而被移除。特別地，距離L1可至少為傳統距離之一半，且對於腐蝕作用而言提良好之黏接墊可靠性。

L3係部份藉由H1及H2之值界定。但是，若L3距離太接近，於二相鄰結構間會具有顯著漏電流。與傳統結構相反，層40及層48與鈍化層60之一部份重疊並非必要，只要此等傳統結構維持可靠性。因此，此間提供之結構之一明確優點係當距離L1變更小時提供可靠之黏接墊。

至此，需瞭解已提供一種改良之黏接墊結構及形成此黏接墊結構之方法。於高溫操作時增加之黏接墊可靠性被提供，同時需實施多數個黏接墊之區域被顯著降低。

於一型式，於此間提供一種半導體裝置結構，其具有一半導體晶粒，其具有一第一黏接墊及一圍繞此第一黏接墊之一內部份之鈍化層。一第一鎳層係於第一黏接墊之內部份，其中，第一鎳層具有一側壁。側壁與鈍化層間之第一空間延伸至第一黏接墊。第一鈮層係於第一鎳層之上且填充第一空間，藉此，第一鈮層係與第一空間內之第一鎳層、第一空間內之第一黏接墊，及第一空間內之鈍化層接觸。於第一型式，第一黏接墊係包含鋁及銅之物料族群之一。於另一型式，半導體裝置結構具有一於鈮層之上的金層。於另一型式，半導體裝置結構具有一於金層上之球型黏接。於另一型式，半導體裝置結構進一步具有一於鈮層上之球型黏接。於另一型式，半導體晶粒具有第二黏接墊，其中，鈍化層圍繞第二黏接墊之一內部份。半導體裝置結構進一步具有於第二黏接墊之內部份上之第二鎳層，其中，第二鎳層具有一側壁。第二鎳層之側壁與鈍化層間之第二空間延伸至第二黏接墊。第二鈮層係於第二鎳層上且填充第二空間，藉此，第二鈮層係與第二空間之第二鎳層、第二空間之第二黏接墊，及第二空間之鈍化層接觸。第一黏接墊係與第二黏接墊相鄰，其中，從第一黏接墊之第一空間至第二黏接墊之第二空間之最接近距離係不多於4微米。

於另一型式，提供一種用以於一具有黏接墊之半導體晶粒上形成覆墊金屬化部(OPM)之方法，其中，黏接墊具有一藉由一鈍化層圍繞之內部份。一鎳層係沉積於黏接墊上。一等向蝕刻劑塗敷至鎳層，以使鎳層與鈍化層間之空間變寬下達黏接墊。一鈮層係沉積於鎳層上及於此空間內，以於此空間內與黏接墊、鈍化層，及鎳層接觸。

於另一型式，一金層係沉積於鈮層上。於另一型式，一球型黏接係於金層上形成。於另一型式，一球型黏接係於鈮層上形成。於另一型式，一等向蝕刻劑係藉由塗敷濕式蝕刻劑而塗敷，其蝕刻對鈍化層及黏接墊具選擇性之鎳。於另一型式，黏接墊係包含鋁及銅之族群之一。於另一型式，鈍化層係氮化物及聚醯亞胺。於另一型式，鎳層係藉由使鎳層高於鈍化層高度延伸而沉積。於另一型式，沉積鎳層係使鎳層於鈍化層之一部份上延伸。於另一型式，半導體晶粒進一步含有第二黏接墊。鈍化層圍繞第二黏接墊之一內部份。第二鎳層沉積於第二黏接墊上。等向蝕刻另外使第二鎳層與鈍化層間之空間變寬下達第二黏接墊。一另外之鈮層係沉積於另外之鎳層上。黏接墊係鄰近另外之黏接墊。於一型式，第二鎳層與此另外黏接墊之鈍化層間之空間與鎳層與此黏接墊之鈍化層間之空間之間的最接近距離係不多於4微米。

於另一型式，提供一種製造一具有一具圍繞鈍化層之黏接墊之半導體裝置結構之方法。一鎳層係沉積於黏接墊上，於鎳層之側壁與鈍化層間留下一空間。此空間被加寬

以形成一經加寬之空間。此經加寬之空間以鈮填充。於另一型式，一球型黏接於鎳層上形成。於另一型式，此加寬包含實施鎳層之等向蝕刻。於另一型式，填充此經加寬之空間係藉由使鈮沉積於鎳層上而實施。

於前述說明書，本發明已參考特別實施例作說明。但是，熟習此項技藝者瞭解各種修改及改變可於未偏離台下申請專利範圍中所示之本發明範圍下為之。例如，與下層電路之任何數量的通路接觸可被實施。各種型式之接觸，諸如，導電性凸部、線材、導電性球等，可用於露出之上表面，以與黏接墊電接觸。鈍化層18之高度可為比鎳層16之高度更少或更多。雖然形成之層會以鈍化層18是否比鎳層16更短為基礎而具有不同形狀，於以導電性物料填充增加之空間前蝕刻鎳層16與鈍化層18間之間隔距離之方法維持相同。因此，此說明書及圖式係被視為例示說明，而非限制性，且所有此等修改係意欲被包含於本發明之範圍內。

益處、其它優點，及問題之解決方式已於上有關於特別實施例作說明。但是，此等益處、優點、問題解決方式，及可能造成任何益處、優點，或解決方式發生或變得更顯著之任何要素不被闡釋為任何或所有申請專利範圍之重要、必要，或基本之特徵或要素。於此間使用時，"包含"一辭或其任何其它變化用辭係用以涵蓋非排它性之包括，如此，一包含一系列元件之處理方法、方法、物件，或裝置不僅包含此等元件、而且可包含未明確列示或此處理方法、方法、物件或裝置所固有之其它元件。

【圖式簡單說明】

第1-6圖係以截面型式例示依據本發明之一黏接墊結構及用以形成此結構之方法；且

第7圖係以截面型式例示依據本發明之多個黏接結構之緊密集成。

【主要元件符號說明】

10...半導體裝置結構	37...導電通路
11...半導體晶粒	38...鎳層
12...層間介電質	39...導電通路
13...導電路徑	40...鈹層
14...上覆導電層	41...導電通路
15...通路	42...金層
16...鎳層	43...導電通路
18...鈍化層	44...黏接墊
20...空間	46...鎳層
20'...經修改之空間	48...鈹層
24...鈹導電層	50...金層
24'...經修改之鈹導電層	51...導電通路
26...薄金屬層	52...黏接墊
28...球型黏接	53...導電通路
30...半導體裝置結構	54...鎳層
31,32,33...覆墊金屬化部	56...鈹層
35...層間介電質	58...金層
36...黏接墊	60...鈍化層

七、申請專利範圍：

1. 一種用以於具有黏接墊之半導體晶粒上形成覆墊金屬化部(OPM)之方法，其中，該黏接墊具有以鈍化層圍繞之內部份，該方法包含下列步驟：

5 使一鎳層沉積於該黏接墊上，其中該鎳層與該鈍化層間缺乏黏著而造成該鎳層與該鈍化層間至該黏接墊之一空間；

 把針對鎳有選擇性之一等向蝕刻劑施敷至該鎳層，以使該鎳層與該鈍化層間至該黏接墊之該空間變寬；及

 使一鈀層沉積於該鎳層上及於該空間內，以便於該空間內與該黏接墊、該鈍化層、及該鎳層接觸。

2. 如請求項1之方法，進一步包含使一金層沉積於該鈀層上。
3. 如請求項2之方法，進一步包含於該金層上形成一球型黏接。
4. 如請求項1之方法，進一步包含於該鈀層上形成一球型黏接。
5. 如請求項1之方法，其中，該施敷一等向蝕刻劑包含施敷一濕式蝕刻劑，其蝕刻對該鈍化層及該黏接墊具選擇性之鎳。
6. 如請求項1之方法，其中，該黏接墊包含一由鋁及銅所組成之族群中之一者。
7. 如請求項1之方法，其中，該鈍化層包含氮化物及聚醯

亞胺。

8. 如請求項1之方法，該沈積該鎳層進一步特徵在於該鎳層延伸高於該鈍化層之一高度。

9. 如請求項8之方法，其中，該沉積該鎳層之步驟進一步特徵在於該鎳層於該鈍化層之一部份上延伸。

10. 如請求項1之方法，其中：

該半導體晶粒進一步包含一第二黏接墊；

該鈍化層圍繞該第二黏接墊之一內部份；

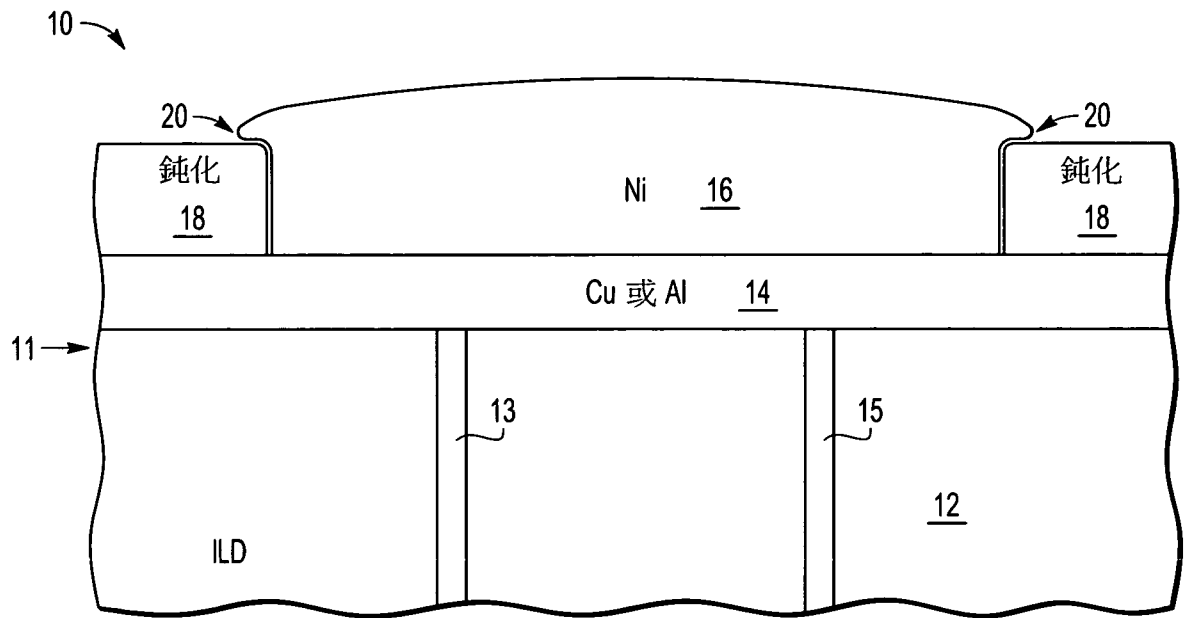
該沈積一鎳層之步驟包含使一第二鎳層沉積於該第二黏接墊上；

該把一等向蝕刻劑施敷至該鎳層之步驟另外使該第二鎳層與該鈍化層間下達該第二黏接墊之一空間變寬；

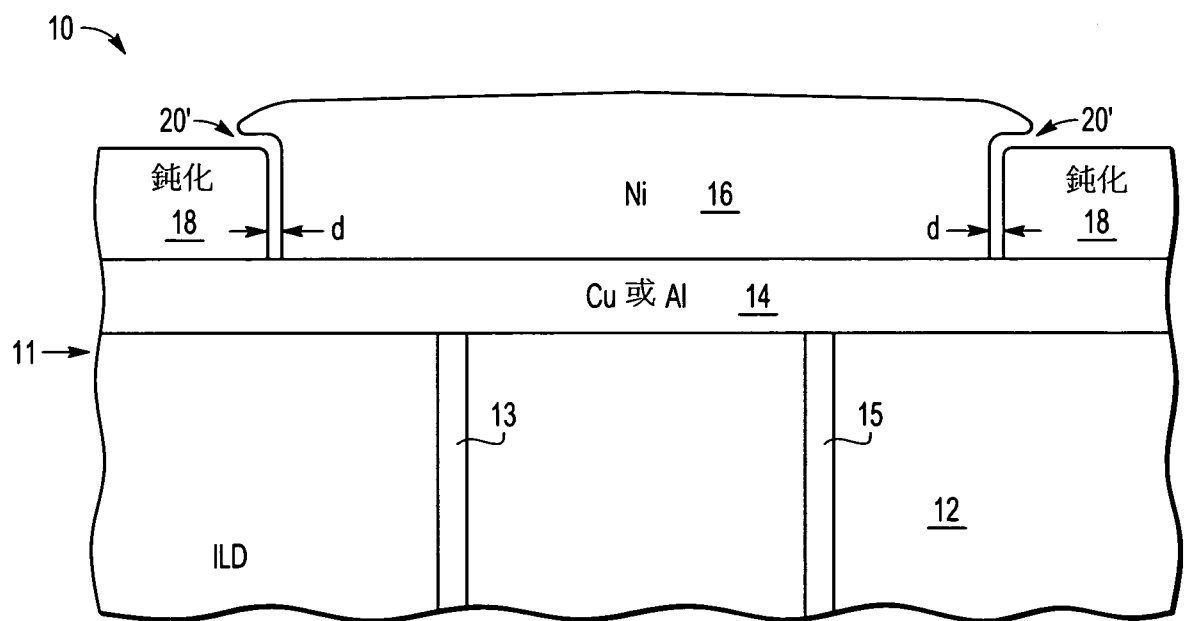
該沉積一鈮層之步驟包含使一另外之鈮層沉積於該第二鎳層上；

該黏接墊係與該第二黏接墊相鄰；且

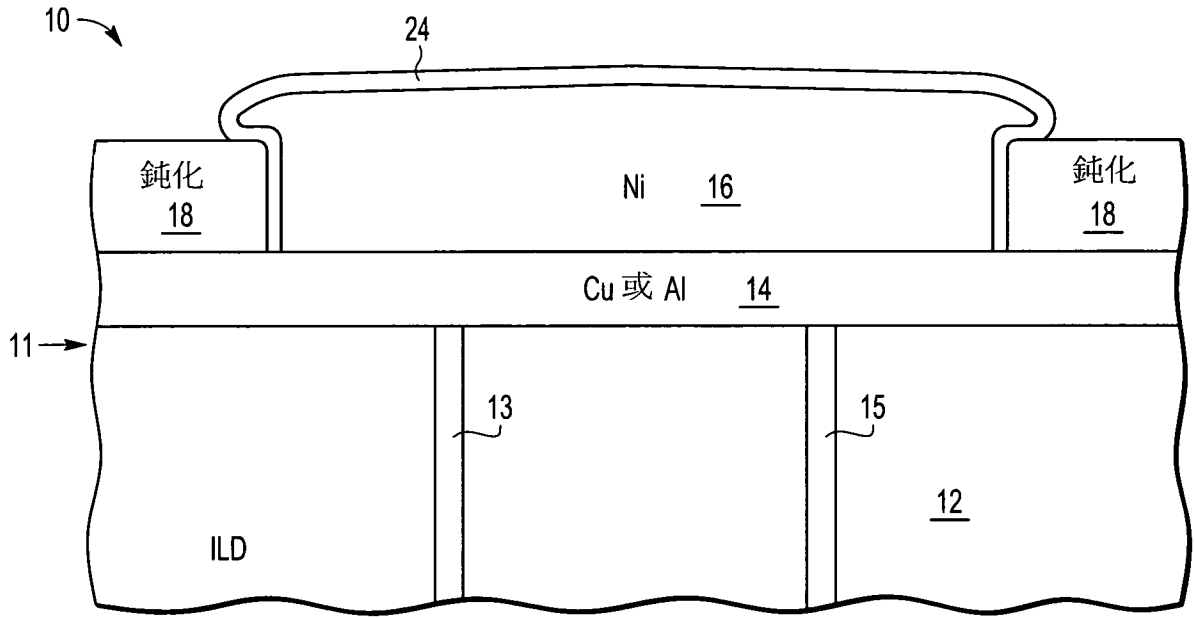
該第二鎳層與該鈍化層間在該第二黏接墊之空間與該鎳層與該鈍化層間在該黏接墊之空間之間的一最接近距離係不多於4微米。



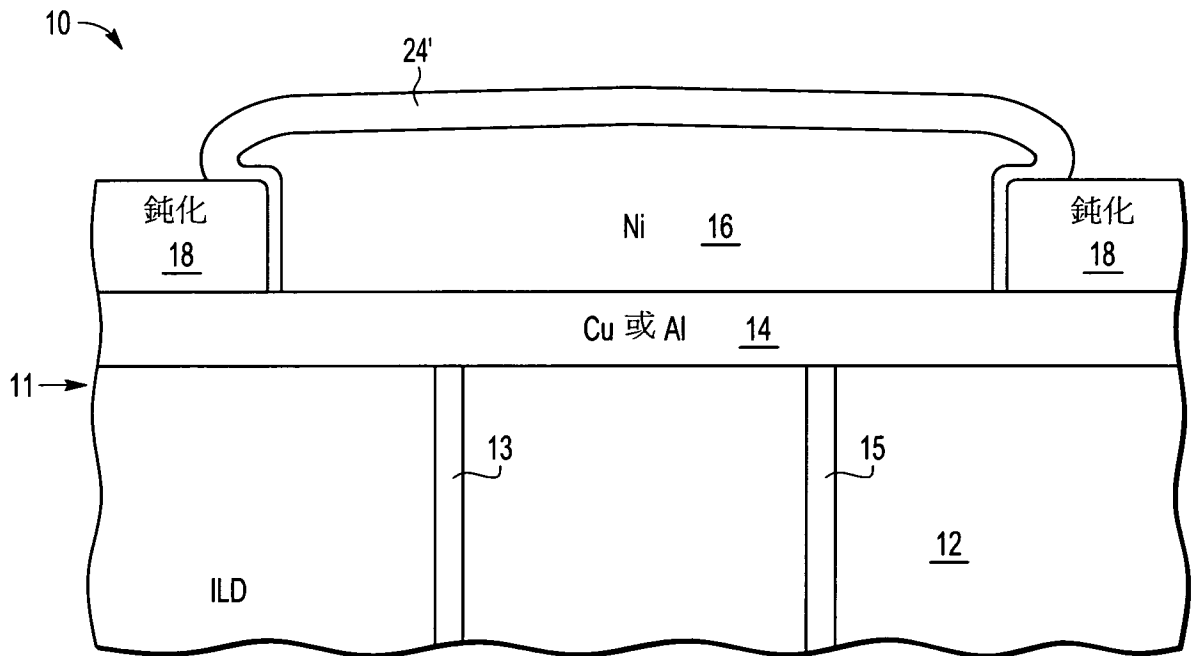
第 1 圖



第 2 圖

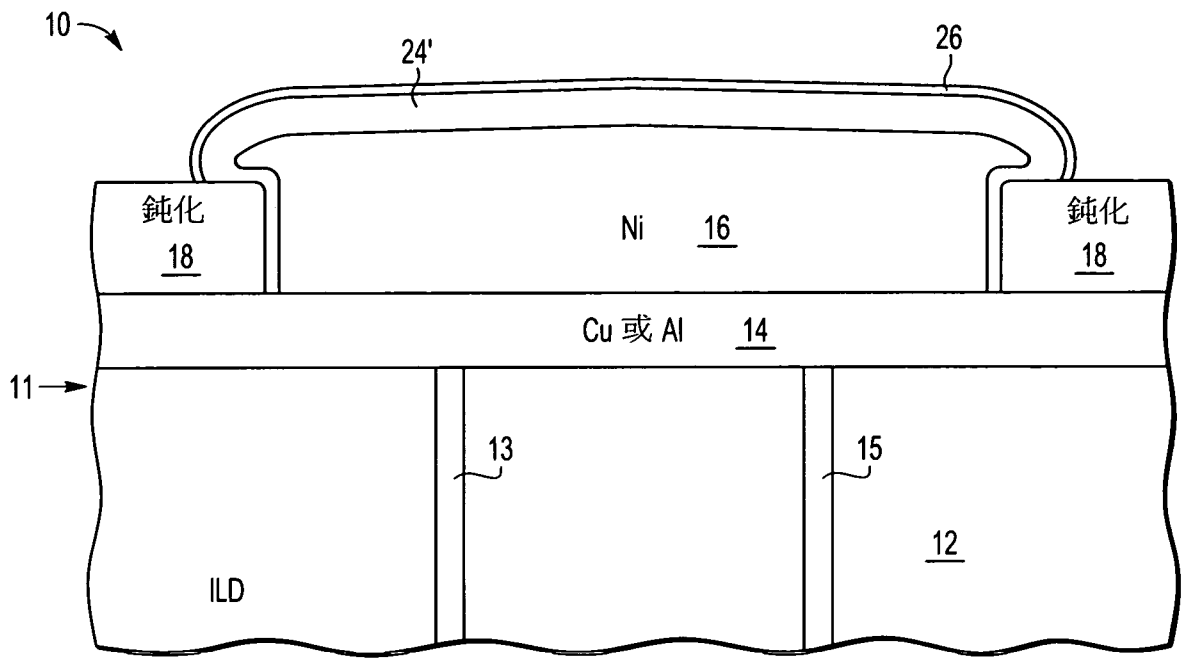


第 3 圖

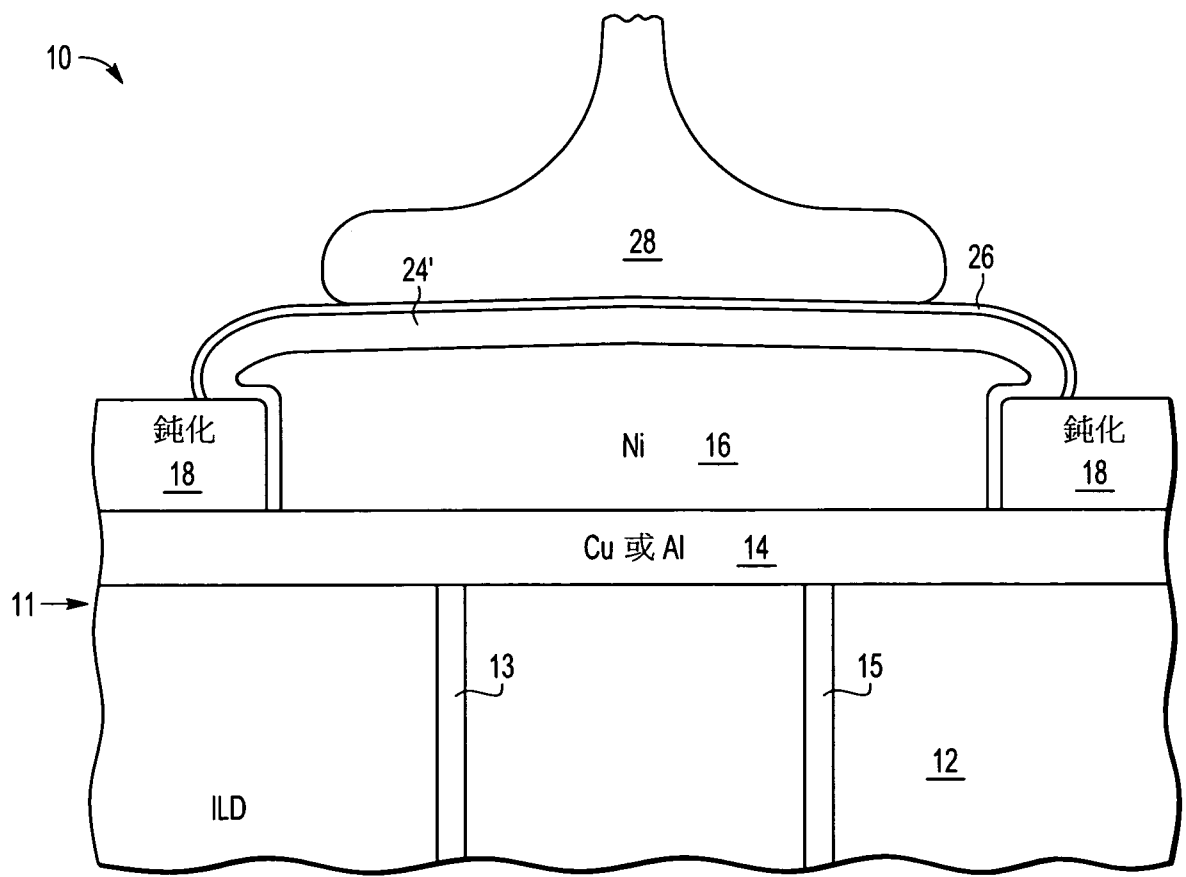


第 4 圖

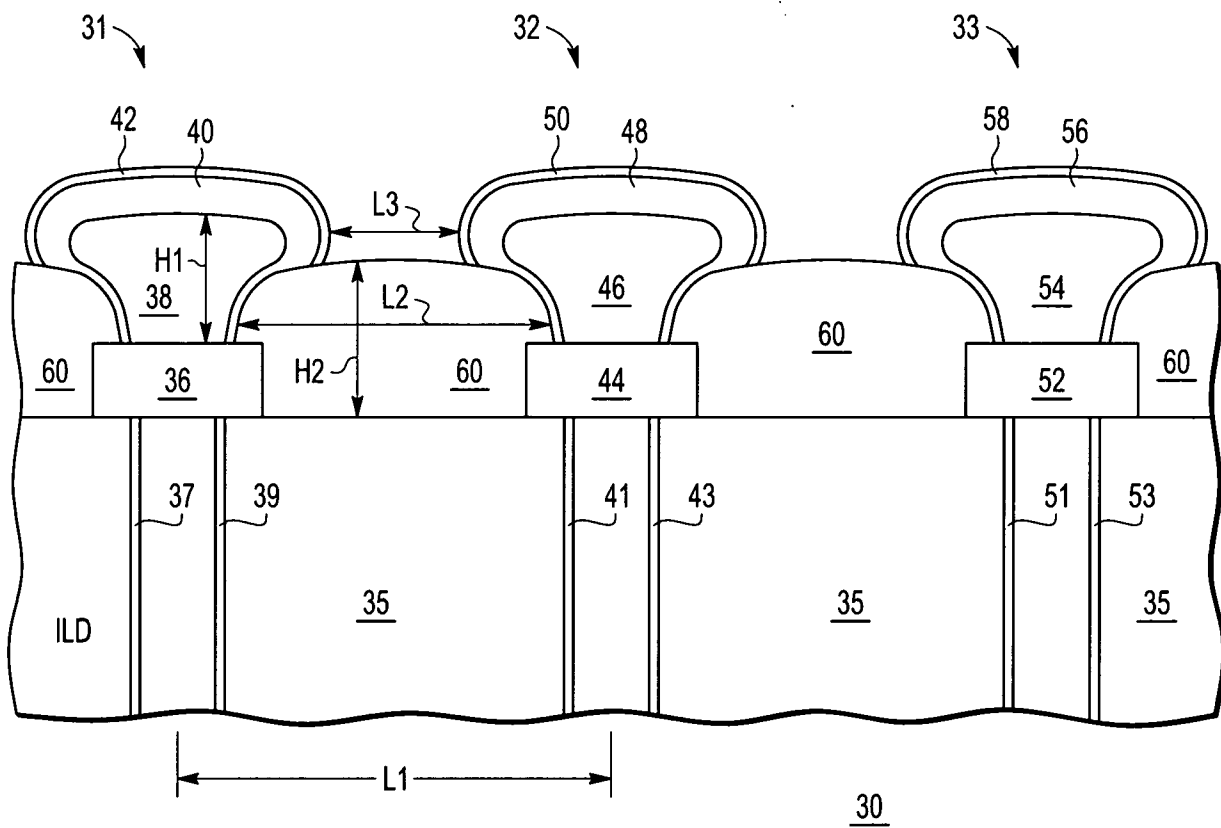
3/4



第 5 圖



第 6 圖



第 7 圖