



(12) 发明专利申请

(10) 申请公布号 CN 104347538 A

(43) 申请公布日 2015.02.11

(21) 申请号 201410355754.9

H01L 23/488 (2006.01)

(22) 申请日 2014.07.24

H01L 23/49 (2006.01)

(30) 优先权数据

H01L 21/50 (2006.01)

13/950,101 2013.07.24 US

H01L 21/60 (2006.01)

62/002,774 2014.05.23 US

H01L 21/56 (2006.01)

(71) 申请人 精材科技股份有限公司

地址 中国台湾桃园县中坜市中坜工业区吉林路23号9F

(72) 发明人 何彦仕 刘沧宇 张恕铭 黄玉龙 林超彦 孙唯伦 陈键辉

(74) 专利代理机构 北京林达刘知识产权代理事务所(普通合伙) 11277

代理人 刘新宇

(51) Int. Cl.

H01L 23/31 (2006.01)

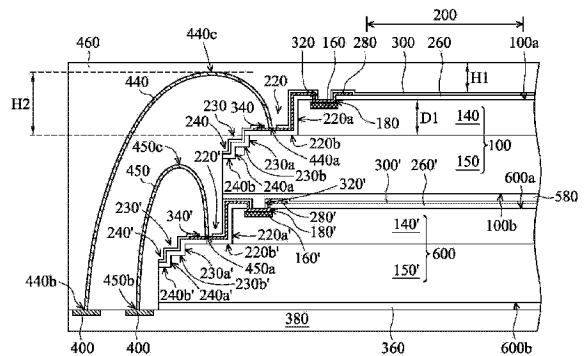
权利要求书3页 说明书12页 附图9页

(54) 发明名称

晶片堆叠封装体及其制造方法

(57) 摘要

本发明揭露一种晶片堆叠封装体及其制造方法,该晶片堆叠封装体包括:一装置基底,其具有一上表面、一下表面及一侧壁,装置基底包括邻近于上表面的一感测区或元件区及一信号接垫区、以及一浅凹槽结构沿着装置基底的侧壁自上表面朝下表面延伸;一重布线层电性连接信号接垫区且延伸至浅凹槽结构内;一第一基底设置于装置基底的下表面下方且位于装置基底与一第二基底之间;一接线的第一端点设置于浅凹槽结构内且电性连接重布线层,而第二端点与第一基底及/或第二基底电性连接。本发明能够提升的晶片堆叠封装体的感测区或元件区的敏感度,并缩小晶片堆叠封装体的尺寸,还可提升晶片堆叠封装体的品质。



1. 一种晶片堆叠封装体,其特征在于,包括:

一装置基底,具有一第一上表面、一第一下表面及一侧壁,其中该装置基底包括一浅凹槽结构以及邻近于该第一上表面的一感测区或元件区及一信号接垫区,且其中该浅凹槽结构沿着该装置基底的该侧壁自该第一上表面朝该第一下表面延伸;

一重布线层,电性连接该信号接垫区且延伸至该浅凹槽结构内;

一第一基底及一第二基底设置于该第一下表面下方,其中该第一基底位于该装置基底与该第二基底之间;以及

一接线,具有一第一端点及一第二端点,其中该第一端点设置于该浅凹槽结构内且电性连接该重布线层,且其中该第二端点与该第一基底及/或该第二基底电性连接。

2. 根据权利要求1所述的晶片堆叠封装体,其特征在于,该装置基底为一生物辨识晶片。

3. 根据权利要求2所述的晶片堆叠封装体,其特征在于,该生物辨识晶片为一指纹辨识晶片。

4. 根据权利要求1所述的晶片堆叠封装体,其特征在于,该第一基底为晶片或中介层。

5. 根据权利要求1所述的晶片堆叠封装体,其特征在于,该第二基底为晶片、中介层或电路板。

6. 根据权利要求1所述的晶片堆叠封装体,其特征在于,该浅凹槽结构包括:

一第一凹口,具有一第一侧壁及一第一底部,其中该重布线层延伸至该第一侧壁及该第一底部;以及

一第二凹口,位于该第一凹口下方,且具有一第二侧壁及一第二底部,其中该第二凹口自该第一底部朝该第一下表面延伸。

7. 根据权利要求6所述的晶片堆叠封装体,其特征在于,该第一底部的横向宽度大于该第二底部,且其中该接线的该第一端点设置于延伸至该第一底部的该重布线层上。

8. 根据权利要求6所述的晶片堆叠封装体,其特征在于,该重布线层还延伸至该第二侧壁及该第二底部,且该接线的该第一端点设置于延伸至该第二底部的该重布线层上,且其中该第二底部的横向宽度大于该第一底部。

9. 根据权利要求6所述的晶片堆叠封装体,其特征在于,该装置基底包括一绝缘层及一下层基底,且其中该第一凹口的该第一侧壁邻接该绝缘层及部分的该下层基底,且该第二凹口的该第二侧壁邻接该装置基底内的该下层基底。

10. 根据权利要求1所述的晶片堆叠封装体,其特征在于,该接线的该第二端点为焊接的起始点。

11. 根据权利要求1所述的晶片堆叠封装体,其特征在于,该第一基底具有一第二上表面、一第二下表面及一侧壁,且其中该第一基底包括一另一浅凹槽结构,沿着该第一基底的该侧壁自该第二上表面朝该第二下表面延伸。

12. 根据权利要求11所述的晶片堆叠封装体,其特征在于,该接线的该第二端点设置于该另一浅凹槽结构内。

13. 根据权利要求11所述的晶片堆叠封装体,其特征在于,还包括一另一接线,具有一第一端点及一第二端点,其中该另一接线的该第一端点设置于该另一浅凹槽结构内,且该另一接线的该第二端点设置于该第二基底上。

14. 根据权利要求 1 所述的晶片堆叠封装体,其特征在于,该接线的一最高部分低于该第一上表面。

15. 根据权利要求 1 所述的晶片堆叠封装体,其特征在于,还包括一封装层,该封装层覆盖该接线及该第一上表面,于该感测区或元件区上方形成一扁平化接触表面,其中该接线的一最高部分突出于该第一上表面,且该封装层于该感测区或元件区上的覆盖厚度决定于该接线的该最高部分与该浅凹槽结构的底部之间的距离与该浅凹槽结构的深度的差值。

16. 根据权利要求 1 所述的晶片堆叠封装体,其特征在于,延伸至该浅凹槽结构内的该重布线层接触该信号接垫区的一导电垫的侧壁。

17. 一种晶片堆叠封装体,其特征在于,包括:

一上基底,其具有一第一上表面、一第一下表面及一第一侧壁,其中该上基底包括:

一第一信号接垫区,邻近于该第一上表面;以及

一第一浅凹槽结构,沿着该上基底的该第一侧壁自该第一上表面朝该第一下表面延伸;

一下基底,其具有一第二上表面、一第二下表面及一第二侧壁,其中该下基底包括:

一第二信号接垫区,邻近于该第二上表面;以及

一第二浅凹槽结构,沿着该下基底的该第二侧壁自该第二上表面朝该第二下表面延伸;

一第一重布线层,其延伸至该第一浅凹槽结构内,并电性连接该第一信号接垫区;

一第二重布线层,其延伸至该第二浅凹槽结构内,并电性连接该第二信号接垫区;

一电路板;

一第一接线,设置于该第一浅凹槽结构内,且电性连接该第一重布线层及该上基底或该电路板;以及

一第二接线,设置于该第二浅凹槽结构内,且电性连接该第二重布线层及该下基底或该电路板。

18. 根据权利要求 17 所述的晶片堆叠封装体,其特征在于,该上基底为一生物辨识晶片。

19. 根据权利要求 18 所述的晶片堆叠封装体,其特征在于,该生物辨识晶片为一指纹辨识晶片。

20. 根据权利要求 18 所述的晶片堆叠封装体,其特征在于,该下基底为晶片或中介层。

21. 根据权利要求 17 所述的晶片堆叠封装体,其特征在于,该上基底及该下基底为相同的。

22. 根据权利要求 17 所述的晶片堆叠封装体,其特征在于,延伸至该第一浅凹槽结构内的该第一重布线层接触该第一信号接垫区的一导电垫的侧壁。

23. 一种晶片堆叠封装体的制造方法,其特征在于,包括:

提供一装置基底,该装置基底具有一第一上表面、一第一下表面及一侧壁,其中该装置基底包括:

一感测区或元件区及一信号接垫区,邻近于该第一上表面;以及

一浅凹槽结构,沿着该装置基底的该侧壁自该第一上表面朝该第一下表面延伸,其中该浅凹槽结构至少具有一第一凹口及一第二凹口,且该第二凹口位于该第一凹口下方;

形成一重布线层,该重布线层延伸至该浅凹槽结构内,并电性连接该信号接垫区;

于该第一下表面下方提供一第一基底及一第二基底,其中该第一基底位于该装置基底与该第二基底之间;

形成一接线,该接线具有一第一端点及一第二端点,其中该第一端点设置于该浅凹槽结构内且电性连接该重布线层,且其中该第二端点设置于该第一基底或该第二基底上,并与其电性连接;以及

通过一封装层覆盖该接线、该第一上表面、该第一基底及该第二基底,以形成一扁平化接触表面。

晶片堆叠封装体及其制造方法

技术领域

[0001] 本发明有关于一种晶片封装技术,特别为有关于一种晶片堆叠封装体及其制造方法。

背景技术

[0002] 晶片封装制程是形成电子产品过程中的重要步骤。晶片封装体除了将晶片保护于其中,使其免受外界环境污染外,还提供晶片内部电子元件与外界的电性连接通路。

[0003] 传统具有感测功能的晶片封装体,如图 1 所揭示的指纹辨识晶片封装体,包括设置于印刷电路板 510 上的指纹辨识晶片 520。通过多条接线 530 将指纹辨识晶片 520 的信号接垫区电性连接至印刷电路板 510。封装层 540 覆盖指纹辨识晶片 520 及接线 530。由于需通过封装层 540 保护突出于指纹辨识晶片 520 的上表面的接线 530,因此封装层 540 的厚度受限于接线 530 的高度。为了避免因封装层 540 太厚而影响位于指纹辨识晶片 520 中央的感测区 523 的敏感度,封装层 540 仅覆盖指纹辨识晶片 520 的周围而暴露出感测区 523。如此一来,晶片封装体无法于指纹辨识晶片 520 上形成平坦表面,且无法进一步缩小晶片堆叠封装体的尺寸。另外,由于接线 530 邻近于指纹辨识晶片 520 的边缘,因此容易于焊接过程中因碰触晶片边缘而造成短路或断线,致使良率下降。

[0004] 因此,有必要寻求一种新颖的晶片封装体及其制造方法,以降低封装层的厚度,进而提升晶片封装体的感测灵敏度,并提供一种具有扁平化接触表面及较小尺寸的晶片封装体。

发明内容

[0005] 本发明实施例提供一种晶片堆叠封装体,包括:一装置基底,其具有一第一上表面、一第一下表面及一侧壁,装置基底包括一浅凹槽结构以及邻近于第一上表面的一感测区或元件区及一信号接垫区,浅凹槽结构沿着装置基底的侧壁自第一上表面朝第一下表面延伸;一重布线层电性连接信号接垫区且延伸至浅凹槽结构内;一第一基底及一第二基底设置于第一下表面下方,其中第一基底位于装置基底与第二基底之间;一接线具有一第一端点及一第二端点,其中第一端点设置于浅凹槽结构内且电性连接重布线层,且第二端点与第一基底及/或第二基底电性连接。

[0006] 本发明实施例提供另一种晶片堆叠封装体,包括:一上基底,其具有一第一上表面、一第一下表面及一第一侧壁,上基底包括一第一浅凹槽结构以及一第一信号接垫区,第一浅凹槽结构沿着上基底的第一侧壁自第一上表面朝第一下表面延伸;一下基底具有一第二上表面、一第二下表面及一第二侧壁。下基底包括一第二浅凹槽结构以及一第二信号接垫区,第二浅凹槽结构沿着下基底的第二侧壁自第二上表面朝第二下表面延伸;一第一重布线层电性连接第一信号接垫区且延伸至第一浅凹槽结构内,一第二重布线层电性连接第二信号接垫区且延伸至第二浅凹槽结构内;一第一接线设置于第一浅凹槽结构内,且电性连接第一重布线层以及下基底或一电路板;一第二接线设置于第二浅凹槽结构内,且电性

连接第二重布线层以及上基底或电路板。

[0007] 本发明实施例提供一种晶片堆叠封装体的制造方法,包括:提供一装置基底,装置基底具有一第一上表面、一第一下表面及一侧壁,装置基底包括一浅凹槽结构以及邻近于第一上表面的一感测区或元件区及一信号接垫区,浅凹槽结构沿着装置基底的侧壁自第一上表面朝第一下表面延伸,且至少具有一第一凹口及一第二凹口,第二凹口位于第一凹口下方;形成一重布线层,重布线层延伸至浅凹槽结构内,并电性连接信号接垫区;于第一下表面下方提供一第一基底及一第二基底,其中第一基底位于装置基底与第二基底之间;形成一接线,接线具有一第一端点及一第二端点,其中第一端点设置于浅凹槽结构内且电性连接重布线层,且第二端点设置于第一基底或第二基底上,并与其电性连接;通过一封装层覆盖接线、第一上表面、第一基底及第二基底,以形成一扁平化接触表面。

[0008] 本发明能够提升的晶片堆叠封装体的感测区或元件区的敏感度,并缩小晶片堆叠封装体的尺寸,还可提升晶片堆叠封装体的品质。

附图说明

[0009] 图 1 绘示出传统晶片封装体的剖面示意图。

[0010] 图 2A 至 2B、2C-1、2D 至 2F 绘示出根据本发明一实施例的晶片堆叠封装体的制造方法的剖面示意图。

[0011] 图 2C-2 及图 2C-3 绘示出根据本发明各种实施例的晶片封装体的剖面示意图。

[0012] 图 3 及图 4 绘示出根据本发明各种实施例的晶片堆叠封装体的剖面示意图。

[0013] 图 5 及图 6 绘示出根据本发明各种实施例的晶片堆叠封装体的局部平面示意图。

[0014] 其中,附图中符号的简单说明如下:

[0015] 100 装置基底 / 上基底;

[0016] 100a 第一上表面;

[0017] 100b 第一下表面;

[0018] 120 晶片区;

[0019] 140、140'、260、260' 绝缘层;

[0020] 150、150' 基底;

[0021] 160、160' 信号接垫区;

[0022] 180、180'、320、320'、340、340' 开口;

[0023] 200 感测区或元件区;

[0024] 220、220' 第一凹口;

[0025] 220a、220a' 第一侧壁;

[0026] 220b、220b' 第一底部;

[0027] 230、230' 第二凹口;

[0028] 230a、230a' 第二侧壁;

[0029] 230b、230b' 第二底部;

[0030] 240、240' 第三凹口;

[0031] 240a、240a' 第三侧壁;

[0032] 240b、240b' 第三底部;

- [0033] 280、280'、281、282、283 重布线层；
- [0034] 300、300' 保护层；
- [0035] 360、580 粘着层；
- [0036] 380 第二基底；
- [0037] 400、400'、400" 导电垫；
- [0038] 440、450、451、452、453 接线；
- [0039] 440a、450a、451a、452a、453a 第一端点；
- [0040] 440b、450b、451b、452b、453b 第二端点；
- [0041] 440c、450c 最高部分；
- [0042] 460、540 封装层；
- [0043] 510 印刷电路板；
- [0044] 520 指纹辨识晶片；
- [0045] 523 感测区；
- [0046] 600 第一基底 / 下基底；
- [0047] 600a 第二上表面；
- [0048] 600b 第二下表面；
- [0049] D1、D2、D3 深度；
- [0050] H1 厚度；
- [0051] H2 距离。

具体实施方式

[0052] 以下将详细说明本发明实施例的制作与使用方式。然应注意的是，本发明提供许多可供应用的发明概念，其可以多种特定型式实施。文中所举例讨论的特定实施例仅为制造与使用本发明的特定方式，非用以限制本发明的范围。此外，在不同实施例中可能使用重复的标号或标示。这些重复仅为了简单清楚地叙述本发明，不代表所讨论的不同实施例及 / 或结构之间具有任何关连性。再者，当述及一第一材料层位于一第二材料层上或之上时，包括第一材料层与第二材料层直接接触或间隔有一或更多其他材料层的情形。

[0053] 本发明一实施例的晶片封装体可用以封装感测晶片，例如指纹辨识器等生物辨识晶片。然其应用不限于此，例如在本发明的晶片封装体的实施例中，其可应用于各种包含有源元件或无源元件 (active or passive elements)、数字电路或模拟电路 (digital or analog circuits) 等集成电路的电子元件 (electronic components)，例如有关于光电元件 (opto electronic devices)、微机电系统 (Micro Electro Mechanical System, MEMS)、微流体系统 (micro fluidic systems)、或利用热、光线、电容及压力等物理量变化来测量的物理感测器 (Physical Sensor)。特别是可选择使用晶圆级封装 (wafer scale package, WSP) 的部分或全部制程对影像感测元件、发光二极管 (light-emitting diodes, LEDs)、太阳能电池 (solar cells)、射频元件 (RF circuits)、加速计 (accelerators)、陀螺仪 (gyroscopes)、微制动器 (micro actuators)、表面声波元件 (surface acoustic wave devices)、压力感测器 (process sensors) 或喷墨头 (ink printer heads) 等半导体晶片进行封装。

[0054] 其中上述晶圆级封装制程主要是指在晶圆阶段完成封装步骤后,再予以切割成独立的封装体,然而,在一特定实施例中,例如将已分离的半导体晶片重新分布在一承载晶圆上,再进行封装制程,亦可称之为晶圆级封装制程。另外,上述晶圆级封装制程亦适用于通过堆叠(stack)方式安排具有集成电路的多片晶圆,以形成多层集成电路(multi-layer integrated circuit devices)的晶片封装体。

[0055] 请参照图 2F,其绘示出根据本发明一实施例的晶片堆叠封装体的剖面示意图。为了简化图式,此处仅绘示出一部分的晶片堆叠封装体。在本实施例中,晶片堆叠封装体包括一装置基底/上基底 100、一重布线层(redistribution layer, RDL)280、一第一基底 600、一第二基底 380 及一接线(wire)440。装置基底 100 具有一第一上表面 100a 及一第一下表面 100b。在一实施例中,装置基底 100 包括邻近于第一上表面 100a 的一绝缘层 140 以及邻近于第一下表面 100b 的一下层基底 150,一般而言,绝缘层 140 可由层间介电层(interlayer dielectric, ILD)、金属间介电层(inter-metal dielectric, IMD)及覆盖的钝化层(passivation)组成。在本实施例中,绝缘层 140 可包括无机材料,例如氧化硅、氮化硅、氮氧化硅、金属氧化物或前述的组合或其他适合的绝缘材料。在本实施例中,下层基底 150 可包括硅或其他半导体材料。

[0056] 在本实施例中,装置基底 100 包括一信号接垫区 160 以及一感测区或元件区 200,其可邻近于第一上表面 100a。在一实施例中,信号接垫区 160 包括多个导电垫,可为单层导电层或具有多层的导电层结构。为简化图式,此处仅以单层导电层作为范例说明,且仅绘示出绝缘层 140 内的一个导电垫作为范例说明。在本实施例中,绝缘层 140 内可包括一个或一个以上的开口 180,暴露出对应的导电垫。

[0057] 在一实施例中,装置基底 100 的装置区或感测区 200 内包括一感测元件,其可用以感测生物特征,亦即装置基底 100 是一生物感测晶片(例如,指纹辨识晶片)。在另一实施例中,装置基底 100 用以感测环境特征,例如装置基底 100 可包括一温度感测元件、一湿度感测元件、一压力感测元件、一电容感测元件或其他适合的感测元件。又一实施例中,装置基底 100 可包括一影像感测元件。在一实施例中,装置基底 100 内的感测元件可通过绝缘层 140 内的内连线结构(未绘示)与信号接垫区 160 电性连接。

[0058] 在本实施例中,装置基底 100 还包括一浅凹槽结构,其由一第一凹口 220、一第二凹口 230 及一第三凹口 240 所组成。第一凹口 220 沿着装置基底 100 的侧壁自第一上表面 100a 朝第一下表面 100b 延伸,以暴露出下层基底 150。第一凹口 220 包括一第一侧壁 220a 及一第一底部 220b。在一实施例中,第一凹口 220 的第一侧壁 220a 邻接绝缘层 140(即,第一侧壁 220a 为绝缘层 140 的一边缘)。在其他实施例中,第一侧壁 220a 可进一步延伸至下层基底 150 内。在本实施例中,第一凹口 220 的深度 D1 不大于 15 微米。在一实施例中,第一侧壁 220a 可大致上垂直于第一上表面 100a,举例来说,第一凹口 220 的第一侧壁 220a 与第一上表面 100a 之间的夹角可大约为 84° 至 90° 的范围。在其他实施例中,第一侧壁 220a 可大致上倾斜于第一上表面 100a,举例来说,第一凹口 220 的第一侧壁 220a 与第一上表面 100a 之间的夹角可大约为 55° 至 90° 的范围。

[0059] 第二凹口 230 沿着装置基底 100 的侧壁自第一凹口 220 的第一底部 220b 朝第一下表面 100b 延伸,且包括一第二侧壁 230a 及一第二底部 230b。在一实施例中,第二侧壁 230a 可大致上垂直于第一上表面 100a。在其他实施例中,第二侧壁 230a 可大致上倾斜于

第一上表面 100a。在一实施例中,第二凹口 230 的第二侧壁 230a 邻接基底 150。在一实施例中,第二凹口 230 的深度 D2(标示于图 2B 中)小于第一凹口 220 的深度 D1。在一实施例中,第二底部 230b 的宽度小于第一底部 220b 的宽度。

[0060] 第三凹口 240 沿着装置基底 100 的侧壁自第二凹口 230 的第二底部 230b 朝第一下表面 100b 延伸,且包括一第三侧壁 240a 及一第三底部 240b。在一实施例中,第三侧壁 240a 可大致上垂直于第一上表面 100a。在其他实施例中,第三侧壁 240a 可大致上倾斜于第一上表面 100a。在一实施例中,第三凹口 240 的深度 D3(标示于图 2B 中)等于第二凹口 230 的深度 D2。在其他实施例中,深度 D3 可小于或大于深度 D2。在一实施例中,第三底部 240b 的宽度等于第二底部 230b 的宽度。在其他实施例中,第三底部 240b 的宽度可小于或大于第二底部 230b 的宽度。

[0061] 在一实施例中,可选择设置一绝缘层 260 以顺应性设置于装置基底 100 的第一上表面 100a 上。绝缘层 260 经由第一凹口 220 及第二凹口 230 而延伸至第三侧壁 240a 及第三底部 240b,并暴露出部分的信号接垫区 160。在本实施例中,绝缘层 260 可包括无机材料,例如氧化硅、氮化硅、氮氧化硅、金属氧化物或前述的组合,或其他适合的绝缘材料。

[0062] 一图案化的重布线层 280 顺应性设置于绝缘层 260 上。重布线层 280 延伸至开口 180 内及第一凹口 220 的第一侧壁 220a 及第一底部 220b 上。重布线层 280 可经由开口 180 电性连接至信号接垫区 160。在其他实施例中,重布线层 280 可进一步延伸至第二底部 230b 或第三底部 240b 上。在一实施例中,当基底 150 包括半导体材料时,重布线层 280 可通过绝缘层 260 与半导体材料电性绝缘。在一实施例中,重布线层 280 可包括铜、铝、金、铂、镍、锡、前述的组合、导电高分子材料、导电陶瓷材料(例如,氧化铟锡或氧化铟锌)或其他适合的导电材料。

[0063] 一保护 (protection) 层 300 顺应性设置于重布线层 280 及绝缘层 260 上,且延伸至第一凹口 220、第二凹口 230 及第三凹口 240 内。保护层 300 内包括一个或一个以上的开口,暴露出重布线层 280 的一部分。在本实施例中,保护层 300 内包括开口 320 及 340,分别暴露出信号接垫区 160 上及第一凹口 220 内的重布线层 280。在另一实施例中,保护层 300 内可仅包括开口 340,例如信号接垫区 160 上的重布线层 280 被保护层 300 完全覆盖。在其他实施例中,保护层 300 内可包括多个开口 340,分别暴露出第一凹口 220、第二凹口 230 及第三凹口 240 内的重布线层 280 一部分。在本实施例中,保护层 300 可包括无机材料,例如,氧化硅、氮化硅、氮氧化硅、金属氧化物或前述的组合,或其他适合的绝缘材料。

[0064] 第一基底/下基底 600 具有一第二上表面 600a 及一第二下表面 600b,且通过一粘着层(例如,粘着胶 (glue))580 贴附于装置基底 100 的第一下表面 100b 上。在一实施例中,第一基底 600 为晶片(例如,处理器)或中介层 (interposer)。再者,第一基底 600 的尺寸大于装置基底 100 的尺寸。在一实施例中,第一基底 600 的结构相同于装置基底 100 的结构,举例来说,第一基底 600 包括邻近于第二上表面 600a 的一绝缘层 140' 以及邻近于第二下表面 600b 的一下层基底 150'。再者,第一基底 600 还包括一信号接垫区 160',其可邻近于第二上表面 600a,以及一浅凹槽结构,其沿着第一基底 600 的侧壁自第二上表面 600a 朝第二下表面 600b 延伸。浅凹槽结构由一第一凹口 220'、一第二凹口 230' 及一第三凹口 240' 所组成。在其他实施例中,第一基底 600 的结构可不同于装置基底 100 的结构。

[0065] 另外,当第一基底 600 的结构相同于装置基底 100 的结构时,一绝缘层 260'、一重

布线层 280' 及一保护层 300' 依序设置于第二上表面 600a 上,且位于第一基底 600 与装置基底 100 之间。位于第一基底 600 上或内的部件 140'、150'、160'、180'、220'、220a'、220b'、230'、230a'、230b'、240'、240a'、240b'、260'、280'、300'、320'、340' 分别相同于位于装置基底 100 上或内的部件 140、150、160、180、220、220a、220b、230、230a、230b、240、240a、240b、260、280、300、320、340,此处省略其说明。

[0066] 第二基底 380 通过一粘着层(例如,粘着胶(glue))360 贴附于第二下表面 600b 上。在本实施例中,第二基底 380 可为晶片、中介层或电路板。以电路板为例,电路板可具有一个或一个以上的导电垫 400 邻近于其上表面。类似地,在一实施例中,导电垫 400 可为单层导电层或具有多层的导电层结构。为简化图式,此处仅绘示出由单层导电层所构成的两个导电垫 400 作为范例说明。

[0067] 接线 440 具有一第一端点 440a 及一第二端点 440b。第一端点 440a 设置于装置基底 100 的浅凹槽结构内,且通过开口 340 而电性连接延伸至第一底部 220b 的重布线层 280。第二端点 440b 设置于第二基底 380 的其中一个导电垫 400 上,并与其电性连接。在一实施例中,接线 440 的一最高部分 440c 突出于第一上表面 100a。在其他实施例中,接线 440 的最高部分 440c 可低于第一上表面 100a。在本实施例中,接线 440 的第二端点 440b 为焊接的起始点。再者,接线 440 可包括金或其他适合的导电材料。

[0068] 在另一实施例中,当装置基底 100 上的重布线层 280 延伸至第二底部 230b,且保护层 300 内的开口 340 位于第二凹口 230 内时,第一端点 440a 可设置于装置基底 100 的第二凹口 230 内,且通过开口 340 电性连接延伸至第二底部 230b 的重布线层 280。在其他实施例中,当装置基底 100 上的重布线层 280 延伸至第三底部 240b,且保护层 300 内的开口 340 位于第二凹口 230 或第三凹口 240 内时,第一端点 440a 可设置于装置基底 100 的第二凹口 230 或第三凹口 240 内,此时第二凹口 230 或第三凹口 240 的深度可大于第一凹口 220 的深度,且第二底部 230b 或第三底部 240b 的横向宽度可大于第一底部 220b 的横向宽度。

[0069] 在本实施例中,晶片堆叠封装体还包括一接线 450,其具有一第一端点 450a 及一第二端点 450b。第一端点 450a 设置于第一基底 600 的浅凹槽结构内,且通过开口 340' 而电性连接延伸至第一底部 220b' 的重布线层 280'。第二端点 450b 设置于第二基底 380 的另一个导电垫 400 上,并与其电性连接。在一实施例中,接线 450 的一最高部分 450c 突出于第一上表面 100a。在其他实施例中,接线 450 的最高部分 450c 可低于第一上表面 100a。在本实施例中,接线 450 的第二端点 450b 为焊接的起始点。再者,接线 450 可包括金或其他适合的导电材料。类似于接线 440 的第二端点 440b,在其他实施例中,接线 450 的第二端点 450b 可设置于第一基底 600 的第二凹口 230' 或第三凹口 240' 内。

[0070] 一封装层(encapsulant)460 可选择性(optionally)覆盖接线 440 及 450、第一基底 600 及第二基底 380 或进一步延伸至第一上表面 100a 上,以于感测区或元件区 200 上方形成一扁平化接触表面。在本实施例中,封装层 460 可由形塑材料(molding material)或密封材料(sealing material)所构成。

[0071] 在一实施例中,当接线 440 的最高部分 440c 突出于第一上表面 100a 时,封装层 460 于感测区或元件区 200 的覆盖厚度 H1 决定于接线 440 的最高部分 440c 与第一凹口 220 的第一底部 220b 之间的距离 H2 与第一凹口 220 的深度 D1 的差值(即, H2-D1)。因此通过调整第一凹口 220 的深度 D1,可以降低封装层 460 于感测区或元件区 200 的覆盖厚度 H1,

使得感测区或元件区 200 的敏感度可提升。

[0072] 在一实施例中,可另外设置一装饰层(未绘示)于封装层 460 上,且可依据设计需求而具有色彩,以显示具有感测功能的区域。一保护层(未绘示,例如蓝宝石基底或硬塑胶(hard rubber))可另外设置于装饰层上,以进一步提供耐磨、防刮及高可靠度的表面,进而避免在使用晶片堆叠封装体的感测功能的过程中感测装置受到污染或破坏。

[0073] 请参照图 3 及图 4,其绘示出根据本发明各种实施例的晶片堆叠封装体的剖面示意图,其中相同于图 2F 中的部件使用相同的标号并省略其说明。为了简化图式,此处仅绘示出一部分的晶片堆叠封装体。图 3 中的晶片堆叠封装体的结构类似于图 2F 中的晶片堆叠封装体的结构,差异在于图 3 中装置基底 100 内的第二底部 230b 的宽度大于装置基底 100 内的第一底部 220b 的宽度。同时,重布线层 280 进一步延伸至装置基底 100 内的第二侧壁 230a 及第二底部 230b,开口 340 位于装置基底 100 内的第二凹口 230 中,且接线 440 的第一端点 440a 形成于延伸至第二底部 230b 的重布线层 280,并通过开口 340 与其电性连接。如此一来,接线 440 的最高部分 440c 可低于第一上表面 100a。

[0074] 图 4 中的晶片堆叠封装体的结构类似于图 3 中的晶片堆叠封装体的结构,差异在于图 4 中装置基底 100 内的第一凹口 220 进一步延伸至基底 150 内,使得接线 440 的最高部分 440c 可低于第一上表面 100a。再者,接线 440 的第二端点 440b 设置于第一基底 600 内的浅凹槽结构内,举例来说,第二端点 440b 设置于延伸至第一基底 600 内的第一底部 220b' 的重布线层 280',并通过开口 340' 与其电性连接。另外,第一基底 600 上的重布线层 280' 进一步延伸至第二侧壁 230a' 及第二底部 230b',且第一基底 600 上的保护层 300' 还包括暴露出重布线层 280' 的另一开口 340'。接线 450 的第一端点 450a 设置于延伸至第一基底 600 内的第二底部 230b' 的重布线层 280',并通过开口 340' 与其电性连接。

[0075] 请参照图 5 及图 6,其绘示出根据本发明各种实施例的晶片堆叠封装体的局部平面示意图,其中相同于图 2F、图 3 及图 4 中的部件使用相同的标号并省略其说明。类似于图 2F、图 3 及图 4 中的晶片堆叠封装体,图 5 及图 6 中的晶片堆叠封装体包括一装置基底、一第一基底 600 及一第二基底 380,垂直堆叠于一封装层内。为简化图式,图 5 及图 6 中未绘示出第一基底 600 上的装置基底及封装层。

[0076] 如图 5 所示,第一凹口 220'、第二凹口 230' 及第三凹口 240' 横向地沿着第一基底 600 的一边缘延伸。重布线层 281、282 及 283 设置于第一基底 600 的上表面,且电性连接第一基底 600 中对应的信号接垫区 160',并分别延伸至第一凹口 220'、第二凹口 230' 及第三凹口 240'。为了清楚显示晶片堆叠封装体内的部件的相对位置,用虚线表示信号接垫区 160' 及重布线层 281、282 及 283 的轮廓。

[0077] 保护层 300' 覆盖第一基底 600,且包括多个开口 340' 分别暴露出第一凹口 220' 内的重布线层 281 的一部分、第二凹口 230' 内的重布线层 282 的一部分以及第三凹口 240' 内的重布线层 283 的一部分。重布线层 281、282 及 283 分别通过接线 451、452 及 453 电性连接第二基底 380 的导电垫 400、400' 及 400"。举例来说,接线 451 的第一端点 451a 设置于第一凹口 220' 内的重布线层 281 上并通过开口 340' 与其电性连接,且接线 451 的第二端点 451b 设置于导电垫 400 上并与其电性连接。接线 452 的第一端点 452a 设置于第二凹口 230' 内的重布线层 282 上并通过开口 340' 与其电性连接,且接线 452 的第二端点 452b 设置于导电垫 400' 上并与其电性连接。接线 453 的第一端点 453a 设置于第三凹口 240'

内的重布线层 283 上并通过开口 340' 与其电性连接,且接线 453 的第二端点 453b 设置于导电垫 400" 上并与其电性连接。在本实施例中,第二端点 451b、452b 及 453b 为焊接的起始点。

[0078] 图 6 中的晶片堆叠封装体的结构类似于图 5 中的晶片堆叠封装体的结构,差异在于图 6 中所有的重布线层 281、282 及 283 皆延伸至第三凹口 240'。再者,第二凹口 230' 内的保护层 300' 包括两个开口 340',分别暴露出重布线层 281 及 282 的一部分,且第三凹口 240' 内的保护层 300' 包括三个开口 340',分别暴露出重布线层 281、282 及 283 的一部分。

[0079] 在一实施例中,第一凹口 220'、第二凹口 230' 及第三凹口 240' 内的重布线层 281 所暴露出的部分通过三个接线 451 电性连接至同一导电垫 400。第二凹口 230' 内的重布线层 282 所暴露出的部分通过接线 452 电性连接至对应的导电垫 400'。再者,第三凹口 240' 内的重布线层 282 及 283 所暴露出的部分分别通过接线 452 及 453 电性连接至同一导电垫 400"。

[0080] 另外,虽然未绘示于图式中,可以理解的是,只要重布线层电性连接至导电垫,重布线层、保护层内的开口及接线皆可具有其他的配置方式。再者,图 5 及图 6 中第一基底与第二基底之间的接线配置方式也可应用于装置基底与第一基底之间或装置基底与第二基底之间。

[0081] 根据本发明的上述实施例,由于装置基底 100 包括浅凹槽结构,且接线 440 的第一端点 440a 设置于其中,可缩短接线 440 的最高部分 440c 与第一上表面 100a 之间的距离,因此能够降低封装层 460 覆盖感测区或元件区 200 的厚度 H1。再者,可通过将接线 440 的最高部分 440c 调整为低于第一上表面 100a,进一步降低厚度 H1。如此一来,可提升感测区或元件区 200 的敏感度及晶片堆叠封装体的品质。再者,晶片堆叠封装体的尺寸也可进一步缩小,且能够在感测区或元件区 200 上方形成扁平化接触表面。

[0082] 以下配合图 2A 至图 2F 说明本发明一实施例的晶片堆叠封装体的制造方法,其中图 2A 至 2B、2C-1、2D 至 2F 绘示出根据本发明一实施例的晶片堆叠封装体的制造方法的剖面示意图,且图 2C-2 及图 2C-3 绘示出根据本发明各种实施例的晶片封装体的剖面示意图。

[0083] 请参照图 2A,提供具有多个晶片区 120 的一装置基底 100(例如,晶圆)。为简化图式,此处仅绘示出单一晶片区 120 的一部分。装置基底 / 上基底 100 具有一第一上表面 100a 及一第一下表面 100b。在一实施例中,装置基底 100 包括邻近于第一上表面 100a 的一绝缘层 140 以及邻近于第一下表面 100b 的一下层基底 150,一般而言,绝缘层 140 可由层间介电层 (ILD)、金属间介电层 (IMD) 及覆盖的钝化层组成。在本实施例中,绝缘层 140 可包括无机材料,例如氧化硅、氮化硅、氮氧化硅、金属氧化物或前述的组合或其他适合的绝缘材料。在本实施例中,下层基底 150 可包括硅或其他半导体材料。

[0084] 在本实施例中,每一晶片区 120 内的装置基底 100 包括一信号接垫区 160 以及一感测区或元件区 200,其可邻近于第一上表面 100a。在一实施例中,信号接垫区 160 包括多个导电垫,可为单层导电层或具有多层的导电层结构。为简化图式,此处仅以单层导电层作为范例说明,且仅绘示出绝缘层 140 内的一个导电垫作为范例说明。在本实施例中,绝缘层 140 内可包括一个或一个以上的开口 180,暴露出对应的导电垫。

[0085] 在本实施例中,装置基底 100 的装置区或感测区 200 内包括一感测元件,其可用以感测生物特征,亦即装置基底 100 是一生物感测晶片(例如,指纹辨识晶片)。在另一实施

例中,装置基底 100 用以感测环境特征,例如装置基底 100 可包括一温度感测元件、一湿度感测元件、一压力感测元件、一电容感测元件或其他适合的感测元件。又一实施例中,装置基底 100 可包括一影像感测元件。在一实施例中,装置基底 100 内的感测元件可通过绝缘层 140 内的内连线结构(未绘示)与信号接垫区 160 电性连接。

[0086] 请参照图 2B,可通过微影制程及蚀刻制程(例如,干蚀刻制程、湿蚀刻制程、等离子蚀刻制程、反应性离子蚀刻制程或其他适合的制程)或切割制程,在每一晶片区 120 内的装置基底 100 内形成一浅凹槽结构。在一实施例中,通过多次微影及蚀刻制程或切割制程形成浅凹槽结构,其由一第一凹口 220、一第二凹口 230 及一第三凹口 240 所组成。第一凹口 220 沿着晶片区 120 之间的切割道(未绘示)自第一上表面 100a 朝第一下表面 100b 延伸,并穿过绝缘层 140,以暴露出下层基底 150。第一凹口 220 包括一第一侧壁 220a 及一第一底部 220b。在一实施例中,第一凹口 220 的第一侧壁 220a 邻接绝缘层 140(即,第一侧壁 220a 为绝缘层 140 的一边缘)。在其他实施例中,第一侧壁 220a 可进一步延伸至下层基底 150 内。在本实施例中,第一凹口 220 的深度 D1 不大于 15 微米。在一实施例中,当第一凹口 220 通过蚀刻绝缘层 140 所形成时,第一侧壁 220a 可大致上垂直于第一上表面 100a,举例来说,第一凹口 220 的第一侧壁 220a 与第一上表面 100a 之间的夹角可大约为 84° 至 90° 的范围。在其他实施例中,当第一凹口 220 通过切割绝缘层 140 所形成时,第一侧壁 220a 可大致上倾斜于第一上表面 100a,举例来说,第一凹口 220 的第一侧壁 220a 与第一上表面 100a 之间的夹角可大约为 55° 至 90° 的范围。

[0087] 第二凹口 230 沿着晶片区 120 之间的切割道(未绘示)自第一凹口 220 的第一底部 220b 朝第一下表面 100b 延伸,且包括一第二侧壁 230a 及一第二底部 230b。在一实施例中,第二侧壁 230a 可大致上垂直于第一上表面 100a。在其他实施例中,第二侧壁 230a 可大致上倾斜于第一上表面 100a。在一实施例中,第二凹口 230 的第二侧壁 230a 邻接基底 150。在一实施例中,第二凹口 230 的深度 D2 小于第一凹口 220 的深度 D1。在一实施例中,第二底部 230b 的宽度小于第一底部 220b 的宽度。

[0088] 第三凹口 240 沿着晶片区 120 之间的切割道(未绘示)自第二凹口 230 的第二底部 230b 朝第一下表面 100b 延伸,且包括一第三侧壁 240a 及一第三底部 240b。在一实施例中,第三侧壁 240a 可大致上垂直于第一上表面 100a。在其他实施例中,第三侧壁 240a 可大致上倾斜于第一上表面 100a。在一实施例中,第三凹口 240 的深度 D3 等于第二凹口 230 的深度 D2。在其他实施例中,深度 D3 可小于或大于深度 D2。在一实施例中,第三底部 240b 的宽度等于第二底部 230b 的宽度。在其他实施例中,第三底部 240b 的宽度可小于或大于第二底部 230b 的宽度。

[0089] 请参照图 2C-1,可通过沉积制程(例如,涂布制程、物理气相沉积制程、化学气相沉积制程或其他适合的制程),在装置基底 100 的第一上表面 100a 上顺应性形成一绝缘层 260。绝缘层 260 延伸至绝缘层 140 的开口 180 内,且经由第一凹口 220 及第二凹口 230 而延伸至第三侧壁 240a 及第三底部 240b。在本实施例中,绝缘层 260 可包括无机材料,例如氧化硅、氮化硅、氮氧化硅、金属氧化物或前述的组合,或其他适合的绝缘材料。

[0090] 接着,可通过微影制程及蚀刻制程(例如,干蚀刻制程、湿蚀刻制程、等离子蚀刻制程、反应性离子蚀刻制程或其他适合的制程),去除开口 180 内的绝缘层 260,以暴露出部分的信号接垫区 160。接着,可通过沉积制程(例如,涂布制程、物理气相沉积制程、化学

气相沉积制程、电镀制程、无电镀制程或其他适合的制程)、微影制程及蚀刻制程,在绝缘层 260 上形成一图案化的重布线层 280。

[0091] 重布线层 280 顺应性延伸至开口 180 内及第一凹口 220 的第一侧壁 220a 及第一底部 220b 上,且可经由开口 180 电性连接暴露出的信号接垫区 160。在一实施例中,重布线层 280 未延伸至第一凹口 220 的第一底部 220b 的边缘。在其他实施例中,重布线层 280 可进一步延伸至第二底部 230b 或第三底部 240b 上,此时第二凹口 230 或第三凹口 240 的深度可大于第一凹口 220 的深度,且第二底部 230b 或第三底部 240b 的横向宽度可大于第一底部 220b 的横向宽度。在一实施例中,当基底 150 包括半导体材料时,重布线层 280 可通过绝缘层 260 与半导体材料电性绝缘。在一实施例中,重布线层 280 可包括铜、铝、金、铂、镍、锡、前述的组合、导电高分子材料、导电陶瓷材料(例如,氧化铜锡或氧化铜锌)或其他适合的导电材料。

[0092] 在另一实施例中,如图 2C-2 所示,当信号接垫区 160 的导电垫选择性朝向绝缘层 140 的侧壁延伸,且绝缘层 140 完全覆盖信号接垫区 160 的导电垫(即,绝缘层 140 不具有图 2C-1 中的开口 180)时,可通过切割制程,将信号接垫区 160 外侧一部分的绝缘层 260 及绝缘层 140 去除,以暴露出信号接垫区 160 的导电垫的侧壁。再者,导电垫的侧壁与绝缘层 140 的边缘共平面。如此一来,延伸至浅凹槽结构的重布线层 280 直接接触导电垫暴露出的侧壁。

[0093] 在其他实施例中,如图 2C-3 所示,可通过形成第一凹口 220 的步骤,同时暴露出信号接垫区 160 的导电垫的侧壁,使得导电垫的侧壁与第一凹口 220 的第一侧壁 220a 共平面。在绝缘层 260 形成于浅凹槽结构内的后,可通过切割制程将延伸至第一侧壁 220a 的绝缘层 260 去除,以再次暴露出导电垫的侧壁。如此一来,重布线层 280 可直接接触导电垫暴露出的侧壁。

[0094] 在形成重布线层 280 之后(如图 2C-1 至图 2C-3 所示),可通过沉积制程(例如,涂布制程、物理气相沉积制程、化学气相沉积制程或其他适合的制程),在重布线层 280 及绝缘层 260 上顺应性形成一保护层 300。此处仅以图 2C-1 中的结构为例,保护层 300 延伸至第一凹口 220、第二凹口 230 及第三凹口 240 内,如图 2D 所示。在本实施例中,保护层 300 可包括无机材料例如,氧化硅、氮化硅、氮氧化硅、金属氧化物或前述的组合或其他适合的绝缘材料。

[0095] 接着,可通过微影制程及蚀刻制程(例如,干蚀刻制程、湿蚀刻制程、等离子蚀刻制程、反应性离子蚀刻制程或其他适合的制程),在保护层 300 内形成一个或一个以上的开口,暴露出重布线层 280 的一部分。在本实施例中,开口 320 及 340 形成于保护层 300 内,以分别暴露出信号接垫区 160 上及第一凹口 220 内的重布线层 280。在另一实施例中,可仅形成开口 340 于保护层 300 内。在其他实施例中,保护层 300 内可包括多个开口 340,分别暴露出第一凹口 220、第二凹口 230 及第三凹口 240 内的重布线层 280 一部分。可以理解的是,保护层 300 内的开口的数量及位置取决于设计需求而并不限于此。

[0096] 接着,沿着晶片区 120 之间的切割道(未绘示),对装置基底 100 进行切割制程,以形成多个独立的晶片。在进行切割制程之后,每一晶片的装置基底 100 内的第一凹口 220 沿着装置基底 100 的侧壁自第一上表面 100a 朝第一下表面 100b 延伸。再者,第二凹口 230 沿着装置基底 100 的侧壁自第一凹口 220 的第一底部 220b 朝第一下表面 100b 延伸,且第

三凹口 240 沿着装置基底 100 的侧壁自第二凹口 230 的第二底部 230b 朝第一下表面 100b 延伸。

[0097] 请参照图 2E, 提供一第一基底 / 下基底 600 及一第二基底 380。可通过一粘着层 (例如, 粘着胶) 360, 将一第一基底 600 贴附于第二基底 380 的上表面上。在本实施例中, 第一基底 600 为晶片 (例如, 处理器) 或中介层。在一实施例中, 第一基底 600 的结构相同于装置基底 100 的结构, 且第一基底 600 的制造方法可相同或类似于上述装置基底 100 的制造方法。位于第一基底 600 上或内的部件 140'、150'、160'、180'、220'、220a'、220b'、230'、230a'、230b'、240'、240a'、240b'、260'、280'、300'、320'、340' 分别相同于位于装置基底 100 上或内的部件 140、150、160、180、220、220a、220b、230、230a、230b、240、240a、240b、260、280、300、320、340, 此处省略其说明。在其他实施例中, 第一基底 600 的结构可不同于装置基底 100 的结构。

[0098] 在本实施例中, 第二基底 380 可为晶片、中介层或电路板。以电路板为例, 电路板可具有一个或一个以上的导电垫 400 邻近于其上表面。类似地, 在一实施例中, 导电垫 400 可为单层导电层或具有多层的导电层结构。为简化图式, 此处仅绘示出由单层导电层所构成的两个导电垫 400 作为范例说明。

[0099] 接着, 可通过一粘着层 (例如, 粘着胶) 580, 将独立的晶片的装置基底 100 贴附于第一基底 600 的第一上表面 600b。在本实施例中, 第一基底 600 的尺寸大于装置基底 100 的尺寸, 使得装置基底 100 不会遮蔽第一基底 600 的浅凹槽结构。

[0100] 请参照图 2F, 可通过焊接 (Wire Bonding) 制程, 在第二基底 380 上形成接线 440 及 450, 其分别电性连接至装置基底 100 及第一基底 600。举例来说, 接线 440 的第二端点 440b 可先形成于第二基底 380 的其中一个导电垫 400 上, 而接线 440 的第一端点 440a 后续形成于延伸至装置基底 100 的第一底部 220b 的重布线层 280 上, 并与其电性连接。类似地, 接线 450 的第二端点 450b 可先形成于第二基底 380 的另一个导电垫 400 上, 而接线 450 的第一端点 450a 后续形成于延伸至第一基底 600 的第一底部 220b' 的重布线层 280' 上, 并与其电性连接。在本实施例中, 接线 440 的第二端点 440b 及 / 或接线 450 的第二端点 450b 为焊接的起始点。再者, 接线 440 及 450 可包括金或其他适合的导电材料。

[0101] 在一实施例中, 接线 440 的最高部分 440c 突出于第一上表面 100a。在其他实施例中, 接线 440 的最高部分 440c 可低于第一上表面 100a。在一实施例中, 接线 450 的一最高部分 450c 突出于第一上表面 100a。在其他实施例中, 接线 450 的最高部分 450c 可低于第一上表面 100a。

[0102] 接着, 如图 2F 所示, 可通过模塑成型 (molding) 制程或其他适合的制程, 在装置基底 100 的第一上表面 100a 上形成一封装层 460, 其可选择性覆盖接线 440 及 450、第一基底 600 及第二基底 380 或进一步延伸至第一上表面 100a 上, 以于感测区或元件区 200 上方形成一扁平化接触表面。在本实施例中, 封装层 460 可由形塑材料或密封材料所构成。

[0103] 在一实施例中, 当接线 440 的最高部分 440c 突出于第一上表面 100a 时, 封装层 460 于感测区或元件区 200 的覆盖厚度 H1 决定于接线 440 的最高部分 440c 与第一底部 220b 之间的距离 H2 与第一凹口 220 的深度 D1 的差值 (即, H2-D1)。因此通过调整第一凹口 220 的深度 D1, 可以降低封装层 460 于感测区或元件区 200 的覆盖厚度 H1, 使得感测区或元件区 200 的敏感度可提升。

[0104] 接着,可通过沉积制程(例如,涂布制程或其他适合的制程),在封装层 460 上形成一装饰层(未绘示),其可依据设计需求而具有色彩,以显示具有感测功能的区域。接着,可通过沉积制程(例如,涂布制程、物理气相沉积制程、化学气相沉积制程或其他适合的制程),在装饰层 480 上形成一保护层(未绘示,例如蓝宝石基底或硬塑胶),以进一步提供耐磨、防刮及高可靠度的表面。

[0105] 根据本发明的上述实施例,由于接线 440 的第一端点 440a 形成于装置基底 100 的浅凹槽结构内,可降低封装层 460 覆盖感测区或元件区 200 的厚度 H1,因此能够提升感测区或元件区 200 的敏感度,并缩小晶片堆叠封装体的尺寸。

[0106] 再者,由于可通过在装置基底 100 内形成多个连续的凹口来尽可能降低最高部分 440c,而并非仅形成单一凹口且将其直接向下延伸,因此可避免去除过多基底材料,使得装置基底 100 能够维持足够的结构强度,且防止因过度蚀刻造成绝缘层 140 与基底 150 之间的界面出现底切现象。再者,通过形成第二凹口 230 或是形成第二凹口 230 及第二凹口 240,可增加接线 440 与第一凹口 220 的第一底部 220b 的间距,因此可减少焊接制程期间接线 440 因碰触第一凹口 220 的边缘而发生短路或断线的机率。如此一来,可提升晶片堆叠封装体的品质。

[0107] 以上所述仅为本发明较佳实施例,然其并非用以限定本发明的范围,任何熟悉本项技术的人员,在不脱离本发明的精神和范围内,可在此基础上做进一步的改进和变化,因此本发明的保护范围当以本申请的权利要求书所界定的范围为准。

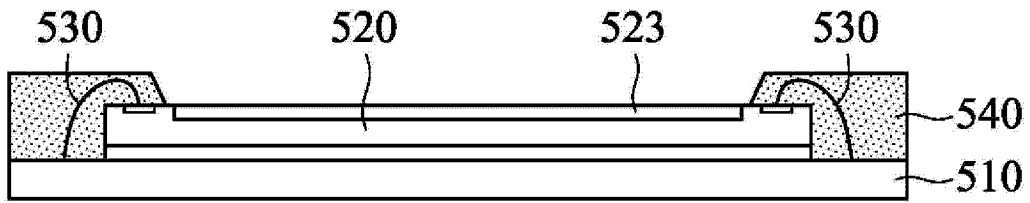


图 1

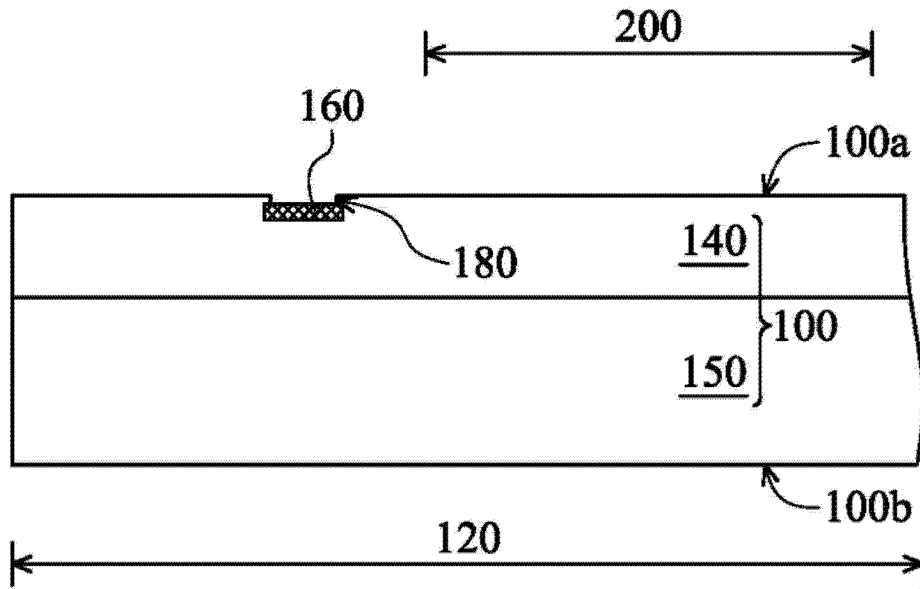


图 2A

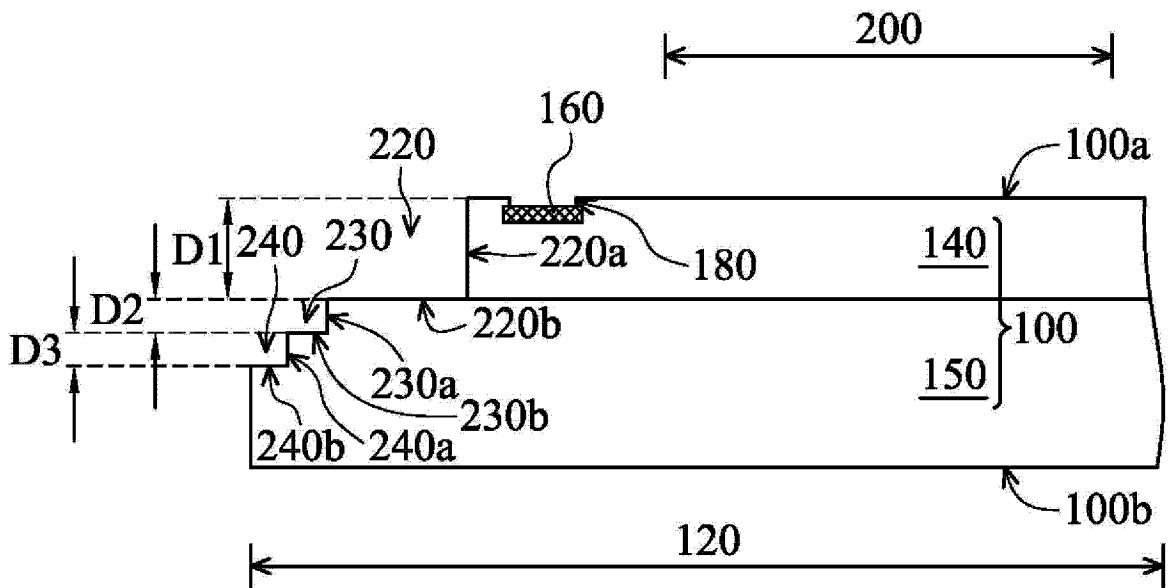


图 2B

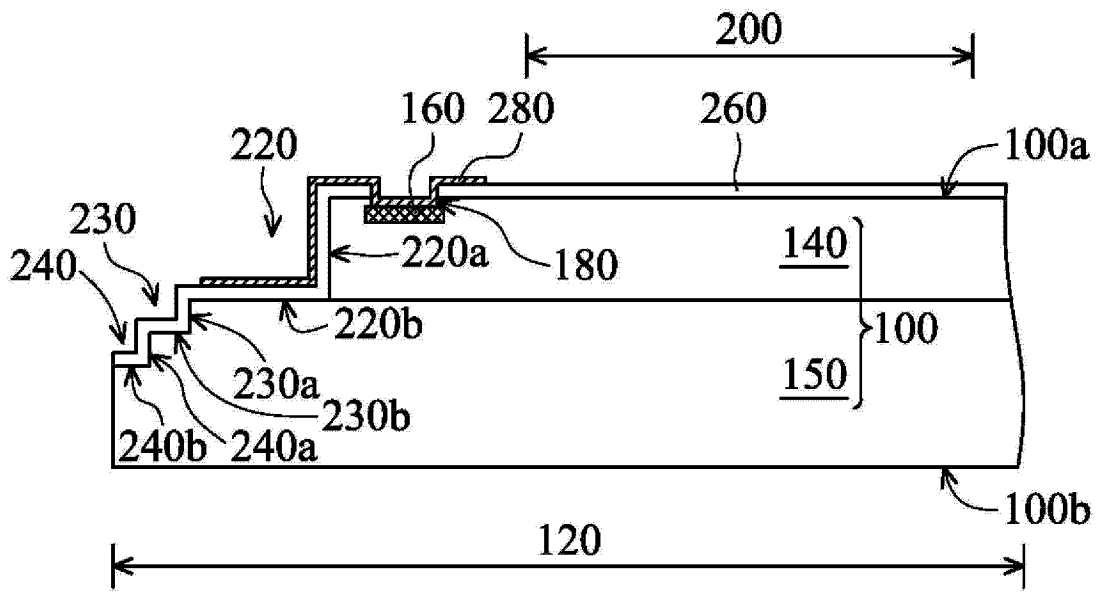


图 2C-1

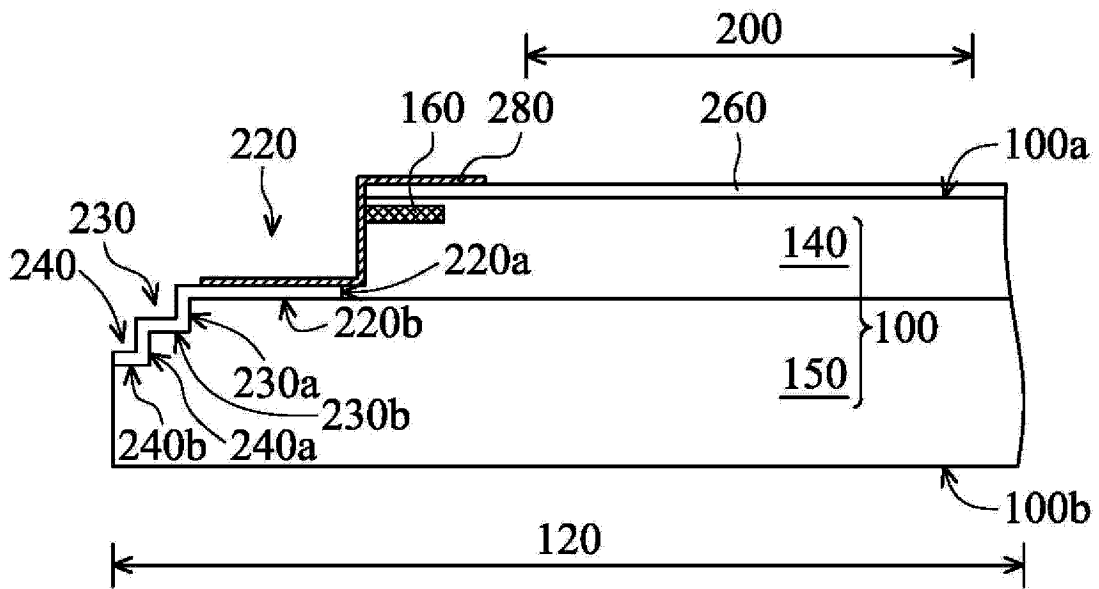


图 2C-2

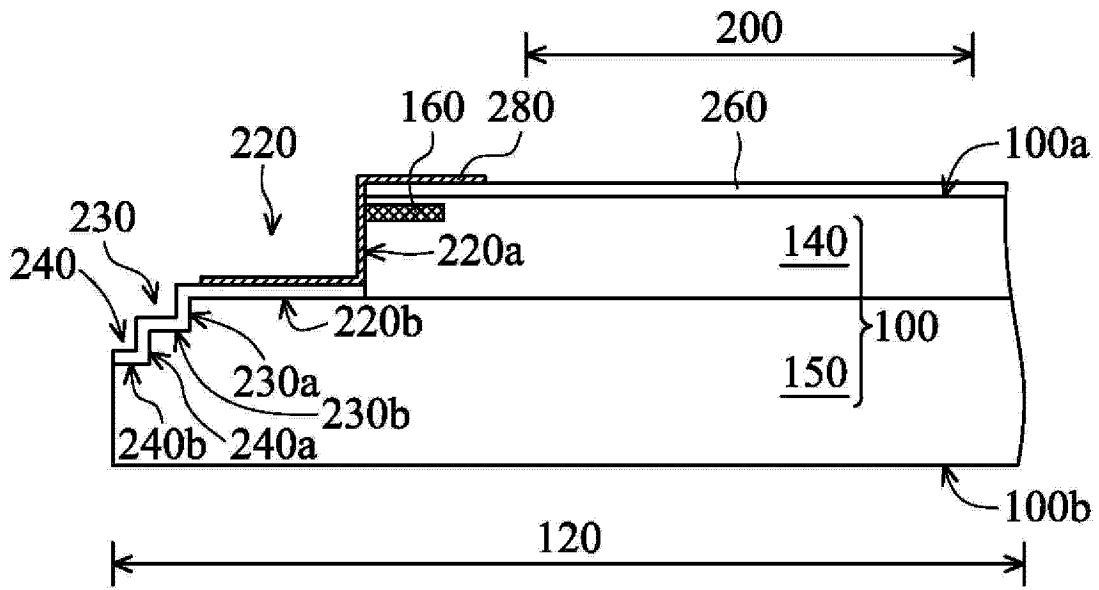


图 2C-3

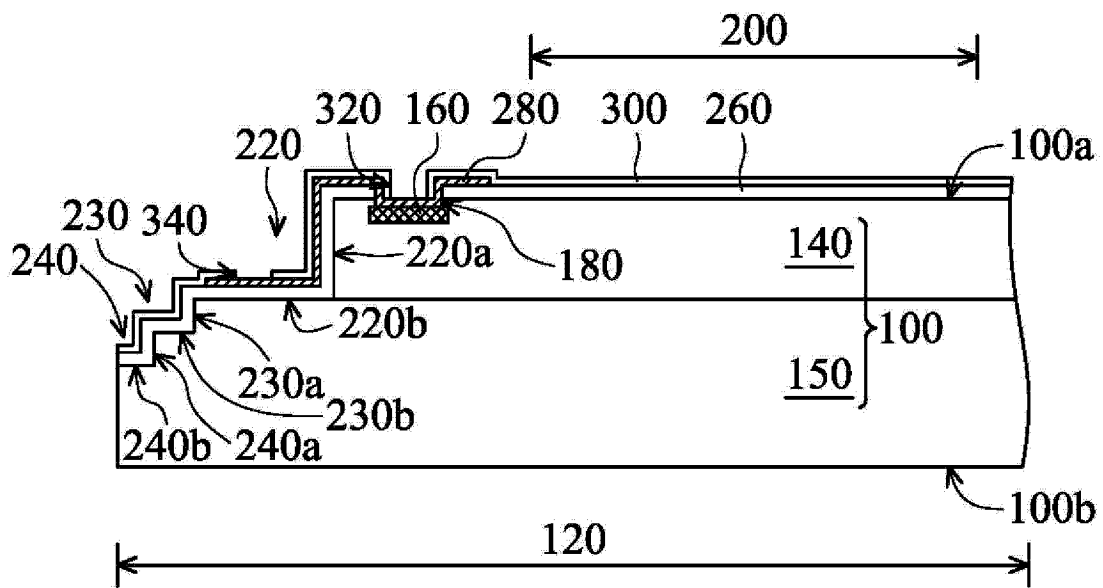


图 2D

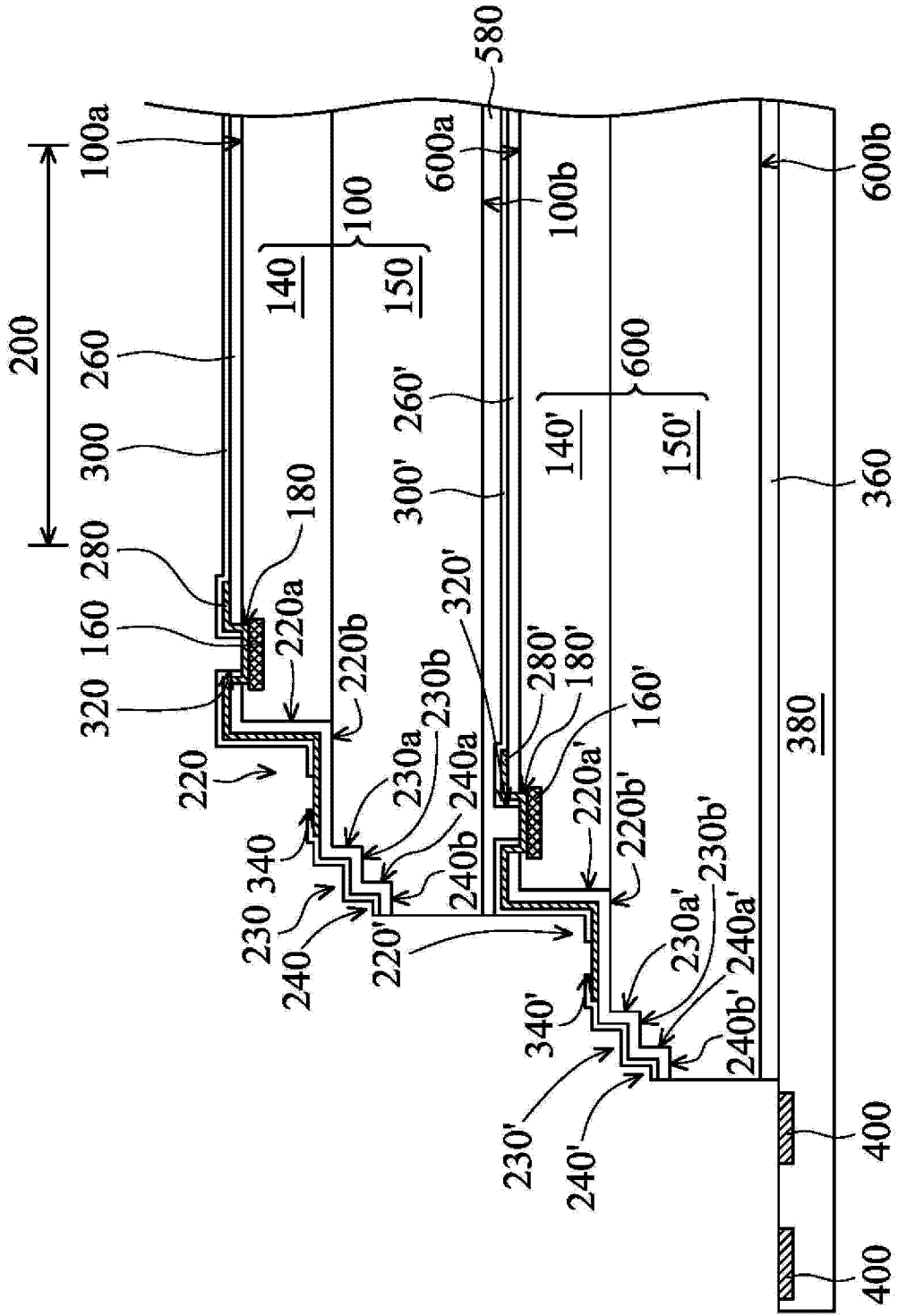


图 2E

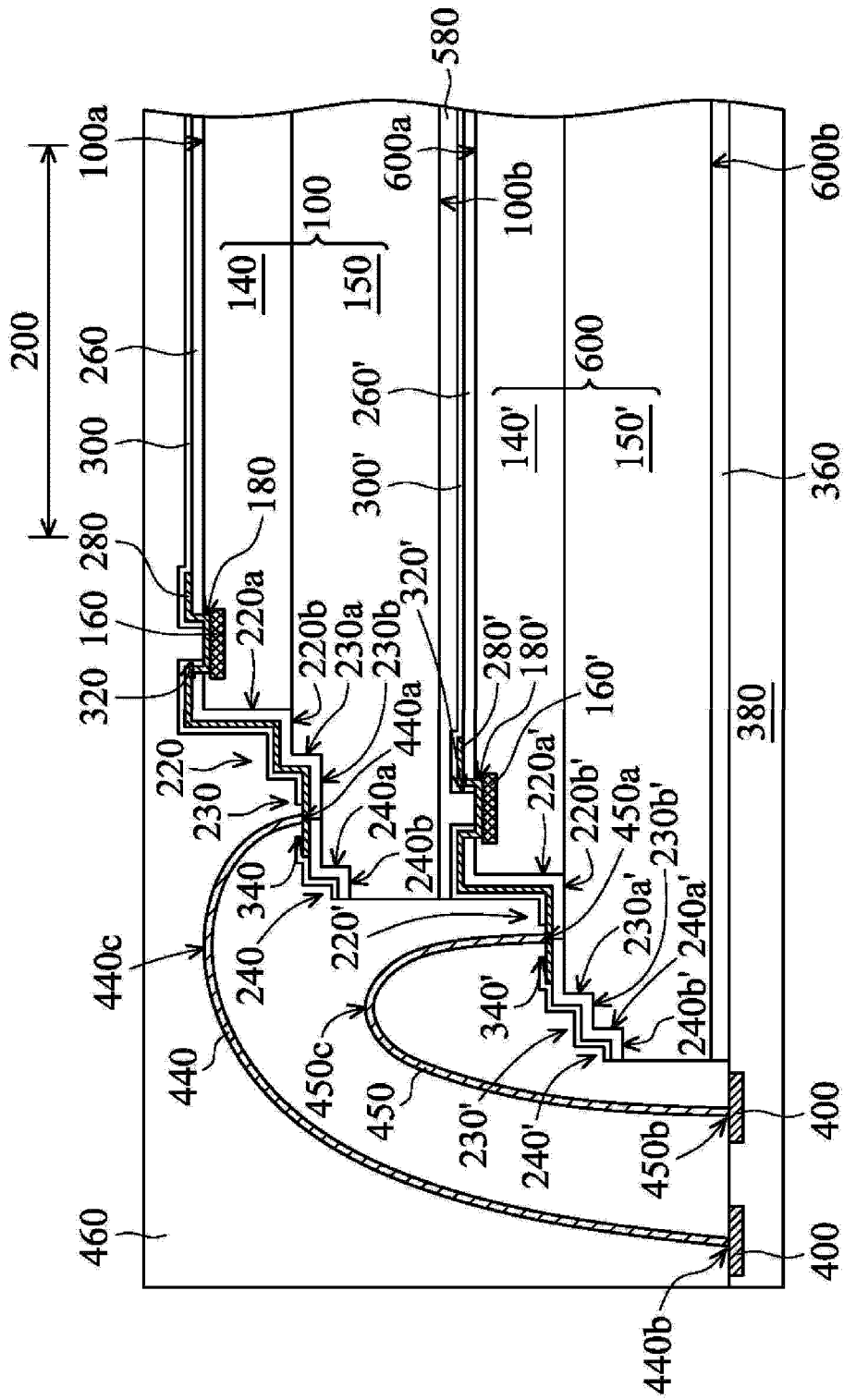


图 3

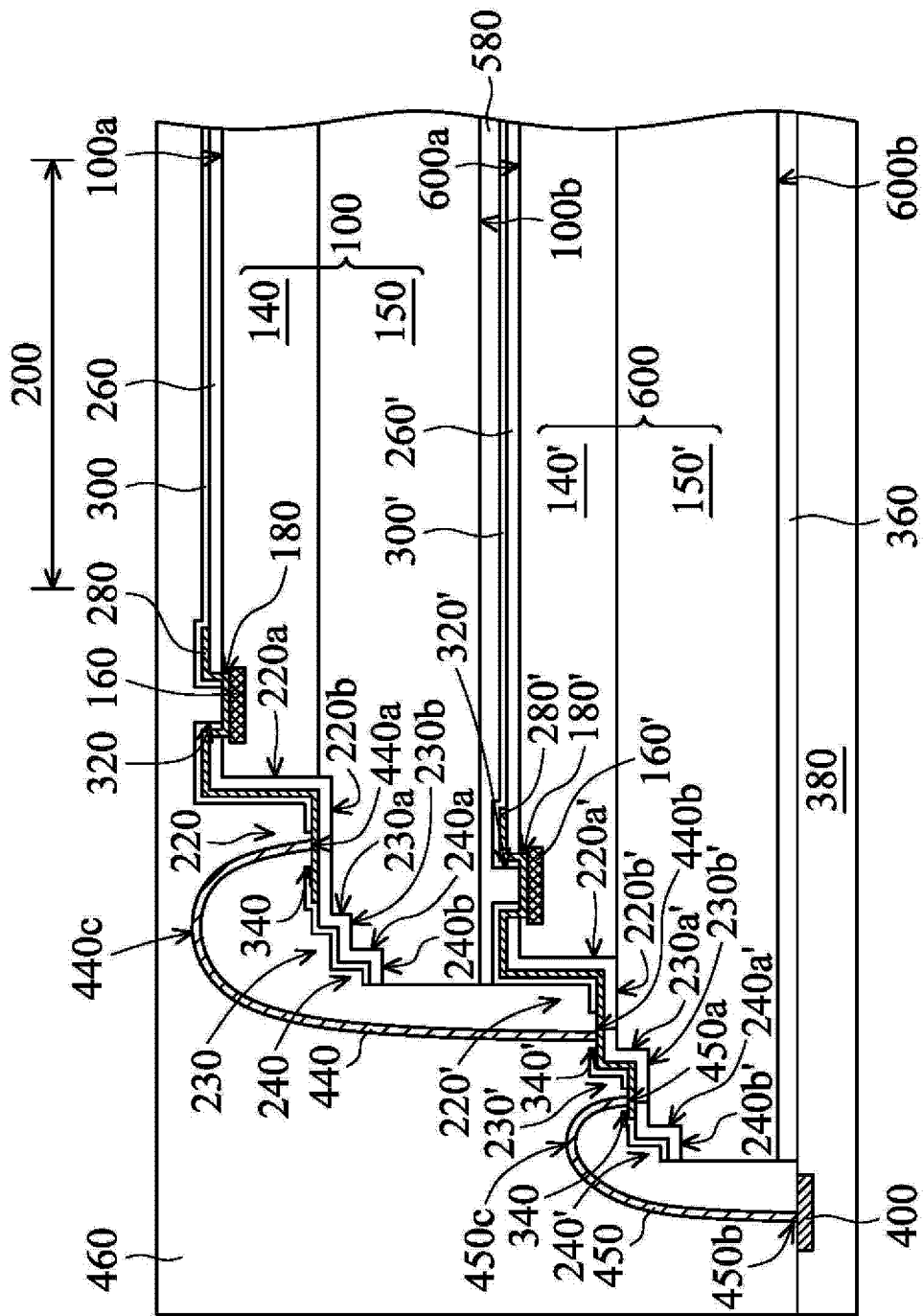


图 4

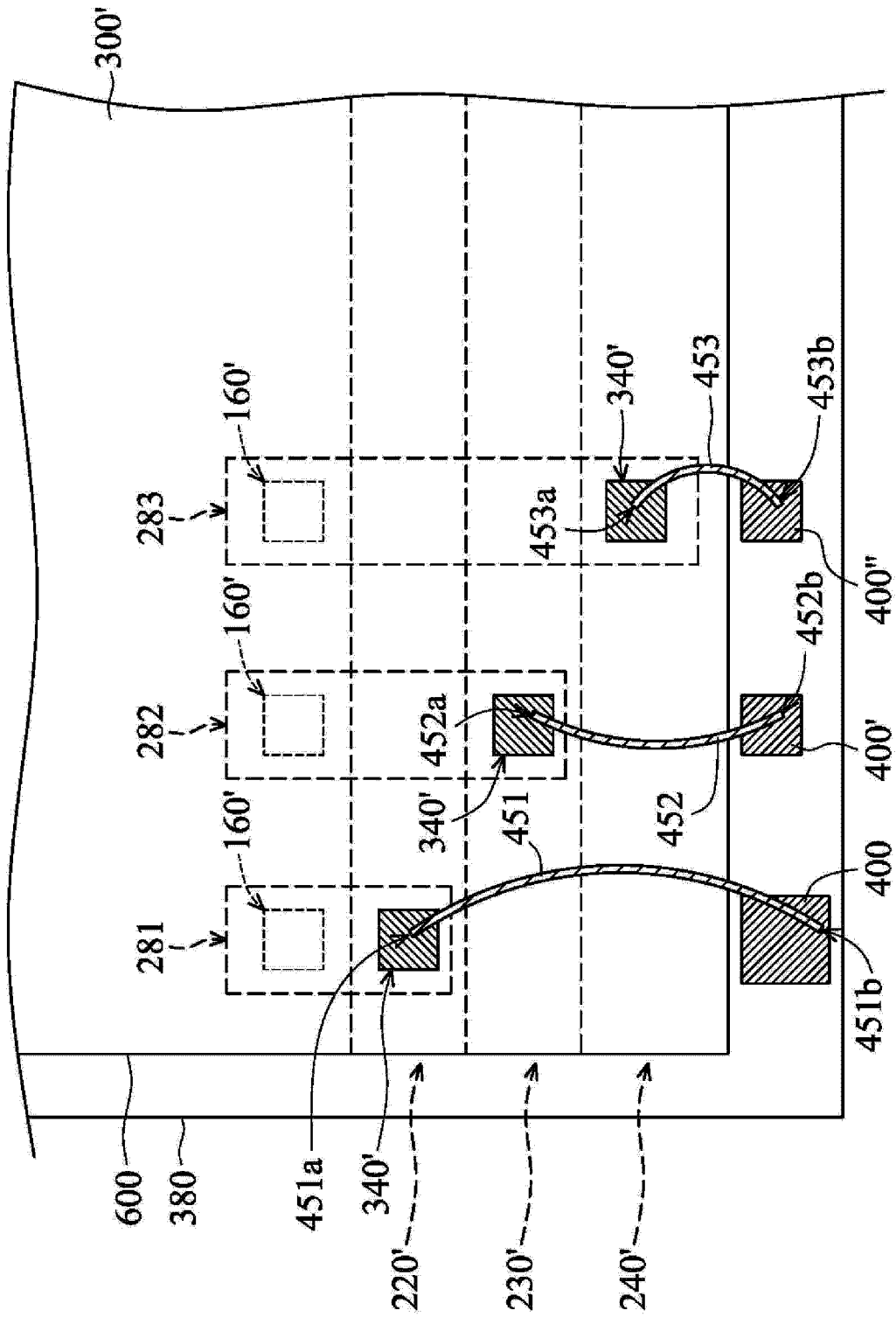


图 5

