(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3701756号

(P3701756)

(45)発行日　平成17年10月5日(2005.10.5)　(24)登録日　平成17年7月22日(2005.7.22)

(51)Int.Cl.[7]	F I	
H01L 21/8238	H01L 27/08	321J
H01L 21/82	H01L 21/82	C
H01L 21/822	H01L 27/04	D
H01L 27/04		
H01L 27/092		

請求項の数 13　(全 12 頁)

(21)出願番号　特願平8-314506
(22)出願日　平成8年11月26日(1996.11.26)
(65)公開番号　特開平10-154756
(43)公開日　平成10年6月9日(1998.6.9)
審査請求日　平成13年10月3日(2001.10.3)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089071
弁理士　玉村　静世
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　水野　弘之
東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内
(72)発明者　南　正隆
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所半導体事業部内

最終頁に続く

(54)【発明の名称】半導体装置

(57)【特許請求の範囲】

【請求項１】

第１導電型の第１ウェルと、

第１ＭＯＳトランジスタと第１導電型の第１不純物層とを有する第１セルと、

第２ＭＯＳトランジスタと第１導電型の第２不純物層とを有する第２セルと、

上記第１ＭＯＳトランジスタ及び上記第２ＭＯＳトランジスタに電源電位を供給する電源配線とを有し、

上記第１ＭＯＳトランジスタ及び上記第１不純物層と、上記第２ＭＯＳトランジスタ及び上記第２不純物層とは、上記第１ウェルに形成され、

上記第１不純物層の不純物濃度と上記第２不純物層の不純物濃度とは、上記第１ウェルの不純物濃度よりも高く、

上記第１不純物層は、上記第１セル内において上記電源配線と電気的に接続されておらず、

上記第２不純物層は、上記第２セル内において上記電源配線と電気的に接続されておらず、

上記第１不純物層と上記第２不純物層とは連続して配置され、

上記第１ウェルの電位は上記第１不純物層及び上記第２不純物層を介して給電され、

上記電源配線は、上記第１不純物層及び上記第２不純物層を覆うように形成される半導体装置。

【請求項２】

請求項１記載において、
上記第１ウェルに電位を供給するウェル電位供給線と、
第３不純物層を有する第３セルとを有し、
上記第３不純物層の導電型は第１導電型であって、
上記第３不純物層は上記第２不純物層に連続して配置され、上記第３不純物層は上記ウェル電位供給線に接続された半導体装置。
【請求項３】
請求項１または２記載において、
上記第１セルは上記第１ＭＯＳトランジスタと直列に接続される第３ＭＯＳトランジスタを有し、
上記第２セルは上記第２ＭＯＳトランジスタと直列に接続される第４ＭＯＳトランジスタを有し、
上記第３ＭＯＳトランジスタ及び上記第４ＭＯＳトランジスタは第２導電型の第２ウェルに形成される半導体装置。
【請求項４】
請求項２記載において、
上記電源配線は上記ウェル電位供給線、上記第１不純物層、上記第２不純物層及び上記第３不純物層よりも上層の配線層に形成されている半導体装置。
【請求項５】
請求項２記載において、
上記第１乃至第３不純物層はシリサイド化されている半導体装置。
【請求項６】
請求項３において、
上記第１ＭＯＳトランジスタと上記第３ＭＯＳトランジスタとは、共通の第１ゲート電極を有し、
上記第２ＭＯＳトランジスタと上記第４ＭＯＳトランジスタとは、共通の第２ゲート電極を有し、
上記第１不純物層は、上記第１ゲート電極の直下を避けて配置され、
上記第２不純物層は、上記第２ゲート電極の直下を避けて配置される半導体装置。
【請求項７】
請求項１において、
上記第１ＭＯＳトランジスタのソース領域は、上記第１セル内において上記電源配線と接続され、
上記第２ＭＯＳトランジスタのソース領域は、上記第２セル内において上記電源配線と接続される半導体装置。
【請求項８】
請求項２において、
上記ウェル電位給電線は、連続して配置された上記第１不純物層乃至上記第３不純物層が延伸する方向と交差する方向に延伸するように配置される半導体装置。
【請求項９】
第１導電型の第１ＭＯＳトランジスタを有する第１回路と、
第１導電型の第２ＭＯＳトランジスタを有する第２回路と、
上記第１ＭＯＳトランジスタ及び上記第２ＭＯＳトランジスタに電源電位を供給する第１電位供給線と、
上記第１ＭＯＳトランジスタ及び上記第２ＭＯＳトランジスタが形成された第１ウェルに形成され、ウェル電位を供給する第２電位供給線とを有し、
上記第２電位供給線の不純物濃度は、上記第１ウェルの不純物濃度よりも高く、
上記第１電位供給線は上記第２電位供給線と電気的に絶縁されており、
上記第１電位供給線と上記第２電位供給線とは同じ方向に配置され、上記第１電位供給線は上記第２電位供給線を覆うように配置されている半導体装置。

【請求項１０】
請求項９において、
上記第１ウェルのウェル電位の供給を制御する制御回路を有し、
上記制御回路は上記第１電位供給線と上記第２電位供給線との間に設けられた第３ＭＯＳトランジスタを有し、
第１状態において、上記制御回路は上記第３ＭＯＳトランジスタをオン状態として上記ウェル電位を上記電源電位に設定し、
第２状態において、上記制御回路は上記第３ＭＯＳトランジスタをオフ状態として上記ウェル電位を上記電源電位と異なる所定の電位とすることにより、上記第２状態における上記第１及び第２ＭＯＳトランジスタのしきい値の絶対値を上記第１状態における上記第１及び第２ＭＯＳトランジスタのしきい値の絶対値よりも高く設定する半導体装置。
【請求項１１】
請求項９または請求項１０において、
上記第１回路は上記第１ＭＯＳトランジスタと直列接続された第２導電型の第４ＭＯＳトランジスタを有し、
上記第２回路は上記第２ＭＯＳトランジスタと直列接続された第２導電型の第５ＭＯＳトランジスタを有し、
上記第４ＭＯＳトランジスタ及び上記第５ＭＯＳトランジスタは、第２導電型の第２ウェルに形成される半導体装置。
【請求項１２】
請求項１０において、
上記第１ＭＯＳトランジスタのゲートと上記第４ＭＯＳトランジスタのゲートとは共通に接続され、
上記第２ＭＯＳトランジスタのゲートと上記第５ＭＯＳトランジスタのゲートとは共通に接続され、
上記第２電位供給線は、上記第１及び第４ＭＯＳトランジスタのゲートと、上記第２及び第５ＭＯＳトランジスタのゲートの直下を避けて配置される半導体装置。
【請求項１３】
請求項９において、
上記第１ＭＯＳトランジスタのソース及び上記第２ＭＯＳトランジスタのソースは、上記第１電位供給線と接続される半導体装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置、セルライブラリあるいはそのセルライブラリを使った半導体装置に係わり、特に高速性と低電力性を兼ね備えた半導体装置に関する。
【０００２】
【従来の技術】
従来のCMOSインバータのレイアウト図を図２に示す。MP1はPMOSのソース・ドレインを形成するP型拡散（不純物）層とゲート電極からなるP型MOSトランジスタ(以下PMOSと記す)で、MN1はNMOSのソース・ドレインを形成するN型拡散（不純物）層とゲート電極からなるN型MOSトランジスタ(以下NMOSと示す)である。110 は第二配線層で正の電源電位(以下VDDと記す)が給電されている。111 は第二配線層で負の電源電位(以下VSSと記す)が給電されている。
【０００３】
PMOS MP1の基板又はウェル電位(以下PMOS基板又はウェルバイアスと記す)は表面高濃度N層(以下PMOS基板又はウェル拡散（不純物）層と記す)204から給電され、第一配線層を介して第二配線層110と接続され、VDDが給電されている。NMOS MN1の基板又はウェルバイアスは表面高濃度P層(以下NMOS基板又はウェル拡散（不純物）層と記す)203から給電され、第一配線層を介して第二配線層111と接続され、VSSが給電されている。このように図２の

従来例ではPMOSの基板又はウェルバイアスはVDDに、NMOSの基板又はウェルバイアスはVSSに接続されている。

【０００４】

従来、MOSトランジスタのしきい値を制御するために、基板又はウェルバイアスを電源電圧とは別の電位にする方法がある。しかし、図２のセル構造では基板又はウェルバイアスは電源電圧とは違う電位に設定できない。

【０００５】

図３はPMOSの基板又はウェルバイアスをVDDとは別の電位に、また、NMOSの基板又はウェルバイアスはVSSとは別の電位に設定できるようにした場合のCMOSインバータセルのレイアウト図である。PMOSの基板又はウェルバイアスは第二配線層112から、NMOSの基板又はウェルバイアスは第二配線層113から給電している。それぞれ第二配線層110および111とは電気的に絶縁されているため独立の電位を給電することができる。

【０００６】

図２および図３の回路図をそれぞれ図４(A)および図４(B)に示す。

【０００７】

【発明が解決しようとする課題】

PMOSの基板又はウェルバイアスをVDDとは別の電位に、また、NMOSの基板又はウェルバイアスはVSSとは別の電位に設定できるようにした場合、図２および図３を比較して明らかなように、

1) セル200およびセル300の高さを同じにした場合、電源配線110および111の幅が狭くなる。これにより電源給電能力が低下する。(以下第１の課題と呼ぶ)

2) セル200の電源配線110および111の幅とセル200の電源配線110および111の幅とが同じになるようにした場合、第二配線層112と113の配線領域のためにセル300の高さがセル200の高さよりも高くなる。これにより面積が増加する。(以下第２の課題と呼ぶ)

3) 基板又はウェルバイアス給電線112および113に第二配線層以外の配線層を用いた場合、セル内およびセル間の配線に制限を与えることになる。これにより面積が増加する。(以下第３の課題と呼ぶ)

【０００８】

【課題を解決するための手段】

第１から第３の課題を同時に解決するために、基板又はウェルバイアスの給電をPMOS基板又はウェル拡散（不純物）層およびNMOS基板又はウェル拡散（不純物）層で行う。あるいは、基板又はウェルバイアスの給電をセル内およびセル間の電源配線あるいは信号配線に用いられている配線層以外の配線層で行う。

【０００９】

【発明の実施の形態】

以下、図を参照して本発明の具体的な実施例を説明する。

【００１０】

図１は本発明の最も簡単なCMOSインバータの実施例である。PMOSのソース・ドレインを形成するP型拡散（不純物）層とゲート電極からなるMP3はPMOSで、NMOSのソース・ドレインを形成するN型拡散（不純物）層とゲート電極からなるMN3はNMOSである。110 は第二配線層でVDDが給電されている。111 は第二配線層でVSSが給電されている。

【００１１】

PMOS MP3のPMOS基板又はウェルバイアスはPMOS基板又はウェル拡散（不純物）層104から給電され、第二配線層110とは接続されていない。NMOS MN3の基板又はウェルバイアスはNMOS基板又はウェル拡散（不純物）層103から給電され、第二配線層111とは接続されていない。

【００１２】

このように図１の実施例ではPMOSの基板又はウェルバイアスをVDDとは別の電位に、また、NMOSの基板又はウェルバイアスはVSSとは別の電位に設定できる。従来例図３と同様の機能を持つが、基板又はウェルバイアスは基板又はウェル拡散（不純物）層から給電され

ているため第二配線層を使用しない。これにより第１から第３の課題を同時に解決することができる。

【００１３】

PMOS基板又はウェル拡散（不純物）層およびNMOS基板又はウェル拡散（不純物）層の抵抗はPMOSおよびNMOSの基板又はウェルあるいはウェル抵抗よりも１桁程度低いため、基板又はウェルバイアスを安定して供給できる。PMOS基板又はウェル拡散（不純物）層およびNMOS基板又はウェル拡散（不純物）層をシリサイド化すれば、さらに上記抵抗を２桁程度低くすることができ、基板又はウェルバイアスをより安定して供給できる。

【００１４】

図５は図１のCMOSインバータセルを三つ左右に並べ、三段のインバータ列のレイアウト図面である。図１のPMOS基板又はウェル拡散（不純物）層104およびNMOS基板又はウェル拡散（不純物）層103はセルの左右端まで延長されているため、図５のように単にセルを左右に並べるだけで各セルのPMOS基板又はウェル拡散（不純物）層404およびNMOS基板又はウェル拡散（不純物）層403をそれぞれ接続することができる。もちろん、図１でセルには基板又はウェル拡散（不純物）層を設けずに、セルの配置配線時に各セルの基板又はウェルあるいはウェルを基板又はウェル拡散（不純物）層で一度に接続してもよい。

【００１５】

図６に図５を回路図で表したものを示す。

【００１６】

本発明の基板又はウェルバイアス分配方法により、各セルの基板又はウェルバイアスを供給するために配線層を用いる必要がないため、従来使用していた図２のレイアウトを大幅に改良することなく実現でき、従来セルの配置配線に使用していた従来のＣＡＤツールをそのまま使用することができる。

【００１７】

図１から図５はCMOSインバータを例にして説明したが、PMOSとNMOSを使用した回路であればどのような回路でもよい。この時、図５のように単にセルを左右に並べるだけでPMOS基板又はウェル拡散（不純物）層およびNMOS基板又はウェル拡散（不純物）層を接続するためには各セルの左右端でのPMOS基板又はウェル拡散（不純物）層およびNMOS基板又はウェル拡散（不純物）層の位置を決めておけばよい。

【００１８】

要はセル間の電源給電に用いている配線層を使用せずに、また、セル内およびセル間配線に支障がないように各セルのPMOS基板又はウェル拡散（不純物）層およびNMOS基板又はウェル拡散（不純物）層がそれぞれ接続されるようにすればよい。

【００１９】

図１から図５では第二配線層までの配線を使用した場合の例で、第二配線層を電源に使用しているが、配線層の使用方法は他の方法でもよい。信号線の配線および電源線の配線に使用していない配線材料で基板又はウェル給電を行えばよい。

【００２０】

図１の実施例ではnウエルを用いたシングルウェル構造になっているが、トランジスタの構造およびその基板又はウェル構造は問わず、NウェルとPウエルの両方を用いたツインウエル構造にしてもよい。あるいはアイ・エス・エス・シー・シー、ダイジェスト・オブ・テクニカル・ペーパーズ、第２４８頁から第２４９頁、１９８９年２月(ISSCC DIgest of Technical Papers, pp.248-249, Feb.1989)に記載されているような三重ウエル構造のMOSトランジスタや、アイ・エー・ディ・エム、テクニカル・ダイジェスト、第３５頁から第３８頁、１９９２年(1992 IEDM Technical Digest, pp35-38)に記載されているようなSOI構造のMOSトランジスタを用いてもよい。また、図１ではP型シリコンウェハを用いているが、N型シリコンウェハを用いてもよい。

【００２１】

図７(A)は図５および図６で示した三段のインバータ列に基板又はウェルバイアス制御回路500を添付し、そのMOSトランジスタのしきい値を制御できるようにしたものである。

【００２２】
410が図５および図６で示した三段インバータ列で、VBPはPMOSの基板又はウェルバイアス、VBNはNMOSの基板又はウェルバイアスである。501は基板又はウェルバイアス制御端子で１本以上の制御線からなり、基板又はウェルバイアスVBP、VBNに与える電位を制御する。
【００２３】
図７(B)は基板又はウェルバイアス制御回路500の基板又はウェルバイアス制御例を示したものである。時間t0までは三段インバータ列は動作モード(アクティブ時)で、基板又はウェルバイアスVBP、VBNにはそれぞれ電源電位VDD(1.0V)、VSS(0.0V)を印可している。時刻t0以降は非動作モード(スタンバイ時)で、基板又はウェルバイアスVBP、VBNにはそれぞれVDDQ(3.3V)、VSSQ(-2.3V)を印可している。このように基板又はウェルバイアスを制御することにより、スタンバイ時にMOSトランジスタのしきい値を高く制御される。MOSトランジスタのソース・ドレイン間に流れるサブスレッショルドリーク電流を小さくでき、電力が低減できる。また、アクティブ時にはMOSトランジスタのしきい値が低く制御されるため、MOSトランジスタのON抵抗を下げることができ、三段インバータを高速に動作させることができる。
【００２４】
図８は図７(A)の基板又はウェルバイアス制御回路500の実施例である。STBは図７(A)の基板又はウェルバイアス制御端子501である。510、511はインバータ回路で、STBの振幅を反転増幅し、それぞれPMOS MP30,MP31および、NMOS MN30,MN31が完全にオン・オフ動作(それぞれのMOSトランジスタのゲート電位はソースおよびドレイン電位の中間電位にならない)できるようにしている。
【００２５】
STBがVSS電位(0.0V)の時、PMOS MP30とNMOS MN30がオンし、基板又はウェルバイアスVBP、VBNにはそれぞれVDD(1.0V)、VSS(0.0V)が印可される。STBがVDD電位(1.0V)の時、PMOS MP31とNMOS MN31がオンし、基板又はウェルバイアスVBP、VBNにはそれぞれVDDQ(3.3V)、VSSQ(-2.3V)が印可される。
【００２６】
図８の実施例でPMOS MP30とMP31および、NMOS MN30とMN31の基板又はウェルはそれぞれ違う電位に設定される。したがって、図８の基板又はウェルバイアス制御回路500は三重ウェル構造で作る必要がある。この場合、図７(A)で基板又はウェルバイアス制御回路500のみを三重ウェル構造として、三段インバータ410はシングルウェルあるいはツインウエル構造にしてもよい。もちろん三段インバータ410も三重ウェル構造にしてもよい。
【００２７】
図９(A)は図７(A)の基板又はウェルバイアス制御回路500の別の実施例である。STB,STBB,VBP,VBNが図７(A)の基板又はウェルバイアス制御端子501である。図９(A)では基板又はウェルバイアスVBPおよび、VBNを直接制御する。すなわち、図７(B)を実現するためには、アクティブ時にはVBP、VBNにそれぞれVDD(1.0V)、VSS(0.0V)を印可し、スタンバイ時にはVBP、VBNにそれぞれVDDQ(3.3V)、VSSQ(-2.3V)を印可する。
【００２８】
MP40はPMOSで、MN40はNMOSである。アクティブ時には基板又はウェル電流が流れるため、基板又はウェルバイアスVBP、VBNは十分に低インピーダンスにする必要がある。これを実現するためにアクティブ時にSTBにVSS(0.0V)を、STBBにVDD(1.0V)を印可する。PMOS MP40とNMOS MN40がオンするため、基板又はウェルバイアスVBP、VBNとVDD(1.0V)、VSS(0.0V)はそれぞれ低インピーダンスに接続される。
【００２９】
スタンバイ時にはSTBにVDDQ(3.3V)を、STBBにVSSQ(-2.3V)を印可することで、PMOS MP40とNMOS MN40をオフ状態にできる。
【００３０】
図９(B)は図９(A)にコンデンサC10、C11を新たに内蔵したものである。コンデンサC10はVDDと基板又はウェルバイアスVBPの間に、コンデンサC11はVSSと基板又はウェルバイアスV

BNの間に接続されている。基板又はウェルバイアスと電源とをコンデンサによってカップリングすることで、電源のリンギングを基板又はウェルバイアスに電送することができる。一般に電源のリンギングは基板又はウェルのリンギングよりも大きく、MOSトランジスタの基板又はウェルとソース間の電位差は電源電位すなわちソース電位が変化することで大きく変化する。コンデンサC10、C11をつなげることでMOSトランジスタの基板又はウェルとソース間の電位差をある程度一定に保つことができる。

【００３１】

図９(B)ではコンデンサC10、C11は基板又はウェルバイアス制御回路内にあるが、基板又はウェルバイアスVBP、VBNによって基板又はウェルが制御されるMOSトランジスタで構成された回路中(図７(A)では三段インバータ回路)に置いてもよい。図８の基板又はウェルバイアス制御回路中に置いてもよい。その数は多いほど効果的で、また、ばらまいた方が効果的なのは明かである。なお、このコンデンサの実現方法は問わない。たとえば、ゲート容量で実現すればよい。

【００３２】

図１０は図９(A)のレイアウト図面である。601が図９(A)の基板又はウェルバイアス制御回路500で、600は図１のインバータである。インバータの基板又はウェルバイアスはPMOS基板又はウェル拡散（不純物）層604およびNMOS基板又はウェル拡散（不純物）層603から供給されている。

【００３３】

図１１の700は本発明を用いたマイクロプロセッサの実施例である。711から714は基板又はウェルバイアスを制御することが必要な回路と基板又はウェルバイアス制御回路からなる回路ブロックである。図７(A)がその例である。その回路ブロック内での基板又はウェル電位を十分低インピーダンスにするために多数の回路ブロック(711から714)に分解している。

【００３４】

716は基板又はウェルバイアス制御端子で、外部とのインターフェース回路710を介して外部端子717と接続している。715は基板又はウェルバイアスを制御する必要のない回路からなる回路ブロックである。

【００３５】

外部端子717によって、マイクロプロセッサ700の動作モードをアクティブ状態とスリープ状態に変化させることができる。

【００３６】

図１１では外部端子717によってマイクロプロセッサ700の動作モードを変えているが、マイクロプロセッサ内のレジスタ値によって変えられるようにしてもよい。

【００３７】

図１１で、回路ブロック711から714までの全ての回路ブロックの基板又はウェルバイアスの給電に本発明の方法を用いてもよいが、特に基板又はウェル電流が多く流れる回路ブロックについては図３のような従来の基板又はウェルバイアス給電方法を用いてもよい。

【００３８】

以上の実施例では基板又はウェルバイアスに印可する電位は、アクティブ時にはVDD(1.0V)、VSS(0.0V)、スタンバイ時にはVDDQ(3.3V)、VSSQ(-2.3V)のみであるが特に限定しない。アクティブ時に適当な電位を基板又はウェルバイアスに印可して、MOSトランジスタのしきい値ばらつきを調節できるようにしてもよい。

【００３９】

また、以上の実施例ではMOSトランジスタのしきい値は回路の動作モードがアクティブ時に低しきい値に、スタンバイ時には高しきい値にしたが、アイ・イー・イー・イー、スペクトラム、第６６頁から第７１頁、１９９６年(1996 IEEE SPECTRUM, pp66-71)に記載されているようなIDDQテスト時に高しきい値になるように基板又はウェルバイアスを設定してもよい。

【００４０】

図９(A)の基板又はウェルバイアス制御回路の実施例でIDDQテスト時にMOSトランジスタを高しきい値にする場合、STB、VBPにVDDQ(3.3V)を、STBB、VBNにVSSQ(-2.3V)を印可すればよい。

【００４１】

出荷時にはSTBにVSS(0.0V)を、VBPにVDD(1.0V)を、STBBに(1.0V)を、VBNにVSS(0.0V)を印可するように、たとえばボンディングなどで設定すればよい。

【００４２】

【発明の効果】

以上、本発明によれば、電源供給能力の向上や面積低減を図ることができる。

【図面の簡単な説明】

【図１】本発明の示す最も簡単な実施例の図である。

【図２】従来例１である。

【図３】従来例２である。

【図４】　(A)は図２の回路図である。(B)は図１あるいは図３の回路図である。

【図５】図１を三段接続したときの実施例の図である。

【図６】図５の回路図である

【図７】　(A)は図５に基板又はウェルバイアス制御回路を接続したときの実施例の図である。 (B)は図７(A)の動作例のタイミングチャート図である。

【図８】図７(A)の基板又はウェルバイアス制御回路の実施例の図である。

【図９】　(A)及び(B)は、それぞれ図７(A)の基板又はウェルバイアス制御回路の実施例の図である。

【図１０】図９(A)と図１を接続したときの実施例の図である。

【図１１】本発明を使用したマイクロプロセッサの実施例の図である。

【符号の説明】

CONT1……拡散（不純物）層あるいはゲート電極と第一配線層との間のコンタクトホール、

CONT2……第一配線層と第二配線層との間のコンタクトホール、MP1,MP2,MP3,MP20,MP21,MP22,MP30,MP31,MP40,MP41……P型MOSトランジスタ、MN1,MN2,MN3,MN20,MN21,MN22,MN30,MN31,MN40,MN41……N型MOSトランジスタ、

110……正の電源電位が給電された第二配線層、

111……負の電源電位が給電された第二配線層、

104,204,304,404,604……表面高濃度N層、

103,203,303,403,603……表面高濃度P層、

112……PMOSの基板又はウェルバイアスが給電された第二配線層、

113……NMOSの基板又はウェルバイアスが給電された第二配線層、

VBP……PMOSの基板又はウェルバイアス、

VBN……NMOSの基板又はウェルバイアス、

VDD……正の電源電位(例えば1.0V)、

VSS……負の電源電位(例えば0.0V)、

VDDQ……PMOS用の基板又はウェルバイアス電位(例えば3.3V)、

VSSQ……NMOS用の基板又はウェルバイアス電位(例えば-2.3V)、

510,511……インバータ、

STB,STBB……基板又はウェルバイアス制御端子、

711,712,713,714……回路ブロック、

710……外部インターフェース、

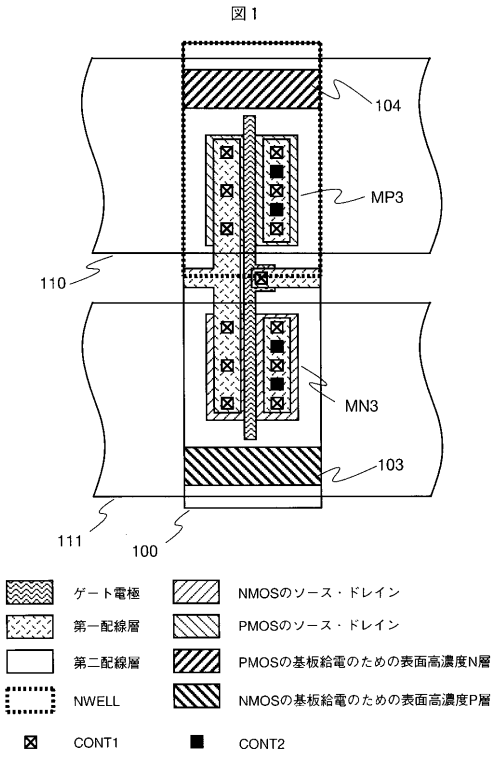
715……回路ブロック、

717……外部端子、

700……マイクロプロセッサ。

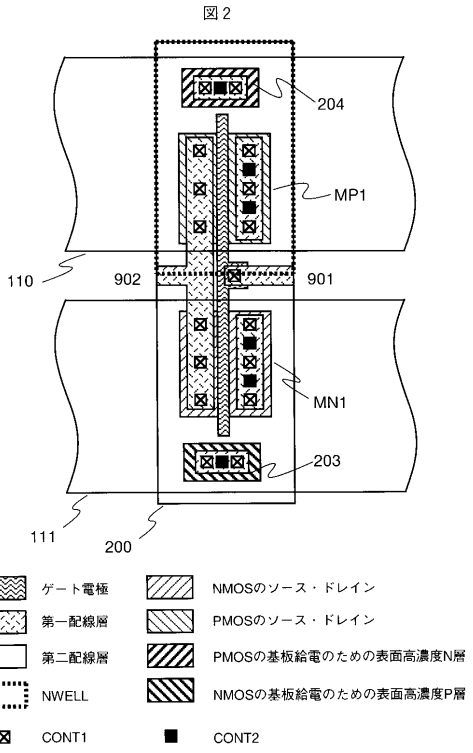
【図１】

図1



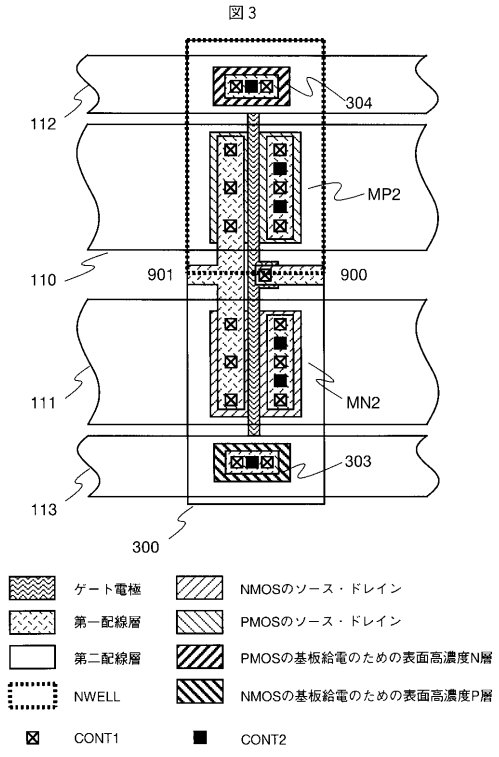
【図２】

図2



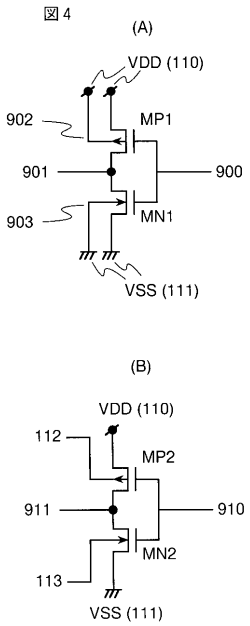
【図３】

図3



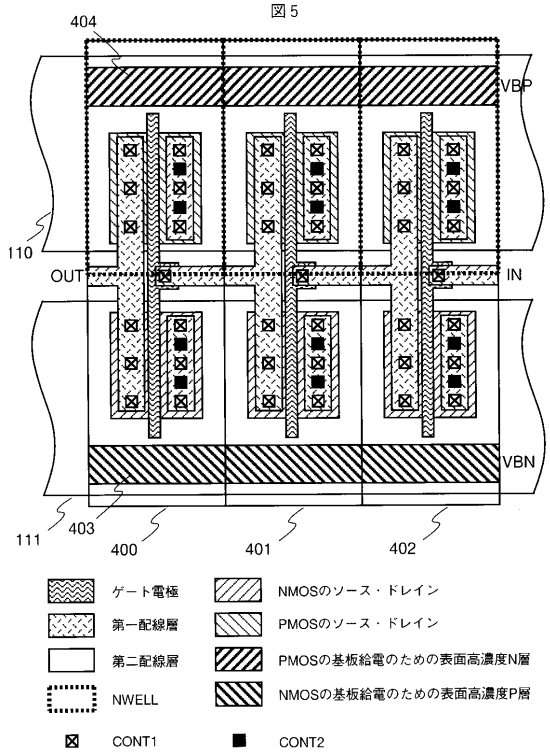
【図４】

図4



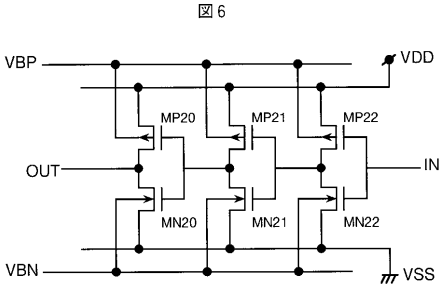
【図５】

図５



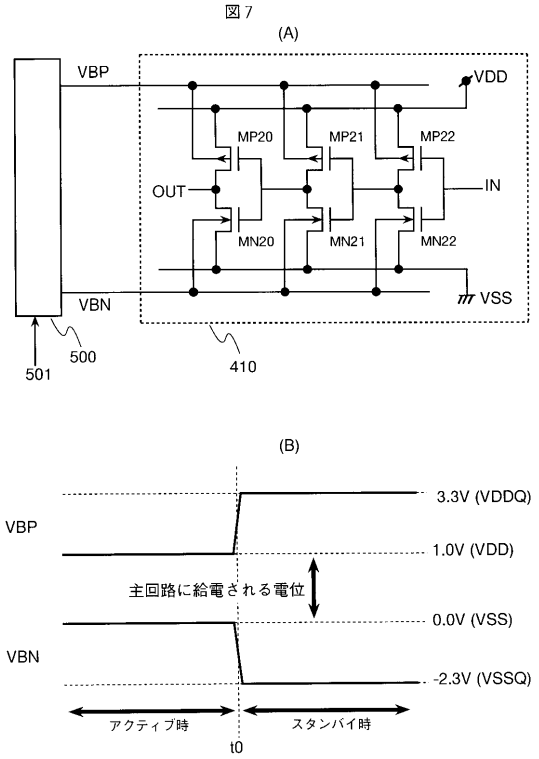
【図６】

図６



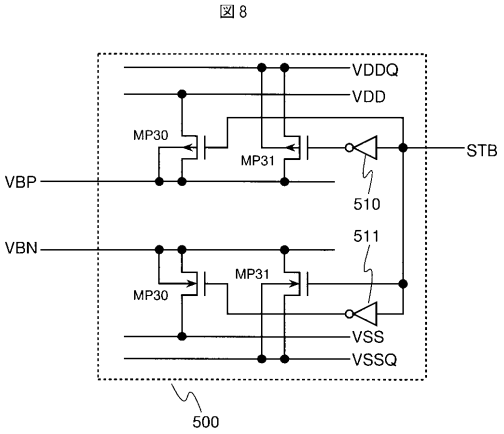
【図７】

図７

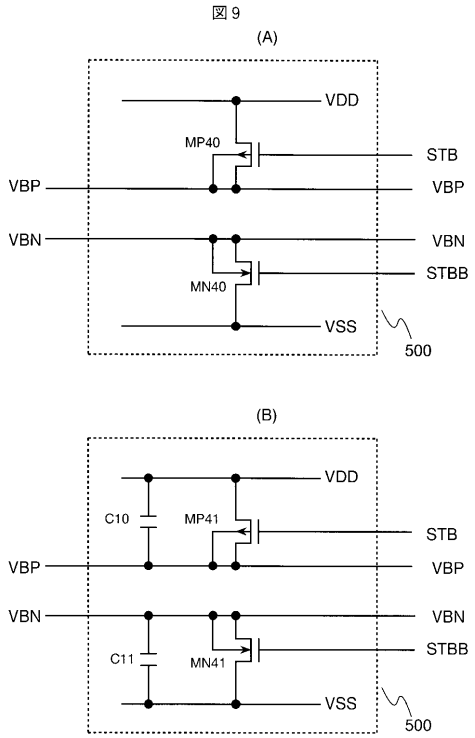


【図８】

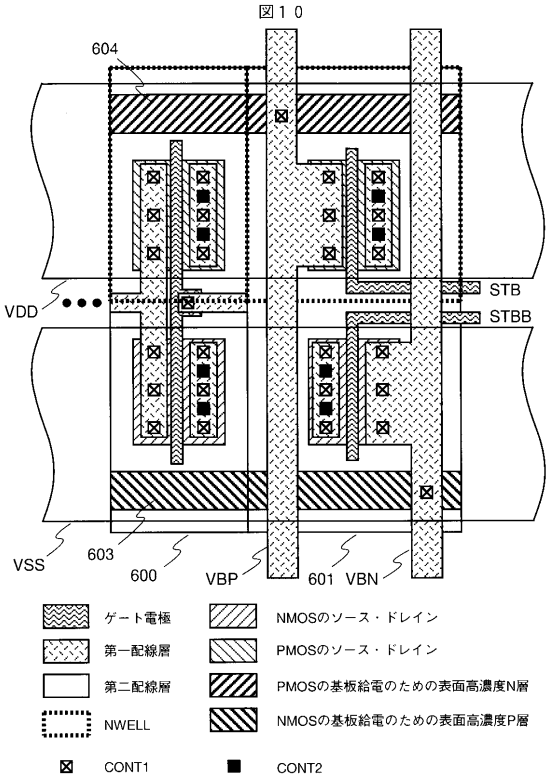
図８



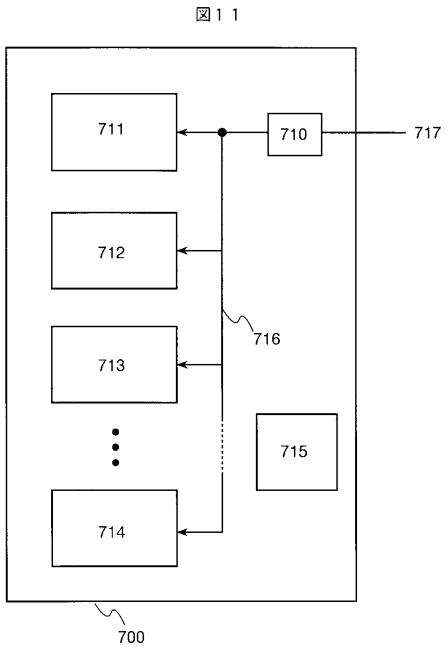
【図９】


図9
(A)
VDD
MP40
STB
VBP
VBP
VBN
VBN
STBB
MN40
VSS
500
(B)
VDD
C10
MP41
STB
VBP
VBP
VBN
VBN
STBB
C11
MN41
VSS
500

【図１０】


図１０
604
VDD
STB
STBB
VSS
603
600
VBP
601
VBN
ゲート電極
第一配線層
第二配線層
NWELL
CONT1
NMOSのソース・ドレイン
PMOSのソース・ドレイン
PMOSの基板給電のための表面高濃度N層
NMOSの基板給電のための表面高濃度P層
CONT2

【図１１】


図１１
711
710
717
712
716
713
715
714
700

フロントページの続き

(72)発明者　石橋　孝一郎
東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

審査官　宇多川　勉

(56)参考文献　特開平０６－０２１４４３（ＪＰ，Ａ）
特開平０６－１４０６０７（ＪＰ，Ａ）
特開平０８－２２２６４０（ＪＰ，Ａ）
特開昭６２－２７６８５２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/8238
H01L 21/82
H01L 21/822
H01L 27/04
H01L 27/092
H01L 21/3205