

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-154287

(P2011-154287A)

(43) 公開日 平成23年8月11日(2011.8.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 624Z	5C380
	G09G 3/20 611F	
	G09G 3/20 642B	

審査請求 未請求 請求項の数 8 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2010-16888 (P2010-16888)
 (22) 出願日 平成22年1月28日 (2010.1.28)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100098785
 弁理士 藤島 洋一郎
 (74) 代理人 100109656
 弁理士 三反崎 泰司
 (74) 代理人 100130915
 弁理士 長谷部 政男
 (74) 代理人 100155376
 弁理士 田名網 孝昭
 (72) 発明者 三並 徹雄
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

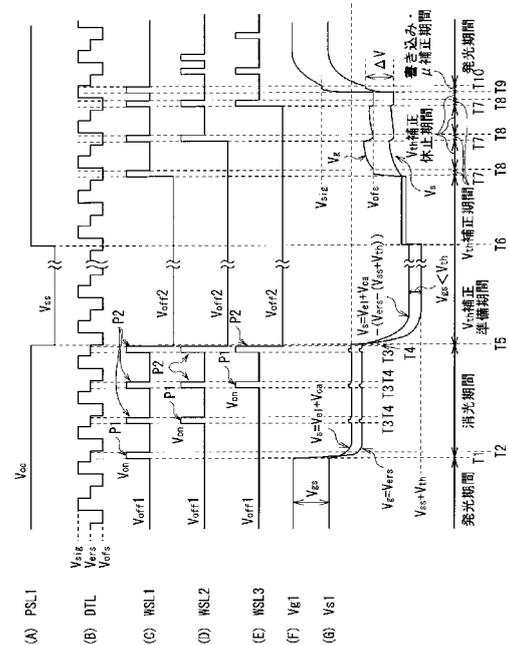
(54) 【発明の名称】 表示装置およびその駆動方法ならびに電子機器

(57) 【要約】

【課題】ユニットスキャンにおいてスジ状の様様が発生するのを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供する。

【解決手段】各ユニットUに含まれる複数の走査線WSLに対して1つの第1パルス信号P1が順番に印加され、複数の有機EL素子11がライン(画素行)ごとに順番に消光される。その後、電源線PSL1の電圧が V_{cc} となっており、かつ信号線DTLの電圧が V_{ers} となっている時であって、かつ電源線PSL1の電圧が V_{cc} から V_{ss} に変化する前に、各書込線WSL1~WSL3に1または複数の第2パルス信号P2が印加される。

【選択図】図5



【特許請求の範囲】

【請求項 1】

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、

各画素を駆動する駆動部と

を備え、

各画素は、発光素子および画素回路を有し、

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記信号線の電圧を前記第 1 トランジスタに書き込む第 2 トランジスタとを有し、

前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられ、

前記駆動部は、各ユニットに含まれる複数の走査線に対して、前記発光素子を消光する 1 つの第 1 パルス信号を順番に印加するとともに、各ユニットにおいて複数の画素行のうち少なくとも最初に消光される画素行に対応する走査線に対して、各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする 1 または複数の第 2 パルス信号を印加する

表示装置。

【請求項 2】

前記駆動部は、各走査線に対して、各信号線に非階調信号を印加している間に前記 1 または複数の第 2 パルス信号を印加する

請求項 1 に記載の表示装置。

【請求項 3】

前記駆動部は、各ユニットにおいて、各走査線に最後に印加する第 2 パルス信号を、各走査線に対して同時に印加する

請求項 2 に記載の表示装置。

【請求項 4】

前記駆動部は、各ユニットに含まれる複数の走査線のうち最後に消光される画素行に対応する走査線以外の全ての走査線に対して、各信号線に非階調信号を印加している間に前記 1 または複数の第 2 パルス信号を印加する

請求項 1 に記載の表示装置。

【請求項 5】

前記駆動部は、各ユニットにおいて、各ユニットに含まれる複数の走査線のうち最後に消光される画素行に対応する走査線以外の全ての走査線に最後に印加する第 2 パルス信号と、各ユニットに含まれる複数の走査線のうち最後に消光される画素行に対応する走査線に印加される第 1 パルス信号とを、各走査線に対して同時に印加する

請求項 4 に記載の表示装置。

【請求項 6】

前記非階調信号は、前記発光素子の閾値電圧よりも低い電圧値である

請求項 1 ないし請求項 5 のいずれか一項に記載の表示装置。

【請求項 7】

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備え、

各画素は、発光素子および画素回路を有し、

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記信号線の電圧を前記第 1 トランジスタに書き込む第 2 トランジスタとを有し、

前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられた表示装置において、各ユニットに含まれる複数の走査線に対して、前記発光素子を消光する 1 つの第 1 パルス信号を順番に印加するとともに、各ユニットにおいて複数の画素行のうち少なくとも最初に消光される画素行に対応する走査線に対して、各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする 1 または複数の第

10

20

30

40

50

2 パルス信号を印加する

表示装置の駆動方法。

【請求項 8】

表示装置を備え、

前記表示装置は、

行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部と、

各画素を駆動する駆動部と

を有し、

各画素は、発光素子および画素回路を有し、

10

前記画素回路は、前記発光素子に流れる電流を制御する第 1 トランジスタと、前記信号線の電圧を前記第 1 トランジスタに書き込む第 2 トランジスタとを有し、

前記複数の電源線は、複数の画素行を 1 つのユニットとして、前記ユニットごとに 1 つずつ設けられ、

前記駆動部は、各ユニットに含まれる複数の走査線に対して、前記発光素子を消光する 1 つの第 1 パルス信号を順番に印加するとともに、各ユニットにおいて複数の画素行のうち少なくとも最初に消光される画素行に対応する走査線に対して、各信号線に非階調信号を印加している間に前記第 2 トランジスタをオンする 1 または複数の第 2 パルス信号を印加する

電子機器。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに配置した発光素子で画像を表示する表示装置およびその駆動方法に関する。また、本発明は、上記表示装置を備えた電子機器に関する。

【背景技術】

【0002】

近年、画像表示を行う表示装置の分野では、画素の発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機 EL (Electro Luminescence) 素子を用いた表示装置が開発され、商品化が進められている。有機 EL 素子は、液晶素子などと異なり自発光素子である。そのため、有機 EL 素子を用いた表示装置（有機 EL 表示装置）では、光源（バックライト）が必要ないので、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速い。

30

【0003】

有機 EL 表示装置では、液晶表示装置と同様、その駆動方式として単純（パッシブ）マトリクス方式とアクティブマトリクス方式とがある。前者は、構造が単純であるものの、大型かつ高精細の表示装置の実現が難しいなどの問題がある。そのため、現在では、アクティブマトリクス方式の開発が盛んに行なわれている。この方式は、画素ごとに配した発光素子に流れる電流を駆動トランジスタによって制御するものである。

【0004】

40

一般に、駆動トランジスタの閾値電圧 V_{th} や移動度 μ が経時的に変化したり、製造プロセスのばらつきによって閾値電圧 V_{th} や移動度 μ が画素ごとに異なったりする場合がある。閾値電圧 V_{th} や移動度 μ が画素ごとに異なる場合には、駆動トランジスタに流れる電流値が画素ごとにばらつくので、駆動トランジスタのゲートに同じ電圧を印加しても、有機 EL 素子の発光輝度がばらつき、画面の一樣性（ユニフォームティ）が損なわれる。そこで、閾値電圧 V_{th} や移動度 μ の変動に対する補正機能を組み込んだ表示装置が開発されている（例えば、特許文献 1 参照）。

【0005】

ところで、アクティブマトリクス方式の表示装置では、信号線を駆動する信号線駆動回路や、各画素を順次選択する書込線駆動回路、各画素に電力を供給する電源線駆動回路は

50

、いずれも基本的にシフトレジスタ（図示せず）で構成されており、画素の各列または各行に対応して、1段ごとに信号出力部（図示せず）を備えている。そのため、画素の列および行の数が増えると、それに従って信号線やゲート線の本数が増え、シフトレジスタの出力段数もその分増加するので、表示装置の周辺回路の大型化を招いていた。

【0006】

そこで、シフトレジスタの出力段を共用し、周辺回路の大型化を低減する方策が従来から行われている。例えば特許文献2では、信号線を複数の画素で共用化する方法が提案されている。この様にすれば、信号線駆動回路内のシフトレジスタの出力段を複数の画素列で共用化でき、その分回路規模の縮小化、回路面積の縮小化、回路コストの低減化が可能になる。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2008-083272号公報

【特許文献2】特開2006-251322号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

特許文献2には、信号線駆動回路内のシフトレジスタの出力段を複数の画素列で共用化することが記載されていたが、書込線駆動回路や電源線駆動回路においてもシフトレジスタの出力段の共用化を図ることは表示装置のコストパフォーマンスを高める上で重要である。特に、電源線駆動回路については、電流供給能力の安定化のため、信号出力部のサイズを大きくとる必要があるため、電源線駆動回路内のシフトレジスタの出力段を複数の画素行で共用化し、信号出力部の数を少なくすることにより、表示装置の低コスト化および小型化を効果的に実現することができる。

【0009】

図15は、電源線駆動回路内の信号出力部が複数の画素行で共用化された表示装置の概略構成を表したものである。図15に記載の表示装置100では、電源線駆動回路140内の個々の信号出力部に電源線PSL(DSL1, DSL2, ...)が一つずつ接続されており、個々の電源線PSL(DSL1, DSL2, ...)に複数の画素行(図15では3行)に属する画素111が接続されている。一方、信号線駆動回路120内の個々の信号出力部に信号線DTL(DTL1, DTL2, ...)が一つずつ接続されており、個々の信号線(DTL1, DTL2, ...)に各行の画素111が一つずつ接続されている。また、書込線駆動回路130内の個々の信号出力部に書込線WSL(WSL1, WSL2, ...)が一つずつ接続されており、個々の書込線WSL(WSL1, WSL2, ...)に各列の画素111が一つずつ接続されている。

【0010】

図16、図17は、図15に記載の表示装置100における各種波形の一例を表したものである。図16(A), (E)には、電源線PSL1, PSL2に2種類の電圧(V_{cc} 、 V_{ss} ($< V_{cc}$))が、図16(B)~(D), (F)~(H)には、書込線WSL1~WSL6に3種類の電圧(V_{on} 、 V_{off1} ($< V_{on}$)、 V_{off2} ($< V_{off1}$))が印加されている様子が示されている。図17(A)には、電源線PSL1に2種類の電圧(V_{cc} 、 V_{ss})が、図17(B)~(D)には、書込線WSL1~WSL3に3種類の電圧(V_{on} 、 V_{off1} 、 V_{off2})が印加されている様子が示されている。図17(E), (F)には、電源線PSL1、書込線WSL1~WSL3、および信号線DTLへの電圧印加に応じて、駆動トランジスタ Tr_1 のゲート電圧 V_g およびソース電圧 V_s が時々刻々変化している様子が示されている。なお、図17(E), (F)では、書込線WSL1に対応するゲート電圧が V_{g1} で表されており、書込線WSL3に対応するゲート電圧が V_{g3} で表されている。図16からわかるように、表示装置100では、複数の画素行(図16では3行)を一つのユニットとして、電源線PSL(PSL1, PSL2, ...)から各画素112にコ

10

20

30

40

50

ニットごとに共通のタイミングで V_{cc} と V_{ss} を印加するユニットスキャンが行われている。

【0011】

図16、図17に示したように、同一ユニット内において、消光を開始した時 (T_1) から電源線 PSL の電圧が V_{cc} から V_{ss} に立ち下がる時 (T_2) までの時間 (待ち時間) がラインによって異なっている。例えば、同一ユニット内に30ライン含まれている場合には、1ライン目の待ち時間と30ライン目の待ち時間との差が29Hとなる。この待ち時間の間、例えば、図17(F)に示したように、ソース電圧 V_s が徐々に低下していくが、有機EL素子 111R 等の容量成分などに起因してゆっくり低下するので、時刻 T_1 ~ T_2 の間、画素回路内には微弱な電流が流れている。その結果、同一のユニットに含まれるライン数が多すぎると、時刻 T_1 ~ T_2 の間、最初のラインの輝度が最後のラインの輝度よりも明るくなってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

10

【0012】

また、例えば、図17(E), (F)に示したように、時刻 T_1 ~ T_2 の間、ソース電圧 V_s が所定の電位に向かって徐々に低下するに伴い、ゲート電圧 V_g も徐々に低下する。このとき、ゲート電圧 V_g の低下量は、ソース電圧 V_s の低下量と相関を有しているので、同一のユニットにおいて、ソース電圧 V_s およびゲート電圧 V_g の低下量は、最初のラインの方が最後のラインよりも大きくなる。そのため、電源線 PSL の電圧が V_{ss} から V_{cc} に立ち上がる時 (T_3) の直前において、最初のラインと最後のラインとで、ソース電圧およびゲート電圧ともに、差が生じる (図中の V_s 、 V_g)。このあと、電源線 PSL の電圧が V_{ss} から V_{cc} に立ち上がると (T_3)、同一のユニット内の全てのラインにおいて、ゲート電圧 V_g がほぼ同一となるが、ソース電圧 V_s については、依然として、最初のラインと最後のラインとで差 (V_s) が残っている。このソース電圧 V_s の差 (V_s) は発光時まで残るので、発光時にラインごとに輝度が異なってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

20

【0013】

このように、従来では、ラインごとの待ち時間の違いによって、隣接するユニット間にスジ状の模様が発生してしまうという問題があった。

【0014】

本発明はかかる問題点を鑑みてなされたもので、その目的は、ユニットスキャンにおいてスジ状の模様が発生するのを防止することの可能な表示装置およびその駆動方法ならびに電子機器を提供することにある。

30

【課題を解決するための手段】

【0015】

本発明の表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。各画素は、発光素子および画素回路を有している。画素回路は、発光素子に流れる電流を制御する第1トランジスタと、信号線の電圧を前記第1トランジスタに書き込む第2トランジスタとを有している。複数の電源線は、複数の画素行を1つのユニットとして、ユニットごとに1つずつ設けられている。駆動部は、各ユニットに含まれる複数の走査線に対して、発光素子を消光する1つの第1パルス信号を順番に印加するとともに、各ユニットにおいて複数の画素行のうち少なくとも最初に消光される画素行に対応する走査線に対して、各信号線に非階調信号を印加している間に第2トランジスタをオンする1または複数の第2パルス信号を印加するようになっている。

40

【0016】

本発明の電子機器は、上記表示装置を備えたものである。

【0017】

本発明の表示装置の駆動方法は、以下の構成を備えた表示装置において、各ユニットに含まれる複数の走査線に対して、発光素子を消光する1つの第1パルス信号を順番に印加

50

するとともに、各ユニットにおいて複数の画素行のうち少なくとも最初に消光される画素行に対応する走査線に対して、各信号線に非階調信号を印加している間に第2トランジスタをオンする1または複数の第2パルス信号を印加するステップを実行するものである。

【0018】

上記駆動方法が用いられる表示装置は、行状に配置された複数の走査線および複数の電源線と、列状に配置された複数の信号線と、行列状に配置された複数の画素とを含む表示部を備えており、さらに、各画素を駆動する駆動部を備えている。各画素は、発光素子および画素回路を有している。画素回路は、発光素子に流れる電流を制御する第1トランジスタと、信号線の電圧を前記第1トランジスタに書き込む第2トランジスタとを有している。複数の電源線は、複数の画素行を1つのユニットとして、ユニットごとに1つずつ設けられている。

10

【0019】

本発明の表示装置およびその駆動方法ならびに電子機器では、各ユニットに含まれる複数の走査線に対して、発光素子を消光する1つの第1パルス信号が順番に印加される。これにより、複数の発光素子が画素行ごとに順番に消光される。さらに、各ユニットにおいて複数の画素行のうち少なくとも最初に消光される画素行に対応する走査線に対して、各信号線に非階調信号を印加している間に第2トランジスタをオンする1または複数の第2パルス信号が印加される。これにより、消光後に第2パルス信号を印加しない従来の場合と比べて、各ユニット内で生じる第1トランジスタのソース電圧の差を小さくすることができる。

20

【発明の効果】

【0020】

本発明の表示装置およびその駆動方法ならびに電子機器によれば、消光後に第2パルス信号を印加することにより、従来と比べて、各ユニット内で生じる第1トランジスタのソース電圧の差を小さくすることができるようにした。これにより、ユニットスキャンにおいて、隣接するユニット間にスジ状の様相が発生するのを防止することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一実施の形態に係る表示装置の一例を表す構成図である。

【図2】図1の画素の内部構成の一例を表す構成図である。

30

【図3】図1の表示装置のユニットスキャンについて説明するための概念図である。

【図4】図1の表示装置の動作の一例について説明するための波形図である。

【図5】一のユニットにおける動作の一例について説明するための波形図である。

【図6】一のユニットにおける動作の他の例について説明するための波形図である。

【図7】一のユニットにおける動作のその他の例について説明するための波形図である。

【図8】一のユニットにおける動作のその他の例について説明するための波形図である。

【図9】上記実施の形態の表示装置を含むモジュールの概略構成を表す平面図である。

【図10】上記実施の形態の表示装置の適用例1の外観を表す斜視図である。

【図11】(A)は適用例2の表側から見た外観を表す斜視図であり、(B)は裏側から見た外観を表す斜視図である。

40

【図12】適用例3の外観を表す斜視図である。

【図13】適用例4の外観を表す斜視図である。

【図14】(A)は適用例5の開いた状態の正面図、(B)はその側面図、(C)は閉じた状態の正面図、(D)は左側面図、(E)は右側面図、(F)は上面図、(G)は下面図である。

【図15】従来の表示装置の一例を表す構成図である。

【図16】図15の表示装置の動作の一例について説明するための波形図である。

【図17】図15の表示装置の一のユニットにおける動作の一例について説明するための波形図である。

【発明を実施するための形態】

50

【0022】

以下、発明を実施するための形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態 (図1～図6)
2. 変形例 (図7、図8)
3. モジュールおよび適用例 (図9～図14)
4. 従来例 (図15～図17)

【0023】

図1は、本発明の一実施の形態に係る表示装置1の全体構成の一例を表したものである。この表示装置1は、例えば、表示パネル10 (表示部) と、駆動回路20 (駆動部) とを備えている。

10

【0024】

(表示パネル10)

表示パネル10は、発光色の互いに異なる3種類の有機EL素子11R, 11G, 11B (発光素子) が2次元配置された表示領域10Aを有している。表示領域10Aとは、有機EL素子11R, 11G, 11Bから発せられる光を利用して映像を表示する領域である。有機EL素子11Rは赤色光を発する有機EL素子であり、有機EL素子11Gは緑色光を発する有機EL素子であり、有機EL素子11Bは青色光を発する有機EL素子である。なお、以下では、有機EL素子11R, 11G, 11Bの総称として有機EL素子11を適宜用いるものとする。

20

【0025】

(表示領域10A)

図2は、表示領域10A内の回路構成の一例を表したものである。表示領域10A内には、複数の画素回路12が個々の有機EL素子11と対となって2次元配置されている。なお、本実施の形態では、一对の有機EL素子11および画素回路12が1つの画素13を構成している。より詳細には、図1に示したように、一对の有機EL素子11Rおよび画素回路12が1つの画素13R (赤色用の画素) を構成し、一对の有機EL素子11Gおよび画素回路12が1つの画素13G (緑色用の画素) を構成し、一对の有機EL素子11Bおよび画素回路12が1つの画素13B (青色用の画素) を構成している。さらに、互いに隣り合う3つの画素13R, 13G, 13Bが1つの表示画素14を構成している。

30

【0026】

各画素回路12は、例えば、有機EL素子11に流れる電流を制御する駆動トランジスタ Tr_1 (第1トランジスタ) と、信号線DTLの電圧を駆動トランジスタ Tr_1 に書き込む書き込みトランジスタ Tr_2 (第2トランジスタ) と、保持容量 C_s とによって構成されたものであり、2 Tr_1C の回路構成となっている。駆動トランジスタ Tr_1 および書き込みトランジスタ Tr_2 は、例えば、nチャネルMOS型の薄膜トランジスタ (TFET (Thin Film Transistor)) により形成されている。駆動トランジスタ Tr_1 または書き込みトランジスタ Tr_2 は、例えば、pチャネルMOS型のTFETであってもよい。

40

【0027】

表示領域10Aにおいて、複数の書込線WSL (走査線) が行状に配置され、複数の信号線DTLが列状に配置されている。表示領域10Aには、さらに、複数の電源線PSL (電源電圧の供給される部材) が書込線WSLに沿って行状に配置されている。各信号線DTLと各走査線WSLとの交差点近傍には、有機EL素子11が1つずつ設けられている。各信号線DTLは、後述の信号線駆動回路23の出力端 (図示せず) と、書き込みトランジスタ Tr_2 のドレイン電極およびソース電極のいずれか一方 (図示せず) に接続されている。各走査線WSLは、後述の書込線駆動回路24の出力端 (図示せず) と、書き込みトランジスタ Tr_2 のゲート電極 (図示せず) に接続されている。各電源線PSLは、後述の電源線駆動回路25の出力端 (図示せず) と、駆動トランジスタ Tr_1 のドレイ

50

ン電極およびソース電極のいずれか一方（図示せず）に接続されている。書き込みトランジスタ Tr_2 のドレイン電極およびソース電極のうち信号線 DTL に非接続の方（図示せず）は、駆動トランジスタ Tr_1 のゲート電極（図示せず）と、保持容量 C_s の一端に接続されている。駆動トランジスタ Tr_1 のドレイン電極およびソース電極のうち電源線 PSL に非接続の方（図示せず）と保持容量 C_s の他端とが、有機 EL 素子 11 のアノード電極（図示せず）に接続されている。有機 EL 素子 11 のカソード電極（図示せず）は、例えば、グラウンド線 GND に接続されている。

【0028】

電源線 PSL は、図 1、図 3 に示したように、複数の画素行を一つのユニット U として、ユニット U ごとに一つずつ設けられている。なお、図 3 には、ユニット U が 5 つ設けられている場合が例示されているが、ユニット数はそれに限られるものではない。また、図 3 では、5 つのユニット U に対して、電源線駆動回路 25 の走査方向に向かうにつれて、1 つずつ増えるサフィックスを付与している。従って、ユニット U 1 は走査方向の初回ユニットに相当し、ユニット U 5 は走査方向の最終ユニットに相当する。

10

【0029】

（駆動回路 20）

次に、駆動回路 20 内の各回路について、図 1 を参照して説明する。駆動回路 20 は、タイミング生成回路 21、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、および電源線駆動回路 25 を有している。

【0030】

タイミング生成回路 21 は、映像信号処理回路 22、信号線駆動回路 23、書込線駆動回路 24、および電源線駆動回路 25 が連動して動作するように制御するものである。タイミング生成回路 21 は、例えば、外部から入力された同期信号 20B に応じて（同期して）、上述した各回路に対して制御信号 21A を出力するようになっている。

20

【0031】

映像信号処理回路 22 は、外部から入力された映像信号 20A に対して所定の補正を行うと共に、補正した後の映像信号 22A を信号線駆動回路 23 に出力するようになっている。所定の補正としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【0032】

信号線駆動回路 23 は、制御信号 21A の入力に応じて（同期して）、映像信号処理回路 22 から入力された映像信号 22A（信号電圧 V_{sig} ）を各信号線 DTL に印加して、選択対象の画素 13 に書き込むものである。なお、書き込みとは、駆動トランジスタ Tr_1 のゲートに所定の電圧を印加することを指している。

30

【0033】

信号線駆動回路 23 は、例えばシフトレジスタ（図示せず）によって構成されており、画素 13 の各列に対応して、1 段ごとに信号出力部（図示せず）を備えている。この信号線駆動回路 23 は、制御信号 21A の入力に応じて（同期して）、各信号線 DTL に対して、3 種類の電圧（ V_{sig} 、 V_{ofs} 、 V_{ers} ）を出力可能となっている。具体的には、信号線駆動回路 23 は、各画素 13 に接続された信号線 DTL を介して、書込線駆動回路 24 により選択された画素 13 へ 3 種類の電圧（ V_{sig} 、 V_{ofs} 、 V_{ers} ）を順番に供給するようになっている。

40

【0034】

ここで、 V_{sig} は、映像信号 22A に対応する電圧値となっている。 V_{sig} の最小電圧は V_{ofs} よりも低い電圧値となっており、 V_{sig} の最大電圧は V_{ofs} よりも高い電圧値となっている。また、 V_{ofs} は、映像信号 22A とは無関係な非階調信号であり、 V_{ers} よりも低い電圧値（固定値）となっている。 V_{ers} は、有機 EL 素子 11 の閾値電圧 V_{el} よりも低い電圧値（固定値）となっている。

【0035】

書込線駆動回路 24 は、例えばシフトレジスタ（図示せず）によって構成されており、

50

画素 1 3 の各行に対応して、1 段ごとに信号出力部（図示せず）を備えている。この書込線駆動回路 2 4 は、制御信号 2 1 A の入力に応じて（同期して）、各書込線 W S L に対して、3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）を出力可能となっている。具体的には、書込線駆動回路 2 4 は、各画素 1 3 に接続された書込線 W S L を介して、駆動対象の画素 1 3 へ 3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）を供給し、書き込みトランジスタ $T r_2$ を制御するようになっている。

【 0 0 3 6 】

ここで、電圧 V_{on} は、書き込みトランジスタ $T r_2$ のオン電圧以上の値となっている。 V_{on} は、後述の消光時や閾値補正時に、書込線駆動回路 2 4 から出力される電圧値である。 V_{off1} 、 V_{off2} は、書き込みトランジスタ $T r_2$ のオン電圧よりも低い値となっている。 V_{off2} は、 V_{off1} よりも低い電圧値となっている。

10

【 0 0 3 7 】

電源線駆動回路 2 5 は、例えばシフトレジスタ（図示せず）によって構成されており、各ユニット（ $U 1 \sim U 5$ ）に対応して、各ユニット（ $U 1 \sim U 5$ ）に含まれる行数と等しい数の段ごとに信号出力部（図示せず）を備えている。つまり、本実施の形態では、電源線駆動回路 2 5 内のシフトレジスタの出力段がユニット（ $U 1 \sim U 5$ ）ごとに共用化されており、ユニットスキャン方式が採られている。そのため、各画素列に対応して 1 段ごとに信号出力部を設けた場合と比べて、電源線駆動回路 2 5 内の信号出力部の数が少ない。

【 0 0 3 8 】

この電源線駆動回路 2 5 は、制御信号 2 1 A の入力に応じて（同期して）、2 種類の電圧（ V_{ss} 、 V_{cc} ）を出力可能となっている。具体的には、電源線駆動回路 2 5 は、各画素 1 3 に接続された電源線 P S L を介して、駆動対象の画素 1 3 へ 2 種類の電圧（ V_{ss} 、 V_{cc} ）を供給し、有機 E L 素子 1 1 の発光および消光を制御するようになっている。

20

【 0 0 3 9 】

ここで、 V_{ss} は、有機 E L 素子 1 1 の閾値電圧 V_{e1} と、有機 E L 素子 1 1 のカソードの電圧 V_{ca} とを足し合わせた電圧（ $V_{e1} + V_{ca}$ ）よりも低い電圧値である。また、 V_{cc} は、電圧（ $V_{e1} + V_{ca}$ ）以上の電圧値である。

【 0 0 4 0 】

次に、本実施の形態の表示装置 1 の動作（消光から発光までの動作）の一例について説明する。本実施の形態では、駆動トランジスタ $T r_1$ の閾値電圧 V_{th} や移動度 μ が経時変化したりしても、それらの影響を受けることなく、有機 E L 素子 1 1 の発光輝度を一定に保つようにするために、閾値電圧 V_{th} や移動度 μ の変動に対する補正動作が組み込まれている。

30

【 0 0 4 1 】

図 4 は、表示装置 1 における各種波形の一例を表したものである。図 4 には、電源線 P S L に 2 種類の電圧（ V_{ss} 、 V_{cc} ）が、書込線 W S L 1 ~ W S L 6 に 3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）が印加されている様子が示されている。図 1、図 4 からわかるように、表示装置 1 では、電源線 P S L（P S L 1, P S L 2, ...）から各画素 1 3 に、ユニット（ $U 1 \sim U 5$ ）ごとに共通のタイミングで V_{ss} 、 V_{cc} が印加される。

【 0 0 4 2 】

図 5 は、表示装置 1 の一のユニット U に印加される電圧波形の一例を表したものである。具体的には、電源線 P S L に 2 種類の電圧（ V_{ss} 、 V_{cc} ）が、信号線 D T L に 3 種類の電圧（ V_{sig} 、 V_{ers} 、 V_{ofs} ）が、書込線 W S L に 3 種類の電圧（ V_{on} 、 V_{off1} 、 V_{off2} ）が印加されている様子が示されている。さらに、図 5（F）、（G）には、電源線 P S L 1、信号線 D T L および書込線 W S L 1 への電圧印加に応じて、駆動トランジスタ $T r_1$ のゲート電圧 V_{g1} およびソース電圧 V_{s1} が時々刻々変化している様子が示されている。なお、ゲート電圧 V_{g1} は、書込線 W S L 1 に対応するライン（画素行）におけるゲート電圧であり、ソース電圧 V_{s1} は、書込線 W S L 1 に対応するライン（画素行）におけるソース電圧である。

40

【 0 0 4 3 】

50

(消光期間)

まず、有機EL素子11の消光を行う。具体的には、電源線PSL1の電圧が V_{cc} となっており、かつ信号線DTLの電圧が V_{ers} となっている時に、書込線駆動回路24が書込線WSL1~WSL3に、波高値が V_{on} である1つの消光パルス信号(第1パルス信号P1)を順番に印加する。具体的には、書込線駆動回路24が書込線WSL1~WSL3の電圧を順番に、 V_{off1} から V_{on} に上げ(T_1)、駆動トランジスタ T_{r1} のゲートを信号線DTLに接続する。すると、駆動トランジスタ T_{r1} のゲート電圧 V_{g1} が下がり始め、保持容量 C_s を介したカップリングにより駆動トランジスタ T_{r1} のソース電圧 V_{s1} も下がり始める。その後、ゲート電圧 V_{g1} が V_{ers} となり、ソース電圧 V_{s1} が $V_{e1} + V_{ca}$ (V_{ca} は有機EL素子11のカソード電圧)となり、有機EL素子11が消光したときに書込線駆動回路24が書込線WSL1~WSL3の電圧を順番に、 V_{on} から V_{off1} に下げ、駆動トランジスタ T_{r1} のゲートをフローティングにする(T_2)。

10

【0044】

続いて、電源線PSL1の電圧が V_{cc} となっており、かつ信号線DTLの電圧が V_{ers} となっている時であって、かつ電源線PSL1の電圧が V_{cc} から V_{ss} に変化する前に、書込線駆動回路24が各書込線WSL1~WSL3に、波高値が V_{on} である1または複数の消光パルス信号(第2パルス信号P2)を印加する。具体的には、書込線駆動回路24が各書込線WSL1~WSL3の電圧を所定のタイミングで(例えば、1Hごとに)、 V_{off1} から V_{on} に上げ(T_3)、駆動トランジスタ T_{r1} のゲートを信号線DTLに接続したのち、所定の期間が経過したところで、書込線WSL1~WSL3の電圧を V_{on} から V_{off1} (または V_{off2})に下げる。すると、駆動トランジスタ T_{r1} のゲート電圧 V_{g1} およびソース電圧 V_{s1} が若干上昇したのち、徐々に降下していく。

20

【0045】

なお、各書込線WSL1~WSL3に対して第2パルス信号P2を印加する回数は、各書込線WSL1~WSL3において、互いに異なってもよいし(図5)、互いに等しくなってもよい(図6)。また、各書込線WSL1~WSL3に対して第2パルス信号P2を印加する回数は、例えば、図5に示したように、書込線駆動回路24の走査方向に向かうにつれて減っていてもよく、例えば、書込線駆動回路24の走査方向に向かうにつれて1つずつ減っていてもよい。

【0046】

また、第1パルス信号P1および第2パルス信号P2の波高値は、互いに等しくなってもよいし(図5, 図6)、互いに異なってもよい。また、第1パルス信号P1および第2パルス信号P2のパルス幅についても、互いに等しくなってもよいし(図5, 図6)、互いに異なってもよい。また、消光期間中に、第1パルス信号P1および第2パルス信号P2を印加するタイミングは、複数の書込線WSL1~WSL3のうち第1パルス信号P1が印加されていない書込線WSLを除いた全ての書込線WSLにおいて同時であってもよいし(図5, 図6)、同時でなくてもよい。各書込線WSL1~WSL3に対して第2パルス信号P2を最後に印加するタイミングは、全ての書込線WSL1~WSL3において同時であることが好ましい(図5, 図6)。

30

【0047】

(閾値補正準備期間)

次に、閾値補正の準備を行う。具体的には、書込線WSLの電圧が V_{off2} となっている時に、電源線駆動回路25が電源線PSLの電圧を V_{cc} から V_{ss} に下げる(T_5)。すると、駆動トランジスタ T_{r1} の電源線PSL側がソースとなって駆動トランジスタ T_{r1} のドレイン-ソース間に電流 I_d が流れ、ゲート電圧 V_{g1} が $V_{ss} + V_{th}$ となったところで、電流 I_d が止まる。このとき、ソース電圧 V_{s1} が $V_{e1} + V_{ca} - (V_{ers} - (V_{ss} + V_{th}))$ となっており、電位差 V_{gs} が V_{th} よりも小さくなっている。

40

【0048】

続いて、電源線駆動回路25が電源線PSLの電圧を V_{ss} から V_{cc} に上げる(T_6)。すると、駆動トランジスタ T_{r1} のドレイン-ソース間に電流 I_d が流れ、ゲート電圧 V_{g1}

50

およびソース電圧 V_{s1} が、駆動トランジスタ T_{r1} のゲート - ドレイン間の寄生容量と、保持容量 C_s との容量結合によって上昇する。このとき、電位差 V_{gs} は依然として V_{th} よりも小さくなっている。

【0049】

(最初の閾値補正期間)

次に、閾値補正を行う。具体的には、電源線 PSL の電圧が V_{oc} となっており、かつ信号線 DTL の電圧が V_{ofs} (波高値の固定された閾値補正信号) となっている時に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off2} から V_{on} に上げて、書込線 WSL に選択パルス T_7 を印加する。すると、駆動トランジスタ T_{r1} のドレイン - ソース間に電流 I_d が流れ、ゲート電圧 V_{g1} およびソース電圧 V_{s1} が、駆動トランジスタ T_{r1} のゲート - ドレイン間の寄生容量と、保持容量 C_s との容量結合によって上昇する。ここで、保持容量 C_s が有機 EL 素子 11 の素子容量よりも極めて小さく、ソース電圧 V_{s1} の上昇量がゲート電圧 V_{g1} の上昇量よりも十分に小さいので、電位差 V_{gs} が大きくなる。そして、電位差 V_{gs} が V_{th} よりも大きくなった段階で、書込線駆動回路 24 が書込線 WSL の電圧を V_{on} から V_{off1} に下げる (T_8)。すると、駆動トランジスタ T_{r1} のゲートがフローティングとなり、閾値補正が一旦停止する。

10

【0050】

(最初の閾値補正休止期間)

閾値補正が休止している期間中は、例えば、先の閾値補正を行った行 (画素) とは異なる他の行 (画素) において、信号線 DTL の電圧のサンプリングが行われる。なお、このとき、先の閾値補正を行った行 (画素) において、ソース電圧 V_{s1} が $V_{ofs} - V_{th}$ よりも低いので、閾値補正休止期間中にも、先の閾値補正を行った行 (画素) において、駆動トランジスタ T_{r1} のドレイン - ソース間に電流 I_d が流れ、ソース電圧 V_{s1} が上昇し、保持容量 C_s を介したカップリングによりゲート電圧 V_{g1} も上昇する。

20

【0051】

(2回目の閾値補正期間)

閾値補正休止期間が終了した後、閾値補正を再び行う。具体的には、信号線 DTL の電圧が V_{ofs} となっており、閾値補正が可能となっている時に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off1} から V_{on} に上げ (T_7)、駆動トランジスタ T_{r1} のゲートを信号線 DTL に接続する。このとき、ソース電圧 V_{s1} が $V_{ofs} - V_{th}$ よりも低い場合 (閾値補正がまだ完了していない場合) には、駆動トランジスタ T_{r1} がカットオフするまで (電位差 V_{gs} が V_{th} になるまで)、駆動トランジスタ T_{r1} のドレイン - ソース間に電流 I_d が流れる。その後、信号線駆動回路 23 が信号線 DTL の電圧を V_{ofs} から V_{sig} に切り替える前に、書込線駆動回路 24 が書込線 WSL の電圧を V_{on} から V_{off1} に下げる (T_8)。すると、駆動トランジスタ T_{r1} のゲートがフローティングとなるので、電位差 V_{gs} を信号線 DTL の電圧の大きさに拘わらず一定に維持することができる。

30

【0052】

なお、この閾値補正期間において、保持容量 C_s が V_{th} に充電され、電位差 V_{gs} が V_{th} となった場合には、閾値補正を終了するが、電位差 V_{gs} が V_{th} にまで到達しなかった場合には、電位差 V_{gs} が V_{th} に到達するまで、閾値補正と、閾値補正休止とを繰り返し実行する。

40

【0053】

(書き込み・ μ 補正期間)

閾値補正休止期間が終了した後、書き込みと μ 補正を行う。具体的には、信号線 DTL の電圧が V_{sig} となっている間に、書込線駆動回路 24 が書込線 WSL の電圧を V_{off1} から V_{on} に上げ (T_9)、駆動トランジスタ T_{r1} のゲートを信号線 DTL に接続する。すると、駆動トランジスタ T_{r1} のゲートの電圧が V_{sig} となる。このとき、有機 EL 素子 11 のアノードの電圧はこの段階ではまだ有機 EL 素子 11 の閾値電圧 V_{e1} よりも小さく、有機 EL 素子 11 はカットオフしている。そのため、電流 I_d は有機 EL 素子 11 の素子容量に流れ、素子容量が充電されるので、ソース電圧 V_{s1} が V だけ上昇し、やがて電位差

50

V_{gs} が $V_{sig} + V_{th} - V$ となる。このようにして、書き込みと同時に μ 補正が行われる。

【0054】

(発光)

最後に、書込線駆動回路24が書込線WSLの電圧を V_{on} から V_{off1} に下げる (T_{10})。すると、駆動トランジスタ Tr_1 のゲートがフローティングとなり、駆動トランジスタ Tr_1 のドレイン - ソース間に電流 I_d が流れ、ソース電圧 V_{s1} が上昇する。その結果、有機EL素子11が所望の輝度で発光する。

【0055】

本実施の形態の表示装置1では、上記のようにして、各画素13において画素回路12がオンオフ制御され、各画素13の有機EL素子11に駆動電流が注入されることにより、正孔と電子とが再結合して発光が起こり、その光が外部に取り出される。その結果、表示パネル10の表示領域10Aにおいて画像が表示される。

【0056】

ところで、例えば、図15に示したような従来の表示装置100におけるユニットスキャン方式では、例えば、図16、図17に示したように、同一ユニット内において、電源線PSLの電圧が V_{ss} から V_{cc} に上がった時 (T_1) から閾値補正を開始する時 (T_2) までの時間 (待ち時間) がラインによって異なっている。例えば、同一ユニット内に30ライン含まれている場合に、1ライン目の待ち時間と30ライン目の待ち時間との差が29Hとなる。この待ち時間の間、例えば、図17(F)に示したように、ソース電圧 V_s が徐々に低下していくが、有機EL素子111R等の容量成分などに起因してゆっくり低下するので、時刻 $T_1 \sim T_2$ の間、画素回路内には微弱な電流が流れている。その結果、一のユニットに含まれるライン数が多すぎると、時刻 $T_1 \sim T_2$ の間、最初のラインの輝度が最後のラインの輝度よりも明るくなってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

【0057】

また、例えば、図17(E), (F)に示したように、時刻 $T_1 \sim T_2$ の間、ソース電圧 V_s が所定の電位に向かって徐々に低下するに伴い、ゲート電圧 V_g も徐々に低下する。このとき、ゲート電圧 V_g の低下量は、ソース電圧 V_s の低下量と相関を有しているので、一のユニットにおいて、ソース電圧 V_s およびゲート電圧 V_g の低下量は、最初のラインの方が最後のラインよりも大きくなる。そのため、電源線PSLの電圧が V_{ss} から V_{cc} に立ち上がる時 (T_3) の直前において、最初のラインと最後のラインとで、ソース電圧およびゲート電圧ともに、差が生じる (図中の V_s 、 V_g)。このあと、電源線PSLの電圧が V_{ss} から V_{cc} に立ち上がると (T_3)、一のユニット内の全てのラインにおいて、ゲート電圧 V_g がほぼ同一となるが、ソース電圧 V_s については、依然として、最初のラインと最後のラインとで差 (V_s) が残っている。このソース電圧 V_s の差 (V_s) は発光時まで残るので、発光時にラインごとに輝度が異なってしまい、隣接するユニット間にスジ状の模様が発生してしまう。

【0058】

このように、従来の方式では、ラインごとの待ち時間の違いによって、隣接するユニット間にスジ状の模様が発生してしまうという問題があった。

【0059】

一方、本実施の形態の表示装置1では、まず、各ユニットUに含まれる複数の走査線WSLに対して1つの第1パルス信号P1が順番に印加され、複数の有機EL素子11がライン (画素行) ごとに順番に消光される。その後、電源線PSL1の電圧が V_{cc} となっており、かつ信号線DTLの電圧が V_{er} となっている時であって、かつ電源線PSL1の電圧が V_{cc} から V_{ss} に変化する前に、各書込線WSL1 ~ WSL3に1または複数の第2パルス信号P2が印加される。つまり、消光してから閾値補正準備を開始するまでの間に、各書込線WSL1 ~ WSL3に1または複数の第2パルス信号P2が印加される。これにより、消光後に第2パルス信号P2を印加しない従来の場合と比べて、各ユニットU内

10

20

30

40

50

で生じる駆動トランジスタ T_{r1} のソース電圧 V_s の差 V_s を小さくすることができる。その結果、ユニットスキャンにおいてスジ状の様相が発生するのを防止することができる。

【0060】

<変形例>

上記実施の形態では、各書込線 $WSL1 \sim WSL3$ に対して第2パルス信号 $P2$ を印加していたが、必要に応じて、書込線 $WSL3$ に対する第2パルス信号 $P2$ の印加をなくしてもよい(図7、図8)。つまり、各ユニット U に含まれる複数の走査線 WSL のうち最後に消光されるライン(画素行)に対応する走査線 WSL 以外の全ての走査線 WSL に対して、各信号線 DTL の電圧が V_{ers} となっている時に1または複数の第2パルス信号 $P2$ を印加するようにしてもよい。

10

【0061】

また、必要に応じて、書込線 $WSL2, WSL3$ に対する第2パルス信号 $P2$ の印加をなくしてもよい(図示せず)。つまり、各ユニット U において複数のライン(画素行)のうち少なくとも最初に消光されるライン(画素行)に対応する走査線 WSL に対して、各信号線 DTL の電圧が V_{ers} となっている時に1または複数の第2パルス信号 $P2$ を印加するようにしてもよい。

【0062】

ところで、上記の変形例においては、各書込線 $WSL1 \sim WSL3$ に対して第1パルス信号 $P1$ および第2パルス信号 $P2$ のいずれかを最後に印加するタイミングは、全ての書込線 $WSL1 \sim WSL3$ において同時であることが好ましい(図7、図8)。

20

【0063】

<モジュールおよび適用例>

以下、上記実施の形態および変形例で説明した表示装置1の適用例について説明する。上記実施の形態等の表示装置1は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器の表示装置に適用することが可能である。

【0064】

(モジュール)

上記実施の形態等の表示装置1は、例えば、図9に示したようなモジュールとして、後述する適用例1~5などの種々の電子機器に組み込まれる。このモジュールは、例えば、基板2の一辺に、表示領域10Aを封止する部材(図示せず)から露出した領域210を設け、この露出した領域210に、駆動回路20の配線を延長して外部接続端子(図示せず)を形成したものである。外部接続端子には、信号の入出力のためのフレキシブルプリント配線基板(FPC; Flexible Printed Circuit)220が設けられていてもよい。

30

【0065】

(適用例1)

図10は、上記実施の形態等の表示装置1が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル310およびフィルターガラス320を含む映像表示画面部300を有しており、この映像表示画面部300は、上記実施の形態等に係る表示装置1により構成されている。

40

【0066】

(適用例2)

図11は、上記実施の形態等の表示装置1が適用されるデジタルカメラの外観を表したものである。このデジタルカメラは、例えば、フラッシュ用の発光部410、表示部420、メニュースイッチ430およびシャッターボタン440を有しており、その表示部420は、上記実施の形態等に係る表示装置1により構成されている。

【0067】

(適用例3)

50

図 1 2 は、上記実施の形態等の表示装置 1 が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体 5 1 0 , 文字等の入力操作のためのキーボード 5 2 0 および画像を表示する表示部 5 3 0 を有しており、その表示部 5 3 0 は、上記実施の形態等に係る表示装置 1 により構成されている。

【 0 0 6 8 】

(適用例 4)

図 1 3 は、上記実施の形態等の表示装置 1 が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部 6 1 0 , この本体部 6 1 0 の前方側面に設けられた被写体撮影用のレンズ 6 2 0 , 撮影時のスタート/ストップスイッチ 6 3 0 および表示部 6 4 0 を有しており、その表示部 6 4 0 は、上記実施の形態等に係る表示装置 1 により構成されている。

10

【 0 0 6 9 】

(適用例 5)

図 1 4 は、上記実施の形態等の表示装置 1 が適用される携帯電話機の外観を表したものである。この携帯電話機は、例えば、上側筐体 7 1 0 と下側筐体 7 2 0 とを連結部(ヒンジ部) 7 3 0 で連結したものであり、ディスプレイ 7 4 0 , サブディスプレイ 7 5 0 , ピクチャーライト 7 6 0 およびカメラ 7 7 0 を有している。そのディスプレイ 7 4 0 またはサブディスプレイ 7 5 0 は、上記実施の形態等に係る表示装置 1 により構成されている。

20

【 0 0 7 0 】

以上、実施の形態および適用例を挙げて本発明を説明したが、本発明は上記実施の形態等に限定されるものではなく、種々変形が可能である。

【 0 0 7 1 】

例えば、上記実施の形態等では、表示装置 1 がアクティブマトリクス型である場合について説明したが、アクティブマトリクス駆動のための画素回路 1 2 の構成は上記実施の形態等で説明したものに限られず、必要に応じて容量素子やトランジスタを画素回路 1 2 に追加してもよい。その場合、画素回路 1 2 の変更に応じて、上述した信号線駆動回路 2 3 、書込線駆動回路 2 4 、電源線駆動回路 2 5 のほかに、必要な駆動回路を追加してもよい。

30

【 0 0 7 2 】

また、上記実施の形態等では、信号線駆動回路 2 3 、書込線駆動回路 2 4 、電源線駆動回路 2 5 の駆動をタイミング制御回路 2 2 が制御していたが、他の回路がこれらの駆動を制御するようにしてもよい。また、信号線駆動回路 2 3 、書込線駆動回路 2 4 、電源線駆動回路 2 5 の制御は、ハードウェア(回路)で行われていてもよいし、ソフトウェア(プログラム)で行われていてもよい。

【 0 0 7 3 】

また、上記実施の形態等では、画素回路 1 2 が、 $2Tr1C$ の回路構成となっていたが、デュアルゲート型のトランジスタが有機 EL 素子 1 1 に直列に接続された回路構成を含んでいるのであれば、 $2Tr1C$ の回路構成以外の回路構成となってもよい。

40

【 0 0 7 4 】

また、上記実施の形態等では、駆動トランジスタ Tr_1 , 書き込みトランジスタ Tr_2 は、 n チャネル MOS 型の薄膜トランジスタ(TFT)により形成されている場合が例示されていたが、 p チャネルトランジスタ(例えば p チャネル MOS 型の TFT)により形成されていてもよい。ただし、その場合には、トランジスタ Tr_2 のソースおよびドレインのうち電源線 PSL と未接続の方と保持容量 C_s の他端とを有機 EL 素子 1 1 のカソードに接続し、有機 EL 素子 1 1 のアノードを GND などに接続することが好ましい。

【符号の説明】

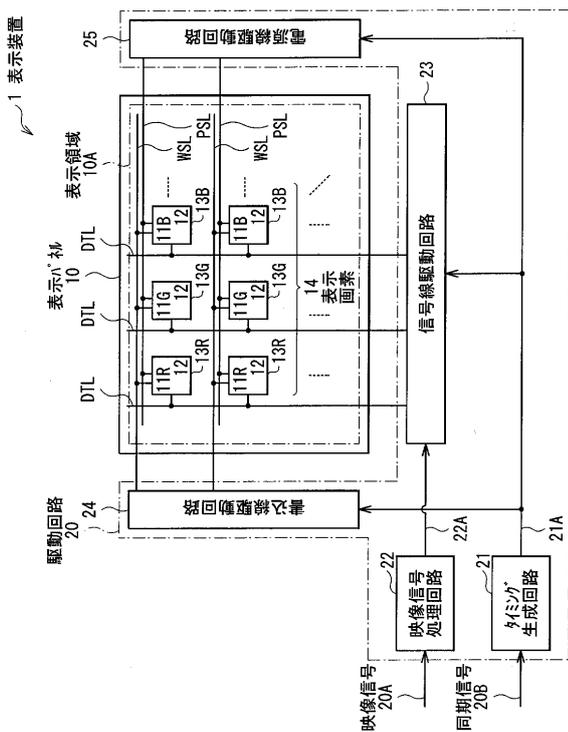
【 0 0 7 5 】

1 , 1 0 0 ... 表示装置、 1 0 , 1 1 0 ... 表示パネル、 1 0 A ... 表示領域、 1 1 , 1 1 R , 1 1 G , 1 1 B , 1 1 1 R , 1 1 1 G , 1 1 1 B ... 有機 EL 素子、 1 2 ... 画素回路、 1

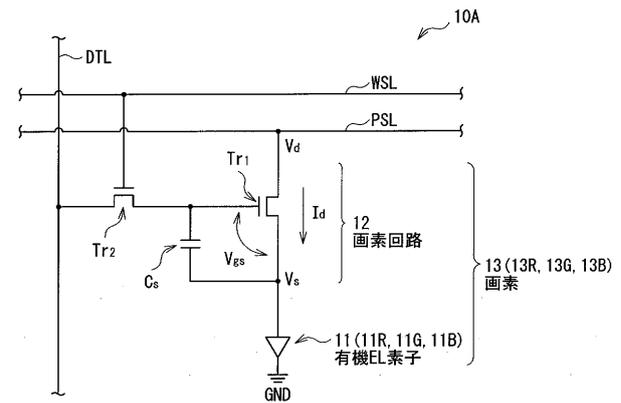
50

3, 13R, 13G, 13B, 111...画素、14...表示画素、20...駆動回路、20A, 22A...映像信号、20B...同期信号、21...タイミング生成回路、21A...制御信号、22...映像信号処理回路、23, 120...信号線駆動回路、24, 130...書込線駆動回路、25, 140...電源線駆動回路、31...基板、32...封止用基板、210...領域、220...FPC、300...映像表示画面部、310...フロントパネル、320...フィルターガラス、410...発光部、420, 530, 640...表示部、430...メニュースイッチ、440...シャッターボタン、510...本体、520...キーボード、610...本体部、620...レンズ、630...スタート/ストップスイッチ、710...上側筐体、720...下側筐体、730...連結部、740...ディスプレイ、750...サブディスプレイ、760...ピクチャーライト、770...カメラ、 C_s ...保持容量、DTL (DTL1, DTL2, ...)...信号線、 I_d ...電流、GND...グラウンド線、P1...第1パルス信号、P2...第2パルス信号、PSL (PSL1, PSL2, ...)...電源線、 Tr_1 ...駆動トランジスタ、 Tr_2 ...書き込みトランジスタ、U, U1~U5...ユニット、 V_{ca} ...カソード電圧、 V_g, V_{g1}, V_{g3} ...ゲート電圧、 V_{gs} ...電位差、 V_s, V_{s1}, V_{s3} ...ソース電圧、 V_{sig} ...信号電圧、 $V_{cc}, V_{ers}, V_{off1}, V_{off2}, V_{ofs}, V_{on}, V_{ss}$, V ...電圧、 V_{th}, V_{el} ...閾値電圧、WSL (WSL1, WSL2, ...)...書込線、 μ ...移動度、 V_g ...ゲート電圧の差、 V_s ...ソース電圧の差。

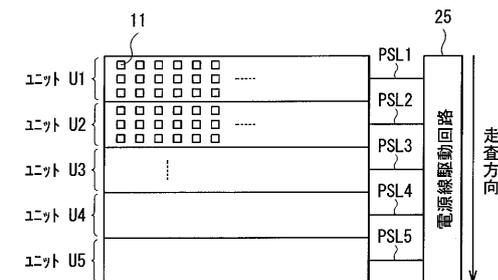
【図1】



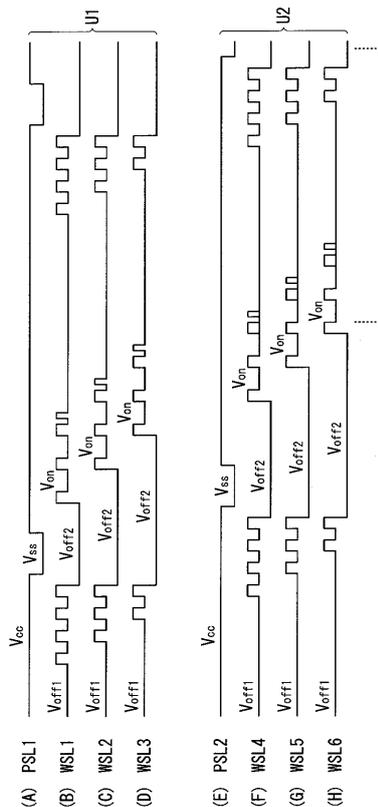
【図2】



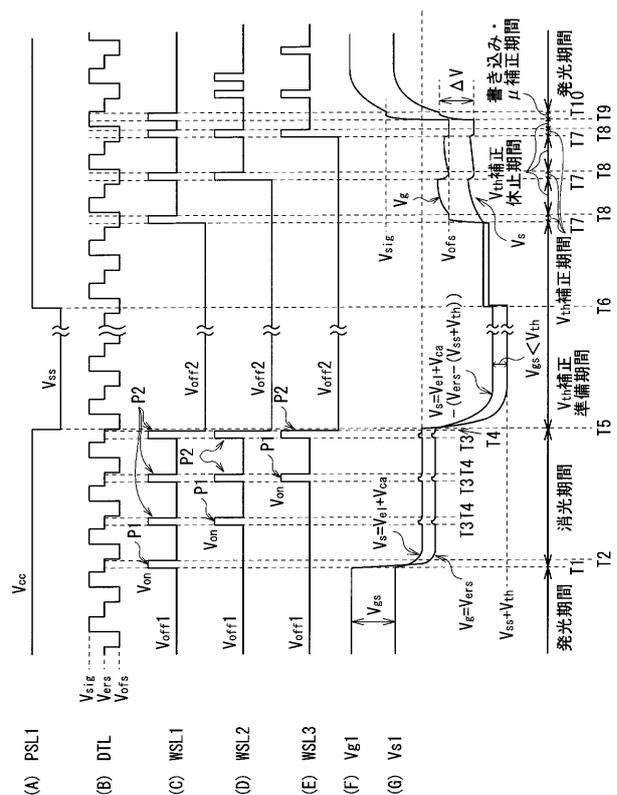
【図3】



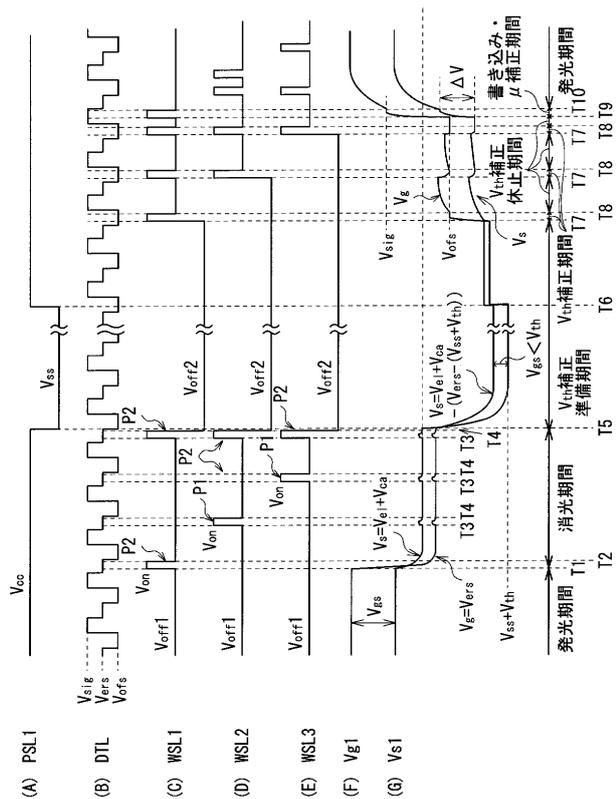
【 図 4 】



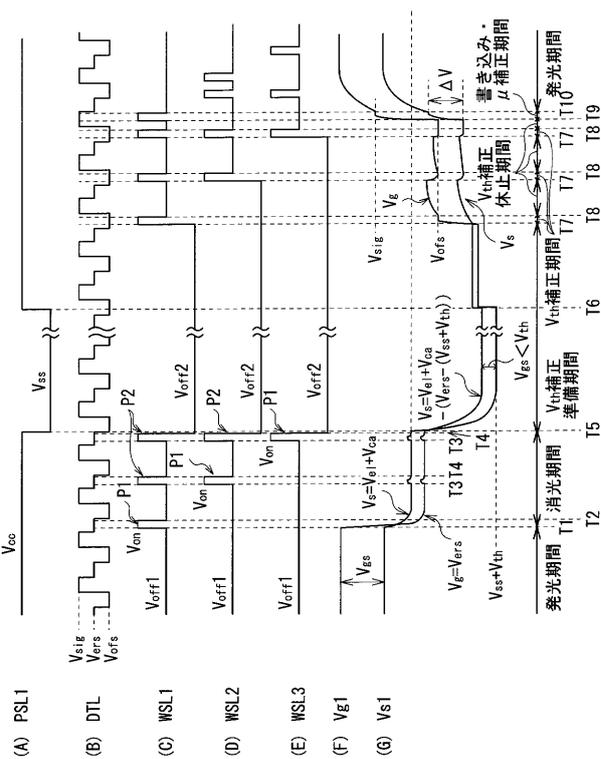
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 3 C
	G 0 9 G 3/20	6 2 3 D
	H 0 5 B 33/14	A

(72)発明者 内野 勝秀

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC31 CC33 CC43 CC45 EE03 HH04 HH05
 5C080 AA06 BB05 CC03 DD05 DD22 DD27 EE29 EE30 FF11 FF12
 HH10 JJ02 JJ03 JJ04 JJ06 KK02 KK07 KK43 KK47
 5C380 AA01 AB06 AB34 AB39 AB46 AC07 AC08 AC09 AC11 BA10
 BA12 BA14 BA22 BA28 BA38 BA39 BB02 BC20 BD02 CA12
 CA53 CA54 CB02 CB20 CB26 CB31 CB37 CC02 CC03 CC04
 CC06 CC07 CC26 CC27 CC33 CC41 CC62 CC71 CD012 CE01
 CE19 CF07 DA02 DA06 DA18 DA32 DA47 DA57 HA03 HA05