



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월31일  
(11) 등록번호 10-1215851  
(24) 등록일자 2012년12월20일

(51) 국제특허분류(Int. Cl.)  
*G11B 5/02* (2006.01) *G11B 20/10* (2006.01)  
(21) 출원번호 10-2005-0094019  
(22) 출원일자 2005년10월06일  
심사청구일자 2010년08월23일  
(65) 공개번호 10-2006-0092962  
(43) 공개일자 2006년08월23일  
(30) 우선권주장  
11/140,269 2005년05월27일 미국(US)  
60/616,718 2004년10월06일 미국(US)

(56) 선행기술조사문헌

KR100376025 B1

US05880599 A

전체 청구항 수 : 총 28 항

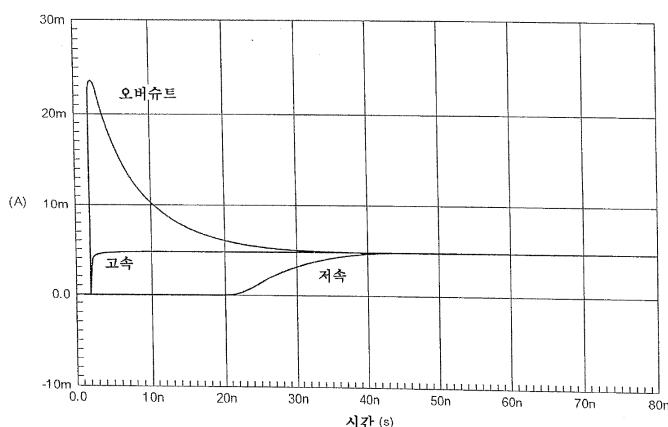
심사관 : 권영학

(54) 발명의 명칭 고속 턴-온 타임을 가진 전류 미러들

### (57) 요약

본 발명은 고속 턴-온 시간을 제공하는 전류 미러 회로에 관한 것이다. 회로내의 노드는 전류 미러 회로가 턴-온될 때 노드 전압이 필요한 값에 고속으로 도달하도록, 전류 미러가 오프일 때 제 1 전압으로 유지된다.

### 대표도



## 특허청구의 범위

### 청구항 1

전류 미러들을 제어하기 위한 전류 미러 제어기에 있어서:

기준 전류가 흐르는 제어 노드;

상기 제어 노드 및 상기 전류 미러들에 접속되고, 상기 기준 전류를 수신하는 전류 미러 마스터;

전원에 접속되고, 상기 전류 미러 마스터의 상태를 제어하는 제 1 스위칭 장치; 및

제 1 동작 모드 동안, 상기 제어 노드에서의 전압을 제 1 전압으로 제어하도록 구성된 회로 모듈을 포함하고,

상기 회로 모듈은 제 2 동작 모드 동안 상기 제어 노드에서의 전압을 제 2 전압으로 제어하도록 구성되고,

상기 제 1 스위칭 장치는 상기 전류 미러들이 상기 기준 전류를 미러링하는 상기 제 2 동작 모드 동안 상기 전류 미러 마스터를 온-상태(on-state)로 제어하고,

상기 회로 모듈은 상기 제어 노드로부터 접지로의 제어 가능한 전류 경로를 포함하고,

상기 제 1 동작 모드 동안, 제 1 전류 경로는 제 1 저항을 포함하고, 상기 제 1 전압은 상기 제 1 저항에 응답하고,

상기 제 2 동작 모드 동안, 상기 제어 가능한 전류 경로는 제 2 저항을 포함하고, 상기 제 2 전압은 상기 제 2 저항에 응답하는, 전류 미러 제어기.

### 청구항 2

제 1 항에 있어서, 상기 제 1 동작 모드는 상기 전류 미러들에 대한 오프 상태를 포함하고, 상기 제 2 동작 모드는 상기 전류 미러들에 대한 전류-공급 상태를 포함하는, 전류 미러 제어기.

### 청구항 3

제 1 항에 있어서, 상기 제어 노드에 접속된 커패시터를 더 포함하고,

상기 회로 모듈은 상기 제 1 동작 모드 동안 커패시터 충전을 상기 제 1 전압으로 제어하고, 상기 제 2 동작 모드 동안 상기 커패시터 충전을 상기 제 2 전압으로 제어하는, 전류 미러 제어기.

### 청구항 4

제 1 항에 있어서, 상기 전류 미러 마스터는 저항기를 통해 접지에 접속된 이미터 단자, 상기 제어 노드에 접속된 콜렉터 단자, 및 상기 제 1 스위칭 장치로부터 구동 전류를 수신하는 베이스 단자를 가지는 BJT를 포함하는, 전류 미러 제어기.

### 청구항 5

제 1 항에 있어서, 상기 제 1 전압은 상기 제 2 전압보다 낮은, 전류 미러 제어기.

### 청구항 6

제 1 항에 있어서, 상기 제 1 스위칭 장치는 상기 제 2 동작 모드에서 구동 전류를 상기 전류 미러 마스터 및 상기 전류 미러들에 공급하는 MOSFET를 포함하고, 상기 구동 전류에 응답하여 상기 전류 미러들은 상기 기준 전류를 미러링하는, 전류 미러 제어기.

### 청구항 7

제 6 항에 있어서, 상기 회로 모듈은 상기 제 1 스위칭 장치와 직렬 관계에 있는 제 2 스위칭 장치를 포함하고, 상기 제 2 스위칭 장치는 상기 제 2 스위칭 장치의 제어 단자에 공급된 제어 신호에 응답하여 상기 제 1 스위칭 장치를 제어하고,

상기 제 1 동작 모드에서 상기 제어 신호는 상기 제 1 스위칭 장치에 의해 제공된 상기 구동 전류를 인터럽트하

기 위하여 상기 제 2 스위칭 장치를 제어하고, 상기 제 2 동작 모드에서 상기 제어 신호는 상기 제 1 스위칭 장치가 상기 전류 미러 마스터에 상기 구동 전류를 공급하는 것을 허용하도록 상기 제 2 스위칭 장치를 제어하고, 이에 응답하여 상기 전류 미러들은 상기 기준 전류를 미러링하는, 전류 미러 제어기.

#### 청구항 8

삭제

#### 청구항 9

제 1 항에 있어서, 상기 제어 노드에 접속되고, 상기 제어 노드에 상기 기준 전류를 제공하는 스위칭 장치를 더 포함하고,

상기 스위칭 장치는 제어 신호에 응답하여 상기 기준 전류를 제어하는, 전류 미러 제어기.

#### 청구항 10

제 1 항에 있어서, 상기 전류 미러들은 디스크 드라이브 데이터 저장 시스템의 데이터 판독 모드 동안 증폭기에 전류를 공급하도록 동작하는, 전류 미러 제어기.

#### 청구항 11

제 10 항에 있어서, 상기 제 1 동작 모드는 상기 디스크 드라이브 데이터 저장 시스템의 비판독 구간을 포함하고, 상기 제 2 동작 모드는 상기 디스크 드라이브 데이터 저장 시스템의 데이터 판독 구간을 포함하는, 전류 미러 제어기.

#### 청구항 12

제 1 항에 있어서, 상기 회로 모듈은:

상기 제 1 스위칭 장치와 직렬 관계에 있는 제 2 스위칭 장치로서, 상기 제 2 스위칭 장치는 상기 제 2 스위칭 장치의 제어 단자에 공급된 제어 신호에 응답하여 상기 제 1 스위칭 장치를 제어하고, 상기 제 1 동작 모드에서 상기 제어 신호는 상기 제 1 스위칭 장치에 의해 상기 전류 미러 마스터에 공급된 구동 전류를 인터럽트하기 위하여 상기 제 2 스위칭 장치를 제어하고, 이에 응답하여 상기 전류 미러 마스터 및 상기 전류 미러들이 오프 상태에 있게 되고, 상기 제 2 동작 모드에서 상기 제어 신호는 상기 제 1 스위칭 장치가 상기 전류 미러 마스터에 구동 전류를 공급하는 것을 허용하도록 상기 제 2 스위칭 장치를 제어하고, 이에 응답하여 상기 전류 미러 마스터 및 상기 전류 미러들이 온 상태에 있게 되고, 상기 전류 미러들의 온 상태 동안 상기 전류 미러들은 상기 기준 전류와 관련된 전류를 공급하는, 상기 제 2 스위칭 장치;

상기 제어 노드에 접속된 제어 단자 및 그것을 통과하는 전류 경로를 갖는 제어 장치로서, 상기 제어 장치는 상기 제어 단자에 공급된 신호에 응답하여 동작하고, 이에 응답하여 상기 제 1 동작 모드 동안 상기 제어 장치는 폐쇄 전류 경로를 제공하는, 상기 제어 장치;

제어 단자 및 그것을 통과하는 전류 경로를 갖고, 상기 제어 단자에 공급된 신호에 응답하여 동작하는 제 3 스위칭 장치로서, 상기 제 1 동작 모드 동안 상기 제어 단자에 공급된 제어 신호에 응답하여 상기 제 3 스위칭 장치는 폐쇄 전류 경로를 제공하고, 상기 제어 장치의 상기 전류 경로는 상기 제 3 스위칭 장치의 상기 전류 경로와 직렬 관계에 있는, 상기 제 3 스위칭 장치;

상기 제어 노드로부터 접지로의 콜렉터-이미터 경로와 베이스 단자를 가지는 제어 트랜지스터로서, 상기 제 1 동작 모드 동안 상기 제 3 스위칭 장치 및 상기 제어 장치는 상기 제어 노드에서 상기 제 1 전압을 발생시키기 위하여 상기 제어 트랜지스터를 온 상태로 제어하도록 협력하는, 상기 제어 트랜지스터; 및

제어 단자 및 그것을 통과하는 전류 경로를 갖고, 상기 제어 단자에 공급된 신호에 응답하여 동작하는 제 4 스위칭 장치로서, 상기 제 2 동작 모드 동안 상기 제 4 스위칭 장치는 상기 제어 트랜지스터의 상기 베이스 단자를 접지에 단락시키기 위하여 폐쇄 전류 경로를 제공하고, 상기 제어 노드에서의 상기 전압이 상기 제 2 전압에 도달하도록 상기 제어 트랜지스터를 턴-오프시키는, 상기 제 4 스위칭 장치를 더 포함하는, 전류 미러 제어기.

#### 청구항 13

제 12 항에 있어서, 상기 제어 노드와 접지 사이에 접속된 커패시터를 더 포함하고, 상기 커패시터는 상기 제어

트랜지스터가 오프-상태에 있을 때 상기 제 2 전압으로 충전되는, 전류 미러 제어기.

#### 청구항 14

제 1 항에 있어서, 상기 전류 미러들 중 하나에 의해 발생된 전류는 상기 전류 미러 마스터의 영역 특징(area feature)과 관련하여 상기 전류 미러들 중 하나의 전류 미러의 영역 특징에 응답하는, 전류 미러 제어기.

#### 청구항 15

제 1 항에 있어서, 상기 전류 모듈은:

상기 제 1 스위칭 장치와 직렬 관계에 있는 제 2 스위칭 장치로서, 상기 제 2 스위칭 장치는 상기 제 2 스위칭 장치의 제어 단자에 공급된 제어 신호에 응답하여 상기 제 1 스위칭 장치를 제어하고, 상기 제 1 동작 모드에서 상기 제어 신호는 상기 제 1 스위칭 장치에 의해 상기 전류 미러 마스터에 공급된 구동 전류를 인터럽트하기 위하여 상기 제 2 스위칭 장치를 제어하고, 이에 응답하여 상기 전류 미러 마스터 및 상기 전류 미러들이 오프 상태에 있게 되고, 상기 제 2 동작 모드에서 상기 제어 신호는 상기 제 1 스위칭 장치가 상기 전류 미러 마스터에 구동 전류를 공급하는 것을 허용하도록 상기 제 2 스위칭 장치를 제어하고, 이에 응답하여 상기 전류 미러 마스터 및 상기 전류 미러들이 온 상태에 있게 되고, 상기 전류 미러들의 온 상태 동안, 상기 전류 미러들은 상기 기준 전류와 관련된 전류를 공급하는, 상기 제 2 스위칭 장치;

제어 장치로서, 상기 제어 장치를 통과하는 제어 가능한 전류 경로를 갖고, 상기 제 1 동작 모드 동안 폐쇄 전류 경로를 제공하는, 상기 제어 장치;

제 3 스위칭 장치로서, 상기 제 3 스위칭 장치를 통과하는 제어 가능한 전류 경로를 갖고, 상기 제 1 동작 모드 동안 폐쇄 전류 경로를 제공하고, 상기 제어 장치의 상기 전류 경로는 상기 제 3 스위칭 장치의 상기 전류 경로와 직렬 관계에 있는, 상기 제 3 스위칭 장치;

접지와 상기 제어 노드 사이를 통과하는 제어 가능한 전류 경로를 갖는 제어 트랜지스터로서, 상기 제 1 동작 모드 동안 상기 제 3 스위칭 장치 및 상기 제어 장치의 상기 전류 경로들은 상기 제어 노드에서 상기 제 1 전압을 발생시키기 위하여 상기 제어 트랜지스터를 온 상태로 제어하도록 구성되는, 상기 제어 트랜지스터; 및

제 4 스위칭 장치로서, 상기 제 4 스위칭 장치를 통과하는 제어 가능한 전류 경로를 갖고, 상기 제어 트랜지스터를 오프 상태로 제어하기 위하여 상기 제 2 동작 모드 동안 폐쇄 전류 경로를 제공하고, 이에 응답하여 상기 제어 노드에서의 전압이 상기 제 2 전압을 포함하는, 상기 제 4 스위칭 장치를 포함하는, 전류 미러 제어기.

#### 청구항 16

디스크 드라이브 데이터 저장 시스템을 위한 전치 증폭기에 있어서:

기준 전류가 흐르는 제어 노드;

상기 제어 노드에 접속되고, 상기 기준 전류를 수신하는 전류 미러 마스터;

전원에 접속되고, 상기 전류 미러 마스터 및 대응하는 전류 미러들의 상태를 제어하는 제 1 스위칭 장치;

제 1 동작 모드 동안 상기 제어 노드에서의 전압을 제 1 전압으로 제어하도록 구성되고, 제 2 동작 모드 동안 상기 제어 노드에서의 전압을 제 2 전압으로 제어하도록 구성된 회로 모듈로서, 상기 제 1 스위칭 장치는 상기 제 2 동작 모드 동안 상기 전류 미러 마스터를 온 상태로 제어하고, 상기 전류 미러들은 상기 제 2 동작 모드 동안 상기 기준 전류와 관련된 전류를 발생시키는, 상기 회로 모듈; 및

상기 전류 미러들에 의해 발생된 전류에 응답하고, 상기 디스크 드라이브로부터 판독된 데이터 비트들을 나타내는 전압에 더 응답하는 증폭기로서, 상기 증폭기는 상기 데이터 비트들을 나타내는 상기 전압을 증폭하는, 상기 증폭기를 포함하고,

상기 회로 모듈은 상기 제어 노드로부터 접지로의 제어 가능한 전류 경로를 포함하고,

상기 제 1 동작 모드 동안 제 1 전류 경로는 제 1 저항을 포함하고, 상기 제 1 전압은 상기 제 1 저항에 응답하고,

상기 제 2 동작 모드 동안 상기 제어 가능한 전류 경로는 제 2 저항을 포함하고, 상기 제 2 전압은 상기 제 2 저항에 응답하는, 전치 증폭기.

**청구항 17**

삭제

**청구항 18**

제 16 항에 있어서, 상기 제 1 동작 모드는 상기 전류 미러들에 대한 오프 상태를 포함하고, 상기 제 2 동작 모드는 상기 전류 미러들에 대한 전류-공급 상태를 포함하는, 전치 증폭기.

**청구항 19**

제 16 항에 있어서, 상기 제 1 전압은 상기 제 2 전압보다 낮은, 전치 증폭기.

**청구항 20**

증폭기/버퍼로서,

차동 증폭기;

상기 차동 증폭기에 응답하는 버퍼;

상기 차동 증폭기 및 상기 버퍼에 전류를 공급하는 복수의 전류 소스들;

전류 소스 마스터;

노드로서, 상기 복수의 전류 소스들의 턴-온 시간은 상기 노드에서의 전압에 응답하는, 상기 노드;

기준 전류로서, 상기 복수의 전류 소스들 중 각각의 소스에 의해 발생된 전류는 상기 기준 전류에 응답하는, 상기 기준 전류;

상기 복수의 전류 소스들의 턴-온 시간에 영향을 주기 위하여 상기 노드에서의 전압을 제어하는 모듈; 및

상기 노드에 접속된 커패시터를 더 포함하고,

상기 모듈은, 상기 증폭기/버퍼가 유휴 상태(idle state)에 있을 때 커패시터 전압이 제 1 전압을 포함하도록 상기 커패시터를 충전시킴으로써 상기 노드에서의 전압을 제어하고, 상기 증폭기/버퍼가 온-상태에 있을 때 상기 커패시터 전압을 제 2 전압으로 제어하는, 증폭기/버퍼.

**청구항 21**

삭제

**청구항 22**

제 20 항에 있어서, 상기 증폭기/버퍼는 판독 구간 동안 신호들을 수신하도록 동작하고,

상기 신호들은 자성 재료에 저장된 데이터 비트들을 나타내고, 상기 모듈은 비판독 구간들 동안 상기 전압을 제 1 전압으로 제어하고, 판독 구간들 동안 상기 전압을 제 2 전압으로 제어하는, 증폭기/버퍼.

**청구항 23**

제 22 항에 있어서, 상기 제 1 전압은 상기 제 2 전압보다 낮은, 증폭기/버퍼.

**청구항 24**

차동 증폭기에 있어서:

차동 입력 신호에 각각 응답하는 차동 접속 트랜지스터들의 쌍;

각각이 상기 트랜지스터들 중 하나에 전류를 공급하는 제 1 및 제 2 전류 소스;

전류 소스 마스터;

노드로서, 상기 제 1 및 제 2 전류 소스들의 턴-온 시간은 상기 노드에서의 전압에 응답하는, 상기 노드;

기준 전류로서, 상기 제 1 및 제 2 전류 소스들에 의해 발생된 전류는 상기 기준 전류에 응답하는, 상기 기준

전류;

상기 제 1 및 제 2 전류 소스들의 상기 턴-온 시간에 영향을 주기 위하여 상기 노드에서의 전압을 제어하는 모듈; 및

상기 노드에 접속된 커패시터를 더 포함하고,

상기 모듈은, 상기 차동 증폭기가 유휴 상태에 있을 때 커패시터 전압이 제 1 전압을 포함하도록 상기 커패시터를 충전시킴으로써 상기 노드에서의 전압을 제어하고, 상기 차동 증폭기가 온-상태에 있을 때 상기 커패시터 전압을 제 2 전압으로 제어하는, 차동 증폭기.

### 청구항 25

제 24 항에 있어서, 상기 제 1 전압은 상기 제 2 전압보다 낮은, 차동 증폭기.

### 청구항 26

전류 미러에 있어서:

전류 미러 마스터;

상기 전류 미러 마스터에 응답하는 복수의 전류 미러들;

상기 전류 미러 마스터에 접속된 노드로서, 상기 복수의 전류 미러들의 턴-온 시간은 상기 노드에서의 전압에 응답하는, 상기 노드;

상기 노드 및 상기 전류 미러 마스터를 통해 흐르는 기준 전류로서, 상기 복수의 전류 미러들 각각에 의해 발생된 전류는 상기 기준 전류에 응답하는, 상기 기준 전류;

상기 복수의 전류 미러들의 상기 턴-온 시간에 영향을 주기 위하여 상기 노드에서의 전압을 제어하도록 구성된 모듈; 및

상기 노드에 접속된 커패시터를 더 포함하고,

상기 모듈은, 상기 전류 미러가 유휴 상태에 있을 때 커패시터 전압이 제 1 전압을 포함하도록 상기 커패시터를 충전시킴으로써 상기 노드에서의 전압을 제어하고, 상기 전류 미러가 온-상태에 있을 때 상기 커패시터 전압을 제 2 전압으로 제어하는, 전류 미러.

### 청구항 27

전류 미러들을 제어하기 위한 방법에 있어서:

제어 노드에서의 전압을 제 1 동작 모드 동안 제 1 전압으로 제어하고 제 2 동작 모드 동안 제 2 전압으로 제어하는 단계로서, 커패시터는 상기 제어 노드에 접속되는, 상기 제어 단계;

상기 제어 노드를 통해 기준 전류를 전류 미러 마스터에 공급하는 단계로서, 상기 제 2 동작 모드 동안 상기 기준 전류는 상기 전류 미러들에 의해 미러링 및 스케일링되는, 상기 공급 단계;

상기 커패시터가 상기 제 2 전압으로 충전된 후에 상기 전류 미러들이 상기 기준 전류를 미러링하기 위하여 턴-온되도록 상기 제 2 동작 모드의 개시시에 상기 제 1 전압으로부터 상기 제 2 전압으로 상기 커패시터를 충전하는 단계; 및

상기 제어 노드에 접속된 커패시터를 이용하는 단계를 더 포함하고,

상기 노드에서의 전압은, 상기 전류 미러들이 유휴 상태에 있을 때 커패시터 전압이 제 1 전압을 포함하도록 상기 커패시터를 충전시킴으로써 제어되고, 상기 전류 미러들이 온-상태에 있을 때 상기 커패시터 전압은 제 2 전압으로 제어되는, 전류 미러 제어 방법.

### 청구항 28

삭제

### 청구항 29

삭제

### 청구항 30

삭제

### 청구항 31

제 1 항에 있어서,

상기 제 1 동작 모드 동안 상기 제 1 전압은 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 스위칭할 때 텐-온 시간을 감소하기 위해 상기 제 2 동작 모드의 상기 제 2 전압과 실질적으로 같은, 전류 미러 제어기.

### 청구항 32

제 3 항에 있어서,

상기 제 1 동작 모드 동안 상기 제 1 전압은 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 스위칭할 때 텐-온 시간을 감소하기 위해 상기 제 2 동작 모드의 상기 제 2 전압과 실질적으로 같은, 전류 미러 제어기.

### 청구항 33

제 16 항에 있어서, 상기 제어 노드에 접속된 커패시터를 더 포함하고,

상기 회로 모듈은 상기 제 1 동작 모드 동안 커패시터 충전을 상기 제 1 전압으로 제어하고, 상기 제 2 동작 모드 동안 상기 커패시터 충전을 상기 제 2 전압으로 제어하는, 전치 증폭기.

### 청구항 34

제 16 항에 있어서,

상기 제 1 동작 모드 동안 상기 제 1 전압은 상기 제 1 동작 모드로부터 상기 제 2 동작 모드로 스위칭할 때 텐-온 시간을 감소하기 위해 상기 제 2 동작 모드의 상기 제 2 전압과 실질적으로 같은, 전치 증폭기.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

[0011] 본 출원은 2004년 10월 6일에 출원된 미국 가출원 번호 제60/616,718호의 권익을 청구한다.

[0012] 본 발명은 일반적으로 하드 디스크 드라이브 데이터 저장 시스템, 특히 하드 디스크 드라이브 데이터 저장 시스템내의 전류 미러들을 텐 온하기 위한 방법 및 하드 디스크 드라이브 저장 시스템용 전류 미러들을 포함하는 장치에 관한 것이다.

[0013] 디스크 드라이브들은 컴퓨터 또는 다른 데이터 처리 장치들에 사용하기 위한 비용 효율적인 데이터 저장 시스템이다. 도 1에 도시된 바와 같이, 디스크 드라이브(10)는 헤브(13)를 가진 디스크 또는 플래터(12) 형태의 자기 기록 매체, 및 보통 판독/기록 헤드로서 언급된 자기 판독/기록 트랜스듀서(14)를 포함한다. 판독/기록 헤드(14)는 현수 암(suspension arm)(15)에 부착되거나 또는 현수 암(15)과 일체형으로 형성되고, 현수 암(15)은 디스크(12)위에서 부유하고 로터리 액추에이터 암(rotary actuator arm)(16)에 부착된다. 디스크 드라이브(10)의 플랫폼(20)에 고정된 구조 암(18)은 피봇 조인트(pivot joint)(22)에서 액추에이터 암(16)에 피봇 가능하게 결합된다. 음성 코일 모터(24)는 디스크(12)상에서 선택된 위치 위에 헤드(14)의 위치를 설정하기 위하여 액추에이터 암(16)을 구동시킨다.

[0014] 디스크(12)가 스픈들 모터(도시 없음)에 의해 동작속도로 회전될 때, 현수 암(15)의 물리적 특징들과 관련하여, 회전 디스크에 의해 발생되는 이동 공기는 플래터(12)로부터 판독/기록 헤드(14)를 상승시키고, 결국 헤드(14)는 디스크(12)의 표면 바로 위에서 공기 부상방식으로 활주하거나 또는 비행할 수 있다. 디스크 표면위에서의

판독/기록 헤드의 비행 높이는 전형적으로 마이크론 이하이다.

[0015] 암 전자 모듈(arm electronics module)(30)은 판독 및 기록 동작간의 헤드 기능을 스위칭하는 회로들, 및 기록 동작 동안 헤드(14)에 기록 전류를 공급하는 기록 구동기들을 포함할 수 있다. 기록 전류가 디스크(12)내의 자기 영역들을 변경시켜 데이터를 거기에 저장한다. 암 전자 모듈(30)은 또한 플렉시블 도전 리드들(32)에 의해 헤드(14)에 전기적으로 결합된 전치 증폭기를 포함할 수 있다. 판독 동작들 동안, 전치 증폭기는 판독 신호의 신호-대-잡음비를 증가시키기 위하여 헤드(14)에 의해 발생된 판독 신호들을 증폭시킨다. 기록 모드에서, 전치 증폭기는 약 +/- 6 내지 +/- 10V의 전압 범위로 디스크에 기록될 데이터 비트들을 나타내는 비교적 낮은 전압 레벨들을 일정비율로 증가시킨다. 전치 증폭기는 또한 데이터 기록 프로세스를 최적화하기 위하여 기록 신호를 정형화한다.

[0016] 전자 모듈(30)의 구성 및 소자들은 당업자에 의해 이해되는 바와 같이 디스크 구동 설계에 따라 변화할 수 있다. 비록 모듈(30)이 디스크 드라이브(10)의 임의의 위치에 장착될 수 있을지라도, 헤드(14)에 근접한 위치는 신호 손실을 최소화시킬 뿐만 아니라 판독 동작 동안 헤드 신호들에서 유도된 잡음을 최소화한다. 모듈(30)의 바람직한 장착위치는 도 1에 도시된 구조 암(18)의 측면을 포함한다.

[0017] 도 2에 도시된 바와 같이, 디스크(12)는 기판(50) 및 이 기판(50) 위에 배치된 박막(52)을 포함한다. 기록 동작 동안, 기록 헤드(14A)를 통해 흐르는 전류는 자기 전이들로서 데이터 비트들을 저장하기 위하여 박막(52)의 장자성 재료의 자기 영역들을 변경시킨다. 판독 동작 동안, 판독 헤드(14B)는 디스크(12) 상에 저장된 데이터 비트들을 결정하기 위하여 자기 전이들을 감지한다.

[0018] 다른 데이터 저장 시스템들에서, 헤드(14)는 예컨대 강자성 디스크, 플렉시블 자기 디스크, 자기 테이프 및 자기-광 디스크를 포함하는 다양한 타입의 저장매체(도면들에 도시안됨)와 함께 동작한다.

[0019] 디스크 드라이브 판독 헤드(14B)는 자기-저항(MR) 센서 또는 유도성 센서를 포함한다. 자기-저항(MR) 센서는 자기 전이들에 응답하여 고진폭 출력 신호를 발생시키고, 따라서 출력 신호는 유도성 센서에 의해 발생된 출력 신호보다 높은 신호-대-잡음비를 나타낸다. 따라서, 특히 디스크 드라이브(10)에서 면적당 높은 데이터 저장밀도가 바람직할 때 MR 센서가 바람직하다.

[0020] 약 0.04V 내지 0.2V의 DC(직류) 전압은 판독 헤드(14B)를 바이어싱하기 위하여 전치 증폭기에 의해 도전 리드들(32)을 통해 판독 헤드 단자들(54A, 54B)에 공급된다. 판독 헤드(14B) 아래를 통과하는 박막(52)의 자기 영역들은 자기-저항 재료의 저항을 변경시키고 결국 AC(교류) 성분을 DC 바이어스 전압에 부과하고, 여기서 AC 성분은 판독 데이터 비트들을 나타낸다. AC 성분은 전치 증폭기에서 검출되나 DC 바이어스 전압에 대하여 비교적 작은 진폭(예컨대, 수 밀리볼트)을 가진다.

[0021] 데이터가 디스크(12)로부터 판독되지 않을 때의 시간 동안은 전치 증폭기 판독 회로들의 동작이 필요하지 않다. 전형적으로 전력소비가 테스크탑 컴퓨터에 대한 동작제한이 아니기 때문에, 테스크탑 컴퓨터 디스크 드라이브 시스템의 판독 회로들은 데이터가 디스크(12)로부터 판독되지 않을 때 온 상태(on state)로 유지된다. 이러한 특징은 판독 회로들에 대한 턴-온 시간(특히, 데이터를 판독할 때 동작하는 전치 증폭기 전류 미러들에 대한 턴-온 시간)을 최소화하고 전치 증폭기로 하여금 데이터 판독 구간의 시작지점으로서 자기 전이들을 처리하도록 한다.

[0022] 테스크탑 전치 증폭기는 컴퓨터가 연장된 기간 동안 디스크 드라이브(10)를 액세스하지 않는 경우에 반-활성 상태(유휴 모드)로 스위칭될 수 있고 컴퓨터가 수면 상태(sleep state)로 스위칭될 때 매우 낮은 전력 레벨(수면 모드)로 차단될 수 있다. 디스크 드라이브 시스템(10)은 수면 또는 유휴 모드로부터 전체 활성 모드들(예컨대, 판독 또는 기록 모드) 중 한 모드로 전이하기 위하여 전치 증폭기에 대한 비교적 긴(즉, 수 마이크로초 내지 밀리초) 파워-업 시간을 허용한다.

[0023] 테스크탑 컴퓨터 시스템과 대조적으로, 배터리 전력 보존은 이동 및 휴대용 컴퓨팅 장치들 및 데이터 처리 시스템들과, 저장형 음악 플레이어들과, 전치 증폭기와 함께 동작하는 대용량 데이터 저장 시스템을 포함하는 다른 배터리 구동식 장치들에 있어서 중대한 설계 목표이다. 전치 증폭기 전력 소비를 최소화하여 배터리 전력을 보존하기 위하여, 전치 증폭기 판독 회로들은 데이터가 하드 디스크 드라이브로부터 판독되지 않을 때 턴-오프된다. 예컨대, 판독 회로들은 데이터 기록 동안 턴-오프된다. 그러나, 판독 동안 데이터 손실을 방지하고 고속 데이터 액세스를 제공하기 위하여, 전치 증폭기 판독 회로들이 약 100ns 이내에 턴-온되어 적정 정상 상태 조건에 도달하는 것이 바람직하다.

[0024] 도 2를 참조하면, 디스크 드라이브(10)로부터 판독된 데이터 비트들을 나타내고 수 밀리볼트 범위의 진폭을 가

지는 판독 헤드(14B)로부터의 출력 신호는 신호 처리 스테이지(102)에 입력된 후 출력 또는 베피 스테이지(104)로 전송된다. 전형적으로, 신호 처리 스테이지(102) 및 출력 스테이지(104)는 전치 증폭기내에 포함된다. 출력 스테이지(104)는 헤드 신호 전압을 수백 밀리볼트 범위의 피크 전압값으로 상승시키고 상승된 신호를 채널 칩(106)의 채널 회로들에 공급한다. 채널 칩(106)은 여러 검출 및 보상 프로세스들을 전압 펄스들에 적용하는 동안 전압 펄스들로부터 판독 데이터 비트들을 검출한다.

[0025] 도 3은 도 2의 종래 출력 스테이지(104)를 기술한다. PMOSFET(M2)는 NMOSFET(M0)을 턴-온시키기 위하여 바이폴라 접합 트랜지스터(BJT)(Q1)(전류 미러 마스터로서 동작함)의 콜렉터(C) 및 n-채널 금속 산화물 반도체 전계효과 트랜지스터(NMOSFET(M0))의 게이트(G)에 직접 전달되는 기준 전류(Iref0)(일 실시예에서 25 microamp)를 공급하기 위하여 게이트-온 된다. PMOSFET(M2)의 소스(S) 및 NMOSFET(M0)의 드레인(D)은 양의 전원(VP)(일 실시예에서 약 3.3V)에 접속되고, M2의 소스(S)는 트랜지스터(Q1)의 베이스(B)에 접속된다. NMOSFET(M0)이 온될 때, BJT(Q1)는 게이트-온되고, 전류(Iref0)는 BJT(Q1) 및 저항기(R11)를 통해 접지로 흐른다. 공지된 바와 같이, BJT의 베이스 전류는 BJT 제조 공정의 변화로 인하여 그리고 동작중 온도의 변화로 인하여 5 내지 1 범위 전반에 걸쳐 변화할 수 있다. 저항기(R7)는 모든 예상 공정, 온도 및 동작 조건들 전반에 걸쳐 NMOSFET(M0)으로 하여금 전류 미러 트랜지스터들(Q1, Q2, Q3, Q4, Q5)을 적절하게 동작시키기에 충분한 바이어스 전류를 공급하도록 NMOSFET(M0)에 대한 풀 다운 저항기로서 동작한다. 배터리 전력 보존이 바람직한 응용들에서, 전류(Iref0)는 데이터가 디스크(12)로부터 판독되지 않을 때, 즉 데이터가 디스크(12)에 기록될 때 그리고 데이터가 기록 또는 판독되지 않는 유휴 기간들 동안 차단된다.

[0026] BJT들(Q2, Q3, Q4, Q5)은 NMOSFET(M0)의 온-상태에 의해 게이트-온된다. BJT들(Q1, Q2, Q3, Q4, Q5)이 매칭되고 거의 동일한 베이스-이미터 전압들을 갖고 적절한 스케일링된 이미터 저항기(R11, R10, R13, R14, R15)와 함께 동작한다고 가정하면, BJT들(Q1, Q2, Q3, Q4, Q5)은 스케일링된 전류 미러들로서 동작한다. 적절히 스케일링된 이미터 저항기들은 각각의 저항기(R11, R10, R13, R14, R15)가 저항기와 연관된 BJT에 기초하여 스케일링 된다는 것을 의미하고, 즉  $R10=R11/k1$ ,  $R13=R11/k2$ ,  $R14=R11/k3$ , 및  $R15=R11/k4$ 인 것을 의미하고, 여기서  $k1$  내지  $k4$ 는 Q1의 이미터 영역에 대한 각각의 BJT(Q2 내지 Q5)의 이미터 영역비를 나타내고, 즉  $Q2=Q1*k1$ ,  $Q3=Q1*k2$ ,  $Q4=Q1*k3$  및  $Q5=Q1*k4$ 이다. BJT들(Q2, Q3, Q4, Q5)은 그들과 연관된 BJT들(Q7, Q6, Q12, Q9)에 대한 정전류 소스들로서 기능을 한다. BJT(Q1)을 통해 흐르는 전류(Iref0)는 미러링된 후 BJT들(Q2, Q3, Q4, Q5)을 통해 (연관된 스케일링 값  $k$ 에 따라) 스케일링된다.

[0027] BJT(Q7)의 콜렉터(C)는 저항기(R17)를 통해 전원(VP)에 접속되고, Q7의 베이스(B)는 신호 처리 스테이지(102)로부터의 바이어스 전압(도시안됨) 및 전압 펄스들에 의해 구동된다. BJT들(Q6) 및 BJT(Q7)를 포함하는 증폭기가 활성화될 때, BJT(Q7)는 온 상태 또는 온 조건으로 구동되고, BJT(Q1)를 통해 흐르는 전류(Iref)는 저항기(R10, R17) 및 BJT들(Q7, Q2)을 통해 흐르는 전류(J2)로서 미러링된다. BJT들(Q1, Q2)이 전류 미러를 형성하기 때문에,  $I2=k1*Iref$ 이고, 여기서  $k1$ 은 BJT(Q2)의 이미터 영역 대 BJT(Q1)의 이미터 영역의 비이다. 전형적으로, BJT들의 영역비는 복수의 단위 트랜지스터들로 형성되고, 즉 BJT(Q2)는 BJT(Q1)를 포함하는 복수의 단위 트랜지스터와  $k1$ 의 곱을 포함한다.

[0028] 이미터 저항기들(R10, R11)의 음의 피드백 동작은 Q2 콜렉터-이미터 전압이 대략 0.5V보다 높은 동안  $Iref$ 에 대한  $I2$ 의 비가 Q2의 콜렉터-이미터 전압의 매우 약한 함수이도록 BJT(Q1) 및 BJT(Q2)의 콜렉터로부터 고려된 임피던스를 증가시킨다. 따라서, 당업자에 의해 인식될 수 있는 바와 같이, BJT(Q2)의 콜렉터-이미터 전압과  $I2$ 의 변화량은 여기에서 무시된다.

[0029] 전류 미러 BJT(Q3)의 상태는 NMOSFET(M0)에 의해 제어된다. BJT(Q6)는 신호 및 DC 바이어스를 BJT(Q6)의 베이스(B)에 공급하는 신호 처리 스테이지(102)에 의해 바이어스된다. BJT들(Q3, Q6)이 둘다 게이트-온될 때, 전류(I3)는 BJT들(Q1, Q3)가 전류 미러들이고  $Q3=Q1*k2$ 이기 때문에 저항기(R19, R13) 및 BJT들(Q3, Q6)을 통해 흐르고, 여기서  $I3=k2*Iref$ 이다.

[0030] BJT들(Q6, Q7)은 증폭을 증가시키고 이득을 안정화시키기 위하여 BJT(Q6)의 이미터와 BJT(Q7)의 이미터 사이에 접속된 변성 저항기(R20)과 함께 차동 증폭기를 형성한다. 신호 처리 스테이지(102)로부터의 신호는 증폭기 입력들(BJT들(Q6, Q7)의 각각의 베이스)을 바이어싱하고, 채널 칩(106)으로의 상호접속, 즉 단자들(RDP, RDN)을 구동시키기 전에 출력 스테이지(104)에 의해 증폭(즉, 상승(scaled-up)) 및 베피링되는 처리된 데이터 신호를 제공한다.

[0031] BJT들(Q9, Q12)은 저임피던스로부터 채널 칩(106)으로의 상호접속을 구동시키기 위하여 콜렉터 로드들(R17, R19)을 베피링하고, 이에 따라 전형적으로 약 700MHz 까지 광대역을 유지한다.

[0032] 도 3에서, NMOSFET(M0)는 각각의 전류 미러 BJT(Q1, Q2, Q3, Q4, Q5)에 베이스 구동 전류를 공급한다. 일 실시예에서, 각각의 BJT 베이스 전류는 약 16 microamp이고, 전체는 약 80 microamp 이다. NMOSFET(M0)의 게이트(G)에 전류가 흐르지 않기 때문에 전류(Iref)는 BJT(Q1)의 콜렉터 전류와 거의 동등하다.

[0033] BJT(Q1)의 베이스/콜렉터 경로 및 NMOSFET(M0)의 게이트/소스 경로를 포함하는 회로 루프는 모든 피드백과 같이 발진하는 경향을 가지는 피드백 루프를 형성한다. 발진은 BJT(Q1)의 콜렉터 및 접지 사이에 접속된 커패시터(C0)에 의해 제한 또는 제어된다. 루프 대역폭은 저항기(R7)에 의해 결정되고 NMOSFET(M0)를 통해 흐르는 전류에 의해 제어되고 BJT들(Q1, Q2, Q3, Q4, Q5)에 공급된 베이스 전류에 의해 증가된다.

[0034] 비록 커패시터(C0)가 유리하게 피드백 루프 발진을 방지할지라도, 이는 커패시터(C0)가 충전될때까지 전류 미러들이 턴-온되지 않기 때문에 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)의 턴-온 시간을 불리하게 연장시킨다. 출력 신호는 전류 미러들이 턴-온될 때까지 단자들(RDP, RDN)에서 나타나지 않는다. 따라서, 출력 신호는 커패시터(C0)의 충전시간에 의해 지연된다. 출력 스테이지(104)에 대한 임의의 실시예들에서, 출력 신호 지연은 약 100나노초의 목표를 초과한다.

### 발명이 이루고자 하는 기술적 과제

[0035] 본 발명의 목적은 전류 미러 BJT의 턴-온 시간을 연장시키지 않고 회로내의 노드 전압이 목표 전압에 고속으로 도달되도록 하는데 있다.

### 발명의 구성 및 작용

[0036] 일 실시예에 따르면, 본 발명은 전류 미러들을 제어하는 전류 미러 제어기를 포함하고, 전류 미러 제어기는 기준 전류가 흐르는 제어 노드, 제어 노드에 접속되고 기준 전류를 수신하고 전류 미러들에 접속된 전류 미러 마스터, 전원에 접속되고 전류 미러 마스터의 상태를 제어하는 제 1 스위칭 장치, 제 1 동작 모드 동안 제어 노드에서의 전압을 제 1 전압으로 제어하도록 구성된 회로 모듈, 제 2 동작 모드 동안 제어 노드에서의 전압을 제 2 전압으로 제어하도록 구성된 회로 모듈을 포함하고, 제 1 스위칭 장치는 전류 미러들이 기준 전류를 미러링하는 제 2 동작 모드 동안 전류 미러 마스터를 온 상태로 제어한다.

[0037] 다른 실시예에 따르면, 본 발명은 전류 미러들을 제어하기 위한 방법을 포함하고, 전류 미러 제어방법은 제 1 동작 모드 동안 제 1 전압으로 그리고 제 2 동작 모드 동안 제 2 전압으로 커패시터가 접속된 제어 노드에서의 전압을 제어하는 단계, 기준 전류를 제어 노드를 통해 전류 미러 마스터에 공급하는 단계, 커패시터가 제 2 전압으로 충전된 후에 전류 미러들이 기준 전류를 미러링하기 위하여 턴-온되도록 제 2 동작 모드의 개시시에 제 1 전압으로부터 제 2 전압으로 커패시터를 충전시키는 단계를 포함하고, 제 2 동작 모드 동안 기준 전류는 전류 미러들에 의해 미러링 및 스케일링된다.

[0038] 본 발명의 장점들 및 용도는 도면들을 참조로 하여 이하의 상세한 설명을 읽을때 보다 용이하게 이해될 것이다.

[0039] 실제로, 다양하게 기술된 장치의 형상들은 실제 크기로 도시되지 않으나 본 발명과 관련한 특정 형상들을 강조하도록 도시된다. 도면 전반에 걸쳐, 동일한 참조부호는 동일한 구성요소를 나타낸다.

[0040] 디스크 드라이브 시스템에 대한 전치 증폭기의 출력 스테이지와 관련한 특정 방법 및 장치를 상세하게 기술하기 전에, 본 발명은 소자들 및 처리 단계들의 신규하고 자명하지 않은 결합을 주로 중점을 둔다는 것을 이해해야 한다. 당업자에게 명백한 상세한 설명을 불명료하게 하지 않도록 하기 위하여, 임의의 종래의 엘리먼트들 및 단계들은 덜 상세히 제시되는 반면에 상세한 설명은 본 발명의 이해와 관련한 다른 엘리먼트들 및 단계들을 더 상세히 설명할 것이다.

[0041] 도 4는 데이터 기록 동안 및 및 유휴 모드 상태 동안과 같은 비판독 단계들 동안 커패시터(C0)의 충전을 유지함으로써 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)의 턴-온 시간을 제한하는 도 3의 출력 스테이지(104)에 사용하기 위한 전류 미러 제어기(112)(도 3의 전류 미러 제어기(110)를 대체함)를 기술한다. 앞서 기술된 바와 같이, 데이터가 디스크(12)로부터 판독될때, 전류 미러들은 BJT들(Q6, Q7, Q9, Q12)를 포함하는 증폭기를 활성화하기 위하여 턴-온된다. 증폭기는 채널 칩(106)에서의 다음 처리 및 데이터 검출을 위하여 신호 처리 스테이지(102)로부터 전압을 상승시키고 버퍼링한다.

[0042] 도 4의 회로에서, PMOSFET(M2)는 커패시터(C0)의 충전을 유지하는 기준 전류(Iref1)을 공급하기 위하여 비판독 구간들 동안(데이터 기록 동안 및 유휴 모드 동안) 온(on) 상태를 유지한다. 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)은 커패시터(C0)가 충전될때까지 턴-온되지 않기 때문에, 충전된 상태로 커패시터(C0)를 유지하면 판독 동작

의 시작시에 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)가 턴-온되기 전에 커패시터(C0)를 충전시키는데 필요한 시간 지연이 방지된다. PMOSFET(M2)는 디스크 드라이브가 수면 모드에서 동작중일때를 제외하고 전시간에 온 상태를 유지한다.

[0043] 배터리 전력을 보존하기 위하여, 데이터 기록 및 유휴 기간들 동안 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)을 턴-오프 시키는 것이 바람직하다. 이는 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)에 베이스 구동 전류를 공급하는 NMOSFET(M0)를 통하는 전류 경로를 개방시키기 위하여 PMOSFET(M4)를 턴-오프시킴으로써 달성된다. PMOSFET(M4)는 기록 및 유휴 모드들 동안 높은 역판독 신호를 게이트(G)에 공급함으로써 턴-오프된다.

[0044] BJT(Q1)이 오프될때, PMOSFET(M2)는 비판독 구간들 동안 필요한 전원(VP)이 노드(120) 및 커패시터(C0)에 공급 되도록 한다. 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)이 활성화될때, NMOSFET(M0), BJT(Q1), 저항기(R11) 및 전류(Iref)는 노드(120)의 전압을 결정한다는 것을 유의한다.

[0045] 판독 동작 동안, 역판독 신호는 낮게 되고, 이에 따라 PMOSFET(M4)는 온되고 NMOSFET(M0)는 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)을 턴온시키기 위하여 베이스 전류가 공급되도록 한다. 커패시터(C0)가 전원(VP)으로 충전되기 때문에, 판독 모드 동작의 시작시에, 커패시터(C0)는  $V_{GS_{M0}} + V_{BE_{Q1}} + I_{ref1} * R_{11}$ 의 동작전압으로 방전되어야 한다. 이러한 방전 구간 동안, 전류(I2), 즉 BJT(Q7)(도 3 참조)의 콜렉터 전류는 대략 20ns의 의도된 값을 오버슈트한다. 전류 오버슈트는 도 3의 출력 단자들(RDP, RDN)의 출력 공통 모드 전압이 저하하는 원인이 되어, 커패시터(C0)가 그의 동작전압에 도달하는 것에 따라 느리게 복원되도록 한다. 오버슈트 기간 동안, 공통 모드 과도전류가 도 3의 Q12 및 Q9를 통해 채널 칩(106)에 공급된다. 명백하게, 이는 디스크(12)로부터 제1의 여러 데이터 비트들의 판독에 악영향을 미칠 수 있기 때문에 허용가능한 조건이 아니다.

[0046] 도 5는 전류 미러들의 턴-온 시간을 제한하는 전류 미러 제어기(122)를 기술한다. 도 5의 실시예에서, NMOSFET(M6)는 (NMOSFET(M6)의 게이트(G)에 공급된 역판독 신호의 높은 논리 상태에 의해) 데이터 기록 및 유휴 동작 동안 턴 온되고, 이에 따라 기준 전류(Iref2)를 접지로 분로(shunting)하고 커패시터(C0) 및 노드(120)는 접지로 단락된다. 결과로서, NMOSFET(M0)의 게이트(G)는 접지 전위 상태에 있고, NMOSFET(M0)는 오프된다. 전류는 전류 미러들을 구동시키는 베이스 전류를 공급하기 위하여 NMOSFET(M0)을 통해 흐르지 않고, 결국 전류 미러 BJT들(Q1, Q2, Q3, Q4, Q5)는 오프된다.

[0047] 데이터 판독 동안, NMOSFET(M6)는 턴-오프되고, 이에 따라 커패시터(C0)는 전원 전압으로 충전되고 NMOSFET(M0)는 게이트 온되어 베이스 전류가 전류 미러 BJT(Q1, Q2, Q3, Q4, Q5)에 공급된다. 그러나, 연장된 미러 턴-온 시간(일 실시예에서 40ns 동안)이, 접지로부터  $V_{GS_{M0}} + V_{BE_{Q3}} + I_{ref2} * R_{11}$ 로 커패시터(C0)를 충전하기 위해 필요하다. 이러한 디스크(12)로부터 판독된 제 1의 여러 데이터 비트들이 출력 스테이지(104)를 통해 적절하게 처리되지 않을 수 있기 때문에 긴 턴-온 시간은 허용가능하지 않을 수 있다.

[0048] 도 6은 도 5의 전류 미러 제어기(122)와 비교할때 비교적 빠른 세팅 시간을 갖고 도 4의 전류 미러 제어기(112)와 연관된 오버슈트 기간을 방지하는 또 다른 전류 미러 제어기(130)의 개략도를 도시한다. 전류 미러 제어기(130)는 도 3의 제어기(110) 대신에 사용될 수 있다.

[0049] 각각의 판독 사이클의 시작시에 전류 미러 턴-온 시간을 최소화하기 위하여, 비판독 구간들 동안(예컨대, 유휴/기록 모드 동작 동안), 전류 미러 제어기(130)는 판독 모드 동안 노드 전압에 근접하는 전압으로 노드(120)의 전압을 클램핑한다. 바람직하게, 일 실시예에 따르면, 노드(120)에서의 유휴/기록 모드 바이어스 전압은 전류(I2)가 판독 동작의 시작시에 의도된 바이어스 레벨을 오버슈트하지 않도록 노드 판독 모드 전압 약간 아래에 세팅된다.

[0050] NMOSFET(M0)는 도 3 내지 도 5의 실시예들에서처럼 전류 미러 제어기(130)에 동일한 기능을 제공한다.

[0051] 유휴 및 기록 모드들 동안 높은 논리 상태를 가진 역판독 신호는 PMOSFET(M30)을 게이팅한다. 유휴 및 기록 모드들 동안, 역판독 신호는 PMOSFET(M130)을 개방 상태로 제어하여, 각각의 전류 미러 BJT(Q2, Q3, Q4, Q5) 및 미러 마스터 BJT(Q1)의 베이스에 대한 전류를 제거함으로써 전류 미러들이 차단된다. 유휴 및 기록 모드들 동안 전류 미러들을 차단하면, 배터리 구동식 장치들에 대한 중요한 장점인 전력보전이 이루어진다.

[0052] PMOSFET(M2)의 제어하에서 전원(VP)으로부터 공급된 전류(Iref3)는 NMOSFET(M31)이 턴-온되도록 한다. PMOSFET(M2)는 유휴 모드, 기록 모드 및 판독 모드 동안 온 상태를 유지한다. 바람직한 실시예에 따르면, Iref3는 디스크 드라이브(10)의 수면 모드 동안 턴-오프되고, 전력은 언제든지 M2를 턴-오프시킴으로써 디스크 드라이브(10)로부터 제거된다.  $25 \mu A$ 는 Iref3에 대한 전형적인 값을이고, 다른 실시예들에서 Iref2 및 Iref1에

대해서와 유사하다. 저항기(R22)는 NMOSFET(M31)에 대한 풀 다운 저항기로서 동작한다.

[0053] PMOSFET(M32)는 게이트(G)에 공급된 판독 신호의 낮은 논리 상태에 의해 게이트-온된다. 따라서, 판독 신호가 (유휴 및 기록 동작 동안) 낮을 때, PMOSFET(M32) 및 트랜지스터(Q10)는 온 상태를 유지하고, 이에 따라 전류(Iref3)가 노드(120), BJT(Q10)의 콜렉터-이미터 경로 및 저항기(R20)를 통해 흐른다. 노드 전압은 BJT(Q10)의 콜렉터-이미터 전압 강하 + 저항기(R20)의 전압 강하와 동일하다. 커패시터(C0)는 유휴 및 기록 모드들 동안 노드 전압으로 충전된다. 커패시터(C0)의 커패시턴스는 도 3 내지 도 6의 실시예들에서 동일하다는 것을 유의해야 한다.

[0054] 기록/유휴 모드들에서와 같이 판독 모드에서 노드 전압을 대략 동일한 값으로 제어하기 위하여,  $R20=R11$  및 Q10은 Q1과 동일한 성능 파라미터들을 가진다. 노드(120)에서의 전압이 판독 동작 동안의 전압보다 기록/유휴 동작 동안 약간 낮도록 하기 위하여,  $R7=10k\Omega$ 인 동안  $R22=40k\Omega$ 이고 M0이 10um 넓이 동안 M31은 5um 넓이를 갖고, 이에 따라 유휴/기록 모드들에서  $Vgs_{M31}$ 은 판독 모드에서  $Vgs_{M0}$ 보다 약간 낮다.

[0055] 당업자는 상기 값들이 단순한 전형적인 값들이고 다른 값들이 판독 모드에서의  $Vgs_{M0}$ 보다 낮은 유휴 및 기록 모드에서의  $Vgs_{M31}$ 을 달성하기 위하여 사용될 수 있다는 것을 인식해야 한다. 예컨대, 앞서 특정된 장치들의 크기들은 노드(120)의 전압을 판독 모드에서는 대략 1.9V로 제어하고 기록/유휴 모드에서는 대략 1.8V로 제어한다. 약 0.1V의 전압 차는 일 실시예에 따라 예상된 성능 변화량(예컨대, 소자값들의 변화로 인하여) 및 적정 언더슈트 및 오버슈트량에 기초하여 선택된다.

[0056] 판독 모드 동안 PMOSFET(M30)은 온 상태를 유지하고 전류는 전원(VP)으로부터 MOSFET(M0) 및 BJT(Q1)를 포함하는 피드백 루프로 공급되고, BJT(Q1)은 그의 베이스 전류를 BJT 전류 미러들(Q2, Q3, Q4, Q5)에 공급한다.

[0057] 게다가, 판독 모드 동안, PMOSFET(M32)의 게이트 및 NMOSFET(M34)의 게이트에 공급된 판독 신호는 PMOSFET(M32)를 턴-오프시키고 NMOSFET(M34)을 턴-온시킨다. PMOSFET(M32)가 오프될 때, BJT(Q10)에 대한 베이스 구동 전류는 제거된다. 게다가, NMOSFET(M34)가 온 상태에 있을 때, BJT(Q10)의 베이스는 접지로 단락되어 Q10을 턴-오프시킨다. 따라서, Iref3 전류는 커패시터(C0)를 정상 동작전압으로 충전시키나, 커패시터(C0)가 기록/유휴 동작 동안 노드(102)의 전압으로 충전되기 때문에 충전시간은 도 5의 실시예의 충전시간에 비하여 상당히 감소된다.

[0058] 판독 및 유휴/기록 동작 동안 노드(120)를 대략 동일한 전압으로 유지시킴으로써, 커패시터(C0)의 충전시간은 감소되고 전류 미러들의 턴-온 시간은 감소된다.

[0059] 다른 실시예에서, 여기에 기술된 MOSFET들 및 BJT들 중 하나 이상은 반대 극성의 MOSFET 또는 BJT로 대체된다. 연관된 게이트 구동 신호들 및 전원 전압들은 본 발명의 기능을 제공하면서 반대 극성의 MOSFET 또는 BJT의 도핑 특징들을 수용하도록 수정된다. 게다가, 본 발명의 상세한 설명 전반에 걸쳐, 용어 "높은" 신호값은 "참" 또는 "긍정" 상태와 혼용하여 사용된다. 당업자는 다른 신호 값들이 "참" 또는 "긍정" 논리 상태와 연관될 수 있다는 것을 인식해야 하고, 장치의 대응 변화는 논리 상태에 응답한다.

[0060] 도 7은 본 발명의 이들 실시예들에 대한 시간의 함수로서 전류(I2)(미러 전류들 중 한 전류)를 기술하는 타이밍 도를 도시한다. "오버슈트" 곡선은 도 4의 실시예와 연관되고, "저속" 곡선은 도 5의 실시예와 연관되고, "고속" 곡선은 도 6의 실시예와 연관된다. 도 6의 실시예에 의해 제공된 실질적인 개선점은 명백하다.

[0061] 본 발명이 바람직한 실시예와 관련하여 기술되었지만, 본 발명의 범위를 벗어나지 않고 다양한 변화들이 이루어질 수 있고 또한 기술된 엘리먼트들을 등가 엘리먼트들로 대체할 수 있다는 것이 당업자에 의해 이해되어야 한다. 본 발명의 범위는 여기에 기술된 다양한 실시예들로부터의 엘리먼트들의 결합을 추가로 포함한다. 더욱이, 본 발명의 본질적인 범위를 벗어나지 않고 본 발명의 기술을 특정 상황에 적응시키기 위한 수정들이 이루어질 수 있다. 따라서, 본 발명이 여기에 기술된 특정 실시예들에 제한되지 않고 첨부된 청구항들의 범위내에 있는 모든 실시예들을 포함한다는 것을 인식해야 한다.

### 발명의 효과

[0062] 본 발명은 전류 미러 BJT의 턴-온 시간을 연장시키지 않고 회로내의 노드 전압을 목표 전압에 고속으로 도달시킬 수 있는 효과를 가진다.

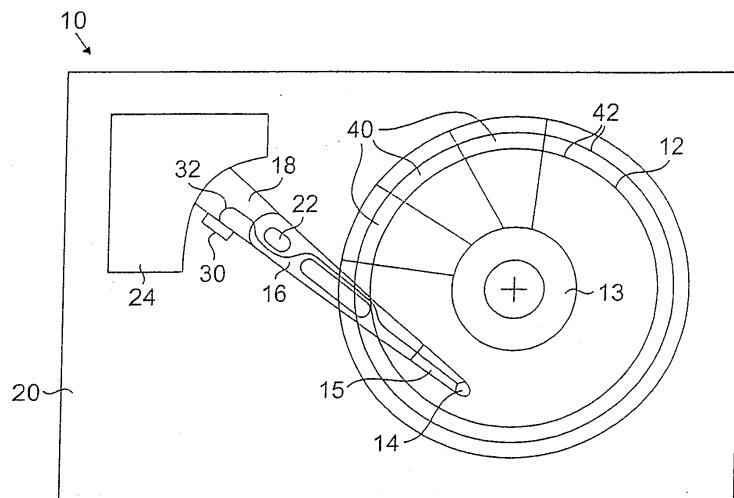
### 도면의 간단한 설명

- [0001] 도 1은 본 발명의 기술들이 적용될 수 있는 종래의 디스크 드라이브를 도시한 도면.
- [0002] 도 2는 도 1의 디스크 드라이브에 대한 종래 헤드 및 관련 소자들의 개략도.
- [0003] 도 3은 도 2의 종래 출력 스테이지에 대한 개략도.
- [0004] 도 4 및 도 5는 도 3의 출력 스테이지와 관련하여 사용하는 임의의 엘리먼트들의 개략도.
- [0005] 도 6은 본 발명에 따른 도 3의 출력 스테이지와 관련하여 사용하는 임의의 엘리먼트들의 개략도.
- [0006] 도 7은 도 4 내지 도 6의 3가지 실시예에 대하여 시간의 함수로서 전류의 진폭을 나타내는 타이밍도.
- [0007] \*도면의 주요부분에 대한 부호의 설명\*
- [0008] 102: 신호 처리 스테이지
- [0009] 104: 출력 스테이지
- [0010] 106: 채널 칩

### 도면

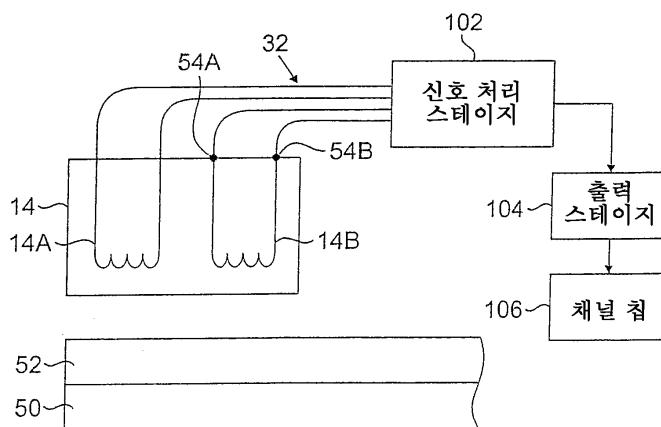
#### 도면1

##### 종래 기술



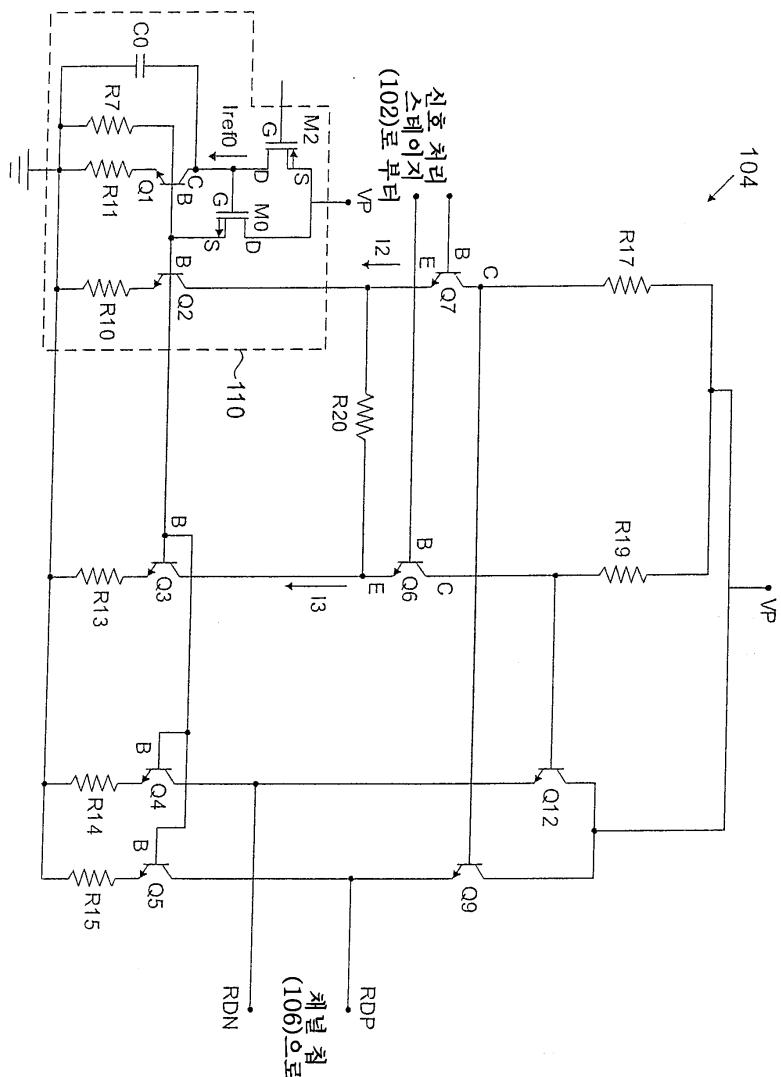
#### 도면2

##### 종래 기술

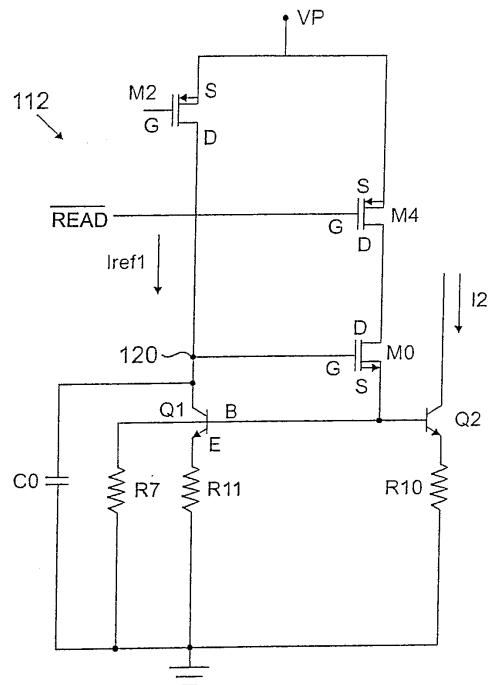


### 도면3

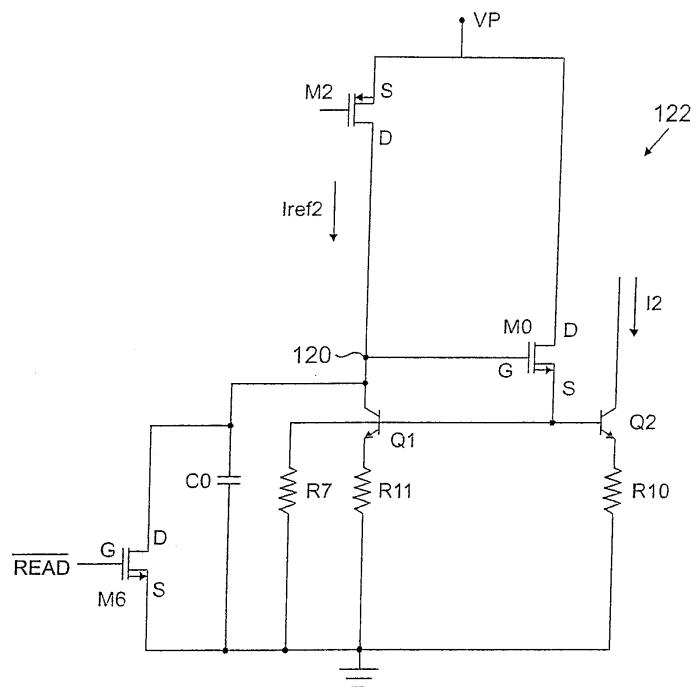
## 종래 기술



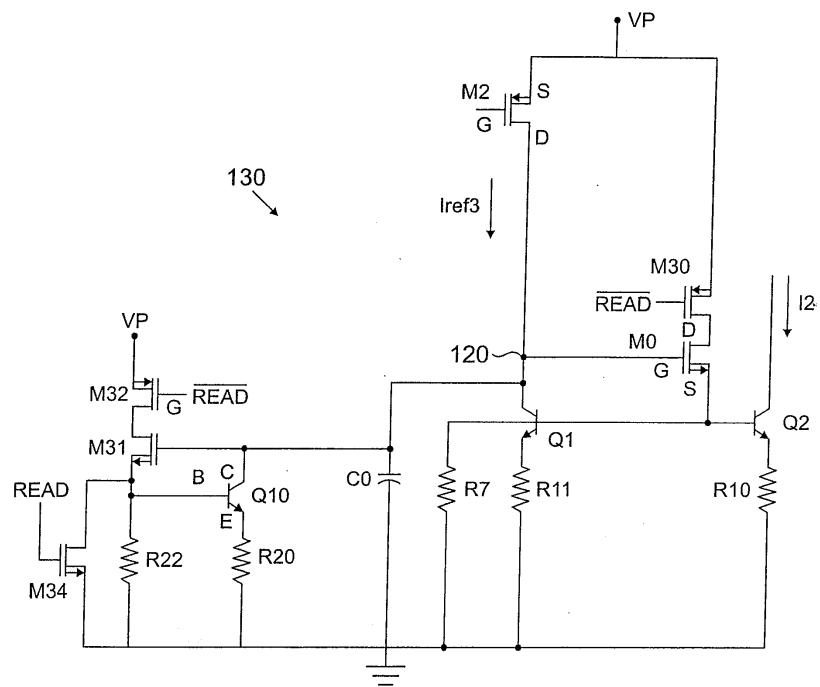
## 도면4



## 도면5



도면6



## 도면7

