

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-237593

(P2006-237593A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int.C1.	F 1	テーマコード (参考)
HO1L 27/10 (2006.01)	HO1L 27/10	431 5B035
HO1L 27/28 (2006.01)	HO1L 27/10	449 5F083
HO1L 51/05 (2006.01)	HO1L 27/10	461 5F110
HO1L 29/786 (2006.01)	HO1L 29/28	1OOB
GO6K 19/07 (2006.01)	HO1L 29/28	1OOA

審査請求 未請求 請求項の数 36 O L (全 30 頁) 最終頁に続く

(21) 出願番号	特願2006-20105 (P2006-20105)	(71) 出願人	000153878
(22) 出願日	平成18年1月30日 (2006.1.30)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2005-24596 (P2005-24596)		神奈川県厚木市長谷398番地
(32) 優先日	平成17年1月31日 (2005.1.31)	(72) 発明者	湯川 幹央
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	安部 寛子
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
			F ターム (参考) 5B035 BA03 BB09 CA01 CA23 CA29

最終頁に続く

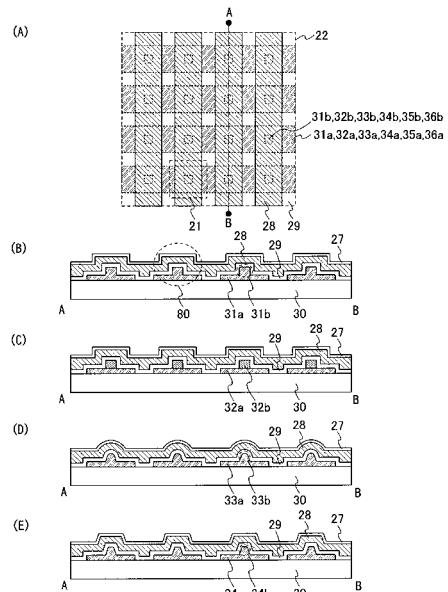
(54) 【発明の名称】記憶装置および半導体装置

(57) 【要約】

【課題】製造時以外にデータの追記が可能であり、書き換えによる偽造等を防止可能な不揮発の記憶装置及びそれを有する半導体装置を提供することを目的とする。また、信頼性が高く、安価な不揮発の記憶装置及びそれを有する半導体装置の提供を課題とする。

【解決手段】本発明の一は、第1の導電層と、第2の導電層と、第1の導電層及び第2の導電層に挟持される絶縁層とを有し、第1の導電層は凸部を有することを特徴とする記憶装置である。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第1の導電層と、第2の導電層と、前記第1の導電層及び前記第2の導電層に挟持される絶縁層とを有し、前記第1の導電層は凸部を有することを特徴とする記憶装置。

【請求項 2】

メモリセルがマトリックス状に配置されたメモリセルアレイと、書き込み回路とを有し、前記メモリセルは記憶素子を有し、前記記憶素子は第1の導電層と、第2の導電層と、前記第1の導電層及び前記第2の導電層に挟持される絶縁層とを有し、前記第1の導電層は凸部を有することを特徴とする記憶装置。

【請求項 3】

メモリセルがマトリックス状に配置されたメモリセルアレイと、書き込み回路とを有し、前記メモリセルはトランジスタと記憶素子とを有し、前記記憶素子は第1の導電層と、第2の導電層と、前記第1の導電層及び前記第2の導電層に挟持される絶縁層とを有し、前記第1の導電層は凸部を有することを特徴とする記憶装置。

【請求項 4】

請求項1乃至請求項3のいずれか一項において、前記第1の導電層及び前記第2の導電層の一部が接続されていることを特徴とする記憶装置。

【請求項 5】

請求項1乃至請求項4のいずれか一項において、前記メモリセルアレイと前記書き込み回路とは、ガラス基板もしくは可撓性基板上に設けられていることを特徴とする記憶装置。

【請求項 6】

請求項1乃至請求項5のいずれか一項において、前記書き込み回路は薄膜トランジスタで形成されていることを特徴とする記憶装置。

【請求項 7】

請求項1乃至請求項4のいずれか一項において、前記メモリセルアレイと前記書き込み回路とは、単結晶半導体基板上に設けられていることを特徴とする記憶装置。

【請求項 8】

請求項1乃至請求項4、または7のいずれか一項において、前記書き込み回路は電界効果トランジスタで形成されていることを特徴とする記憶装置。

【請求項 9】

請求項1乃至請求項8のいずれか一項において、前記第1の導電層は、複数の凸部を有することを特徴とする記憶装置。

【請求項 10】

請求項1乃至請求項9のいずれか一項において、前記凸部は、曲面を有することを特徴とする記憶装置。

【請求項 11】

請求項1乃至請求項9のいずれか一項において、前記凸部は、第1の導電層の表面に対して側壁面が10度以上85度以下に傾斜している領域を有することを特徴とする記憶装置。

【請求項 12】

請求項1乃至請求項11のいずれか一項において、前記凸部の表面に撥液層を有することを特徴とする記憶装置。

【請求項 13】

請求項1乃至請求項12のいずれか一項において、前記記憶素子は、光学的作用により抵抗値が変化することを特徴とする記憶装置。

【請求項 14】

請求項13において、前記絶縁層は、光酸発生剤がドーピングされた共役高分子材料からなることを特徴とする記憶装置。

【請求項 15】

10

20

30

40

50

請求項 1 乃至請求項 1 2 のいずれか一項において、前記記憶素子は、電気的作用により抵抗値が変化することを特徴とする記憶装置。

【請求項 1 6】

請求項 1 5 において、前記絶縁層は、有機絶縁物からなることを特徴とする記憶装置。

【請求項 1 7】

請求項 1 5 において、前記絶縁層は、電子輸送材料又はホール輸送材料からなることを特徴とする記憶装置。

【請求項 1 8】

請求項 1 5 において、前記絶縁層は、無機絶縁物からなることを特徴とする記憶装置。

【請求項 1 9】

第 1 のトランジスタ及び第 2 のトランジスタと、

前記第 1 のトランジスタのソース配線又はドレイン配線として機能する導電層に接続する記憶素子と、

前記第 2 のトランジスタのソース配線又はドレイン配線として機能する導電層と接続するアンテナとして機能する導電層とを有し、

前記記憶素子は、凸部を有する第 1 の導電層と、第 2 の導電層と、前記第 1 の導電層及び前記第 2 の導電層に挟持される絶縁層とを有することを特徴とする半導体装置。

【請求項 2 0】

請求項 1 9 において、前記第 1 のトランジスタと前記記憶素子とは、導電性粒子を介して接続されていることを特徴とする半導体装置。

【請求項 2 1】

請求項 1 9 又は請求項 2 0 において、前記第 2 のトランジスタと前記アンテナとは、導電性粒子を介して接続されていることを特徴とする半導体装置。

【請求項 2 2】

請求項 1 9 乃至請求項 2 1 のいずれか一項において、前記第 1 の導電層及び前記第 2 の導電層の一部が接続されていることを特徴とする半導体装置。

【請求項 2 3】

請求項 1 9 乃至請求項 2 2 のいずれか一項において、前記メモリセルアレイと前記書き込み回路とは、ガラス基板もしくは可撓性基板上に設けられていることを特徴とする半導体装置。

【請求項 2 4】

請求項 1 9 乃至請求項 2 3 のいずれか一項において、前記第 1 のトランジスタ及び第 2 のトランジスタは薄膜トランジスタで形成されていることを特徴とする半導体装置。

【請求項 2 5】

請求項 1 9 乃至請求項 2 2 のいずれか一項において、前記メモリセルアレイと前記書き込み回路とは、単結晶半導体基板上に設けられていることを特徴とする半導体装置。

【請求項 2 6】

請求項 1 9 乃至請求項 2 2 、または請求項 2 5 のいずれか一項において、前記第 1 のトランジスタ及び第 2 のトランジスタは電界効果トランジスタで形成されていることを特徴とする半導体装置。

【請求項 2 7】

請求項 1 9 乃至請求項 2 6 のいずれか一項において、前記第 1 の導電層は、複数の凸部を有することを特徴とする半導体装置。

【請求項 2 8】

請求項 1 9 乃至請求項 2 7 のいずれか一項において、前記凸部は、曲面を有することを特徴とする半導体装置。

【請求項 2 9】

請求項 1 9 乃至請求項 2 7 のいずれか一項において、前記凸部は、第 1 の導電層の表面に対して側壁面が 10 度以上 85 度以下に傾斜している領域を有することを特徴とする半導体装置。

10

20

30

40

50

【請求項 3 0】

請求項 1 9 乃至 請求項 2 9 のいずれか一項において、前記凸部の表面に撥液層を有することを特徴とする半導体装置。

【請求項 3 1】

請求項 1 9 乃至 請求項 3 0 のいずれか一項において、前記記憶素子は、光学的作用により抵抗値が変化することを特徴とする半導体装置。

【請求項 3 2】

請求項 3 1 において、前記絶縁層は、光酸発生剤がドーピングされた共役高分子材料からなることを特徴とする半導体装置。

【請求項 3 3】

請求項 1 9 乃至 請求項 3 0 のいずれか一項において、前記記憶素子は、電気的作用により抵抗値が変化することを特徴とする半導体装置。

【請求項 3 4】

請求項 3 3 において、前記絶縁層は、有機化合物からなることを特徴とする半導体装置。

【請求項 3 5】

請求項 3 3 又は請求項 3 4 において、前記絶縁層は、電子輸送材料又はホール輸送材料からなることを特徴とする半導体装置。

【請求項 3 6】

請求項 3 3 において、前記絶縁層は、無機絶縁物からなることを特徴とする半導体装置。

【発明の詳細な説明】**【技術分野】****【0 0 0 1】**

本発明は、記憶装置および当該記憶装置を備えた半導体装置に関する。

【背景技術】**【0 0 0 2】**

近年、絶縁表面上に複数の回路が集積され、様々な機能を有する半導体装置の開発が進められている。また、アンテナを設けることにより、無線によるデータの送受信が可能な半導体装置の開発が進められている。このような半導体装置は、無線チップ (I D タグ、 I C タグ、 I C チップ、 R F (R a d i o F r e q u e n c y) タグ、無線タグ、電子タグ、 R F I D (R a d i o F r e q u e n c y I d e n t i f i c a t i o n) タグともよばれる) とよばれ、既に一部の市場で導入されている。

【0 0 0 3】

現在実用化されているこれらの半導体装置の多くは、 S i 等の半導体基板を用いた回路 (I C (I n t e g r a t e d C i r c u i t) チップとも呼ばれる。) とアンテナとを有し、当該 I C チップは記憶回路 (メモリとも呼ぶ。) や制御回路等から構成されている。特に多くのデータを記憶可能な記憶回路を備えることによって、より高機能で付加価値が高い半導体装置の提供が可能となる。また、これらの半導体装置は低コストで作製することが要求されており、近年、制御回路や記憶回路等に有機化合物を用いた有機 T F T や有機メモリ等の開発が盛んに行われている (例えは特許文献 1) 。

【特許文献 1】特開 2 0 0 2 - 2 6 2 7 7 号公報**【発明の開示】****【発明が解決しようとする課題】****【0 0 0 4】**

記憶回路としては、 D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) 、 S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) 、 F e R A M (F e r r o e l e c t r i c R a n d o m A c c e s s M e m o r y) 、 マスク R O M (R e a d O n l y M e m o r y) 、 E P R O M (E l e c t r i c a l l y P r o g r a m m a b l e R e a d O n l y M e m o r y) 、 E E P R O

10

20

30

40

50

M (E l e c t r i c a l l y E r a s a b l e a n d P r o g r a m m a b l e R e a d O n l y M e m o r y)、フラッシュメモリなどが挙げられる。このうち、D R A M、S R A Mは揮発性の記憶回路であり、電源をオフするとデータが消去されてしまうため、電源をオンする度にデータを書き込む必要がある。F e R A Mは不揮発性の記憶回路であるが、強誘電体層を含む容量素子を用いているため、作製工程が増加してしまう。マスクR O Mは、簡単な構造であるが、製造工程でデータを書き込む必要があり、追記することはできない。E P R O M、E E P R O M、フラッシュメモリは、不揮発性の記憶回路ではあるが、2つのゲート電極を含む素子を用いているため、作製工程が増加してしまう。

【0 0 0 5】

10

一方、有機化合物を用いた記憶回路は、一対の電極間に有機化合物を設けた記憶素子を用いて形成するが、有機化合物層の厚さを厚く形成した場合、電流が流れにくくなり、書き込み及び読み込みの駆動電圧が上昇する。

【0 0 0 6】

上記問題を鑑み、本発明は、製造時以外にデータの追記が可能であり、書き換えによる偽造等を防止可能な不揮発の記憶装置、及びそれを有する半導体装置を提供することを目的とする。また、低消費電力で、且つ安価な不揮発の記憶装置及び半導体装置の提供を課題とする。

【課題を解決するための手段】

【0 0 0 7】

20

本発明の一は、第1の導電層と、第2の導電層と、第1の導電層及び第2の導電層に挟持される絶縁層とを有し、第1の導電層は凸部を有することを特徴とする記憶装置である。

【0 0 0 8】

また、本発明の一は、メモリセルがマトリックス状に配置されたメモリセルアレイと、書き込み回路とを有し、メモリセルは記憶素子を有し、記憶素子は第1の導電層と、第2の導電層と、第1の導電層及び第2の導電層に挟持される絶縁層とを有し、第1の導電層は凸部を有することを特徴とする記憶装置である。

【0 0 0 9】

30

また、本発明の一は、メモリセルがマトリックス状に配置されたメモリセルアレイと、書き込み回路とを有し、メモリセルはトランジスタと記憶素子とを有し、記憶素子は第1の導電層と、第2の導電層と、第1の導電層及び第2の導電層に挟持される絶縁層とを有し、第1の導電層は凸部を有することを特徴とする記憶装置である。

【0 0 1 0】

また、本発明の一は、第1のトランジスタ及び第2のトランジスタと、第1のトランジスタのソース配線又はドレイン配線として機能する導電層に接続する記憶素子と、第2のトランジスタのソース配線又はドレイン配線として機能する導電層と接続するアンテナとして機能する導電層とを有し、記憶素子は、凸部を有する第1の導電層と、第2の導電層と、第1の導電層及び第2の導電層に挟持される絶縁層とを有することを特徴とする半導体装置である。

【0 0 1 1】

40

なお、第1のトランジスタと記憶素子とは、導電性粒子を介して接続されている。また、第2のトランジスタとアンテナとは、導電性粒子を介して接続されている。

【0 0 1 2】

また、対となる第1の導電層及び第2の導電層の一部が接続されている。また、凸部の少なくとも一部は、曲面を有する。又は、凸部は、第1の導電層の表面に対して側壁面が10度以上85度以下に傾斜している領域を有する。また、凸部の表面に撥液層を有してもよい。さらには、第1の導電層上に、複数の凸部を有してもよい。

【0 0 1 3】

また、記憶素子は、光学的作用により抵抗値が変化する。このような記憶素子としては、絶縁層は、光酸発生剤がドーピングされた共役高分子材料からなる。

50

【0014】

また、記憶素子は、電気的作用により抵抗値が変化する。このような記憶素子としては、絶縁層は、有機化合物からなる。代表的には、有機絶縁物、又は電子輸送材料若しくはホール輸送材料からなる。さらには、絶縁層は、無機絶縁物からなる。

【0015】

また、対となる第1の導電層及び第2の導電層の一部が接続されている。

【0016】

また、メモリセルアレイと書き込み回路とは、ガラス基板もしくは可撓性基板上に設けられている。代表的には、書き込み回路は薄膜トランジスタで形成されている。

【0017】

また、メモリセルアレイと書き込み回路とは、単結晶半導体基板上に設けられており、代表的には、書き込み回路は電界効果トランジスタで形成されている。

【0018】

また、上記構成を有する本発明の半導体装置は、電源回路、クロック発生回路、データ復調/変調回路、制御回路、及びインターフェイス回路から選択された1つ又は複数を有することを特徴とする。

【発明の効果】

【0019】

本発明を用いることによって、チップ製造時以外にデータの書き込み（追記）が可能であり、書き換えによる偽造を防止することが可能な半導体装置を得ることができる。また、凸部を有する導電層により記憶素子を構成することによって、データの書き込み時の駆動電圧を低下することが可能である。この結果、低消費電力の記憶装置及び半導体装置を提供することができる。また、本発明の半導体装置は、一対の導電層間に絶縁層が挟まれた単純な構造の記憶素子を有するため、安価な半導体装置を提供することができる。また、記憶素子は構造が単純であり、更に高集積化が容易なため、大容量の記憶回路を有する半導体装置を提供することができる。

【発明を実施するための最良の形態】

【0020】

本発明の実施の形態について図面を参照して説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0021】

(実施の形態1)

本実施の形態では、本発明の記憶装置が有する記憶素子の一構成例に関して図面を用いて説明する。より具体的には、記憶装置の構成がパッシブマトリクス型の場合に関して示す。

【0022】

図1(A)には本発明の記憶装置が有するメモリセルアレイ22の上面構造を示しており、図1(A)におけるA-B間の断面構造が図1(B)に対応している。メモリセルアレイ22は、絶縁表面を有する基板30上に、第1の方向に延びた第1の導電層31aと、第1の導電層31aを覆って設けられた絶縁層29と、第1の方向と垂直な第2の方向に延びた第2の導電層28とを有している。また、第1の導電層31aにおいては、各メモリセルごとに凸部31bを有する。また、第1の導電層31aと絶縁層29と第2の導電層28との積層構造によって記憶素子80が形成される。また、ここでは、第2の導電層28を覆うように、保護膜として機能する絶縁層27を設ける（図1(B)参照。）。

【0023】

第1の導電層31aと第2の導電層28の材料には導電性の高い元素や化合物等用いる。絶縁層29の材料には電気的作用や光学的作用により、結晶状態や導電性、形状が変化す

10

20

30

40

50

る物質を用いる。上記構成を有する記憶素子は電圧印加前後で導電性が変化するので、「初期状態」と「導電性変化後」とに対応した2値を記憶させることができる。以下、電圧印加前後での記憶素子の導電性の変化について説明する。

【0024】

第1の導電層31aと第2の導電層28との間に電圧を印加すると、第1の導電層31aと第2の導電層28とが短絡し、記憶素子の導電性が高くなる。これは、電圧を印加すると共に絶縁層29に電流が流れ熱が発生し、絶縁層の温度がガラス転移点まで上昇すると絶縁層が流動性を有し、膜厚が不均一になる。特に膜厚の薄くなった部分の導電性が高くなり、第1の導電層31aと第2の導電層28とが短絡し、記憶素子の導電性が高くなる。この場合、第1の導電層31aに凸部31bを有することで、凸部において流動性を有する絶縁層が移動しやすくなる(図2(A)参照。)。この結果、絶縁層及び第2の導電層が変形し、第1導電層31aと第2の導電層28aとが短絡する。

【0025】

また、第1の導電層31aと第2の導電層28との間に、電圧を印加すると、絶縁層29で絶縁破壊が生じ、導電性を示す場合もある。これは、第1の導電層31aにおいて、凸部の角において電界が集中しやすいため、絶縁層29が絶縁破壊を起こしやすくなるためである。

【0026】

この結果、低消費電力で書き込みを行うことが可能である。

【0027】

なお、ここでの凸部とは、第1の導電層31aの表面から突出している領域(突起)のことを示す。即ち、第1の導電層31aの表面と凸部との頂上とにおいて高低差を有する領域のことである。

【0028】

第1の導電層31aの表面から突き出る凸部の高さ(第1の導電層31aの表面と凸部との頂上との高低差)は、SEM(走査型電子顕微鏡)、TEM(透過型電子顕微鏡)、触針式段差計等などで測定して5~500nm、好ましくは20~300nmである。凸部の高さが上記範囲より低い場合、第1の導電層31a表面に凹凸が形成されると、凸部が該凹凸に緩和されてしまい凸部として機能せず、低消費電力で書き込みを行うことが困難になる。また、凸部の高さが上記範囲より高い場合、第1の導電層31aに形成される絶縁層29の被覆率が低下し、絶縁層29が第1の導電層31aを覆わない領域が形成される。この結果、第1の導電層31a及び第2の導電層28とが短絡し、歩留まりが低下するという問題がある。

【0029】

なお、第1の導電層31aの表面とは、第1の導電層31aにおいて厚さの均一性の高い領域の面のことをいう。

【0030】

このように書き込みを行うことが可能な第1の導電層として、エッチング率の異なる導電層を積層し、上部層の面積が下部層の面積より小さくなるような条件でエッチングして、凸部32bを有する第1の導電層32aを形成することができる(図1(C)参照。)。

【0031】

また、液滴吐出を用いて、曲率(曲面、湾曲形状)を有する凸部33bを有する第1の導電層33aを形成することができる(図1(D)参照。)。

【0032】

また、エッチング条件により、順テーパを有する凸部34bを有する第1の導電層34aを形成することができる(図1(E)参照。)。なお、ここでは順テーパとは、第1の導電層の表面に対して凸部34bの側壁面が傾斜している領域のことであり、この傾斜角度が10度以上85度以下、好ましくは60度以上80度以下である領域のことをいう。また、このとき凸部34bの頂上は角ばっている。

10

20

30

40

50

【0033】

さらには、第1の導電層はこれらの形状を有する凸部を複数有してもよい。図3(A)においては、複数の凸部32b、32cを有する第1の導電層32aを示す。

【0034】

また、凸部35bは、図16(A)に示すように頂上が鋭頭状でもよい。

【0035】

さらには、図16(B)に示すように、第1の導電層36aは、頂上が鋭頭状である凸部36bを複数有してもよい。

【0036】

また、第1の導電層31aの凸部31bの表面に撥液層33を設けてもよい(図3(B)参照)。ここでは、撥液層とは、絶縁層29がガラス転移点以上で流動性を有するときに、絶縁層29を弾きやすくする層である。図3(B)においては、撥液層33は、第1の導電層31aの凸部31bの頂部に設けている。

【0037】

また、撥液層34を第1の導電層31aの凸部31bの一部に設けてもよい(図3(C)参照)。

【0038】

また、撥液層35を第1の導電層31aの凸部31bの面すべてに設けてもよい。具体的には、凸部31bの側面及び頂部に設けてもよい(図3(D)参照)。

【0039】

撥液層の形成方法としては、絶縁層の材料がガラス転移点以上で流動性を有する時に弾きやすくする材料を、液滴吐出法、印刷法等を用いて所定の領域に塗布し焼成する方法がある。また、第1の導電層及び基板上に当該材料を吸着させ、撥液層を形成する領域以外の領域にフォトマスクを用いて紫外線等を照射し、当該材料を分解して撥液層を形成する方法がある。また、第1の導電層上に当該材料を吸着させた後、撥液層を形成する領域上に保護マスクを形成し、保護マスクで覆われていない領域を酸素アッシング等で除去し、保護マスクを除去して撥液層を形成する方法等が挙げられる。

【0040】

ガラス転移点以上で流動性を有する時に絶縁層の材料を弾きやすくする材料の代表例としては、アルキル基やフッ化炭素鎖を有する化合物が挙げられる。

【0041】

また、フッ化炭素鎖を有する有機樹脂(フッ素系樹脂)を用いることができる。フッ素系樹脂として、ポリテトラフルオロエチレン(PTFE;四フッ化エチレン樹脂)、パーフルオロアルコキシアルカン(PFA;四フッ化エチレンパーフルオロアルキルビニルエーテル共重合樹脂)、パーフルオロエチレンプロペンコーポリマー(PFEP;四フッ化エチレン-六フッ化プロピレン共重合樹脂)、エチレン-テトラフルオロエチレンコポリマー(ETFE;四フッ化エチレン-エチレン共重合樹脂)、ポリビニリデンフルオライド(PVDF;フッ化ビニリデン樹脂)、ポリクロロトリフルオロエチレン(PCTFE;三フッ化塩化エチレン樹脂)、エチレン-クロロトリフルオロエチレンコポリマー(ECTFE;三フッ化塩化エチレン-エチレン共重合樹脂)、ポリテトラフルオロエチレン-パーフルオロジオキソールコポリマー(TFE/PDD)、ポリビニルフルオライド(PVF;フッ化ビニル樹脂)等を用いることができる。

【0042】

また、R_n-Si-X_(4-n)(n=1、2、3)の化学式で表される有機シランが挙げられる。ここで、Rは、フルオロアルキル基やアルキル基などの比較的不活性な基を含む物である。また、Xはハロゲン、メトキシ基、エトキシ基又はアセトキシ基など、基質表面の水酸基との縮合結合により結合可能な加水分解基からなる。

【0043】

有機シランの一例として、Rにフルオロアルキル基を有するフルオロアルキルシラン(以下、FASともいう。)を用いることができる。FASのRは、(CF₃)(CF₂)_x

10

20

30

40

50

$(C_2H_5)_y$ (x : 0 以上 10 以下の整数、 y : 0 以上 4 以下の整数) で表される構造を持ち、複数個の R 又は X が S_i に結合している場合には、R 又は X はそれぞれすべて同じでも良いし、異なっていてもよい。代表的な FAS としては、ヘプタデカフルオロテトラヒドロデシルトリエトキシシラン、ヘプタデカフルオロテトラヒドロデシルトリクロロシラン、トリデカフルオロテトラヒドロオクチルトリクロロシラン、トリフルオロプロピルトリメトキシシラン等のフルオロアルキルシラン (FAS) が挙げられる。

【0044】

有機シランの一例として、R にアルキル基を有するアルコキシシランを用いることができる。アルコキシシランとしては、炭素数 2 ~ 30 のアルコキシシランが好ましい。代表的には、エチルトリエトキシシラン、プロピルトリエトキシシラン、オクチルトリエトキシシラン、デシルトリエトキシシラン、オクタデシルトリエトキシシラン (ODS) 、エイコシルトリエトキシシラン、トリアコンチルトリエトキシシランがあげられる。

【0045】

さらには、絶縁層の材料がガラス転移点以上で流動性を有する時に弾きやすくする材料としては、絶縁層の材料がガラス転移点以上で有する接触角との差が、30 度以上、好ましくは 40 度以上の接触角を有する材料を適宜用いることができる。

【0046】

なお、隣接する各々のメモリセル間において横方向への電界の影響が懸念される場合は、各メモリセルに設けられた絶縁層を分離するため、各メモリセルごとに絶縁層 36 (隔壁ともいう。) を設けてもよい (図 3 (E) 参照。)。つまり、各メモリセルごとに絶縁層 36 を選択的に設けた構成としてもよい。なお、絶縁層 36 は、逆テーパー状に設けることで、後に形成する絶縁層 29 及び第 2 の導電層 28 を各セルごとに形成することが可能であるため好ましい。その後、第 1 の導電層 31a および絶縁層 36 を覆うように絶縁層 29 及び第 2 の導電層 28 を形成する。

【0047】

また、第 1 の導電層 31a を覆って絶縁層 29 を設ける際に、第 1 の導電層 31a の端部の段差により生じる絶縁層 29 の段切れや各メモリセル間における横方向への電界の影響を防止するために、第 1 の導電層 31a 間に絶縁層 37 (隔壁ともいう。) を設けてもよい (図 3 (F) 参照。)。なお、絶縁層 37 は、順テーパー状に設けることが好ましい。さらには、湾曲していることが好ましい。その後、第 1 の導電層 31a および絶縁層 37 を覆うように絶縁層 29 及び第 2 の導電層 28 を形成する。

【0048】

上記メモリセルの構成において、基板 30 としては、ガラス基板や可撓性基板の他、石英基板、シリコン基板、金属基板、ステンレス基板等を用いることができる。可撓性基板とは、折り曲げることができる (フレキシブル) 基板のことであり、例えば、ポリカーボネート、ポリアリレート、ポリエーテルスルファン等からなるプラスチック基板等が挙げられる。また、フィルム (ポリプロピレン、ポリエチル、ビニル、ポリフッ化ビニル、塩化ビニルなどからなる)、繊維質な材料からなる紙などを用いることもできる。また、この他にも、Si、GaN、GaAs、InP 等の半導体基板上に形成された電界効果トランジスタ (FET) の上部や、ガラス等の基板上に形成された薄膜トランジスタ (TFT) (Thin Film Transistor) の上部にメモリセルアレイ 22 を設けることができる。

【0049】

また、第 1 の導電層 31a ~ 34a と第 2 の導電層 28 には、導電性の高い元素や化合物等用いる。代表的には、金 (Au)、銀 (Ag)、白金 (Pt)、ニッケル (Ni)、タンゲステン (W)、クロム (Cr)、モリブデン (Mo)、鉄 (Fe)、コバルト (Co)、銅 (Cu)、パラジウム (Pd)、炭素 (C)、アルミニウム (Al)、マンガン (Mn)、チタン (Ti)、タンタル (Ta) 等から選ばれた一種の元素または当該元素を複数含む合金からなる単層または積層構造を用いることができる。上記元素を複数含んだ合金としては、例えば、Al と Ti を含んだ合金 Al-Ti と C を含んだ合金、Al と

10

20

30

40

40

50

Niを含んだ合金、AlとCを含んだ合金、AlとNiとCを含んだ合金またはAlとMoを含んだ合金等を用いることができる。

【0050】

第1の導電層31a～34aは、蒸着法、スパッタ法、CVD法、印刷法、電界メッキ法、無電界メッキ法等を用いて導電層を形成した後、一部をエッチングして凸部31b～34b、32cを有する第1の導電層31a～34aを形成することができる(図1(B)参照。)。

【0051】

第2の導電層28は、蒸着法、スパッタ法、CVD法、印刷法または液滴吐出法を用いて形成することができる。また、第2の導電層28も図1(B)乃至図1(E)の様に凸部31b～34bを有してもよい。ここでは、これらのいずれかの方法を用いて第1の導電層31a～34aおよび第2の導電層28を形成する。また、第1の導電層31a～34aと第2の導電層28は異なる方法を用いて形成してもよい。

10

【0052】

本実施の形態において、メモリセルへのデータの書き込みは電気的作用または光学的作用を加えることによって行うが、光学的作用によりデータの書き込みを行う場合、第1の導電層31a～34aと第2の導電層28のうち、一方または両方は透光性を有するように設ける。透光性を有する導電層は、透明な導電性材料を用いて形成するか、または、透明な導電性材料でなくても光を透過する厚さで形成する。透明な導電性材料としては、酸化インジウムスズ(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などその他の透光性酸化物導電材料を用いることが可能である。ITO及び酸化珪素を含む酸化インジウムスズや、酸化珪素を含んだ酸化インジウムに、さらに2～20%の酸化亜鉛(ZnO)を混合したものを用いても良い。

20

【0053】

絶縁層29は、有機絶縁物、電気的作用または光学的作用により導電性が変化する有機化合物、無機絶縁物、又は有機化合物と無機化合物とが混合してなる層で形成する。絶縁層29は、単層で設けてもよいし、複数の層を積層させて設けてもよい。また、有機化合物と無機化合物との混合層及び他の電気的作用または光学的作用により導電性が変化する有機化合物からなる層とを積層させて設けてもよい。

30

【0054】

絶縁層29を構成することが可能な無機絶縁物としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素等を用いることができる。

【0055】

また、絶縁層29を構成することが可能な有機絶縁物としては、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、エポキシ等に代表される有機樹脂を用いることができる。

【0056】

また、絶縁層29を構成することができる、電気的作用または光学的作用により導電性が変化する有機化合物としては、正孔輸送性が高い有機化合物材料又は電子輸送性が高い有機化合物材料を用いることができる。

40

【0057】

正孔輸送性の高い有機化合物材料としては、4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(略称:4-NPD)や4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル(略称:TPD)や4,4',4'''-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(略称:TDA-TA)、4,4',4'''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(略称:MTDATA)や4,4'-ビス(N-(4-(N,N-ジ-m-トリルアミノ)フェニル)-N-フェニルアミノ)ビフェニル(略称:DNTPD)などの芳香族アミン系(即ち、ベンゼン環-窒素の結合を有する)の化合物やフタロシアニン(略称:H₂PC)、銅フタロシアニン(略称:CuPC)、バナジルフタ

50

ロシアニン（略称：VOPc）等のフタロシアニン化合物を用いることができる。ここに述べた物質は、主に $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質である。但し、電子よりも正孔の輸送性が高い物質であれば、上記の物質以外のものを用いてもよい。

【0058】

なお、有機化合物と無機化合物との混合層を設ける場合には、正孔輸送性の高い有機化合物材料と電子を受け取りやすい無機化合物材料とを混合させることができ。このような構成とすることによって、本来内在的なキャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性・輸送性を示す。その結果、有機化合物層は優れた導電性を得ることが可能となる。

【0059】

電子を受け取りやすい無機化合物材料として、周期表第4族乃至第12族のいずれかの遷移金属の金属酸化物、金属窒化物または金属酸化窒化物を用いることができる。具体的には、チタン酸化物（ TiO_x ）、ジルコニウム酸化物（ ZrO_x ）、バナジウム酸化物（ VO_x ）、モリブデン酸化物（ MoO_x ）、タンゲステン酸化物（ WO_x ）、タンタル酸化物（ TaO_x ）、ハフニウム酸化物（ HfO_x ）、ニオブ酸化物（ NbO_x ）、コバルト酸化物（ CoO_x ）、レニウム酸化物（ ReO_x ）、ルテニウム酸化物（ RuO_x ）、亜鉛酸化物（ ZnO ）、ニッケル酸化物（ NiO_x ）、銅酸化物（ CuO_x ）等を用いることができる。また、ここでは具体例として酸化物を例に挙げたが、もちろんこれらの窒化物や酸化窒化物を用いてもよい。

【0060】

電子輸送性の高い有機化合物材料としては、トリス（8-キノリノラト）アルミニウム（略称：Alq₃）、トリス（4-メチル-8-キノリノラト）アルミニウム（略称：Almq₃）、ビス（10-ヒドロキシベンゾ[*h*]-キノリナト）ベリリウム（略称：BeBq₂）、ビス（2-メチル-8-キノリノラト）（4-フェニルフェノラト）アルミニウム（略称：BA1q）等キノリン骨格またはベンゾキノリン骨格を有する金属錯体等からなる材料を用いることができる。また、この他、ビス[2-（2-ヒドロキシフェニル）ベンゾオキサゾラト]亜鉛（略称： $\text{Zn}(\text{BOX})_2$ ）、ビス[2-（2-ヒドロキシフェニル）ベンゾチアゾラト]亜鉛（略称： $\text{Zn}(\text{BTZ})_2$ ）などのオキサゾール系、チアゾール系配位子を有する金属錯体などの材料も用いることができる。さらに、金属錯体以外にも、2-（4-ビフェニリル）-5-（4-tert-ブチルフェニル）-1,3,4-オキサジアゾール（略称：PBD）、1,3-ビス[5-（p-tert-ブチルフェニル）-1,3,4-オキサジアゾール-2-イル]ベンゼン（略称：OXD-7）、3-（4-tert-ブチルフェニル）-4-フェニル-5-（4-ビフェニリル）-1,2,4-トリアゾール（略称：TAZ）、3-（4-tert-ブチルフェニル）-4-（4-エチルフェニル）-5-（4-ビフェニリル）-1,2,4-トリアゾール（略称：p-EtTAZ）、バソフェナントロリン（略称：BPhen）、バソキュプロイン（略称：BCP）等を用いることができる。ここに述べた物質は、主に $10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の電子移動度を有する物質である。但し、正孔よりも電子の輸送性の高い物質であれば、上記の物質以外のものを用いてもよい。

【0061】

なお、有機化合物と無機化合物との混合層を設ける場合には、電子輸送性の高い有機化合物材料と電子を与えやすい無機化合物材料とを混合させることができ。この構成とすることによって、本来内在的なキャリアをほとんど有さない有機化合物に多くの電子キャリアが発生し、極めて優れた電子注入性・輸送性を示す。その結果、有機化合物層は優れた導電性を得ることが可能となる。

【0062】

電子を与えやすい無機化合物材料として、アルカリ金属酸化物、アルカリ土類金属酸化物、希土類金属酸化物、アルカリ金属窒化物、アルカリ土類金属窒化物、希土類金属窒化物を用いることができる。具体的には、リチウム酸化物（ LiO_x ）、ストロンチウム酸化物（ SrO_x ）、バリウム酸化物（ BaO_x ）、エルビウム酸化物（ ErO_x ）、ナト

10

20

30

40

50

リウム酸化物 (NaO_x)、リチウム窒化物 (LiN_x)、マグネシウム窒化物 (MgN_x)、カルシウム窒化物 (CaN_x)、イットリウム窒化物 (YN_x)、ランタン窒化物 (LaN_x)等を用いることができる。

【0063】

さらには、無機化合物材料として、有機化合物から電子を受け取りやすい無機化合物材料または有機化合物に電子を与えやすい無機化合物材料であれば何でもよく、アルミニウム酸化物 (AlO_x)、ガリウム酸化物 (GaO_x)、ケイ素酸化物 (SiO_x)、ゲルマニウム酸化物 (GeO_x)、インジウム錫酸化物 (ITO) 等のほか、種々の金属酸化物、金属窒素化物または金属酸化窒化物を用いることができる。

【0064】

また、絶縁層29が金属酸化物または金属窒化物の中から選ばれた化合物と正孔輸送性の高い化合物とから形成される場合、立体障害の大きな(平面構造とは異なり空間的な広がりを有する構造をもつ)化合物を加えた構成としてもよい。立体障害の大きな化合物としては、5, 6, 11, 12-テトラフェニルテトラセン(略称:ルブレン)が好ましい。但し、これ以外に、ヘキサフェニルベンゼン、t-ブチルペリレン、9, 10-ジ(フェニル)アントラセン、クマリン545T等も用いることができる。この他、デンドリマー等も有効である。

【0065】

さらには、電子輸送性の高い有機化合物材料で形成される層と、正孔輸送性の高い有機化合物材料層との間に、4-ジシアノメチレン-2-メチル-6-[2-(1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン(略称:DCJT)、4-ジシアノメチレン-2-t-ブチル-6-[2-(1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]-4H-ピラン、ペリフランテン、2,5-ジシアノ-1,4-ビス[2-(10-メトキシ-1,1,7,7-テトラメチルジュロリジン-9-イル)エテニル]ベンゼン、N,N'-ジメチルキナクリドン(略称:DMQd)、クマリン6、クマリン545T、トリス(8-キノリノラト)アルミニウム(略称:Alq₃)、9,9'-ビアントリル、9,10-ジフェニルアントラセン(略称:DPA)や9,10-ビス(2-ナフチル)アントラセン(略称:DNA)、2,5,8,11-テトラ-t-ブチルペリレン(略称:TBp)等の発光物質を設けてよい。

【0066】

また、絶縁層29には、光学的作用により、電気抵抗が変化する材料を用いることができる。例えば、光を吸収することによって酸を発生する化合物(光酸発生剤)をドープした共役高分子を用いることができる。共役高分子として、ポリアセチレン類、ポリフェニルビニレン類、ポリチオフェン類、ポリアニリン類、ポリフェニレンエチニレン類等を用いることができる。また、光酸発生剤としては、アリールスルホニウム塩、アリールヨードニウム塩、o-ニトロベンジルトシレート、アリールスルホン酸p-ニトロベンジルエステル、スルホニルアセトフェノン類、Fe-アレン錯体PF₆塩等を用いることができる。

【0067】

絶縁層29は、蒸着法、電子ビーム蒸着法、スパッタリング法、CVD法等を用いて形成することができる。また、有機化合物と無機化合物とを含む混合層は、各々の材料を同時に成膜することにより形成することができ、抵抗加熱蒸着同士による共蒸着法、電子ビーム蒸着同士による共蒸着法、抵抗加熱蒸着と電子ビーム蒸着による共蒸着法、抵抗加熱蒸着とスパッタリングによる成膜、電子ビーム蒸着とスパッタリングによる成膜など、同種、異種の方法を組み合わせて形成することができる。

【0068】

また、上記絶縁層29の形成方法として、ポリイミド、アクリル、ポリアミド、ベンゾシクロブテン、エポキシ等に代表される有機絶縁物や、正孔輸送性が高い有機化合物や、電子輸送性が高い有機化合物を、レーザ転写法を用いて第1の導電層上に形成してもよい。レーザ転写法とは、上記有機絶縁物や有機化合物が形成されたフィルムにレーザ光を照射

10

20

30

40

50

する。このとき、有機絶縁物や有機化合物が形成される面を第1の導電層側に面させる。レーザ光が照射された有機絶縁物や有機化合物は、フィルムから剥離され、第1の導電層上に融着する。この結果、第1の導電層上に絶縁層を形成することが可能である。このような手法を用いると、所定の場所にのみ絶縁層を形成することが可能である。

【0069】

なお、絶縁層29は、電気的作用又は光学的作用により記憶素子の導電性が変化する膜厚で形成する。

【0070】

また、他の形成方法として、スピンコート法、ゾル・ゲル法、印刷法または液滴吐出法等を用いてもよいし、上記方法とこれらを組み合わせて絶縁層29を形成してもよい。

10

【0071】

また、本実施の形態では、上記構成において、第1の導電層31a～34aと絶縁層29との間に、整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、またはダイオードである。このように、整流性があるダイオードを設けることにより、1つの方向にしか電流が流れないために、データの読み出し誤差が減少し、読み出しマージンが向上する。なお、整流性を有する素子は、絶縁層29と第2の導電層28との間に設けてもよい。

【0072】

ここで、本発明の記憶装置の構成とデータの書き込み方法について説明する。

【0073】

図4Aに本発明の記憶装置の構成を示す。本発明の記憶装置508はカラムデコーダ501、ローデコーダ502、読み出し回路504、書き込み回路505、セレクタ503、メモリセルアレイ22を有する。メモリセルアレイ22はビット線Bm(1m×)、ワード線Wn(1n×y)、x本のビット線とy本のワード線との交点にそれぞれメモリセル21を有する。なお、ここで示す記憶装置508の構成はあくまで一例であり、センスアンプ、出力回路、バッファ等の他の回路を有していてもよいし、書き込み回路をビット線駆動回路に設けてもよい。

20

【0074】

カラムデコーダ501はメモリセルアレイの列を指定するアドレス信号を受けて、指定列のセレクタ503に信号を与える。セレクタは503はカラムデコーダ501の信号を受けて指定列のビット線を選択する。ローデコーダ502はメモリセルアレイの行を指定するアドレス信号を受けて、指定行のワード線を選択する。上記動作によりアドレス信号に対応する一つのメモリセル21が選択される。読み出し回路504は選択されたメモリセルが有するデータを読み出し、増幅して出力する。書き込み回路505は書き込みに必要な電圧を生成し、選択されたメモリセルの記憶素子に電圧を印加することでデータの書き込みを行う。

30

【0075】

図4(B)に本発明の記憶装置が有する書き込み回路505の構成を示す。書き込み回路505は電圧発生回路701、タイミング制御回路702、スイッチSW0、SW1、SW2、出力端子Pwを有する。電圧発生回路701は昇圧回路等で構成され、書き込みに必要な電圧V1、V2を生成し、それぞれ出力Pa、Pbから出力する。タイミング制御回路702は、書き込み制御信号(以降WEと記載)、データ信号(以降DATAと記載)、クロック信号(以降CLKと記載)等からスイッチSW0、SW1、SW2を制御する信号S0、S1、S2を生成し、それぞれ出力P0、P1、P2から出力する。スイッチSW0はPwと接地との接続、SW1はPwと電圧発生回路の出力Paとの接続、SW2はPwと出力Pbとの接続をON/OFFし、書き込み回路の出力Pwからの出力電圧Vwriteを切り替える。

40

【0076】

図15に「1」の書き込み方法を説明するタイミングチャートを示す。タイミングチャートは、入力信号WE、DATA、出力信号S0、S1、S2、出力電圧Vwrite、m

50

列 n 行のメモリセルに印加される電圧 V_{bit} 、 V_{word} のタイミングを示す。

【 0 0 7 7 】

本実施の形態のメモリセルは第 1 の導電層がワード線で構成され、第 2 の導電層はビット線で構成されている。したがって、m 列目のビット線 B_m に接続される m 列 a 行 (1 a y、a n) のメモリセルに誤った書き込みが起こらないように配慮する必要がある。タイミングチャートは選択されていない m 列 a 行のメモリセルの印加電圧 V_{bit} 、 V_{word} も示す。

【 0 0 7 8 】

書き込みは以下によって行われる。まず入力信号 WE 、 $DATA$ が H_i になると、電圧発生回路 701 は電圧 V_1 、 V_2 を生成し、出力 P_a 、 P_b から出力する。タイミング制御回路 702 は、入力信号 WE 、 $DATA$ 、 CLK 等からスイッチを制御する信号 S_0 、 S_1 、 S_2 を生成し、出力 P_0 、 P_1 、 P_2 から出力する。当該信号によりスイッチ SW_0 、 SW_1 、 SW_2 が切り替わり、書き込み回路は出力 P_w から電圧 V_1 、 V_2 を連続的に出力する。

【 0 0 7 9 】

同時に列を指定するアドレス信号を受けたカラムデコーダ 501 は m 列のセレクタに信号を与え、セレクタ 503 は m 列のビット線 B_m を書き込み回路の出力 P_w に接続する。指定されていないビット線は非接続（以降 $Floating$ と記載）状態となる。同様に行を指定するアドレス信号を受けたローデコーダ 502 は n 行のワード線 W_n を $0V$ にし、指定されていないワード線 W_a に電圧 V_3 を印加する。電圧 V_3 は、記憶素子に電圧 $V_1 - V_3$ と $V_2 - V_3$ とを印加しても記憶素子の導電性が変化しない範囲から決定する。

【 0 0 8 0 】

上記動作によりワード線 W_n に $0V$ が印加され、ビット線 B_m に電圧 V_1 、 V_2 が連続的に印加される。したがって記憶素子の導電性が変化し、m 列 n 行のメモリセルは「1」を記憶する。同時にワード線 W_a には V_3 が印加され、ビット線 B_m には V_1 、 V_2 が連続的に印加される。したがって記憶素子には電圧 $V_1 - V_3$ と $V_2 - V_3$ とが連続的に印加され、メモリセルに書き込みが行われないように制御される。

【 0 0 8 1 】

入力信号 WE が Lo になると、全てのワード線は $0V$ となり、全てのビット線は $Floating$ 状態となる。同時にタイミング制御回路は信号 S_0 、 S_1 、 $S_2 = Lo$ を生成して出力 P_0 、 P_1 、 P_2 から出力し、書き込み回路の出力 P_w は $Floating$ 状態となる。上記動作により、書き込みは行われなくなる。

【 0 0 8 2 】

記憶素子に複数段階の電圧を連続的に印加させることで、サイズの小さい記憶素子でも低い電圧、短い電圧印加時間で導電性を変化させることが可能となる。また、本発明の手段により書き込み時の消費電流を小さくし、消費電流が最大となる時間を短かくすることができる。また、記憶素子に高いパルス電圧を印加すると導電性の変化量にばらつきが生じ、記憶装置の信頼性を低下させる。しかしながら、本発明のように複数段階の電圧を連続的に印加することで記憶素子の導電性の変化量が一定となり、記憶装置の信頼性を向上させることができる。さらに本発明は、記憶素子の材料に有機化合物を用いるので、大判のガラス基板や可撓性基板上に低温プロセスで作製することができ、安価な記憶装置を提供することができる。

【 0 0 8 3 】

続いて、光学的作用によりデータの書き込みを行う場合について説明する。この場合、レーザ照射装置により、透光性を有する導電層側から、絶縁層に対して、レーザ光を照射することにより行う。

【 0 0 8 4 】

絶縁層に選択的にレーザ光を照射することにより、絶縁層が酸化又は炭化して絶縁化する。そうすると、レーザ光が照射された記憶素子 80 の抵抗値は増加し、レーザ光が照射

10

20

30

40

50

されない記憶素子 8 0 の抵抗値は変化しない。

【 0 0 8 5 】

次に、データを読み出しについて説明する。図 1 1 (A) には、読み出しを説明するため必要な部分を抽出した記憶装置を示す。記憶装置はカラムデコーダ 2 0 0 1、ローデコーダ 2 0 0 2、読み出し回路 2 0 0 3、セレクタ 2 0 0 5、メモリセルアレイ 2 0 0 6 を有する。メモリセルアレイ 2 0 0 6 はビット線 B_m ($1 \leq m \leq x$)、ワード線 W_n ($1 \leq n \leq y$)、 x 本のビット線と y 本のワード線との交点にそれぞれメモリセル 2 0 1 1 を有する。本実施の形態では、メモリセル 2 0 1 1 は記憶素子 2 0 1 3 を有する。読み出し回路 2 0 0 3 は電圧発生回路 2 0 0 7、センスアンプ 2 0 0 8、抵抗素子 2 0 0 9、データ出力回路 2 0 1 0、入出力端子 P_r を有し、抵抗素子 2 0 0 9 と入出力端子 P_r との間からセンスアンプ 2 0 0 8 に入力する点を 10 とする。

【 0 0 8 6 】

電圧発生回路 2 0 0 7 は読み出し動作に必要な電圧 V_{read} 、 V_{ref} を生成し、それぞれ P_1 、 P_2 から出力する。データの読み出しは低い電圧を使用するため、電圧 V_{read} は電源電圧 (V_{DD}) を使用することも可能である。電圧 V_{ref} は電圧 V_{read} よりも低い電圧であり、電源電圧と接地電圧との抵抗分割により生成する。したがって読み出し回路 2 0 0 3 が有する電圧発生回路 2 0 0 7 は、書き込み回路が有する電圧発生回路とは異なる構成を有する。センスアンプ 2 0 0 8 は点 20 の電圧と電圧 V_{ref} との大小を比較してその結果を出力する。データ出力回路 2 0 1 0 は読み出し制御信号 (以降 R_E と記す) により制御され、センスアンプ 2 0 0 8 の出力からメモリセルが有するデータを取得し、当該データを増幅して出力する。

【 0 0 8 7 】

次に、 m 列 n 行目のメモリセル 2 0 1 1 が有するデータを読み出す動作を説明する。まず、列を指定するアドレス信号を受けたカラムデコーダ 2 0 0 1 は m 列のセレクタ 2 0 0 5 に信号を与え、セレクタ 2 0 0 5 は m 列のビット線 B_m を読み出し回路の入出力端子 P_r に接続する。指定されていないビット線は Floating 状態となる。同様に行を指定するアドレス信号を受けたローデコーダ 2 0 0 2 は n 行のワード線 W_n に電圧 V_{read} を印加し、指定されていないワード線に $0V$ を印加する。同時に電圧発生回路 2 0 0 7 の出力 P_1 、 P_2 から電圧 V_{read} 、 V_{ref} を出力する。上記動作によって抵抗素子 2 0 0 9 と記憶素子 2 0 1 3 の直列抵抗に電圧 V_{read} を印加した状態となり、点 30 の電圧はこれら二つの素子によって抵抗分割された値を取る。

【 0 0 8 8 】

ここで点 2 の取りうる電圧を説明するために、図 1 4 に「 1 」の書き込みを行った記憶素子の $I - V$ 特性 2 1 1 5、「 0 」の書き込みを行った記憶素子の $I - V$ 特性 2 1 1 6、抵抗素子 2 1 0 9 の $I - V$ 特性 2 1 1 7 を示す。ここで抵抗素子 2 1 0 9 はトランジスタとする。また図 1 4 の横軸は点 2 の電圧を示す。「 1 」の書き込みを行った記憶素子の $I - V$ 特性 2 1 1 5 は、記憶素子 2 1 1 3 の電気抵抗が小さいため、点 2 の電圧が小さくても電流値が変化する。「 0 」の書き込みを行った記憶素子の $I - V$ 特性 2 1 1 6 は、記憶素子 2 1 1 3 がダイオード特性を示すため、点 2 の電圧がある値以上になると電流値が増大し始める。抵抗素子の $I - V$ 特性 2 1 1 7 は、点 2 の電圧が上昇すると電流値が減少し、点 2 の電圧が V_{read} で電流値が 0 となる。

【 0 0 8 9 】

図 1 4 から点 2 の取りうる電圧は次のように説明できる。記憶素子 2 1 1 3 に「 1 」が書き込まれているときは、「 1 」の書き込みを行った記憶素子の $I - V$ 特性 2 1 1 5 と抵抗素子の $I - V$ 特性 2 1 1 7 との交点 A の電圧 V_A が点 2 の電圧となる。また記憶素子 2 1 1 3 に「 0 」が書き込まれているときは、「 0 」の書き込みを行った記憶素子の $I - V$ 特性 2 1 1 6 と抵抗素子の $I - V$ 特性 2 1 1 7 との交点 B の電圧 V_B が点 2 の電圧となる。

【 0 0 9 0 】

次にセンスアンプ 2 1 0 8 は点 2 の電圧と V_{ref} との大きさを比較する。ここで電圧 V_{ref} は電圧 V_A よりも大きく電圧 V_B よりも小さい電圧とし、望ましくは ($V_A + V_B$ 50

) / 2 とする。このように電圧を設定することで、センスアンプ 2108 により点 の電圧が V_{ref} よりも小さいと判断された場合、点 の電圧は電圧 V_A であると考えられ、記憶素子 2113 には「1」が書き込まれていることが分かる。逆に点 の電圧が V_{ref} よりも大きいと判断された場合、点 の電圧は電圧 V_B であると考えられ、記憶素子 2113 には「0」が書き込まれていることが分かる。

【0091】

点 の電圧が V_{ref} よりも小さい場合、センスアンプは「1」を示す信号を出力し、点 の電圧が V_{ref} よりも大きい場合、センスアンプは「0」を示す信号を出力する。データ出力回路 2110 は、外部から入力される制御信号 RE を基に、センスアンプ 2108 の出力信号からデータを取り込み、当該データを増幅して出力する。

10

【0092】

上記の動作により読み出しを行うことができる。

【0093】

本実施の形態は記憶素子の抵抗値を電圧の大きさに置き換えて読み取っているが、本発明はこれに限定されずに実施することができる。例えば記憶素子の抵抗値を電流の大きさに置き換えて読みとる方法や、ビット線をプリチャージする方法を採用することも可能である。

【0094】

凸部を有する導電層により記憶素子を構成することによって、データの書き込み時の駆動電圧を低下することが可能である。この結果、低消費電力の記憶装置及び半導体装置を提供することができる。

20

【0095】

(実施の形態 2)

本実施の形態では、上記実施の形態 1 とは異なる構成を有する記憶装置について説明する。具体的には、記憶装置の構成がアクティブマトリクス型の場合に関して示す。

【0096】

本実施の形態で示す記憶装置の一構成例は、実施の形態 1 に示す記憶装置 508 と同様に、図 4A に示すカラムデコーダ 501、ローデコーダ 502、読み出し回路 504、書き込み回路 505、セレクタ 503、メモリセルアレイ 22 を有する。メモリセルアレイ 22 はビット線 B_m (1 m x)、ワード線 W_n (1 n y)、 x 本のビット線と y 本のワード線との交点にそれぞれメモリセル 21 を有する。

30

【0097】

メモリセル 21 は、ビット線 B_x (1 m x) を構成する第 1 の配線と、ワード線 W_y (1 n y) を構成する第 2 の配線と、トランジスタ 240 と、記憶素子 241 とを有する。記憶素子 241 は、一対の導電層の間に、絶縁層が挟まれた構造を有する。

【0098】

次に、上記構成を有するメモリセルアレイ 22 の上面図と断面図の一例に関して図 5、図 6 を用いて説明する。なお、図 6 (A) はメモリセルアレイ 22 の上面図の一例を示しており、図 6 (B) は図 6 (A) における A - B 間の断面図を示している。

40

【0099】

メモリセルアレイ 22 は、絶縁表面を有する基板 230 上にスイッチング素子として機能するトランジスタ 240 および当該トランジスタ 240 に接続された記憶素子 241 とを複数有している(図 5、図 6 (A)、(B) 参照。)。記憶素子 241 は、凸部 243b を有する第 1 の導電層 243a と、第 2 の導電層 245 と、絶縁層 244 を有しており、絶縁層 244 は第 1 の導電層 243a と第 2 の導電層 245 間に挟まれて設けられている。ここでは、隣接する各々のメモリセル 221 の間に絶縁層 249 (隔壁ともいう。) を設けて、第 1 の導電層と当該絶縁層 249 上に絶縁層 244 および第 2 の導電層 245 を積層して設けている。また、トランジスタ 240 として、TFT を用いている(図 6 (B) 参照。)。

【0100】

50

また、図6(C)に示すように、単結晶半導体基板260上に設けられた電界効果トランジスタ262に記憶素子241が接続されていてもよい。ここでは、電界効果トランジスタ262のソース電極およびドレイン電極を覆うように絶縁層250を設け、当該絶縁層250上に第1の導電層263a、絶縁層244、及び第2の導電層245で記憶素子241を構成する。また、第1の導電層263aには、凸部263bが設けられている。

【0101】

なお、上記構成において、絶縁層244は全面に設けた例を示しているが、各メモリセルのみに絶縁層244を選択的に設けてもよい。この場合、液滴吐出法等を用いて選択的に設けることにより材料の利用効率を向上させることが可能となる。

【0102】

このように、絶縁層250を設けて、絶縁層250上に記憶素子241を形成することによって第1の導電層263aを自由に配置することができる。つまり、図6(A)、(B)の構成では、トランジスタ240のソースまたはドレイン電極として機能する第1の導電層243aを避けた領域に記憶素子241を設ける必要があったが、上記構成とすることによって、例えば、素子形成層251に設けられたトランジスタ240の上方に記憶素子241を形成することが可能となる。その結果、記憶回路216をより高集積化することが可能となる。

【0103】

さらには、トランジスタ240はスイッチング素子として機能し得るものであれば、どのような構成で設けてもよい。代表的には、有機化合物を用いて有機トランジスタを形成してもよい。図6(A)では、絶縁性を有する基板上にプレーナ型の薄膜トランジスタを設けた例を示しているが、スタガ型や逆スタガ型等の構造でトランジスタを形成することも可能である。

【0104】

また、トランジスタに含まれる半導体層の構造もどのようなもの用いてもよく、例えば不純物領域(ソース領域、ドレイン領域、LDD領域を含む)を形成してもよいし、pチャネル型またはnチャネル型のどちらで形成してもよい。また、ゲート電極の側面と接するように絶縁層(サイドウォール)を形成してもよいし、ソース、ドレイン領域とゲート電極の一方または両方にシリサイド層を形成してもよい。シリサイド層の材料としては、ニッケル、タンゲステン、モリブデン、コバルト、白金等を用いることができる。

【0105】

第1の導電層243aと第2の導電層245の材料および形成方法は、上記実施の形態1で示した材料および形成方法のいずれかを用いて同様に行うことができる。

【0106】

また、絶縁層244は、上記実施の形態1で示した絶縁層29と同様の材料および形成方法を用いて設けることができる。

【0107】

また、第1の導電層243aと絶縁層244との間に、整流性を有する素子を設けてもよい。整流性を有する素子とは、ゲート電極とドレイン電極を接続したトランジスタ、又はダイオードである。例えば、N型半導体層およびP型半導体層を積層させて設けられたPN接合ダイオードを用いることができる。このように、整流性があるダイオードを設けることにより、1つの方向にしか電流が流れないために、データの読み出し誤差が減少し、読み出しマージンが向上する。なお、ダイオードを設ける場合、PN接合を有するダイオードではなく、PIN接合を有するダイオードやアバランシェダイオード等の、他の構成のダイオードを用いてもよい。なお、整流性を有する素子は、絶縁層244と第2の導電層245との間に設けてもよい。

【0108】

次に、記憶回路216にデータの書き込みを行うときの動作について説明する(図5)。書き込み回路は図4(B)と同じ構成を有する。

【0109】

10

20

30

40

50

図5に示すように、メモリセルはトランジスタ240と記憶素子241とを有する。本明細書の添付図において記憶素子は長方形を用いて表す。トランジスタ240はゲート電極にワード線が接続され、一方の高濃度不純物領域にビット線が接続され、もう一方の高濃度不純物領域に記憶素子241の第1の導電層が接続されている。記憶素子241の第2の導電層はメモリセルアレイ内の全記憶素子の第2の導電層と導通しており、第2の導電層は記憶装置の動作時、つまり書き込み時、読み出し時に一定の電圧が印加される。したがって、本明細書において第2の導電層を共通電極と記載する場合がある。

【0110】

図9に「1」の書き込みを説明するタイミングチャートを示す。タイミングチャートは、外部からの入力信号WE、DATA、タイミング制御回路702の出力信号S0、S1、S2、書き込み回路の出力電圧Vwrite、選択されたメモリセルに印加される電圧Vbit、Vword、Vcomのタイミングを示す。ここで入力信号WEは低い電圧（以後Loと記載）で書き込み不許可を示し、高い電圧（以後Hiと記載）で書き込み許可を示す。入力信号DATAはHiで「1」を示し、Loで「0」を示す。出力信号S0、S1、S2はLoでスイッチのOFF、HiでONを制御する。また印加電圧Vbitはビット線に印加される電圧、Vwordはワード線に印加される電圧、Vcomは共通電極に印加される電圧を示し、以降当該表記を用いる。

【0111】

書き込みは以下によって行われる。まず入力信号WEがHiになると、列を指定するアドレス信号を受けたカラムデコーダ501は指定列のセレクタに信号を与え、セレクタ503は指定列のビット線を書き込み回路の出力Pwに接続する。指定されていないビット線はFloating状態となる。同様に行を指定するアドレス信号を受けたローデコーダ502は指定行のワード線に電圧V2を印加し、指定されていないワード線に0Vを印加する。上記動作によりアドレス信号に対応する一つのメモリセル221が選択される。ここで共通電極には0Vを印加されている。

【0112】

同時に入力信号DATA=Hiを受け、電圧発生回路701は電圧V1、V2を生成し、出力Pa、Pbから出力する。タイミング制御回路702は入力信号WE、DATA、CLK等からスイッチを制御する信号S0、S1、S2を生成し、出力P0、P1、P2から出力する。当該信号によりスイッチSW0、SW1、SW2が切り替わり、書き込み回路は出力Pwから電圧V1、V2を連続的に出力する。

【0113】

選択されたメモリセルは、上記動作によりワード線に電圧V2が印加され、ビット線に電圧V1、V2が連続的に印加され、共通電極に0Vが印加される。したがってトランジスタの二つの高濃度不純物領域が導通してビット線の電圧が記憶素子の第1の導電層に印加され、記憶素子の導電性が変化することで「1」を記憶する。

【0114】

入力信号WEがLoになると、全てのワード線は0Vとなり、全てのビット線と共通電極はFloating状態となる。同時にタイミング制御回路は信号S0、S1、S2=Loを生成して出力P0、P1、P2から出力し、書き込み回路の出力PwはFloating状態となる。上記動作により、書き込みは行われなくなる。図9においてFloating状態をFと記載し、以降当該表記を用いる。

【0115】

次に、図10に「0」の書き込みを説明するタイミングチャートを示す。タイミングチャートは図9と同様、入力信号WE、DATA、出力信号S0、S1、S2、出力電圧Vwrite、印加電圧Vbit、Vword、Vcomのタイミングを示す。「0」の書き込みは記憶素子の導電性を変化させない書き込みであり、これは記憶素子に電圧を印加しないことで実現される。本実施の形態ではビット線と共通電極を0Vにする方法を説明する。

【0116】

10

20

30

40

50

まず「1」の書き込みと同様に入力信号WEがHiになると、列を指定するアドレス信号を受けたカラムデコーダ501は指定列のセレクタに信号を与え、セレクタ503は指定列のビット線を書き込み回路の出力Pwに接続する。指定されていないビット線はFloating状態となる。同様に行を指定するアドレス信号を受けたローデコーダ502は指定行のワード線に電圧V2を印加し、指定されていないワード線に0Vを印加する。上記動作によりアドレス信号に対応する一つのメモリセル21が選択される。ここで共通電極には0Vを印加する。

【0117】

同時に入力信号DATA=Loを受け、タイミング制御回路702は制御信号S0=Hi、S1=Lo、S2=Loを生成し、出力P0、P1、P2から出力する。当該制御信号によりスイッチSW0はON、SW1、SW2はOFFとなり、書き込み回路は出力Pwから0Vを出力する。

【0118】

選択されたメモリセルは、上記動作によりワード線にV2が印加され、ビット線と共通電極に0Vが印加される。したがって記憶素子は電圧が印加されず、導電性は変化しないので「0」を記憶する。

【0119】

入力信号WEがLoになると、全てのワード線は0V、全てのビット線と共通電極はFloating状態となる。同時にタイミング制御回路は信号S0、S1、S2=Loを生成して出力P0、P1、P2から出力し、書き込み回路の出力はFloating状態となる。

【0120】

本発明の構成、手段によってサイズの小さい記憶素子でも低い電圧、短い電圧印加時間で導電性を変化させることが可能となる。また、本発明によって書き込み時の消費電流を小さくし、消費電流が最大となる時間を短かくすることができるので、書き込み回路が有する電圧発生回路の小型化、記憶装置の小型化を実現することができる。

【0121】

また、記憶素子に高いパルス電圧を印加すると導電性の変化量にばらつきが生じ、記憶装置の信頼性を低下させる。しかしながら、本発明のように複数段階の電圧を連続的に印加することで記憶素子の導電性の変化量が一定となり、記憶装置の信頼性を向上させることができる。

【0122】

なお、光学的作用によりデータの書き込みを行う場合については、実施の形態1と同様である。

【0123】

本実施の形態の記憶装置はカラムデコーダ2001、ローデコーダ2002、読み出し回路2003、セレクタ2005、メモリセルアレイ2006を有する。メモリセルアレイ2006はビット線Bm(1m×)、ワード線Wn(1n×)、×本のビット線とy本のワード線との交点にそれぞれメモリセル2011を有する。本実施の形態では、メモリセル2011はトランジスタ2012、記憶素子2013、共通電極2014を有する(図11(B)参照)。なお、読み出し動作は実施の形態1と同様である。

【0124】

なお、本実施の形態は上記実施の形態と自由に組み合わせて行うことができる。

【0125】

凸部を有する導電層により記憶素子を構成することによって、データの書き込み時の駆動電圧を低下することが可能である。この結果、低消費電力の記憶装置及び半導体装置を提供することができる。

【0126】

(実施の形態3)

本実施の形態では、上記実施の形態で示す記憶装置を有する半導体装置の一例について

10

20

30

40

50

図面を用いて説明する。

【0127】

本実施の形態で示す半導体装置は、非接触でデータの読み出しと書き込みが可能であることの特徴としており、データの伝送形式は、一対のコイルを対向に配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別されるが、いずれの方式を用いてもよい。また、データの伝送に用いるアンテナは2通りの設け方があり、1つは複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合、もう1つは複数の素子および記憶素子が設けられた基板に端子部を設け、当該端子部に別の基板に設けられたアンテナを接続して設ける場合がある。

10

【0128】

まず、複数の素子および記憶素子が設けられた基板上にアンテナを設ける場合の半導体装置の一構成例を図7を用いて説明する。

【0129】

図7(A)はパッシブマトリクス型で構成される記憶装置を有する半導体装置を示しており、基板350上にトランジスタ451、452を含む素子形成層351が設けられ、素子形成層351の上方に記憶素子部352とアンテナとして機能する導電層353が設けられている。ここでは、記憶装置を構成するトランジスタ452と、電源回路、クロック発生回路、またはデータ復調・変調回路を構成するトランジスタ451を示す。

20

【0130】

なお、ここでは素子形成層351の上方に記憶素子部352またはアンテナとして機能する導電層353を設けた場合を示しているが、この構成に限らず記憶素子部352またはアンテナとして機能する導電層353を、素子形成層351の下方や同一の層に設けることも可能である。

【0131】

記憶素子部352は、記憶素子352a、352bで構成され、記憶素子352aは凸部361bを有する第1の導電層361a上に絶縁層362a及び第2の導電層363aが積層して構成され、記憶素子352bは、凸部を有する第1の導電層361a上に絶縁層362bと第2の導電層363bとが積層して設けられている。また、第2の導電層363a、363bを覆って保護膜として機能する絶縁層366が形成されている。また、複数の記憶素子352a、352bが形成される第1の導電層361aは、一つのトランジスタのソース電極またはドレイン電極に電気的に接続する。また、絶縁層362はメモリセルごとに絶縁層を分離するための絶縁層374(隔壁ともいう。)を設けているが、隣接するメモリセルにおいて横方向への電界の影響が懸念されない場合は、第1の導電層361aを覆うように全面に形成してもよい。なお、記憶素子部352は上記実施の形態で示した材料または作製方法を用いて形成することができる。

30

【0132】

また、記憶素子352aにおいて、上記実施の形態で示したように、第1の導電層361aと絶縁層362aとの間、または絶縁層362aと第2の導電層363aとの間に整流性を有する素子を設けてもよい。整流性を有する素子も上述したものを用いることが可能である。なお、記憶素子352bにおいても、記憶素子352aの構造と同様である。

40

【0133】

ここでは、アンテナとして機能する導電層353は第2の導電層363a、363bと同時に形成された導電層360上に設けられている。なお、第2の導電層363と同時にアンテナとして機能する導電層を形成してもよい。

【0134】

アンテナとして機能する導電層353の材料としては、金(Au)、白金(Pt)、ニッケル(Ni)、タンクステン(W)、モリブデン(Mo)、コバルト(Co)、銅(Cu)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)等から選ばれた一種の元素または当該元素を複数含む合金等を用いることができる。また、アンテナとして機能

50

する導電層 353 の形成方法は、蒸着、スパッタ、CVD 法、スクリーン印刷やグラビア印刷等の各種印刷法または液滴吐出法等を用いることができる。

【0135】

素子形成層 351 に含まれるトランジスタ 451、452 は、p チャネル型 TFT、n チャネル型 TFT またはこれらを組み合わせた CMOS 回路で設けることができる。また、トランジスタ 451、452 に含まれる半導体層の構造もどのようなものを用いてもよく、例えば不純物領域（ソース領域、ドレイン領域、LDD 領域を含む）を形成してもよいし、p チャネル型または n チャネル型のどちらで形成してもよい。また、ゲート電極の側面と接するように絶縁層（サイドウォール）を形成してもよいし、ソース、ドレイン領域とゲート電極の一方または両方にシリサイド層を形成してもよい。シリサイド層の材料としては、ニッケル、タングステン、モリブデン、コバルト、白金等を用いることができる。

10

【0136】

また、素子形成層 351 に含まれるトランジスタ 451 は、当該トランジスタを構成する半導体層を有機化合物で形成する有機トランジスタで設けてもよい。この場合、基板 350 としてプラスチック等の可撓性を有する基板上に、直接印刷法や液滴吐出法等を用いて有機トランジスタからなる素子形成層 351 を形成することができる。またこの際、上述したように記憶素子部 352 も印刷法や液滴吐出法等を用いて形成することによってより低コストで半導体装置を作製することが可能となる。

20

【0137】

図 7 (B) にアクティブマトリクス型の記憶装置を有する半導体装置の一例を示す。なお、図 7 (B) については、図 7 (A) と異なる部分に関して説明する。

【0138】

図 7 (B) に示す半導体装置は、基板 350 上にトランジスタ 451、452 を含む素子形成層 351 が設けられ、素子形成層 351 の上方に記憶素子部 356 とアンテナとして機能する導電層 353 が設けられている。なお、ここではトランジスタ 451 と同一の層に記憶素子部 356 のスイッチング素子として機能するトランジスタ 452 を設け、素子形成層 351 の上方に記憶素子部 356 とアンテナ機能する導電層 353 を設けた場合を示しているが、この構成に限られずトランジスタ 452 を素子形成層 351 の上方や下方に設けてもよいし、記憶素子部 356 やアンテナ機能する導電層 353 を、素子形成層 351 の下方や同一の層に設けることも可能である。

30

【0139】

記憶素子部 356 は、記憶素子 356a、356b で構成され、記憶素子 356a は、凸部を有する第 1 の導電層 371a 上に絶縁層 372 と第 2 の導電層 373 が積層して設けられており、記憶素子 356b は、凸部を有する第 1 の導電層 371b 上に絶縁層 372 と第 2 の導電層 373 が積層して設けられており、第 2 の導電層 373 を覆うように保護膜として絶縁層 376 が形成されている。また、ここでは、トランジスタそれぞれのソース電極またはドレイン電極に、凸部を有する第 1 の導電層 371a、第 1 の導電層 371b、が接続されている。すなわち、記憶素子はそれぞれひとつのトランジスタに接続されている。また、第 1 の導電層 371a、371b の端部を覆うように絶縁層 374 が形成され、絶縁層 372 が第 1 の導電層 371a、371b および絶縁層 374 を覆うように全面に形成されているが、各メモリセルに選択的に形成されていてもよい。なお、記憶素子 356a、356b は上記実施の形態で示した材料または作製方法を用いて形成することができる。また、記憶素子 356a、356b においても、上述したように、第 1 の導電層 371a、371b と絶縁層 372 との間、または絶縁層 372 と第 2 の導電層 373 との間に整流性を有する素子を設けてもよい。

40

【0140】

また、素子形成層 351、記憶素子部 356、アンテナとして機能する導電層 353 は、上述したように蒸着、スパッタ法、CVD 法、印刷法または液滴吐出法等を用いて形成することができる。なお、各場所によって異なる方法を用いて形成してもかまわない。例

50

えば、高速動作が必要とされるトランジスタ451は基板上にSi、GaN、GaAs、InP等からなる半導体層を形成した後に熱処理により結晶化させて設け、その後、素子形成層351の上方にスイッチング素子として機能するトランジスタ452を印刷法や液滴吐出法を用いて有機トランジスタとして設けることができる。

【0141】

なお、トランジスタに接続するセンサを設けてもよい。センサとしては、温度、湿度、照度、ガス（気体）、重力、圧力、音（振動）、加速度、その他の特性を物理的又は化学的手段により検出する素子が挙げられる。センサは、代表的には抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスター、ダイオード、静電容量型素子、圧電素子などの素子で形成される。

10

【0142】

次に、複数の素子および記憶素子が設けられた基板に端子部を設け、別の基板に設けられたアンテナを当該端子部において接続して設ける場合の半導体装置の一構成例に関して、図8を用いて説明する。なお、図8に関しては図7と異なる部分に関して説明を行う。

【0143】

図8(A)はパッシブマトリクス型の記憶装置を有する半導体装置を示しており、基板350上に素子形成層351が設けられ、素子形成層351の上方に記憶素子部352が設けられ、基板365に設けられたアンテナとして機能する導電層357が素子形成層と接続するように設けられている。なお、ここでは素子形成層351の上方に記憶素子部352またはアンテナとして機能する導電層357を設けた場合を示しているが、この構成に限られず記憶素子部356を素子形成層351の下方や同一の層に、またはアンテナとして機能する導電層357を素子形成層351の下方に設けることも可能である。

20

【0144】

記憶素子部352は、図7(A)に示す構成の記憶素子352a、352bで構成することができる。

【0145】

また、素子形成層351と記憶素子部352とを含む基板と、アンテナとして機能する導電層357が設けられた基板365は、接着性を有する樹脂375により貼り合わされる。そして、接続端子358と導電層357とは樹脂375中に含まれる導電性微粒子359を介して電気的に接続される。また、銀ペースト、銅ペースト、カーボンペースト等の導電性接着剤や半田接合を行う方法を用いて、素子形成層351と記憶素子部352が形成される基板350と、アンテナとして機能する導電層357が設けられた基板365とを、接続端子358とアンテナとして機能する導電層357とを介して貼り合わせてもよい。

30

【0146】

図8(B)は実施の形態2に示した記憶装置が設けられた半導体装置を示しており、基板350上にトランジスタ451、452を含む素子形成層351が設けられ、素子形成層351の上方に記憶素子部356が設けられ、基板365に設けられたアンテナとして機能する導電層357が素子形成層と接続するように設けられている。なお、ここでは素子形成層351においてトランジスタ451と同一の層にトランジスタ452を設け、素子形成層351の上方にアンテナとして機能する導電層357を設けた場合を示しているが、この構成に限られず記憶素子部356を素子形成層351の下方や同一の層に、またはアンテナとして機能する導電層357を素子形成層351の下方に設けることも可能である。

40

【0147】

記憶素子部356は、図7(B)に示す構成の記憶素子356a、356bで構成することができる。

【0148】

また、図8(B)においても素子形成層351と記憶素子部356を含む基板と、アンテナとして機能する導電層357が設けられた基板365は、導電性微粒子359を含む

50

樹脂 375 により貼り合わせられる。

【0149】

このように、有機メモリおよびアンテナを備えた半導体装置を形成することができる。また、本実施の形態では、基板 350 上に薄膜トランジスタを形成して素子形成層を設けることもできるし、基板 350 として Si、GaN、GaAs、InP 等の半導体基板を用いて、基板上に電界効果トランジスタを形成することによって素子形成層を設けてもよい。また、基板 350 として SOI (silicon on insulator) 基板を用いて、その上に素子形成層を設けてもよい。この場合、SOI 基板はウェハの貼り合わせによる方法や酸素イオンを Si 基板内に打ち込むことにより内部に絶縁層を形成する SIMOX (separation by implanted oxygen) と呼ばれる方法を用いて形成すればよい。 10

【0150】

さらには、記憶素子部 352、356 を、アンテナとして機能する導電層が設けられた基板 365 に設けてもよい。また、図 7 (A) 及び (B) に示す半導体装置と同様に、トランジスタ 451 に接続するセンサを設けてもよい。

【0151】

なお、本実施の形態は、上記実施の形態と自由に組み合わせて行うことができる。

【0152】

凸部を有する導電層により記憶素子を構成することによって、データの書き込み時の駆動電圧を低下することが可能である。この結果、低消費電力の記憶装置及び半導体装置を提供することができる。 20

【実施例 1】

【0153】

上記実施形態の半導体装置の構成について、図 12A を参照して説明する。図 12A に示すように、本発明の半導体装置 20 は、非接触でデータを交信する機能を有し、電源回路 11、クロック発生回路 12、データ復調・変調回路 13、他の回路を制御する制御回路 14、インターフェイス回路 15、記憶回路 16、データバス 17、アンテナ 18 (アンテナコイルともいう。)、センサ 23、センサ回路 24 を有する。

【0154】

電源回路 11 は、アンテナ 18 から入力された交流信号を基に、半導体装置 20 の内部の各回路に供給する各種電圧を生成する回路である。クロック発生回路 12 は、アンテナ 18 から入力された交流信号を基に、半導体装置 20 の内部の各回路に供給する各種クロック信号を生成する回路である。データ復調・変調回路 13 は、リーダライタ 19 と交信するデータを復調・変調する機能を有する。制御回路 14 は、記憶回路 16 を制御する機能を有する。アンテナ 18 は、電磁界或いは電波の送受信を行う機能を有する。リーダライタ 19 は、半導体装置との交信、制御及びそのデータに関する処理を制御する。なお、半導体装置は上記構成に制約されず、例えば、電源電圧のリミッタ回路や暗号処理専用ハードウェアといった他の要素を追加した構成であってもよい。 30

【0155】

記憶回路 16 は、一対の導電層間に有機化合物層又は相変化層が挟まれた記憶素子を有することを特徴とする。なお、記憶回路 16 は、一対の導電層間に有機化合物層又は相変化層が挟まれた記憶素子のみを有していてもよいし、他の構成の記憶回路を有していてもよい。他の構成の記憶回路とは、例えば、DRAM、SRAM、FeRAM、マスクROM、PROM、EPRROM、EEPROM 及びフラッシュメモリから選択される 1 つ又は複数に相当する。 40

【0156】

センサ 23 は抵抗素子、容量結合素子、誘導結合素子、光起電力素子、光電変換素子、熱起電力素子、トランジスタ、サーミスタ、ダイオードなどの素子で形成される。センサ回路 24 はインピーダンス、リアクタンス、インダクタンス、電圧又は電流の変化を検出し、アナログ・デジタル変換 (A・D 変換) して制御回路 14 に信号を出力する。 50

【実施例 2】

【0157】

本発明により無線チップ（無線プロセッサ、無線メモリ、無線タグ、ＩＤタグ、ＩＣタグ、ＩＣチップ、ＲＦタグ、電子タグ、ＲＦＩＤタグともよぶ。）として機能する半導体装置を形成することができる。図13に例を示すように半導体装置9210の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等、（図13（A）参照））、包装用容器類（包装紙やボトル等、（図13（C）参照））、記録媒体（ＤＶＤソフトやビデオテープ等、（図13（B）参照））、乗物類（自転車等、（図13（D）参照））、身の回り品（鞄や眼鏡等）、食品類、植物類、衣類、生活用品類、電子機器等の商品や荷物の荷札（（図13（E）、（図13（F）参照））等の物品に設けて使用することができる。電子機器とは、液晶表示装置、ＥＬ表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。

【0158】

本発明の半導体装置9210は、プリント基板に実装したり、表面に貼ったり、埋め込んだりして、物品に固定される。例えば、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明の半導体装置9210は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明の半導体装置9210を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明の半導体装置を設けることにより、検品システム等のシステムの効率化を図ることができる。

【0159】

次に、本発明の半導体装置9210を実装した電子機器の一態様について図面を参照して説明する。ここで例示する電子機器は携帯電話機であり、筐体2700、2706、パネル2701、ハウジング2702、プリント配線基板2703、操作ボタン2704、バッテリ2705を有する（図12（B）参照）。パネル2701はハウジング2702に脱着自在に組み込まれ、ハウジング2702はプリント配線基板2703に嵌着される。ハウジング2702はパネル2701が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板2703には、パッケージングされた複数の半導体装置9210が実装されており、このうちの1つとして、本発明の半導体装置を用いることができる。プリント配線基板2703に実装される複数の半導体装置は、コントローラ、中央処理ユニット（ＣＰＵ、Central Processing Unit）、メモリ、電源回路、音声処理回路、送受信回路等のいずれかの機能を有する。

【0160】

パネル2701は、接続フィルム2708を介して、プリント配線基板2703と接続される。上記のパネル2701、ハウジング2702、プリント配線基板2703は、操作ボタン2704やバッテリ2705と共に、筐体2700、2706の内部に収納される。パネル2701が含む画素領域2709は、筐体2700に設けられた開口窓から視認できるように配置されている。

【0161】

上記の通り、本発明の半導体装置9210は、小型、薄型、軽量であることを特徴としており、上記特徴により、電子機器の筐体2700、2706内部の限られた空間を有効に利用することができる。

【0162】

また、本発明の半導体装置は、一対の導電層間に絶縁層が挟まれた単純な構造の記憶素子を有するため、安価な半導体装置を用いた電子機器を提供することができる。また、本発明の半導体装置は凸部を有する導電層で構成される記憶素子を有するため、低消費電力化が可能である。

10

20

30

40

50

【0163】

また、本発明の半導体装置が有する記憶装置は、光学的作用又は電気的作用によりデータの書き込みを行うものであり、不揮発性であって、データの追記が可能であることを特徴とする。上記特徴により、書き換えによる偽造を防止することができ、新たなデータを追加して書き込むことができる電子機器を提供することができる。

【0164】

なお、筐体2700、2706は、携帯電話機の外観形状を一例として示したものであり、本実施例に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。

【図面の簡単な説明】

【0165】

10

【図1】本発明の記憶装置を説明する上面図及び断面図。

【図2】本発明の記憶装置を説明する断面図。

【図3】本発明の記憶装置を説明する断面図。

【図4】本発明の半導体装置を説明する図。

【図5】本発明の半導体装置を説明する図。

【図6】本発明の半導体装置を説明する上面図及び断面図。

【図7】本発明の半導体装置を説明する断面図。

【図8】本発明の半導体装置を説明する断面図。

【図9】本発明の記憶装置の書き込みを説明するタイミングチャートを説明する図。

20

【図10】本発明の記憶装置の書き込みを説明するタイミングチャートを説明する図。

【図11】本発明の記憶装置が有する読み出し回路を説明する図。

【図12】本発明の半導体装置の構成例及びそれを有する電子機器を説明する図。

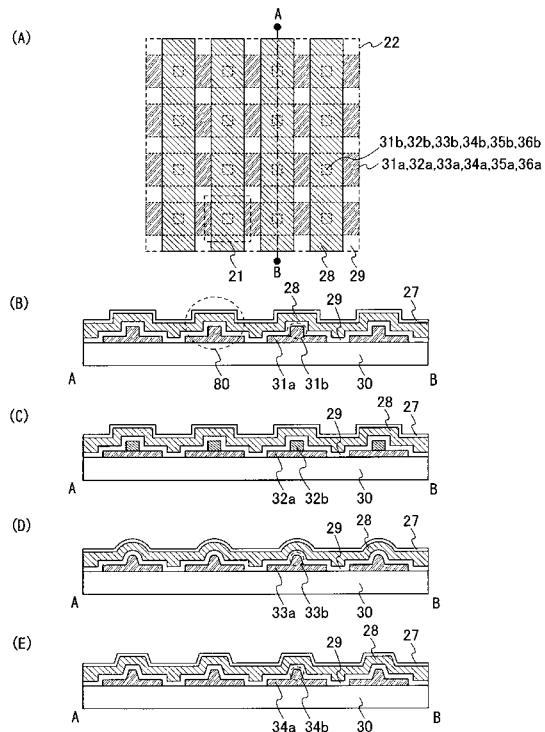
【図13】本発明の半導体装置の使用形態について説明する図。

【図14】記憶素子・抵抗素子の電流電圧特性を説明する図。

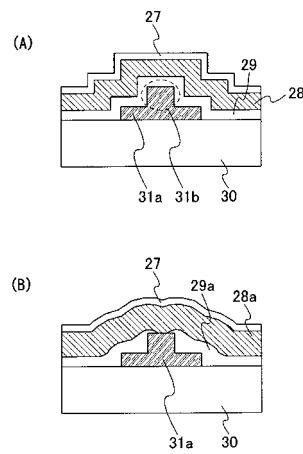
【図15】書き込みを説明するタイミングチャートを説明する図。

【図16】本発明の記憶装置を説明する断面図。

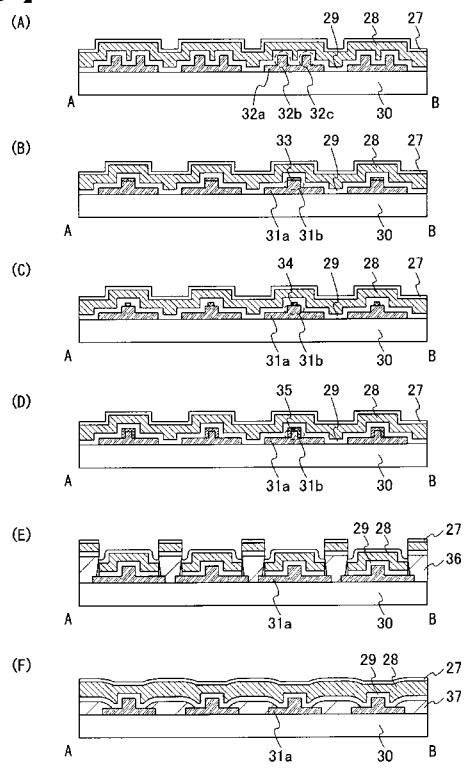
【図1】



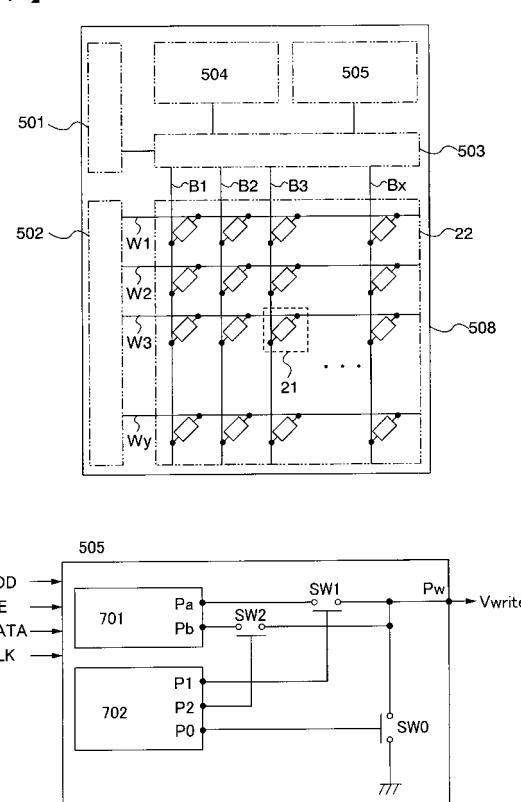
【図2】



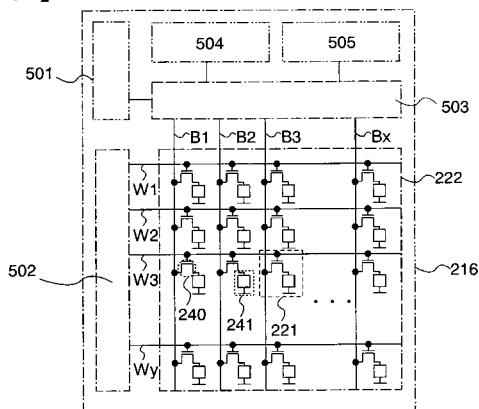
【図3】



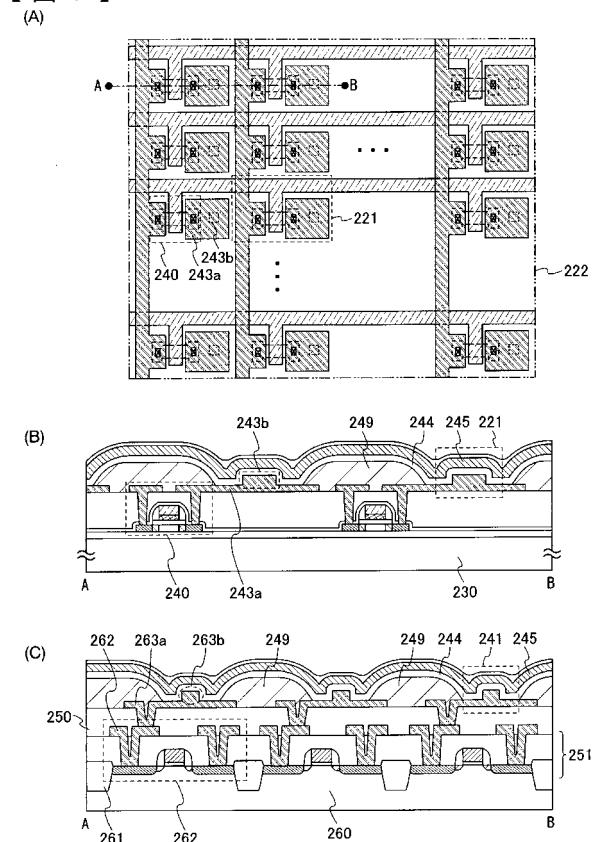
【図4】



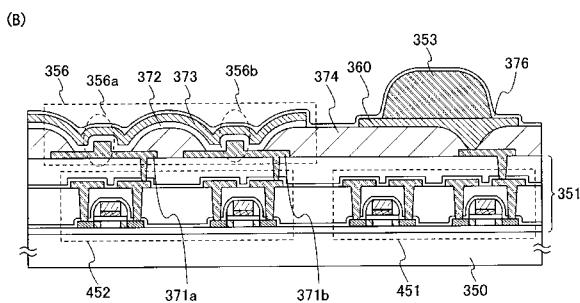
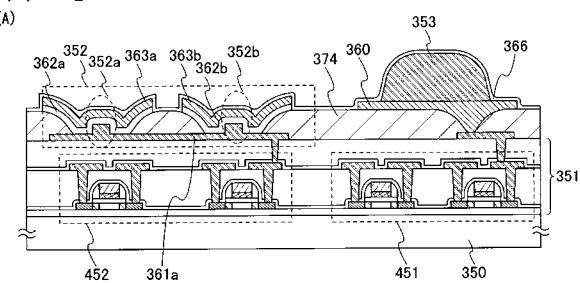
【図5】



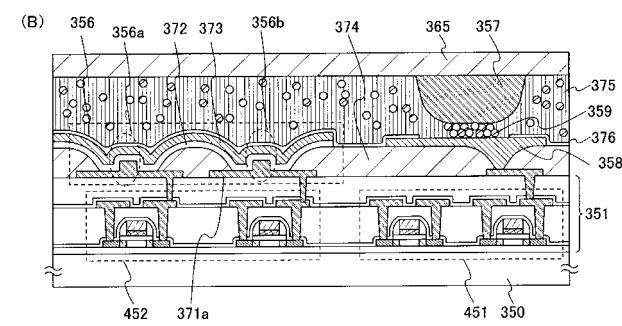
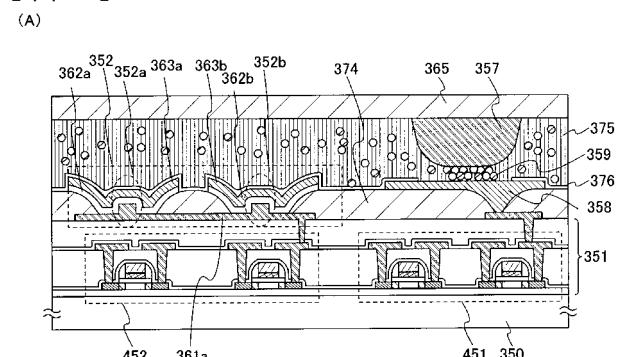
【図6】



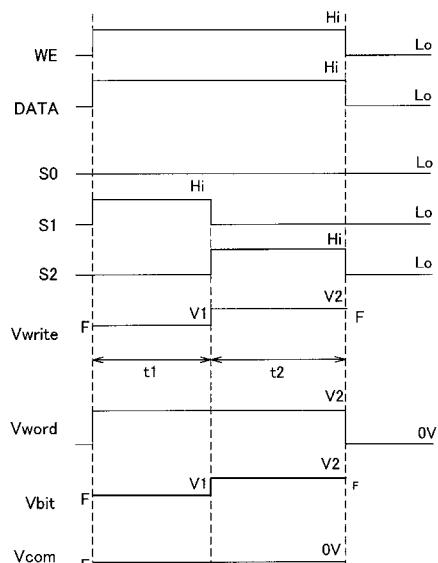
【図7】



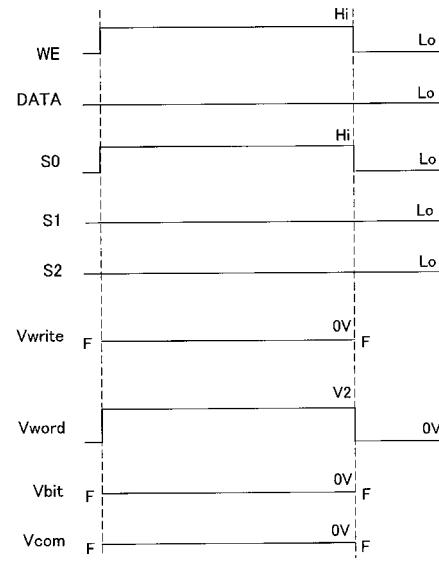
【図8】



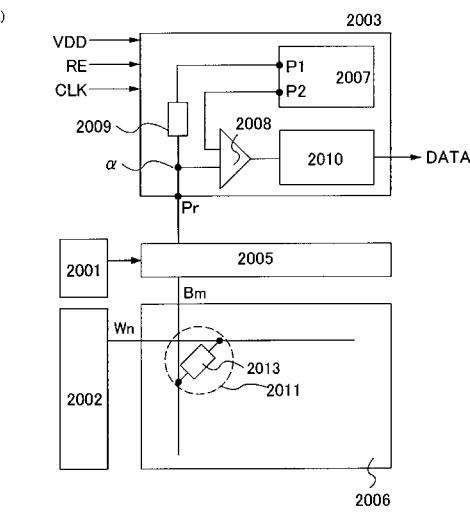
【図9】



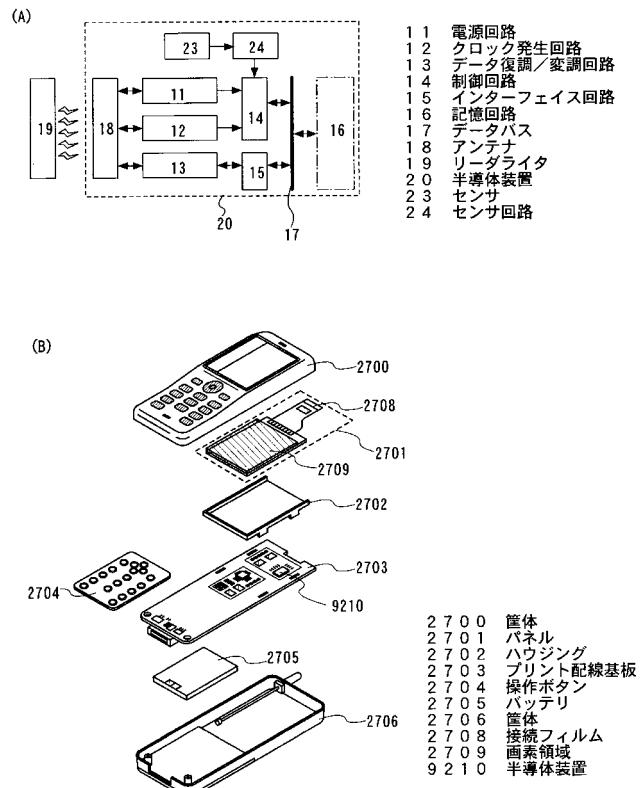
【図10】



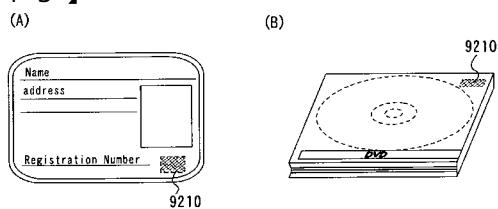
【図11】



【図12】



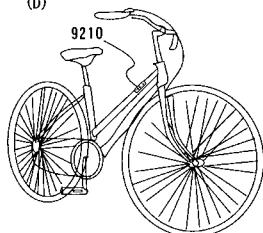
【図13】



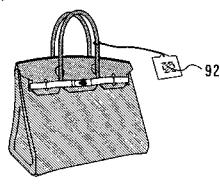
(C)



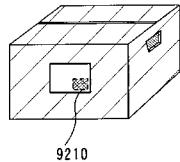
(D)



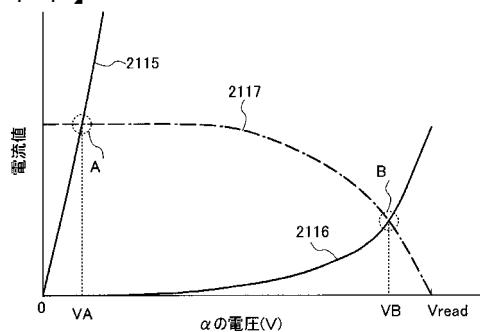
(E)



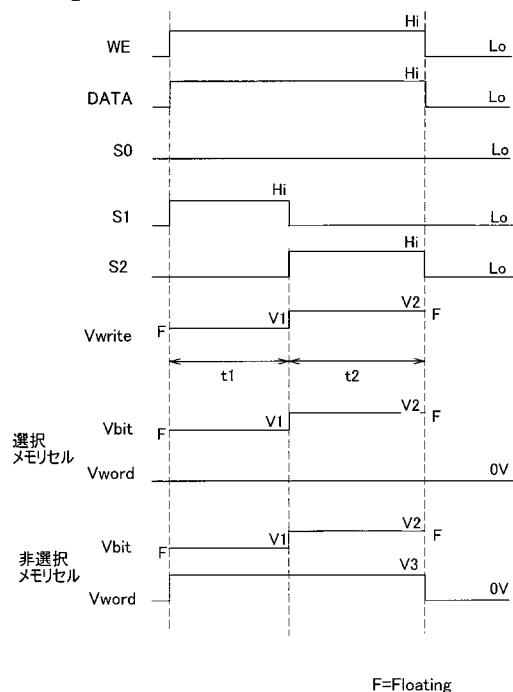
(F)



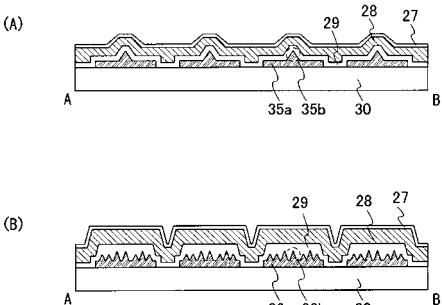
【図14】



【図15】



【図16】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
G 0 6 K 19/077 (2006.01)	H 0 1 L 29/78	6 1 3 B
H 0 1 L 51/30 (2006.01)	G 0 6 K 19/00	H
	G 0 6 K 19/00	K
	H 0 1 L 29/28	2 5 0 G

F ターム(参考) 5F083 CR14 CR15 CR17 FZ07 GA05 JA35 JA36 JA37 JA38 JA39
JA42 ZA12 ZA13
5F110 AA04 AA09 BB04 BB08 BB09 BB20 CC02 CC05 CC07 DD01
DD02 EE05 EE31 GG02 GG04 GG05 HK05 HM15 NN71 PP01