



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I881482 B

(45)公告日：中華民國 114 (2025) 年 04 月 21 日

(21)申請案號：112137146

(22)申請日：中華民國 112 (2023) 年 09 月 27 日

(51)Int. Cl. : H05K1/14 (2006.01)

H05K1/16 (2006.01)

(30)優先權：2022/09/30 日本

2022-157395

2023/05/30 日本

2023-088732

(71)申請人：日商京瓷股份有限公司 (日本) KYOCERA CORPORATION (JP)
日本

(72)發明人：湯川英敏 YUGAWA, HIDETOSHI (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

TW I228022B

TW I763052B

US 10390438B2

審查人員：劉育瑜

申請專利範圍項數：10 項 圖式數：7 共 28 頁

(54)名稱

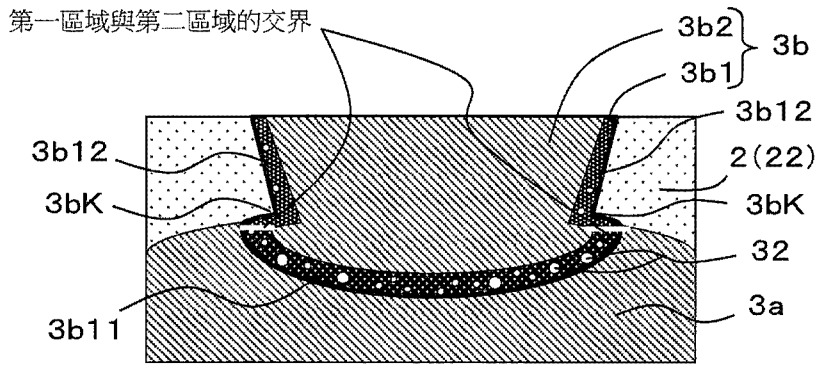
配線基板及使用該配線基板之安裝構造體

(57)摘要

本揭示的配線基板係包含：第一絕緣層，係具有第一表面；焊盤導體，係位在第一表面；第二絕緣層，係被覆第一表面及焊盤導體，且在第一絕緣層的相反側具有第二表面；連通孔，係從第二絕緣層的第二表面貫通至焊盤導體；以及連通孔導體，係位在連通孔，並與焊盤導體相接。連通孔導體係具有：基底金屬層及電解鍍覆層；該基底金屬層係位在焊盤導體的表面、連通孔的壁面、及第二表面；該電解鍍覆層係位在基底金屬層上。複數個空隙係位在基底金屬層的至少一部分。

A wiring board according to the present disclosure includes: a first insulating layer having a first surface; a land conductor positioned on the first surface; a second insulating layer covering the first surface and the land conductor, and having a second surface on an opposite side of the first insulating layer; a via hole penetrates from the second surface of the second insulating layer to the land conductor; and a via-hole conductor positioned in the via hole and connected to the land conductor. The via-hole conductor has a underlying metal layer and an electrolytic plating layer, wherein the underlying metal layer is positioned on a surface of the land conductor, a wall surface of the via hole and the second surface, the electrolytic plating layer is positioned above the underlying metal layer. A plurality of voids are positioned in at least one part of the underlying metal layer.

指定代表圖：



【圖3】

符號簡單說明：

- 2:絕緣層
- 3a:焊盤導體
- 3b:連通孔導體
- 3b1:無電解鍍覆層
- 3b2:電解鍍覆層
- 3b11:第一區域
- 3b12:第二區域
- 3bK:縮幅部
- 22:第二絕緣層
- 32:空隙

I881482

【發明摘要】

【中文發明名稱】 配線基板及使用該配線基板之安裝構造體

【英文發明名稱】 WIRING BOARD AND INSTALLATION STRUCTURE
USING THE SAME

【中文】

本揭示的配線基板係包含：第一絕緣層，係具有第一表面；焊盤導體，係位在第一表面；第二絕緣層，係被覆第一表面及焊盤導體，且在第一絕緣層的相反側具有第二表面；連通孔，係從第二絕緣層的第二表面貫通至焊盤導體；以及連通孔導體，係位在連通孔，並與焊盤導體相接。連通孔導體係具有：基底金屬層及電解鍍覆層；該基底金屬層係位在焊盤導體的表面、連通孔的壁面、及第二表面；該電解鍍覆層係位在基底金屬層上。複數個空隙係位在基底金屬層的至少一部分。

【英文】

A wiring board according to the present disclosure includes: a first insulating layer having a first surface; a land conductor positioned on the first surface; a second insulating layer covering the first surface and the land conductor, and having a second surface on an opposite side of the first insulating layer; a via hole penetrates from the second surface of the second insulating layer to the land conductor; and a via-hole conductor positioned in the via hole and connected to the land conductor. The via-hole conductor has a underlying metal layer and an electrolytic plating layer, wherein the

underlying metal layer is positioned on a surface of the land conductor, a wall surface of the via hole and the second surface, the electrolytic plating layer is positioned above the underlying metal layer. A plurality of voids are positioned in at least one part of the underlying metal layer.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

2:絕緣層

3a:焊盤導體

3b:連通孔導體

3b1:無電解鍍覆層

3b2:電解鍍覆層

3b11:第一區域

3b12:第二區域

3bK:縮幅部

22:第二絕緣層

32:空隙

【特徵化學式】 無

【發明說明書】

【中文發明名稱】 配線基板及使用該配線基板之安裝構造體

【英文發明名稱】 WIRING BOARD AND INSTALLATION STRUCTURE
USING THE SAME

【技術領域】

【0001】 本揭示係關於一種配線基板及使用該配線基板之安裝構造體。

【先前技術】

【0002】 如專利文獻 1 所示，在配線基板中，將導體(連通孔導體)填充至形成於絕緣層的連通部(連通孔)，以將位在絕緣層之上下表面的導體層電性連接。通常來說，連通孔導體係在連通部底部與連通盤連接。連通孔導體會因受銅等連通孔導體與形成絕緣層的樹脂的熱膨脹係數之差，易使應力集中於連通部底部與連通盤的連接部分。因此，例如若暴露於高溫條件下，就會變得容易破裂。

(先前技術文獻)

(專利文獻)

【0003】

專利文獻 1：日本專利公開公報特開 2007-27341 號

【發明內容】

[發明所欲解決的課題]

【0004】如上述，連通孔導體會因與形成絕緣層的樹脂的熱膨脹係數之差，易使應力集中於連通部底部與連通盤的連接部分。因此，例如若暴露於高溫條件下，就會變得容易破裂。據此，殷切期盼連通孔導體之連接可靠性優越的配線基板及使用該配線基板之安裝構造體。

[用以解決課題之手段]

【0005】本揭示的配線基板係包含：第一絕緣層，係具有第一表面；焊盤導體，係位在第一表面；第二絕緣層，係被覆第一表面及焊盤導體，且在第一絕緣層的相反側具有第二表面；連通孔，係從第二絕緣層的第二表面貫通至焊盤導體；以及連通孔導體，係位在連通孔，並與焊盤導體相接。連通孔導體係具有：基底金屬層及電解鍍覆層；該基底金屬層係位在焊盤導體的表面、連通孔的壁面、及第二表面；該電解鍍覆層係位在基底金屬層上。複數個空隙係位在基底金屬層的至少一部分。

【0006】再者，本揭示的安裝構造體係包含：上述的配線基板以及位在配線基板的安裝區域的電子零件。

[發明之功效]

【0007】本揭示的配線基板及安裝構造體，係具有上述用以解決課題之手段的段落所述的構成，從而連通孔導體的連接可靠性優越。

【圖式簡單說明】

【0008】

圖 1 係用以說明本揭示之一實施型態的配線基板的說明圖。

圖 2 係用以說明圖 1 所示之區域 X 的放大剖視圖。

圖 3 係用以說明圖 2 所示之區域 Y 的放大剖視圖。

圖 4 係用以說明在本揭示之一實施型態的配線基板中形成連通孔導體之方法的一例的說明圖。

圖 5 係用以說明在本揭示之另一實施型態的配線基板中形成連通孔導體之方法的一例的說明圖。

圖 6 係用以說明在本揭示之另一實施型態的配線基板中形成連通孔導體之方法的一例的說明圖。

圖 7 係用以說明在本揭示之另一實施型態的配線基板中形成連通孔導體之方法的一例的說明圖。

【實施方式】

【0009】 根據圖 1 及圖 2 說明本揭示之一實施型態的配線基板。圖 1 係用以說明本揭示之一實施型態的配線基板 1 的說明圖。如圖 1 所示，一實施型態的配線基板 1 係包含：絕緣層 2、導體層 3 及阻焊劑 4。

【0010】 絕緣層 2 係包含芯用絕緣層 20、第一絕緣層 21 及第二絕緣層 22。芯用絕緣層 20 若為具有絕緣性的素材，則無特別限制。作為具有絕緣性的素材，例如可列舉：環氧樹脂、雙馬來醯亞胺-三嗪樹脂、聚醯亞胺樹脂、及聚苯醯樹脂等樹脂。此等樹脂亦可混合兩種以上來使用。芯用絕緣層 20 的厚度無特別限定，例如為 20 μm 以上 10mm 以下。芯用絕緣層 20 不是必須的，例如在稱作無芯基板或稱為 2.3D 基板的基板中，就不使用芯用絕緣層 20。例如，如主機板 (mother board) 亦會有芯用絕緣層 20 的厚度超過 10mm 的情形。

【0011】 芯用絕緣層 20 亦可含有補強材料。作為補強材料，例如可列舉：玻璃纖維、玻璃不織布、聚芳醯胺不織布、聚芳醯胺纖維、及聚酯纖維等絕緣性布料。補強材料亦可同時使用兩種以上。再者，在芯用絕緣層 20 亦可分散有：二氧化矽、硫酸鋇、滑石粉、黏土、玻璃、碳酸鈣及氧化鈦等無機絕緣性填充物。

【0012】 穿通孔(through hole)導體 20a 係配置在芯用絕緣層 20，以將芯用絕緣層 20 之上下表面電性連接。穿通孔導體 20a 係位在從芯用絕緣層 20 之上表面貫通至下表面的穿通孔內。穿通孔導體 20a 係例如由銅鍍覆等的金屬鍍覆等所形成。穿通孔導體 20a 係與形成於芯用絕緣層 20 之雙面的導體層 3 連接。穿通孔導體 20a 亦可僅位在穿通孔的內壁面，亦可填充於穿通孔內。

【0013】 導體層 3 若為銅、鎳、鉻或如此等的合金(例如，鎳鉻合金)的金屬等的導體則無限制。具體而言，導體層 3 係由銅箔等之金屬箔、銅鍍覆等金屬鍍覆或濺鍍金屬層等所形成。導體層 3 的厚度無特別限定，例如為 $1\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下。導體層 3 係具有隨著配線的精細化，其厚度變得更薄的趨勢。

【0014】 導體層 3 與絕緣層 2 交替地積層的增疊(build up)層係配置在芯用絕緣層 20 的兩表面。增疊層係具有交替地積層導體層 3 與絕緣層 2 的構造。在一實施型態的配線基板 1 中，當注目觀看構成增疊層的絕緣層 2 當中任何接觸的二層的絕緣層 2 時，靠近芯用絕緣層 20 側的絕緣層 2 係相當於第一絕緣層 21，而另一側的絕緣層 2 係相當於第二絕緣層 22。

【0015】 具體而言，當構成增疊層的絕緣層 2 為三層時，若注目觀看位在芯用絕緣層 20 之表面的絕緣層 2(第一層的絕緣層 2)和位在第一層的絕緣層 2 之表面的絕緣層 2(第二層的絕緣層 2)時，靠近芯用絕緣層 20 側的第一層的絕緣層 2 係相當於第一絕緣層 21，第二層的絕緣層 2 係相當於第二絕緣層 22。當注目

觀看第二層的絕緣層 2 與位在第二層的絕緣層 2 之表面的絕緣層 2(第三層的絕緣層 2)時，靠近芯用絕緣層 20 側的第二層的絕緣層 2 係相當於第一絕緣層 21，第三層的絕緣層 2 係相當於第二絕緣層 22。

【0016】 構成增疊層的絕緣層 2(第一絕緣層 21 及第二絕緣層 22)係與芯用絕緣層 20 同樣，若為具有絕緣性的素材，則無特別限制。如上述，可列舉：環氧樹脂、雙馬來醯亞胺-三嗪樹脂、聚醯亞胺樹脂及聚苯醚樹脂等樹脂。此等樹脂亦可混合兩種以上來使用。構成增疊層的絕緣層 2 各自可為相同的樹脂，或可為不同的樹脂。構成增疊層的絕緣層 2 與芯用絕緣層 20 係可為相同的樹脂，或可為不同的樹脂。構成增疊層的絕緣層 2 的厚度無特別限定，例如為 $1\ \mu\text{m}$ 以上 $60\ \mu\text{m}$ 以下。構成增疊層的絕緣層 2 各自可具有相同的厚度，亦可具有不同的厚度。

【0017】 構成增疊層的絕緣層 2 亦可含有補強材料。作為補強材料，例如可列舉：玻璃纖維、玻璃不織布、聚芳醯胺不織布、聚芳醯胺纖維及聚酯纖維等絕緣性布料。補強材料亦可同時使用兩種以上。再者，在構成增疊層的絕緣層 2 亦可分散有：二氧化矽、礬土(alumina，又稱氧化鋁)、鋁氧化物、硫酸鋇、滑石粉、黏土、玻璃、碳酸鈣及氧化鈦等無機絕緣性填充物。一般而言，在以細微配線為目的基板中，經常採用二氧化矽或礬土等對酸鹼均無化學性腐蝕的無機絕緣性填充物。藉此，減少在高溫和高濕條件下及/或在應用條件下離子遷移等的絕緣劣化。

【0018】 如圖 1 所示，亦可使阻焊劑 4 配置在增疊層的表面。阻焊劑 4 係由樹脂形成，且就樹脂而言，例如可列舉：丙烯酸改性環氧樹脂等。為了經由焊

料 5 電性連接導體層 3 與元件的電極，於阻焊劑 4 設有開口。就元件而言，例如可列舉：半導體積體電路及光電子元件(optoelectronic device)等。

【0019】 在構成增疊層的絕緣層 2 係形成有連通孔導體 3b，該連通孔導體 3b 係用以電性連接構成增疊層的絕緣層 2 的上下表面。連通孔導體 3b 係位在形成來貫通構成增疊層的絕緣層 2 的連通孔 31。亦即，如圖 2 所示，連通孔導體 3b 係位在從第二絕緣層 22 的第二表面 222 貫通至焊盤導體 3a 的連通孔 31。圖 2 係用以說明圖 1 所示之區域 X 的放大剖視圖。第二絕緣層 22 係被覆第一絕緣層 21 的第一表面 211 及位在第一表面 211 的焊盤導體 3a。第二絕緣層 22 的第二表面 222 係第一絕緣層 21 的相反側之表面。

【0020】 如圖 2 所示，連通孔導體 3b 係填充至形成於第二絕緣層 22 的連通孔 31，且底部(靠近第一表面 211 側的底面)係與焊盤導體 3a 接觸。焊盤導體 3a 及連通孔導體 3b 為導體層 3 的一部分，且由銅等金屬形成。

【0021】 連通孔導體 3b 係具有：基底金屬層、及位在基底金屬層上的電解鍍覆層 3b2；該基底金屬層係位在焊盤導體 3a 的表面、連通孔 31 的壁面及第二表面 222。亦即，基底金屬層係位在焊盤導體 3a 的表面、連通孔 31 的壁面及第二表面 222 三者與電解鍍覆層 3b2 之間。藉此，電解鍍覆層 3b2 係可經由基底金屬層與焊盤導體 3a 的表面、連通孔 31 的壁面及第二表面 222 牢固地密接。

【0022】 基底金屬層係例如由銅、鎳、鉻或此等的合金(鎳鉻合金)等的金屬所形成。基底金屬層亦可為無電解鍍覆層 3b1，或濺鍍金屬層 8。基底金屬層為濺鍍金屬層 8 時，基底金屬層例如亦可為使由鎳鉻合金所形成的濺鍍金屬層 8 配置在由銅所形成的濺鍍金屬層 8 的多層構造。

【0023】圖 3 係顯示基底金屬層為無電解鍍覆層 3b1 的一例。如圖 3 所示，連通孔導體 3b 係具有無電解鍍覆層 3b1 及電解鍍覆層 3b2。圖 3 為用以說明圖 2 所示之區域 Y 的放大剖視圖。無電解鍍覆層 3b1 係位在焊盤導體 3a 的表面、連通孔 31 的壁面及第二表面 222。無電解鍍覆層 3b1 的厚度無特別限定，例如為 100nm 以上 3 μ m 以下。電解鍍覆層 3b2 係位在無電解鍍覆層 3b1 上。無電解鍍覆層 3b1 及電解鍍覆層 3b2 係由銅等金屬形成。

【0024】如圖 3 所示，在一實施型態的配線基板 1 中，複數個空隙(void)32 位在無電解鍍覆層 3b1 的至少一部分。一實施型態的配線基板 1 係藉由此種空隙 32 的配置，而緩和施加在連通孔導體 3b 底部的應力。結果，減少連通孔導體 3b 的破裂，提升連通孔導體 3b 的连接可靠性。

【0025】空隙 32 係比起規則性配置，配置成不規則地分散較佳。當空隙 32 配置成不規則地分散時，更容易緩和連通孔導體 3b 的底部所受朝各方向施加的應力。空隙 32 的大小，例如可在最大徑之部分為 1nm 以上 300nm 以下，亦可為 1nm 以上 100nm 以下。

【0026】如圖 2 所示，焊盤導體 3a 亦可於周緣具有相對於第一絕緣層 21 的第一表面 211 傾斜的傾斜部。當剖面觀看時，傾斜部的厚度係亦可從焊盤導體 3a 周緣往連通孔導體 3b 的側面變厚。例如，在以俯視觀看包含焊盤導體 3a 之中心的剖面中，厚度係從焊盤導體 3a 的周緣往連通孔導體 3b 的側面變厚。藉由具有如此的構成，可進一步分散從絕緣層 2 施加於連通孔導體 3b 的應力。

【0027】如圖 2 所示，當剖視觀看時，焊盤導體 3a 亦可具有曲線狀地凹陷的凹部 3a1。連通孔導體 3b 亦可與凹部 3a1 相接。凹部 3a1 係例如從第二表面 222 側往第一表面 211 側凹陷的凹狀。藉由具有如此構成，相較於連通孔導體 3b

與焊盤導體 3a 平面狀地相接的情形，可更進一步減少施加於連通孔導體 3b 的應力。

【0028】連通孔導體 3b 亦可具有縮幅部 3bK，該縮幅部 3bK 係沿著第一表面 211 的水平方向的寬度為最小處。複數個空隙 32 亦可至少在連通孔導體 3b 之垂直於第一表面 211 的垂直方向中，位於比縮幅部 3bK 更靠焊盤導體 3a 側。縮幅部 3bK 可定義為：例如在沿著第一表面 211 的水平方向的連通孔導體 3b 的長度為最小的部分。藉由如此構成，可使空隙 32 的密度的變化點自應力最集中之縮幅部 3bK 與絕緣層 2(第二絕緣層 22)的交界偏離。結果，可進一步減少連通孔導體 3b 的破裂。

【0029】在無電解鍍覆層 3b1 中，於第一區域 3b11 所含有的複數個空隙 32 的密度亦可比於第二區域 3b12 所含有的複數個空隙 32 的密度還大。第一區域 3b11 為位於電解鍍覆層 3b2 與焊盤導體 3a 之間的區域。第二區域 3b12 為位於電解鍍覆層 3b2 與第二絕緣層 22 之間的區域。於第一區域 3b11 所含有的複數個空隙 32 的密度，亦可為超過於第二區域 3b12 所含有的複數個空隙 32 的密度 100%且 150%以下左右。藉由具有如此構成，可進一步減少被施加更大應力之連通孔導體 3b 與焊盤導體 3a 之間所受的應力。

【0030】例如，當剖視觀看時，基底金屬層的第一區域 3b11 亦可為每 1000000nm^2 包含 1 個以上 40 個以下的空隙 32。如圖 3 所示，例如，當基底金屬層屬於無電解鍍覆層 3b1 時，亦可為每 1000000nm^2 包含 1 個以上 40 個以下的空隙 32。當基底金屬層為濺鍍金屬層 8 時，亦可為每 1000000nm^2 包含 1 個以上 10 個以下的空隙 32。

【0031】當基底金屬層係例如使由鎳鉻合金所形成的濺鍍金屬層 8 配置在由銅所形成的濺鍍金屬層 8 的多層構造時，若由楊氏模數較低的銅所形成的濺鍍金屬層 8 的空隙 32 的數量比由鎳鉻合金所形成的濺鍍金屬層 8 的空隙 32 的數量還多時，會提升緩衝作用，更容易獲得應力緩和功效。再者，若使由楊氏模數高於銅的鎳鉻合金所形成的濺鍍層配置在應力容易集中的連通孔底部時，配置空隙 32 所產生的應力緩和功效較高。因為連通孔底部的濺鍍層係形成在靠近電解鍍覆層 3b2 與焊盤導體 3a 的界面，因此配置空隙 32 所產生的應力緩和功效較高。例如可在 FE-SEM 中以倍率 35000 倍左右來拍攝、觀察確認複數個空隙 32 的數量。為了謀求應力施加於配線基板 1 時的裂紋的減少，亦可為 1 個以上 5 個以下。

【0032】電解鍍覆層 3b2 與焊盤導體 3a 之間，例如定義為：以與第一表面 211 平行的最短距離來連結電解鍍覆層 3b2 及焊盤導體 3a 的假想線段之間。同樣地，電解鍍覆層 3b2 與第二絕緣層 22 之間，例如定義為：以與第一表面 211 平行的最短距離來連結電解鍍覆層 3b2 及第二絕緣層 22 的假想線段之間。

【0033】接著，根據圖 4 來說明將連通孔導體 3b 形成至連通孔 31 之方法的一實施型態。圖 4 係用以說明在本揭示的一實施型態的配線基板 1 中，形成連通孔導體 3b 之方法的一例的說明圖。

【0034】首先，如圖 4A 所示，在第一絕緣層 21 的第一表面 211 形成焊盤導體 3a。如上述，焊盤導體 3a 為導體層 3 的一部分，且由銅等金屬形成。接著，如圖 4B 所示，在第二絕緣層 22 形成連通孔 31。連通孔 31 係形成為從第二絕緣層 22 的第二表面 222 貫通至焊盤導體 3a。連通孔 31 例如藉由雷射加工或感光性絕緣樹脂的照相製法等來形成。雷射加工係採用二氧化碳雷射、YAG 雷射或

準分子雷射。感光性絕緣樹脂通常為環氧樹脂或聚醯亞胺，惟亦可採用除此以外的樹脂。

【0035】 形成連通孔 31 之後，如圖 4C 所示，在屬於連通孔 31 的底部的焊盤導體 3a 的表面形成曲線狀地凹陷的凹部 3a1。凹部 3a1 例如由蝕刻等來形成。

【0036】 接著，如圖 4D 所示，於第二絕緣層 22 的第二表面 222、連通孔 31 的內壁面及連通孔 31 的底面(焊盤導體 3a 的凹部 3a1)形成無電解鍍覆層 3b1。如上述，無電解鍍覆層 3b1 係由銅等金屬所形成。無電解鍍覆層 3b1 的厚度係如上述例如為 100nm 以上 3 μ m 以下。

【0037】 形成無電解鍍覆層 3b1 之後，對無電解鍍覆層 3b1 施以熱處理。具體而言，例如以 150°C 以上的溫度來對形成有無電解鍍覆層 3b1 的基板加熱即可。加熱溫度的上限為 180°C 左右。加熱時間例如為 30 分鐘以上，至長為 120 分鐘左右。對無電解鍍覆層 3b1 施以熱處理，藉此易於無電解鍍覆層 3b1 形成空隙 32。

【0038】 具體而言，當以 150°C 以上相對性高溫來進行熱處理時，會使存在於無電解鍍覆層 3b1 中的氫(源自鍍覆液體的氫)聚集。結果，會形成具有 100nm 以下之直徑的細微的空隙 32。再者，於無電解鍍覆層 3b1 的表面形成氧化膜，且此時的銅原子與氧原子的結合時，銅原子移動並產生空隙。結果，會形成具有 50nm 以上 200nm 以下之直徑的空隙 32。

【0039】 接著，如圖 4E 所示，在無電解鍍覆層 3b1 的表面形成電解鍍覆層 3b2，且以電解鍍覆層 3b2 填充連通孔 31。如上述，電解鍍覆層 3b2 係由銅等金屬形成。接著，對露出於電解鍍覆層 3b2 的無電解鍍覆層 3b1 施以快速蝕刻並

除去之後，在對其施以第二次的熱處理。第二次的熱處理，例如以 190°C 以上的溫度來加熱即可。加熱溫度的上限為 250°C 左右。加熱時間例如為 20 分鐘以上，至長為 120 分鐘左右。

【0040】藉由進行第二次的熱處理，易使空隙 32 的大小及位置隨機化。具體而言，當無電解鍍覆層 3b1 係以銅形成時，作為雜質所含有之銅以外的金屬會擴散而形成空隙 32。因此，所形成的空隙 32 會分散，且可隨機地配置空隙 32。如此一來，在一實施型態的配線基板 1 中，就會如圖 2 所示地使連通孔導體 3b 形成於的連通孔 31。

【0041】接著，根據圖 5 至圖 7 說明基底金屬層為濺鍍金屬層 8 的實施型態。圖 5 至圖 7 係用以說明在本揭示之另一實施型態的配線基板中形成連通孔導體 3b 之方法的一例的說明圖。在另一實施型態的配線基板中，針對與一實施型態的配線基板 1 相同的構件標示相同的符號，並省略詳細的說明。

【0042】在上述一實施型態的配線基板 1 中，基底金屬層為無電解鍍覆層 3b1。另一方面，在另一實施型態的配線基板中，如圖 7C 所示，基底金屬層為濺鍍金屬層 8。在另一實施型態的配線基板中，連通孔導體 3b 例如以如下方式形成。

【0043】如圖 5A 所示，在第一絕緣層 21 的表面形成晶種層 6。在圖 5A 中，晶種層 6 係具有：第一晶種層 61 及第二晶種層 62 的二層構造。首先，在第一絕緣層 21 的表面形成第一晶種層 61。形成第一晶種層 61 的方法沒有限定，例如藉由濺鍍所形成。第一晶種層 61 係例如由選自由第 4 族元素、第 5 族元素、第 6 族元素及第 10 族元素所組成之群組中之至少一種金屬所形成。就此種金屬而言，例如可列舉鎳、鉻、鈦、鉭、鉬、鎢、鈮或包含此等金屬的合金。第一晶

種層 61 係例如亦可為藉由濺鍍所形成的鎳鉻合金層。第一晶種層 61 係例如亦可具有 0.5nm 以上 100nm 以下的厚度。

【0044】接著，在第一晶種層 61 的表面形成第二晶種層 62。形成第二晶種層 62 的方法沒有限定，例如藉由濺鍍所形成。第二晶種層 62 係由銅形成。第二晶種層 62 係例如亦可具有 100nm 以上 1000nm 以下的厚度。

【0045】接著，如圖 5B 所示，在晶種層 6 的表面形成阻劑 7。阻劑 7 係具有開口部，且如圖 5B 所示，於開口部形成電解鍍覆層 63。電解鍍覆層 63 係例如為電解銅鍍層。形成電解鍍覆層 63 之後，如圖 5C 所示，除去阻劑 7 以及被阻劑 7 所被覆的晶種層 6。阻劑 7 係利用氫氧化鈉水溶液或胺系阻劑剝離液來剝離。

【0046】在晶種層 6 中，第二晶種層 62 為銅時係利用硫酸-過氧化氫混合液來蝕刻，之後第一晶種層 61 係利用適於對第一晶種層 61 的金屬蝕刻的蝕刻液來蝕刻。例如，若為鎳鉻合金則利用硫酸和鹽酸的混合水溶液藉由蝕刻來除去。

【0047】接著，如圖 5D 所示，在電解鍍覆層 63 的表面形成凹陷 631。凹陷 631 係例如在 150°C 以上 250°C 以下、20 分鐘以上 90 分鐘以下的條件下施以退火處理來形成。此時，凹陷 631 係例如具有 50nm 以上 1000nm 以下的直徑，且具有 50nm 以上 300nm 以下的深度。

【0048】接著，如圖 6A 所示，在電解鍍覆層 63 的表面施以軟蝕刻處理，例如使凹陷 631 的直徑成為 10nm 以上 500nm 以下、深度為 5nm 以上 50nm 以下。軟蝕刻處理後，如圖 6B 所示，對電解鍍覆層 63 的表面施以矽烷偶合處理。具體而言，對電解鍍覆層 63 的表面進行鍍錫處理，之後以硝酸對經鍍錫處理後

的電解鍍覆層 63 的表面進行處理，以實施矽烷偶合處理。如此一來，在第一絕緣層 21 的表面形成焊盤導體 3a。

【0049】接著，如圖 6C 所示，以被覆焊盤導體 3a 的方式，在第一絕緣層 21 的表面形成第二絕緣層 22。形成第二絕緣層 22 之後，如圖 6D 所示，以從第二絕緣層 22 的第二表面 222 貫通至焊盤導體 3a 方式形成連通孔 31。形成連通孔 31 之後，在屬於連通孔 31 之底部的焊盤導體 3a 的表面形成曲線狀地凹陷的凹部 3a1。凹部 3a1 係例如藉由蝕刻等所形成。此時，要除去形成在焊盤導體 3a 之表面的矽烷偶合層及鍍錫層。凹部 3a1 的凹陷量係以比無電解鍍覆時的凹陷量還少的方式，調整蝕刻量。

【0050】接著，如圖 7A 所示，在第二絕緣層 22 的第二表面 222、連通孔 31 的內壁面及連通孔 31 的底面(焊盤導體 3a 的表面)形成第一濺鍍金屬層 81。第一濺鍍金屬層 81 係例如由選自由第 4 族元素、第 5 族元素、第 6 族元素及第 10 族元素所組成之群組中之至少一種金屬所形成。就此種金屬而言，例如可列舉鎳、鉻、鈦、鉭、鉬、鎢、鈮或包含此等金屬的合金。第一濺鍍金屬層 81 例如亦可為藉由濺鍍所形成的鎳鉻合金層。第一濺鍍金屬層 81 係例如亦可具有 0.5nm 以上 100nm 以下的厚度。

【0051】當對具有凹陷 631 的焊盤導體 3a 的表面進行濺鍍時，就會在將金屬填充至凹陷 631 之前使凹陷 631 的入口閉塞。結果，如圖 7A 所示，在凹陷 631 就容易形成空隙 32。

【0052】接著，如圖 7B 所示，在第一濺鍍金屬層 81 的表面形成第二濺鍍金屬層 82。第二濺鍍金屬層 82 係例如由銅形成。第二濺鍍金屬層 82 係例如亦可為藉由濺鍍所形成的銅層。第二濺鍍金屬層 82 係例如亦可具有 50nm 以上

1000nm 以下的厚度。濺鍍金屬層 8 係例如亦可具有 50nm 以上 1100nm 以下的厚度。

【0053】 在形成第二濺鍍金屬層 82 時，例如減少濺鍍裝置中磁鐵的擺動量等，調整濺鍍裝置的設定，藉此在第二濺鍍金屬層 82 容易產生不均勻。結果，如圖 7B 所示，在第二濺鍍金屬層 82 亦容易形成空隙 32。

【0054】 接著，如圖 7C 所示，在第二濺鍍金屬層 82(濺鍍金屬層 8)的表面形成電解鍍覆層 3b2，且以電解鍍覆層 3b2 來填充連通孔 31。如上述方式，電解鍍覆層 3b2 係由銅等金屬形成。藉由如此步驟，在另一實施型態的配線基板中，形成連通孔導體 3b。

【0055】 接著，說明本揭示的安裝構造體。一實施型態的安裝構造體係包含：一實施型態的配線基板 1 以及位在配線基板 1 的表面的元件。阻焊劑 4 的開口內的導體層 3 與元件的電極係經由焊料 5 連接。就元件而言，如上述可列舉：半導體積體電路及光電子元件等。可使元件位在配線基板 1 的兩表面，亦可使元件位在其中一表面，而使例如主機板等位在另一表面。

【0056】 本揭示的配線基板並不限定為上述一實施型態的配線基板 1 及另一實施型態的配線基板。在一實施型態的配線基板 1 中，構成增疊層的絕緣層 2 係具有二層構造。惟，在本揭示的配線基板中構成增疊層的絕緣層不限定為二層構造，亦可具有三層以上的積層構造。

【0057】 在一實施型態的配線基板 1 及另一實施型態的配線基板中，當剖視觀看時，焊盤導體 3a 的表面係朝周緣傾斜。惟，在本揭示的配線基板中焊盤導體的表面亦可與第一絕緣層的第一表面大致平行。

【0058】 在一實施型態的配線基板 1 中，當剖視觀看時，焊盤導體 3a 係具有曲線狀地凹陷的凹部 3a1。惟，本揭示的配線基板中焊盤導體亦可不具有凹部，即使具有凹部的情形，亦可非曲線狀地凹陷的形狀。

【0059】 在另一實施型態的配線基板中，濺鍍金屬層 8 係由第一濺鍍金屬層 81 及第二濺鍍金屬層 82 的二層所形成。惟，在本揭示的配線基板中，濺鍍金屬層 8 可具有單層構造，亦可具有多層構造。

【0060】 再者，本揭示的發明並不受上述實施型態所限定，在以下的(1)及(12)所示的本揭示的範圍內可進行種種的變更及改良。

【0061】 (1)本揭示的配線基板係包含：第一絕緣層，係具有第一表面；焊盤導體，係位在第一表面；第二絕緣層，係被覆第一表面及焊盤導體，且在第一絕緣層的相反側具有第二表面；連通孔，係從第二絕緣層的第二表面貫通至焊盤導體；以及連通孔導體，係位在連通孔，並與焊盤導體相接。連通孔導體係具有：基底金屬層及電解鍍覆層；該基底金屬層係位在焊盤導體的表面、連通孔的壁面、及第二表面；該電解鍍覆層係位在基底金屬層上。複數個空隙係位在基底金屬層的至少一部分。

【0062】 關於本揭示的實施型態，更揭示以下(2)至(11)所示的實施型態。

【0063】 (2)在上述(1)所述之配線基板中，基底金屬層係無電解鍍覆層。

(3)在上述(1)所述之配線基板中，基底金屬層係濺鍍金屬層。

(4)在上述(3)所述之配線基板中，濺鍍金屬層係具有多層構造。

(5)在上述(1)至(4)中任一項所述之配線基板中，焊盤導體係於焊盤導體的周緣具有傾斜部。傾斜部的厚度係剖面觀看時，從焊盤導體的周緣往連通孔導體的側面變厚。

(6)在上述(1)至(5)中任一項所述之配線基板中，焊盤導體係剖面觀看時具有曲線狀地凹陷的凹部。連通孔導體係與凹部相接。

(7)在上述(1)至(6)中任一項所述之配線基板中，連通孔導體係具有沿第一表面的水平方向的寬度為最小處的縮幅部。複數個空隙係至少在連通孔導體之與第一表面垂直的垂直方向中，位於比縮幅部更靠焊盤導體側。

(8)在上述(1)至(7)中任一項所述之配線基板中，基底金屬層係包含：位於電解鍍覆層與焊盤導體之間的第一區域、及位於電解鍍覆層與第二絕緣層之間的第二區域。第一區域所含有的複數個空隙的密度係大於第二區域所含有的複數個空隙的密度。

(9)在上述(8)所述之配線基板中，當剖視觀看時，第一區域係每 1000000nm^2 含有 1 個以上 40 個以下的前述複數個空隙。

(10)在上述(9)所述之配線基板中，基底金屬層為無電解鍍覆層，且當剖視觀看時，第一區域係每 1000000nm^2 含有 1 個以上 40 個以下的前述複數個空隙。

(11)在上述(9)所述之配線基板中，基底金屬層為濺鍍金屬層，且當剖視觀看時，第一區域係每 1000000nm^2 含有 1 個以上 10 個以下的前述複數個空隙。

【0064】 (12)本揭示的安裝構造體係包含：上述(1)至(11)中任一項所述之配線基板以及位在配線基板的安裝區域的電子零件。

【符號說明】

【0065】

1:配線基板

2:絕緣層

3:導體層

3a:焊盤導體

3a1:凹部

3b:連通孔導體

3b1:無電解鍍覆層

3b2:電解鍍覆層

3b11:第一區域

3b12:第二區域

3bK:縮幅部

4:阻焊劑

5:焊料

6:晶種層

7:阻劑

8:濺鍍金屬層

20:芯用絕緣層

20a:穿通孔導體

21:第一絕緣層

22:第二絕緣層

31:連通孔

32:空隙

61:第一晶種層

62:第二晶種層

333573

63:電解鍍覆層

81:第一濺鍍金屬層

82:第二濺鍍金屬層

211:第一表面

222:第二表面

631:凹陷

X,Y:區域

【發明申請專利範圍】

【請求項1】 一種配線基板，係包含：

第一絕緣層，係具有第一表面；

焊盤導體，係位在前述第一表面；

第二絕緣層，係被覆前述第一表面及前述焊盤導體，且在前述第一絕緣層的相反側具有第二表面；

連通孔，係從該第二絕緣層的前述第二表面貫通至前述焊盤導體；以及

連通孔導體，係位在該連通孔，並與前述焊盤導體相接；

該連通孔導體係具有：基底金屬層及電解鍍覆層；該基底金屬層係位在前述焊盤導體的表面、前述連通孔的壁面、及前述第二表面；該電解鍍覆層係位在該基底金屬層上；

前述基底金屬層係無電解鍍覆層或濺鍍金屬層；

複數個空隙係位在前述基底金屬層的至少一部分。

【請求項2】 如請求項 1 所述之配線基板，其中，前述濺鍍金屬層係具有多層構造。

【請求項3】 如請求項 1 或 2 所述之配線基板，其中，前述焊盤導體係於該焊盤導體的周緣具有傾斜部，

當剖面觀看時，該傾斜部的厚度係從前述焊盤導體的周緣往前述連通孔導體的側面變厚。

【請求項4】 如請求項 1 或 2 所述之配線基板，其中，當剖面觀看時，前述焊盤導體係具有曲線狀地凹陷的凹部；

前述連通孔導體係與前述凹部相接。

【請求項5】如請求項 1 或 2 所述之配線基板，其中，前述連通孔導體係具有沿前述第一表面的水平方向的寬度為最小處的縮幅部；前述複數個空隙係至少在前述連通孔導體之與前述第一表面垂直的垂直方向中，位於比前述縮幅部更靠前述焊盤導體側。

【請求項6】如請求項 1 或 2 所述之配線基板，其中，前述基底金屬層係包含：位於前述電解鍍覆層與前述焊盤導體之間的第一區域、及位於前述電解鍍覆層與前述第二絕緣層之間的第二區域；

前述第一區域所含有的前述複數個空隙的密度係大於前述第二區域所含有的前述複數個空隙的密度。

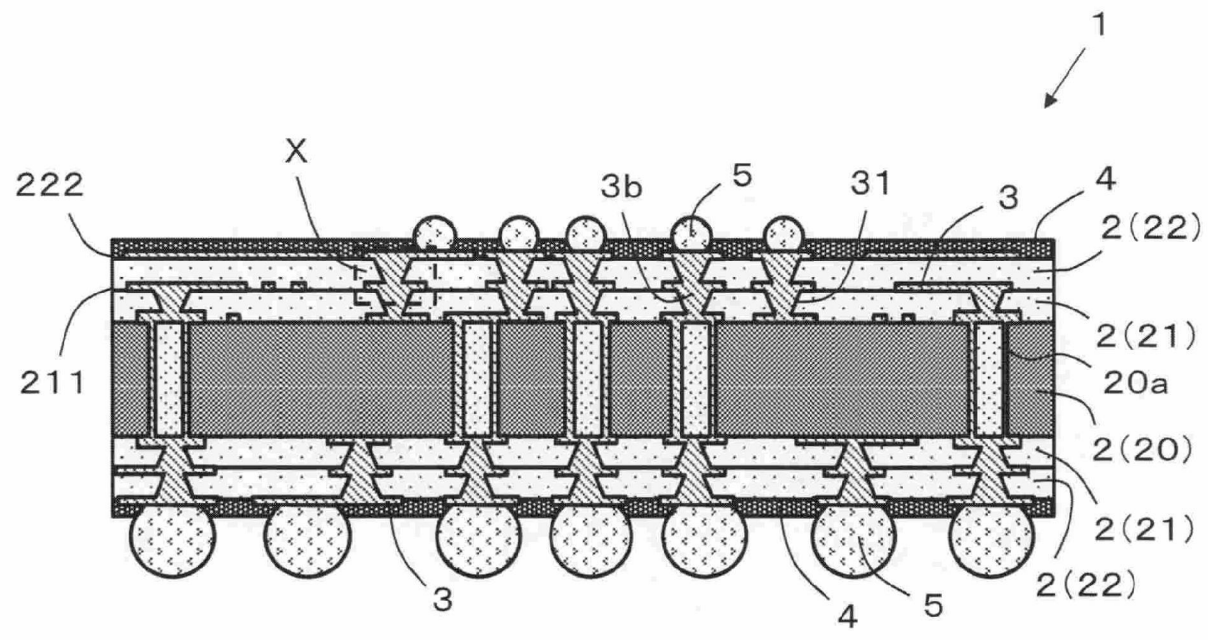
【請求項7】如請求項 6 所述之配線基板，其中，當剖視觀看時，前述第一區域係每 1000000nm^2 含有 1 個以上 40 個以下的前述複數個空隙。

【請求項8】如請求項 7 所述之配線基板，其中，前述基底金屬層為前述無電解鍍覆層，且當剖視觀看時，前述第一區域係每 1000000nm^2 含有 1 個以上 40 個以下的前述複數個空隙。

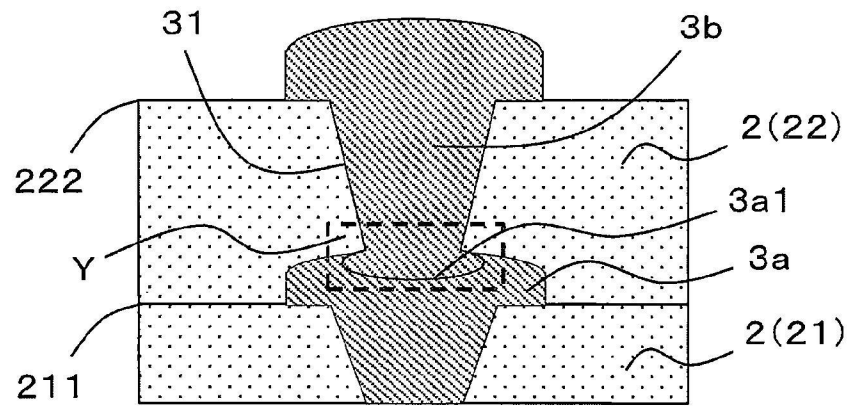
【請求項9】如請求項 7 所述之配線基板，其中，前述基底金屬層為前述濺鍍金屬層，且當剖視觀看時，前述第一區域係每 1000000nm^2 含有 1 個以上 10 個以下的前述複數個空隙。

【請求項10】一種安裝構造體，係包含：請求項1至9中任一項所述之配線基板以及位在於該配線基板的安裝區域的電子零件。

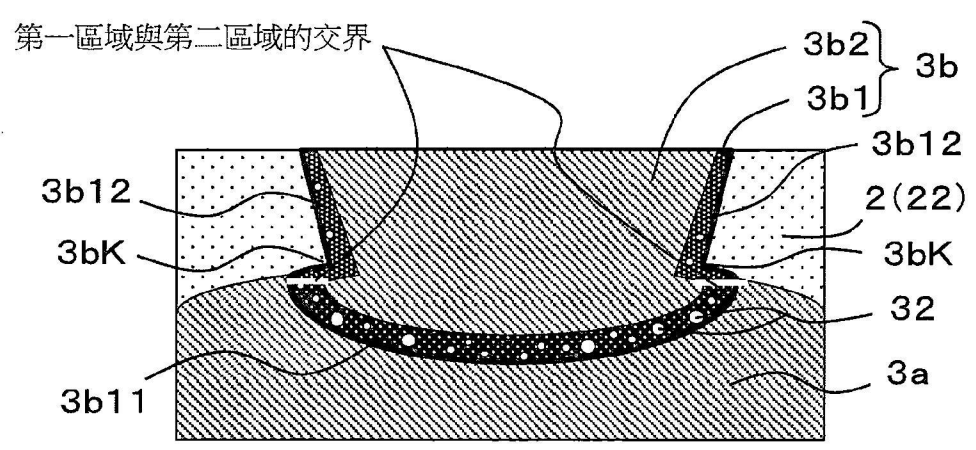
【發明圖式】



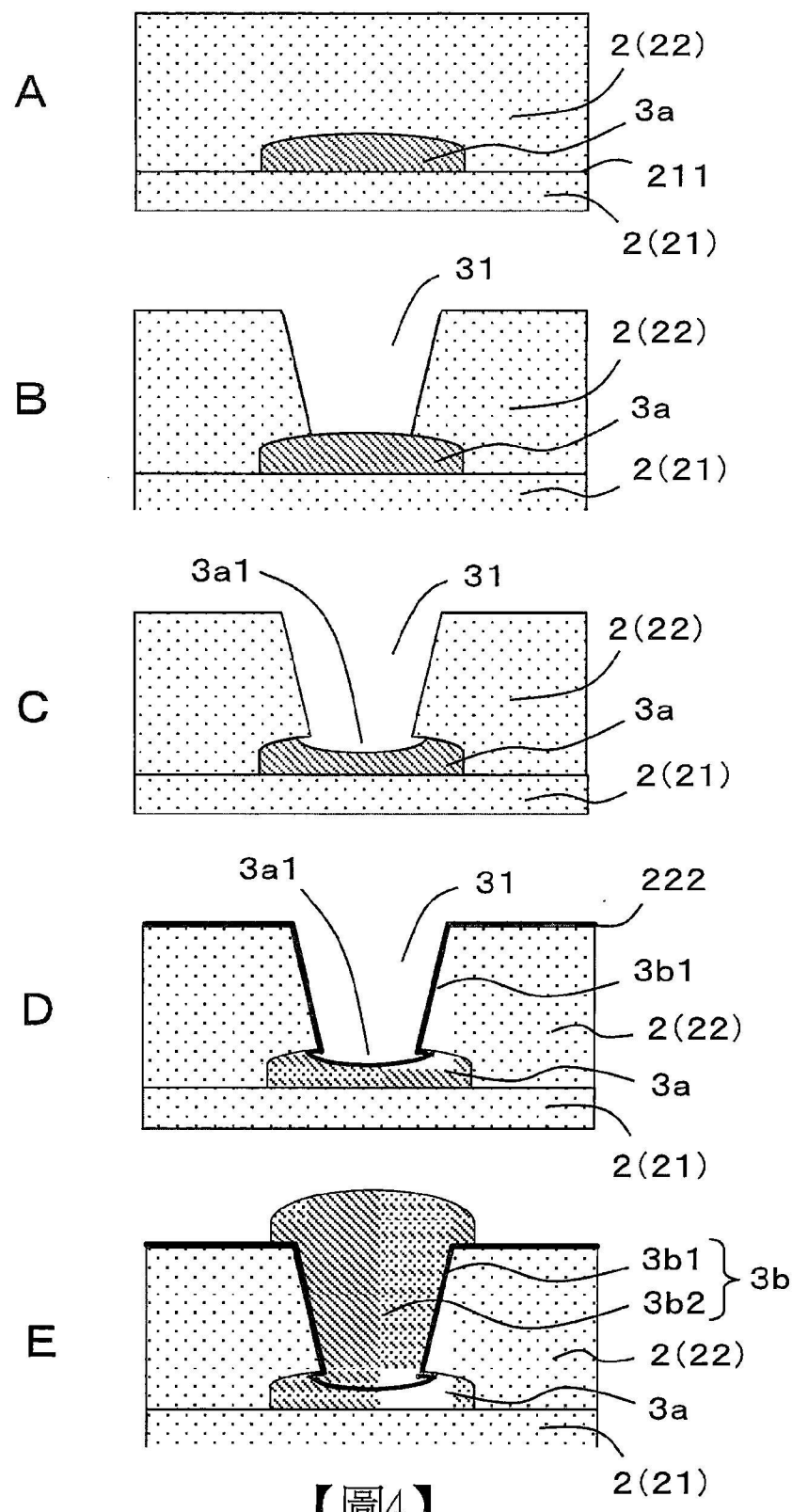
【圖1】



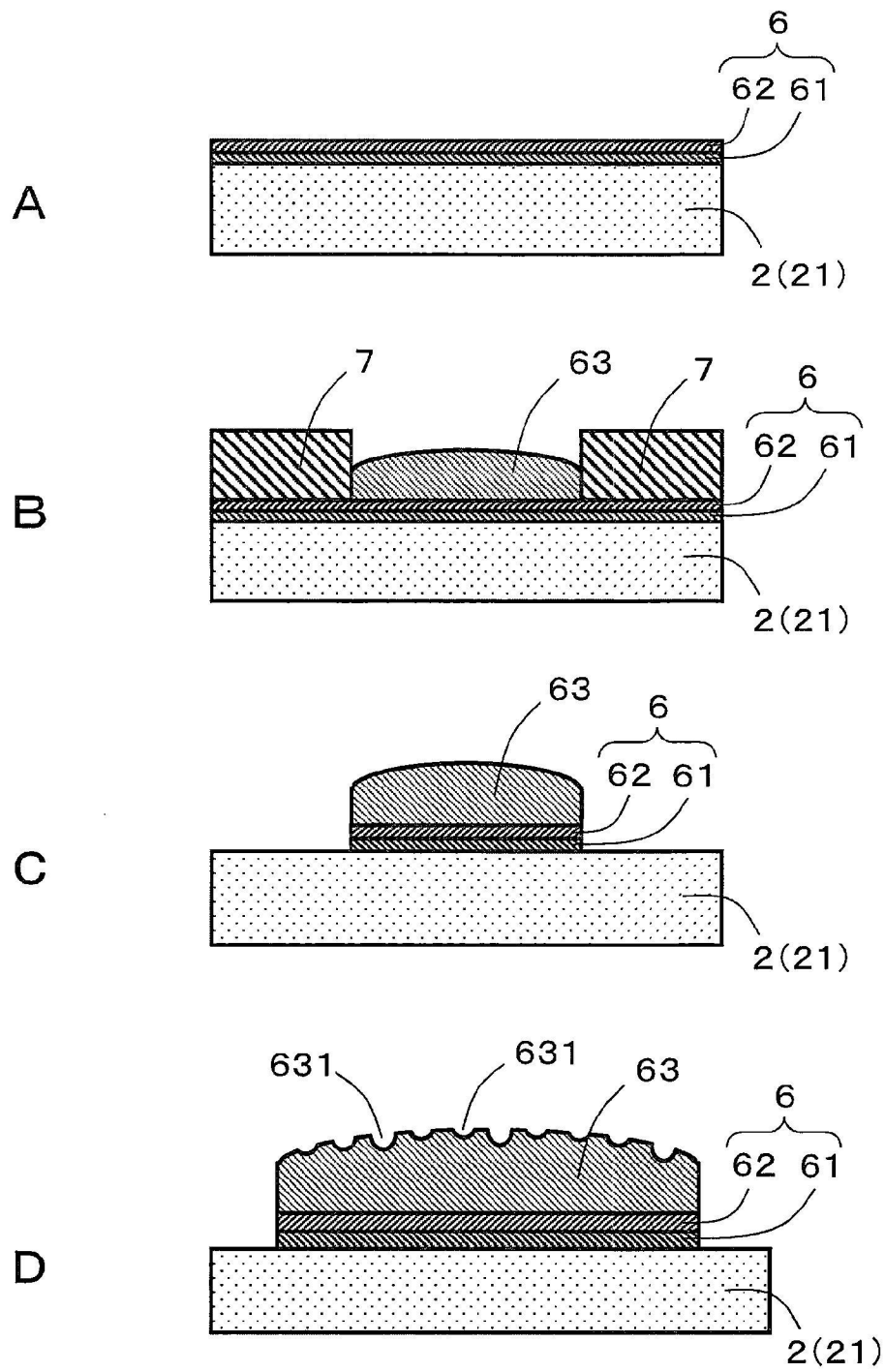
【圖2】



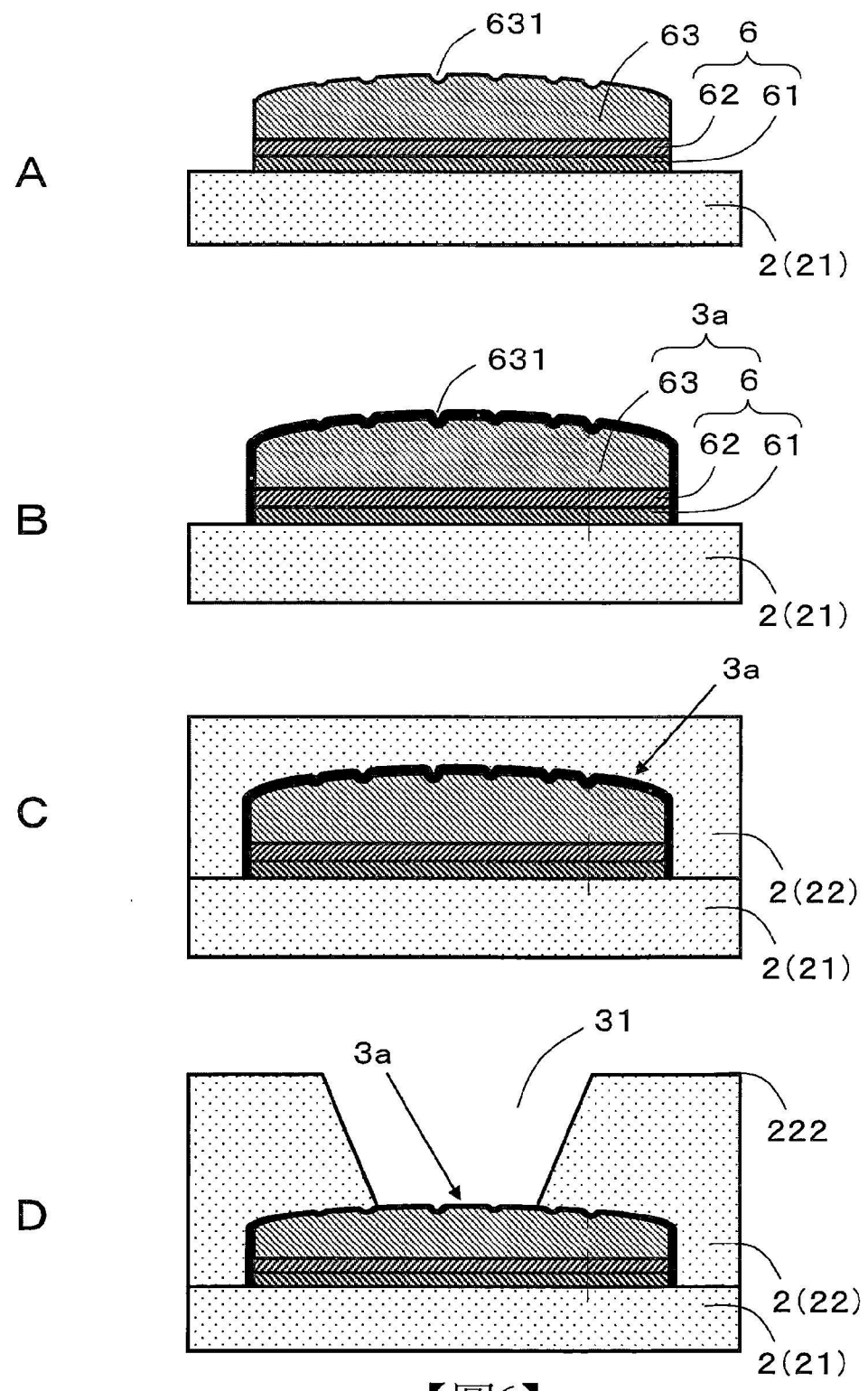
【圖3】



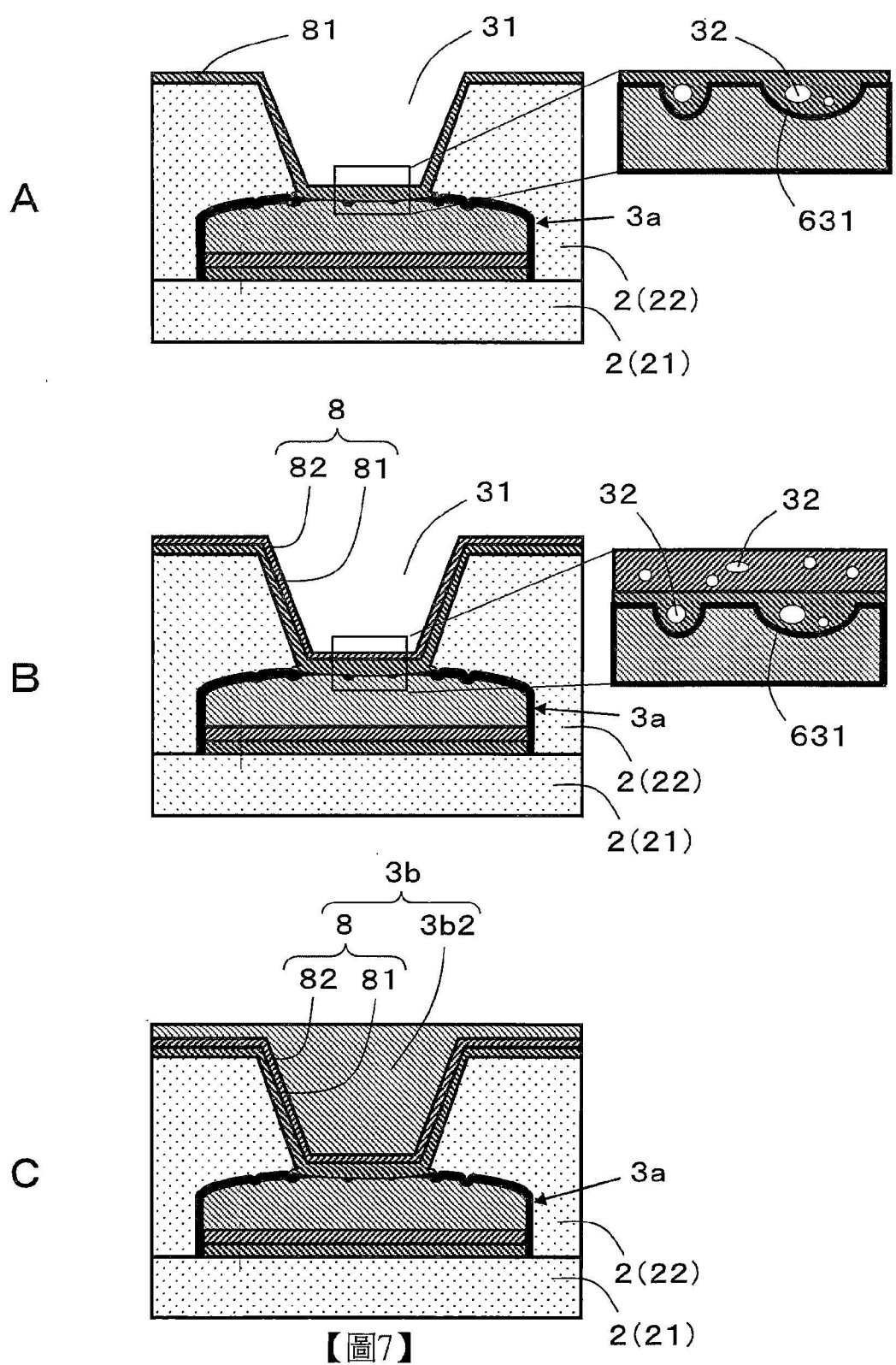
【圖4】



【圖5】



【圖6】



【圖7】