

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 19.09.22.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 22.03.24 Bulletin 24/12.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : STMicroelectronics (Crolles 2) SAS
Société par actions simplifiée — FR.

⑦2 Inventeur(s) : SAIDI Bilel.

⑦3 Titulaire(s) : STMicroelectronics (Crolles 2) SAS
Société par actions simplifiée.

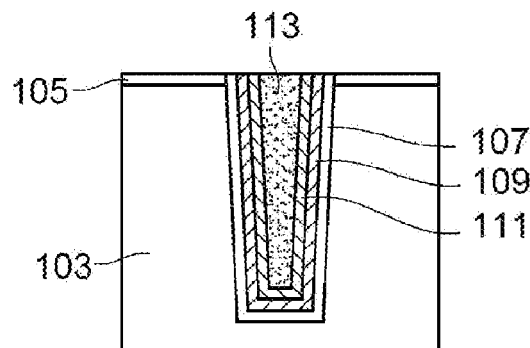
⑦4 Mandataire(s) : CABINET BEAUMONT.

⑤4 Procédé de remplissage d'une tranchée formée dans un substrat semiconducteur.

⑤7 Procédé de remplissage d'une tranchée formée dans
un substrat semiconducteur

La présente description concerne un procédé de remplissage d'une tranchée formée dans un substrat semiconducteur (103), comprenant les étapes successives suivantes: a) déposer une première couche (109) de silicium dans des conditions de dépôt amorphe sur les parois latérales et au fond de la tranchée; b) déposer une deuxième couche (111) de silicium dans des conditions de dépôt polycristallin sur et en contact avec la première couche (109); etc) déposer une troisième couche (113) de silicium dopé dans des conditions de dépôt amorphe sur et en contact avec la deuxième couche (111) de manière à combler entièrement la tranchée, dans lequel, à l'issue de l'étape b), la première couche (109) est en silicium polycristallin présentant une taille de grain différente de celle de la deuxième couche (111).

Figure pour l'abrégé: Fig. 1F



Description

Titre de l'invention : *Procédé de remplissage d'une tranchée formée dans un substrat semiconducteur*

Domaine technique

[0001] La présente description concerne de façon générale le domaine des dispositifs électroniques et de leurs procédés de fabrication. Elle vise plus particulièrement un procédé de remplissage, par du silicium polycristallin, d'une tranchée formée dans un substrat semiconducteur. Elle vise également un dispositif électronique comportant une tranchée remplie par un tel procédé.

Technique antérieure

[0002] On a proposé divers dispositifs électroniques comportant des tranchées s'étendant verticalement dans un substrat semiconducteur et remplies partiellement ou totalement de silicium polycristallin.

[0003] De telles tranchées sont par exemple utilisées pour former des murs d'isolation séparant latéralement différents éléments d'un circuit intégré, par exemple différents pixels d'un capteur d'images ou différentes cellules élémentaires de mémorisation d'un circuit mémoire, ou encore pour former des composants électroniques verticaux tels que des transistors verticaux ou des condensateurs verticaux.

[0004] Une difficulté est que le remplissage des tranchées par du silicium polycristallin peut induire des contraintes mécaniques fortes sur le substrat, susceptibles de poser problème lors de la fabrication des dispositifs.

[0005] Il serait souhaitable de pallier tout ou partie des inconvénients des procédés connus de remplissage, par du silicium polycristallin, d'une tranchée formée dans un substrat semiconducteur.

Résumé de l'invention

[0006] Pour cela, un mode de réalisation prévoit un procédé de remplissage d'une tranchée (101) formée dans un substrat semiconducteur (103), comprenant les étapes successives suivantes :

a) déposer une première couche (109) de silicium dans des conditions de dépôt amorphe sur les parois latérales et au fond de la tranchée (101) ;

b) déposer une deuxième couche (111) de silicium dans des conditions de dépôt polycristallin sur et en contact avec la première couche (109) ; et

c) déposer une troisième couche (113) de silicium dopé dans des conditions de dépôt amorphe sur et en contact avec la deuxième couche (111) de manière à combler entièrement la tranchée (101),

dans lequel, à l'issue de l'étape b), la première couche (109) est en silicium poly-

- cristallin présentant une taille de grain différente de celle de la deuxième couche (111).
- [0007] Selon un mode de réalisation, le silicium de la première couche (109) cristallise et passe d'un état amorphe à un état polycristallin pendant le dépôt de la deuxième couche (111), sous l'effet des conditions de dépôt de la deuxième couche (111).
- [0008] Selon un mode de réalisation, le procédé comprend entre l'étape a) et l'étape b), une étape intermédiaire de recuit pendant laquelle le silicium de la première couche (109) cristallise et passe d'un état amorphe à un état polycristallin.
- [0009] Selon un mode de réalisation, à l'issue de l'étape c), la première couche (109) de silicium est tensile et la deuxième couche (111) de silicium est compressive.
- [0010] Selon un mode de réalisation, la deuxième couche (111) de silicium est déposée in-situ, dans la même chambre de dépôt que la première couche (109) de silicium, sans extraire le substrat (103) de la chambre entre les deux dépôts.
- [0011] Selon un mode de réalisation, le procédé comprend, avant l'étape a), une étape de dépôt d'une couche (107) diélectrique sur les parois latérales et au fond de la tranchée (101).
- [0012] Selon un mode de réalisation, à l'étape a), la première couche (109) de silicium est déposée sur et en contact avec la couche diélectrique (107).
- [0013] Selon un mode de réalisation, la première couche (109) de silicium est dopée in-situ lors de son dépôt.
- [0014] Selon un mode de réalisation, le procédé comprend une étape d'amincissement du substrat (103) par sa face opposée à la tranchée (101) entre l'étape b) et l'étape c).
- [0015] Selon un mode de réalisation, le procédé comprend une étape de recuit thermique rapide entre l'étape d'amincissement et l'étape c).
- [0016] Un autre mode de réalisation prévoit un dispositif électronique comportant une tranchée disposée dans un substrat semiconducteur (103), comportant :
- une première couche (109) de silicium polycristallin revêtant les parois latérales et le fond de la tranchée (103) ;
 - une deuxième couche (111) de silicium polycristallin sur et en contact avec la première couche (109) ; et
 - une troisième couche (113) de silicium dopé sur et en contact avec la deuxième couche (111), la troisième couche (113) finissant de combler entièrement la tranchée, dans lequel dans le silicium polycristallin de la première couche (109) présente une taille de grain différente de celle du silicium polycristallin de la deuxième couche (111).
- [0017] Selon un mode de réalisation, le silicium polycristallin de la première couche (109) présente une taille de grain moyenne comprise entre 50 et 120 nm, et le silicium polycristallin de la deuxième couche (111) présente une taille de grain moyenne comprise entre 10 et 30 nm.

Brève description des dessins

[0018] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0019] la [Fig.1A], la [Fig.1B], la [Fig.1C], la [Fig.1D], la [Fig.1E] et la [Fig.1F] sont des vues en coupe illustrant des étapes successives d'un exemple d'un procédé de remplissage d'une tranchée selon un mode de réalisation.

Description des modes de réalisation

[0020] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0021] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, seule la réalisation des tranchées des dispositifs électroniques a été détaillée. Les autres éléments des dispositifs électroniques n'ont pas été détaillés, les modes de réalisation décrits étant compatibles avec toutes ou la plupart des réalisations connues de dispositif électroniques comportant des tranchées remplies de silicium polycristallin.

[0022] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.

[0023] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures.

[0024] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.

[0025] Les figures 1A à 1F sont des vues en coupe partielles et schématiques illustrant des étapes successives d'un exemple d'un procédé de remplissage d'une tranchée selon un mode de réalisation.

[0026] La [Fig.1A] illustre la structure obtenue à l'issue d'une étape de formation d'une tranchée 101 dans un substrat semiconducteur 103. La tranchée s'étend verticalement depuis une face du substrat, la face supérieure dans l'exemple représenté, sur une profondeur inférieure à l'épaisseur du substrat 103, par exemple sur une profondeur

comprise entre 1 et 50 μm , par exemple entre 2 et 15 μm , par exemple de l'ordre de 6 μm .

- [0027] La largeur de la tranchée 101 est par exemple comprise entre 0,1 et 2 μm , par exemple de l'ordre de 600 nm.
- [0028] Le substrat 103 est par exemple en silicium, par exemple en silicium monocristallin. Les modes de réalisation décrits ne se limitent toutefois pas à ce cas particulier et peuvent s'appliquer à des substrats en d'autres matériaux semiconducteurs, comprenant ou non du silicium.
- [0029] Dans l'exemple représenté, la face supérieure du substrat est revêtue d'une couche diélectrique de passivation 105, par exemple en nitrure de silicium. La tranchée 103 s'étend à travers la couche 105.
- [0030] La tranchée 101 est par exemple formée par photolithographie puis gravure, par exemple par un procédé de gravure plasma, par exemple par un procédé de type DRIE (de l'anglais « Deep Reactive Ion Etching » - gravure ionique réactive profonde).
- [0031] La [Fig.1B] illustre la structure obtenue à l'issue d'une étape optionnelle de dépôt d'une couche ou liner 107 d'un matériau diélectrique, par exemple de l'oxyde de silicium, sur les parois latérales et sur le fond de la tranchée 101. Dans cet exemple, la couche 107 sert à isoler électriquement le matériau semiconducteur du substrat du silicium polycristallin déposé ultérieurement dans la tranchée. Dans cet exemple, la couche 107 est en contact avec le matériau du substrat 103 sur les parois latérales et sur le fond de la tranchée 101. La couche 107 est par exemple déposée par un procédé de dépôt conforme sur toute la surface supérieure du substrat 103. Ainsi, dans l'exemple représenté, la couche 107 s'étend en outre sur la face supérieure de la couche diélectrique 105. L'épaisseur de la couche diélectrique 107 est par exemple comprise entre 2 nm et 200 nm.
- [0032] La [Fig.1C] illustre la structure obtenue à l'issue d'une étape de dépôt d'une couche de silicium amorphe 109 sur les parois latérales et sur le fond de la tranchée 101. Dans cet exemple, la couche 109 est déposée sur et en contact avec la face supérieure de la couche diélectrique 107. La couche 109 est par exemple déposée par un procédé de dépôt conforme sur toute la surface supérieure du substrat 103. L'épaisseur de la couche de silicium amorphe 109 est par exemple comprise entre 50 et 500 nm, par exemple de l'ordre de 150 nm.
- [0033] De préférence, la couche 109 est dopée in-situ lors de son dépôt. Le dopage peut être de type P ou de type N. A titre d'exemple, le dopage est un dopage au bore ou au phosphore. Le niveau de dopage de la couche 109 est par exemple compris entre $1 \cdot 10^{18}$ atomes/ cm^3 et $1 \cdot 10^{22}$ atomes/ cm^3 .
- [0034] Le dépôt est par exemple effectué à une température inférieure à 600°C, par exemple comprise entre 400 et 580°C, de manière à obtenir un état amorphe du silicium de la

couche 109 à l'issue du dépôt.

- [0035] La [Fig.1D] illustre la structure obtenue à l'issue d'une étape de dépôt in-situ d'une couche de silicium polycristallin 111 sur les parois latérales et sur le fond de la tranchée 101 après le dépôt de la couche 109. Dans cet exemple, la couche 111 est déposée sur et en contact avec la face supérieure de la couche de silicium amorphe 109. La couche 111 est par exemple déposée par un procédé de dépôt conforme sur toute la surface supérieure du substrat 103. L'épaisseur de la couche de silicium polycristallin 111 est par exemple comprise entre 50 et 500 nm, par exemple de l'ordre de 130 nm.
- [0036] La couche 111 est par exemple non dopée (non intentionnellement dopée). A titre de variante, la couche 111 est dopée in-situ lors de son dépôt. Le dopage peut alors être de type P ou de type N. A titre d'exemple, le dopage est un dopage au bore ou au phosphore. Le niveau de dopage de la couche 111 est par exemple compris entre $1 \cdot 10^{18}$ atomes/cm³ et $1 \cdot 10^{22}$ atomes/cm³.
- [0037] Le dépôt est par exemple effectué à une température supérieure à 580°C, par exemple comprise entre 600 et 700 C, de manière à obtenir un état polycristallin du silicium déposé.
- [0038] Par dépôt in-situ, on entend ici que la couche 111 est déposée dans la même chambre de dépôt que celle utilisée pour effectuer le dépôt de la couche 109 à l'étape de la [Fig.1C], sans sortir la structure de la chambre entre le dépôt de la couche 109 et le dépôt de la couche 111.
- [0039] Dans cet exemple, aucun recuit intermédiaire n'est prévu entre le dépôt de la couche 109 et le dépôt de la couche 111, de sorte que le silicium de la couche 109 est toujours amorphe au début de l'étape de dépôt de la couche 111.
- [0040] La température dans la chambre lors du dépôt de la couche 111 induit une recristallisation in-situ de la couche de silicium amorphe 109. Ainsi, lors du dépôt de la couche de silicium polycristallin 111, la couche de silicium amorphe 109 est transformée en silicium polycristallin.
- [0041] Le silicium polycristallin de la couche 109, obtenu par recristallisation in-situ du silicium amorphe déposé à l'étape précédente, est tensile, c'est à dire que qu'il exerce une force de traction (étirement) du matériau du substrat 103, parallèlement au plan de la couche 109. Le silicium polycristallin de la couche 111, obtenu directement par dépôt dans des conditions de dépôt polycristallin, est quant à lui compressif, c'est à dire que qu'il exerce une force de compression du matériau du substrat 103, parallèlement au plan de la couche 111. Ainsi, la force de traction exercée par la couche 109 est au moins partiellement compensée par la force de compression exercée par la couche 111, ce qui permet de limiter les déformations du substrat 103 liées au remplissage des tranchées 101. A titre d'exemple, la couche silicium polycristallin de la

couche 109 exerce une force de tension comprise entre 100 et 500 MPa, et le silicium polycristallin de la couche 111 exerce une force de compression comprise entre 100 et 500 MPa. On notera que ces valeurs dépendent des budgets thermiques appliqués, des éléments chimiques dopants et des niveaux de dopages, ainsi que des épaisseurs déposées. En outre, l'impact sur la déformation des plaques est plus ou moins fort selon la densité des tranchés par wafer et la profondeur de celles-ci.

- [0042] On notera qu'en pratique, à l'issue du procédé, du fait de leurs conditions de formation différentes (dépôt amorphe puis recristallisation en silicium polycristallin pour la couche 109 et dépôt polycristallin pour la couche 111), les couches de silicium polycristallin 109 et 111 présentent des tailles de grain différentes. A titre d'exemple, la couche 109 présente une taille moyenne de grains supérieure à celle de la couche 111. A titre d'exemple, le silicium polycristallin de la couche 111 présente une taille de grains moyenne variant entre 10 et 30nm, par exemple avec une croissance colonnaire. Le silicium amorphe recristallisé de la couche 109 présente par exemple une taille de grains moyenne variant entre 50 et 120nm, par exemple avec une distribution aléatoire des grains. Ces tailles et disposition des grains peuvent fluctuer en fonction des budgets thermiques, de l'élément chimique dopant ainsi que de la concentration de celui-ci, de la surface de dépôt, etc.
- [0043] La [Fig.1E] illustre la structure obtenue à l'issue d'une étape de remplissage de la tranchée 101 par une couche de silicium amorphe dopé 113. Dans cet exemple, la couche 113 est déposée sur et en contact avec la face supérieure de la couche de silicium polycristallin 111. La couche 113 est par exemple déposée sur toute la surface supérieure du substrat 103. L'épaisseur de la couche de silicium amorphe 113 est choisie suffisamment élevée pour finir de remplir entièrement la tranchée 101.
- [0044] De préférence, la couche 113 est dopée in-situ lors de son dépôt. Le dopage peut être de type P ou de type N. A titre d'exemple, le dopage est un dopage au bore ou au phosphore. Le niveau de dopage de la couche 113 est par exemple compris entre $1 \cdot 10^{18}$ atomes/cm³ et $1 \cdot 10^{22}$ atomes/cm³.
- [0045] Le dépôt est par exemple effectué à une température inférieure à 600°C, par exemple comprise entre 400 et 580°C, de manière à obtenir un état amorphe du silicium de la couche 113 à l'issue du dépôt.
- [0046] La [Fig.1F] illustre la structure obtenue à l'issue d'une étape de planarisation de sa face supérieure, par exemple par polissage mécano-chimique. Lors de cette étape, la structure est amincie par sa face supérieure de façon à retirer les portions des couches 113, 111, 109 et 107 revêtant la face supérieure du substrat 103, jusqu'à exposer la face supérieure de la couche diélectrique 105. L'amincissement est par exemple interrompu sur la face supérieure de la couche diélectrique de passivation 105.
- [0047] Un avantage du procédé décrit en relation avec les figures 1A à 1F est qu'il permet

de réaliser un remplissage de tranchées formées dans un substrat, en limitant les déformations du substrat sous l'effet des contraintes exercées par le matériau de remplissage des tranchées.

- [0048] Ceci est tout particulièrement intéressant lorsque la densité des tranchées à la surface du substrat est importante, par exemple supérieure à 9%, et tout particulièrement lorsque les tranchées sont profondes, par exemple de profondeur supérieure à 2 μm .
- [0049] Après l'étape de dépôt de la couche de silicium polycristallin 111 et avant le dépôt de la couche 113, un traitement thermique, par exemple un recuit de type RTP (de l'anglais « Rapid Thermal Processing » - traitement thermique rapide), peut avantageusement être mis en oeuvre, de façon à relaxer les contraintes des couches 109 et 111 avant le remplissage final par la couche 113. Le recuit est par exemple mis en oeuvre à une température comprise entre 800°C et 1200°C, par exemple de l'ordre 955°C. La durée du recuit est par exemple comprise entre 2 secondes Et 5 minutes.
- [0050] Dans l'exemple décrit en relation avec les figures 1A à 1E, la couche de silicium amorphe 109 déposée à l'étape de la [Fig.1C] est transformée en silicium polycristallin pendant l'étape de dépôt de la couche de silicium polycristallin 111.
- [0051] A titre de variante, une étape intermédiaire de recuit in-situ de la couche 109, conduisant à transformer le silicium amorphe de la couche 109 en silicium polycristallin, peut être mise en oeuvre avant le dépôt de la couche 111. Par recuit in-situ, on entend ici que le recuit est mis en oeuvre dans la chambre utilisée pour effectuer le dépôt à l'étape de la [Fig.1C], sans sortir la structure de la chambre entre le dépôt et le recuit. Le recuit est par exemple mis en oeuvre à une température supérieure à 560°C, par exemple comprise entre 580°C et 900°C.
- [0052] Le recuit in-situ de la couche de silicium amorphe 109 conduit là encore à transformer la couche 109 en une couche de silicium polycristallin tensile, c'est à dire exerçant une force de traction (étirement) du matériau du substrat 103, parallèlement au plan de la couche 109.
- [0053] La couche de silicium polycristallin 11 peut ensuite être déposée in-situ (dans le même équipement) sur la couche de silicium polycristallin 109, la suite du procédé étant identique à ce qui a été décrit précédemment.
- [0054] Les tranchées réalisées par les procédés décrits ci-dessus forment par exemple des murs d'isolation séparant latéralement différents éléments d'un circuit intégré, par exemple différents pixels d'un capteur d'images ou différentes cellules élémentaires de mémorisation d'un circuit mémoire. A titre de variante, ces tranchées forment des composants électroniques verticaux tels que des transistors verticaux ou des condensateurs verticaux.
- [0055] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et

variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier. En particulier, les modes de réalisation décrits ne se limitent pas aux exemples d'application mentionnés ci-dessus.

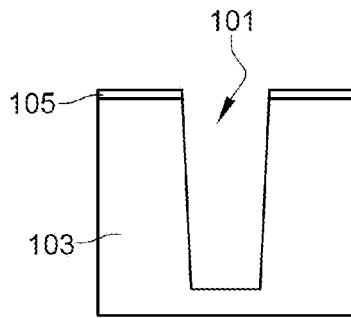
[0056] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

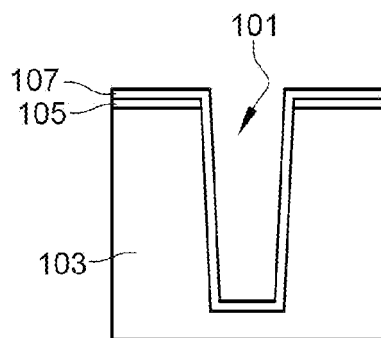
- [Revendication 1] Procédé de remplissage d'une tranchée (101) formée dans un substrat semiconducteur (103), comprenant les étapes successives suivantes :
- a) déposer une première couche (109) de silicium dans des conditions de dépôt amorphe sur les parois latérales et au fond de la tranchée (101) ;
 - b) déposer une deuxième couche (111) de silicium dans des conditions de dépôt polycristallin sur et en contact avec la première couche (109) ;
 - et
 - c) déposer une troisième couche (113) de silicium dopé dans des conditions de dépôt amorphe sur et en contact avec la deuxième couche (111) de manière à combler entièrement la tranchée (101), dans lequel, à l'issue de l'étape b), la première couche (109) est en silicium polycristallin présentant une taille de grain différente de celle de la deuxième couche (111).
- [Revendication 2] Procédé selon la revendication 1, dans lequel le silicium de la première couche (109) cristallise et passe d'un état amorphe à un état polycristallin pendant le dépôt de la deuxième couche (111), sous l'effet des conditions de dépôt de la deuxième couche (111).
- [Revendication 3] Procédé selon la revendication 1, comprenant, entre l'étape a) et l'étape b), une étape intermédiaire de recuit pendant laquelle le silicium de la première couche (109) cristallise et passe d'un état amorphe à un état polycristallin.
- [Revendication 4] Procédé selon l'une quelconque des revendications 1 à 3, dans lequel, à l'issue de l'étape c), la première couche (109) de silicium est tensile et la deuxième couche (111) de silicium est compressive.
- [Revendication 5] Procédé selon l'une quelconque des revendications 1 à 4, dans lequel la deuxième couche (111) de silicium est déposée in-situ, dans la même chambre de dépôt que la première couche (109) de silicium, sans extraire le substrat (103) de la chambre entre les deux dépôts.
- [Revendication 6] Procédé selon l'une quelconque des revendications 1 à 5, comprenant, avant l'étape a), une étape de dépôt d'une couche (107) diélectrique sur les parois latérales et au fond de la tranchée (101).
- [Revendication 7] Procédé selon la revendication 6, dans lequel, à l'étape a), la première couche (109) de silicium est déposée sur et en contact avec la couche diélectrique (107).
- [Revendication 8] Procédé selon l'une quelconque des revendications 1 à 7, dans lequel la première couche (109) de silicium est dopée in-situ lors de son dépôt.

- [Revendication 9] Procédé selon l'une quelconque des revendications 1 à 8, comprenant une étape d'amincissement du substrat (103) par sa face opposée à la tranchée (101) entre l'étape b) et l'étape c).
- [Revendication 10] Procédé selon la revendication 9, comprenant une étape de recuit thermique rapide entre l'étape d'amincissement et l'étape c).
- [Revendication 11] Dispositif électronique comportant une tranchée disposée dans un substrat semiconducteur (103), comportant :
- une première couche (109) de silicium polycristallin revêtant les parois latérales et le fond de la tranchée (103) ;
 - une deuxième couche (111) de silicium polycristallin sur et en contact avec la première couche (109) ; et
 - une troisième couche (113) de silicium dopé sur et en contact avec la deuxième couche (111), la troisième couche (113) finissant de combler entièrement la tranchée,
- dans lequel dans le silicium polycristallin de la première couche (109) présente une taille de grain différente de celle du silicium polycristallin de la deuxième couche (111).
- [Revendication 12] Dispositif selon la revendication 11, dans lequel le silicium polycristallin de la première couche (109) présente une taille de grain moyenne comprise entre 50 et 120 nm, et le silicium polycristallin de la deuxième couche (111) présente une taille de grain moyenne comprise entre 10 et 30 nm.

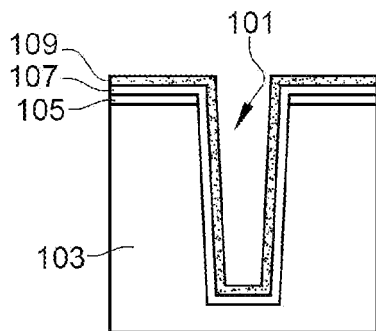
[Fig. 1A]

**Fig. 1A**

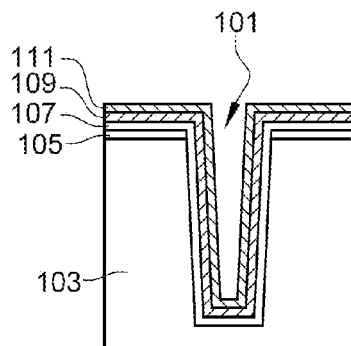
[Fig. 1B]

**Fig. 1B**

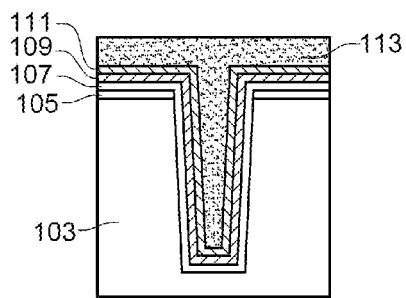
[Fig. 1C]

**Fig. 1C**

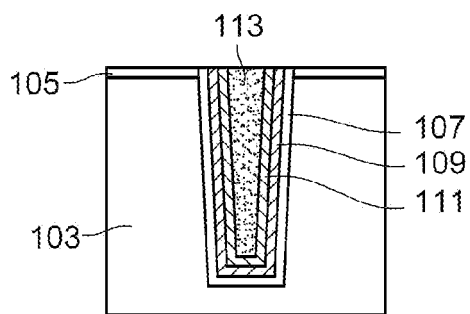
[Fig. 1D]

**Fig. 1D**

[Fig. 1E]

**Fig. 1E**

[Fig. 1F]

**Fig. 1F**

RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 910131
FR 2209435

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 5 913 125 A (BROUILLETTE DONALD WALTER [US] ET AL) 15 juin 1999 (1999-06-15)	11	H01L21/20
A	* colonne 5, ligne 55 - colonne 6, ligne 54; figures 6-8 *	1-10,12	
A	* colonne 4, lignes 59-62 * -----		
A	US 2022/165608 A1 (IM DONG-HYUN [KR] ET AL) 26 mai 2022 (2022-05-26)	1-12	
	* alinéas [0037] - [0041]; figures 1-2F * -----		
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
19 avril 2023		Ott, André	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE **RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2209435 FA 910131**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
 Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **19-04-2023**
 Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche		Date de publication		Membre(s) de la famille de brevet(s)	Date de publication
US 5913125 A		15-06-1999	JP	H0661447 A	04-03-1994
			JP	H0799771 B2	25-10-1995
			US	5913125 A	15-06-1999

US 2022165608 A1		26-05-2022	CN	112117322 A	22-12-2020
			KR	20200145974 A	31-12-2020
			US	2020402839 A1	24-12-2020
			US	2022165608 A1	26-05-2022
