

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4890010号
(P4890010)

(45) 発行日 平成24年3月7日(2012.3.7)

(24) 登録日 平成23年12月22日(2011.12.22)

(51) Int.Cl.		F I	
G09G	3/30	(2006.01)	G09G 3/30 J
G09G	3/20	(2006.01)	G09G 3/20 641E
			G09G 3/20 621E
			G09G 3/20 621A
			G09G 3/20 622K
			請求項の数 4 (全 22 頁) 最終頁に続く

(21) 出願番号	特願2005-341450 (P2005-341450)	(73) 特許権者	000153878
(22) 出願日	平成17年11月28日(2005.11.28)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2006-189803 (P2006-189803A)		神奈川県厚木市長谷398番地
(43) 公開日	平成18年7月20日(2006.7.20)	(72) 発明者	河江 大輔
審査請求日	平成20年11月20日(2008.11.20)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2004-353454 (P2004-353454)		半導体エネルギー研究所内
(32) 優先日	平成16年12月6日(2004.12.6)		
(33) 優先権主張国	日本国(JP)	審査官	西島 篤宏
		(56) 参考文献	特開2002-108364(JP, A)
)
			特開平08-237578(JP, A)
)
			特開2001-337643(JP, A)
)
			最終頁に続く

(54) 【発明の名称】 表示装置及びサブフレームの設定方法

(57) 【特許請求の範囲】

【請求項1】

1 フレームを n 個のサブフレーム SF_1, SF_2, \dots, SF_n に分割して、前記 1 フレーム中の発光時間の長さによって階調を表示する表示装置であって、

複数の画素を備える複数の行の集合により構成される画素アレイを有し、

前記複数の行の集合は $j = 2^i$ 個 (i は $1 \leq i \leq (n-1)/2$ を満たす自然数) の集合を有し、

第 1 乃至第 3 の処理により決定される前記 n 個のサブフレームの出現順序は、前記 j 個の集合毎に異なり、

前記第 1 の処理は、前記 j 個の集合それぞれに識別子 $q (1 \leq q \leq j)$ を付して序列を行なう処理であり、

前記第 2 の処理は、前記 j 個の集合それぞれについて、前記 n 個のサブフレームのうち $SF_n, SF_{n-1}, \dots, SF_{n-i+1}$ の出現順序を決定する処理であり、

前記第 3 の処理は、前記 j 個の集合それぞれについて、前記 n 個のサブフレームのうち $SF_1, SF_2, \dots, SF_{n-i}$ の出現順序を決定する処理であり、

前記第 2 の処理は、

前記複数の行に対して集合を 2 つに分割する処理を i 回施し、各分割を行う毎に、前記各分割によって得られた 2 つの集合それぞれにおいて前記 n 個のサブフレームのうち一のサブフレームを選択して、前記選択された一のサブフレームの出現順序を設定することにより行われる処理であり、

10

20

前記一のサブフレームの選択は、
 前記各分割を行うまでに前記選択がされていない前記 n 個のサブフレームのうち、フレーム期間が最も長いサブフレームを選択することにより行われ、
 前記選択された一のサブフレームの出現順序の設定は、

前記各分割によって得られた 2 つの集合のうち前記序列の前半に属する集合においては、前記選択された一のサブフレームの出現順序を、前記各分割を行うまでに前記設定がされていない出現順序のうち最も出現の遅い順序に設定することにより行われ、

前記各分割によって得られた 2 つの集合のうち前記序列の後半に属する集合においては、前記選択された一のサブフレームの出現順序を、前記各分割を行うまでに前記設定がされていない出現順序のうち最も出現の早い順序に設定することにより行われ、

10

前記第 3 の処理は、

前記 j 個の集合のうち前記識別子 q の値が奇数である集合においては、 $S F_1, S F_2, \dots, S F_{n-i}$ の出現順序を、 $S F_{(n-i)}, S F_{(n-i-1)}, \dots, S F_1$ の順に出現の早い順序から並べることにより行われ、

前記 j 個の集合のうち前記識別子 q の値が偶数である集合においては、 $S F_1, S F_2, \dots, S F_{n-i}$ の出現順序を、 $S F_1, S F_2, \dots, S F_{(n-i)}$ の順に出現の早い順序から並べることにより行われる処理であることを特徴とする表示装置。

【請求項 2】

請求項 1 において、

前記 j 個の集合は、それぞれ複数の行を含むことを特徴とする表示装置。

20

【請求項 3】

複数の画素を備える複数の行の集合により構成される画素アレイを有し、

1 フレーム中の発光時間の長さによって階調を表示する表示装置におけるサブフレームの設定方法であって、

前記 1 フレームを n 個のサブフレーム $S F_1, S F_2, \dots, S F_n$ に分割する第 1 の処理と、

前記複数の行の集合を $j = 2^i$ 個 (i は $1 \leq i \leq (n-1)/2$ を満たす自然数) の集合に分ける第 2 の処理と、

前記 j 個の集合それぞれに識別子 $q (1 \leq q \leq j)$ を付して序列を行う第 3 の処理と、

前記 j 個の集合それぞれについて、前記 n 個のサブフレームのうち $S F_n, S F_{n-1}, \dots, S F_{n-i+1}$ の出現順序を決定する第 4 の処理と、

30

前記 j 個の集合それぞれについて、前記 n 個のサブフレームのうち $S F_1, S F_2, \dots, S F_{n-i}$ の出現順序を決定する第 5 の処理と、を行い、

前記第 4 の処理は、

前記複数の行に対して集合を 2 つに分割する処理を i 回施し、各分割を行う毎に、前記各分割によって得られた 2 つの集合それぞれにおいて前記 n 個のサブフレームのうち一のサブフレームを選択して、前記選択された一のサブフレームの出現順序を設定することにより行い、

前記一のサブフレームの選択は、

前記各分割を行うまでに前記選択がされていない前記 n 個のサブフレームのうち、フレーム期間が最も長いサブフレームを選択することにより行い、

40

前記選択された一のサブフレームの出現順序の設定は、

前記各分割によって得られた 2 つの集合のうち前記序列の前半に属する集合においては、前記選択された一のサブフレームの出現順序を、前記各分割を行うまでに前記設定がされていない出現順序のうち最も出現の遅い順序に設定することにより行い、

前記各分割によって得られた 2 つの集合のうち前記序列の後半に属する集合においては、前記選択された一のサブフレームの出現順序を、前記各分割を行うまでに前記設定がされていない出現順序のうち最も出現の早い順序に設定することにより行い、

前記第 5 の処理は、

前記 j 個の集合のうち前記識別子 q の値が奇数である集合においては、 $S F_1, S F_2$

50

, ..., SF_{n-i} の出現順序を、 $SF_{(n-i)}$, $SF_{(n-i-1)}$, ..., SF_1 の順に出現の早い順序から並べることにより行い、

前記 j 個の集合のうち前記識別子 q の値が偶数である集合においては、 SF_1 , SF_2 , ..., SF_{n-i} の出現順序を、 SF_1 , SF_2 , ..., $SF_{(n-i)}$ の順に出現の早い順序から並べることにより行うことを特徴とするサブフレームの設定方法。

【請求項 4】

請求項 3 において、

前記 j 個の集合は、それぞれ複数の行を含むことを特徴とするサブフレームの設定方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明はアクティブマトリクス型表示装置、及びその駆動方法に関する。また、その表示装置を表示部に有する電子機器に関する。

【背景技術】

【0002】

表示素子を用いて多階調表示を行なうには、階調をなんらかの物理的な値によって表現し、それをもって前記素子を適切に制御する必要がある。例えば液晶素子であればアナログ電圧を印加することで、有機 EL 素子ではアナログ電流を流すことで、階調を表現することが行なわれている。しかしながらアナログ値を利用する方法は自ずとその表示精度に限界がある。特に近年その開発が活発な有機 EL 素子を用いたアクティブマトリクス型表示装置においては、TFT を用いて前記 EL 素子に流すアナログ電流値を制御しているため、TFT 特性のばらつきが直接表示特性に影響する。

20

【0003】

これに対し、階調を表現する物理的な値として時間を利用し、パルス幅変調を用いて階調を表現する方法が提案されている。すなわち、電気光学素子の発光時間をもって階調を表現する方法である。この方法では、電気光学素子は発光か非発光かの二つの状態しかとらないので、アナログ電圧やアナログ電流をもって制御する時のような表示精度の問題を本質的に持たない。また発光時間についても、あらかじめ定めた単位時間の整数倍という離散値をもって階調表現すれば、電気光学素子をアナログ値の介在なしに駆動することが

30

【0004】

前記方法を実現する時、典型的には、階調データをバイナリコードで表現し、各桁に対してその重み付けに比例した長さの保持期間を設定した上で、書き込み期間と保持期間からなるサブフレームを各桁に形成する。そして、各サブフレームを順次表示することで 1 フレームを形成し、1 フレーム期間における発光時間の積分値をもって階調を表現する。この方法では 2^n 階調を表現するのにデータの書き込み回数が n 回で済むため、効率がよい(以後、この方法をデジタル時間階調法と呼ぶ)。

【0005】

一方、アクティブマトリクス型の表示装置においては、一画面を形成する全画素を複数の集合に分割し、集合内の画素間では並列に、集合間では時分割にデータを書き込むことが行なわれている。従来は行毎に共通の走査線を設け、更に列毎に共通のデータ線を設けて、同一行に属する画素に対して並列に書き込むという動作を行間で時分割に行う、線順次駆動を採用している。

40

【非特許文献 1】K. Inukai et al., "4.0-in. TFT-LED Displays and a Novel Digital Driving Method", SID Dig. Tech. Papers, pp. 924-927, May 2000

【特許文献 1】特開 2002-32057 号公報

【特許文献 2】特開 2002-175047 号公報

50

【特許文献3】特許第2853998号公報

【特許文献4】PCT WO 01/52229パンフレット

【特許文献5】特開2003-208126号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ここで、アクティブマトリクス型表示装置にて線順次駆動とデジタル時間階調法を実行する際に、一つの課題が生じる。すなわち、デジタル時間階調法と線順次駆動の両者とも時間軸を用いて時分割にデータの書き込みを行なうため、それぞれに定められた書き込みの順序を矛盾なく実行するのが困難な場合がある。より具体的には、重み付けの小さい下位の桁に相当するサブフレームの保持期間（すなわち、最も長さの短いサブフレーム）に対して、全行の書き込みに要する時間の方が長い場合、同時に複数の行を走査する必要性が生じる。

10

【0007】

解決策の一つとして、通常の走査、書き込み機構とは別にリセット用の機構を新たに設け、保持期間の短いサブフレームの後に非発光の期間をつくり、当該サブフレームの書き込み動作が完了するのを待って次のサブフレームを開始する方法が提案されている（非特許文献1参照）。しかしながらこの方法の欠点の一つとして、画素内に新たな回路が必要となり、開口率の低下を招いてしまうということが挙げられる。また、画素内に新たな回路を付加することなく前記リセット動作を実現する方法も、特許文献1や特許文献2にて提案されているが、いずれにしても非発光期間を設けることによって、フレーム時間に対する発光時間の比（デューティー比）が低下してしまう問題が残る。

20

【0008】

これらに対し、前記リセット動作を行わずに、デューティー比を高く保つ方法も特許文献3や特許文献4で提案されている。これは、一行の書き込みに要する時間を複数のサブ期間に分割し、サブ期間毎に別の行に対する書き込みを実行することで、擬似的に複数行の同時走査を実現するというものである。しかしながら、この方法では、データ線の駆動周波数が高くなるため、消費電力が増大するという問題がある。また、特許文献5にて指摘されているように、各桁の保持期間の比をその重み付けの比と厳密に一致させることができないという問題点もある。

30

【0009】

本発明は以上で述べた問題点を鑑みたものであり、開口率の高い表示装置を用いつつも高デューティー比を保ちつつ消費電力の増大も抑えた駆動法を提供することが目的である。

【課題を解決するための手段】

【0010】

前記問題点は、最下位ビット（LSB：Least Significant Bit）に相当するサブフレームの保持期間に対して、全行の書き込みに要する時間が長い場合があることに起因している。そこで本発明では、画素アレイを行単位で複数の集合に分割し、書き込み動作の際は全行に渡って走査するのではなく、ある一つの集合に対してのみ走査することで、各集合の書き込みに要する時間をLSBに相当するサブフレームの保持期間より短くなるようにし、更に集合間でサブフレームの出現順序を変えることで、同時に複数の行を走査しなければならない状況を回避する。すなわち、本発明の内容をより詳細に述べると、 x 列 y 行の画素アレイを持つアクティブマトリクス型表示装置において、1フレームが複数のサブフレームから形成され、サブフレームは、データの書き込み期間と、書き込まれたデータに応じて発光もしくは非発光の状態を維持する保持期間、から形成される駆動法であり、更に、一行の画素への書き込みに要する時間を T_{write} 、保持期間で最短のものを T_{hold} としたとき、全部で y 行ある画素アレイは、 $T_{write} \times y / j \times T_{hold}$ を満たす j 個の集合のいずれかに行単位で属し、集合毎にサブフレームの出現順序が異なり、同一集合に属する行に対しては時間的に連続して走査が行なわ

40

50

れ、かつある集合に属する行に対して走査が行なわれている期間は残りの集合に属する行が全て保持期間であることを特徴とする駆動法である。

【0011】

つまり、本発明の表示装置は、1フレームを複数のサブフレームに分割して階調を表示する表示装置であって、画素がマトリクスに配置された画素アレイを有し、前記画素アレイは、サブフレームの出現順序が同じ画素の複数の行で構成される集合を複数有し、前記集合毎によって、サブフレームの出現順序が異なっている。

【0012】

本発明の表示装置の駆動方法は、1フレームを複数のサブフレームに分割して階調を表示する表示装置の駆動方法であって、複数の行の集合毎にサブフレームの出現順序が異なっている。

10

【0013】

本発明の表示装置の他の駆動方法は、1フレームを複数のサブフレームに分割して階調を表示する表示装置の駆動方法であって、複数の行の集合毎にサブフレームの出現順序が異なり、前記複数の行の集合の各々への書き込み期間は、最下位ビットに相当するサブフレームの保持期間より短くなっている。

【0014】

本発明の表示装置の駆動方法は、1フレームを複数のサブフレームに分割して階調を表示する x 列 y 行の画素アレイを有する表示装置の駆動方法であって、1行の画素への信号の書き込みに要する時間を T_{write} 、最下位ビットに相当するサブフレームの保持期間を T_{hold} としたとき、 $T_{write} \times y / j < T_{hold}$ を満たす複数の行の集合からなる j 個の集合毎にサブフレームの出現順序が異なっている。

20

【0015】

本発明の表示装置の駆動方法は、上記構成において、同一の集合に属する画素の行に対しては時間的に連続して信号の書き込みのための走査が行われ、且つ他の集合に属する画素の行は全て保持期間となっている。

【発明の効果】

【0016】

本発明によれば、アクティブマトリクス型表示装置においてデジタル時間階調方法を実行する際に、リセット動作を必要としないため、高開口率、高デューティ比共に維持することができ、またデータ線の駆動周波数も低く抑えられるため、従来の技術を用いた場合と較べて消費電力を抑えることが可能となる。

30

【発明を実施するための最良の形態】

【0017】

x 列 y 行の画素アレイを持つアクティブマトリクス型表示装置において、 2^n 階調の表示を行なう場合について説明する。

【0018】

本実施の形態では、全部で y 行ある画素アレイは、 $T_{write} \times y / j < T_{hold}$ を満たす j 個の集合のいずれかに行単位で属している。

【0019】

ただし、 $j = 2^i$ (i は $1 \leq i \leq (n-1)/2$ を満たす自然数)とする。

40

【0020】

なお、以下では、各集合に含まれる行数は y/j で等しいとするが、各集合に含まれる行数が不均等の場合でも、行数の最大値 k が $T_{write} \times k < T_{hold}$ を満たせば同様の議論が成り立つ。

【0021】

階調データはバイナリコードで表現され、各桁に対してその重み付けに比例した長さの保持期間を設定した上で、書き込み期間と保持期間からなるサブフレームを各桁に形成し、各サブフレーム SF_p (添字 p は対応する桁を表し、 $1 \leq p \leq n$ で、LSBを1、MSB (Most Significant Bit (最上位ビット)) を n とする) を順次

50

表示することで1フレームを形成する。

【0022】

ここで、集合毎にサブフレームの出現順序の異なることが本発明の特徴である。以下では、サブフレームの出現順序を決める手順について説明する。

【0023】

まず、全部で j 個ある集合 G_q (添字 q は集合を識別するための情報で、 $1 \leq q \leq j$) を、 q が小さい順に序列化する。そして序列の前半に属する集合 ($G_1, G_2, \dots, G_{(j/2)}$) は SF_n を n 番目に設定し、序列の後半に属する集合 ($G_{((j/2)+1)}, G_{((j/2)+2)}, \dots, G_j$) は SF_n を1番目に設定する。

【0024】

次に、前記序列の前半に属する集合 ($G_1, G_2, \dots, G_{(j/2)}$) を、更に前半と後半に2分割し、前者の集合 ($G_1, G_2, \dots, G_{(j/4)}$) は $SF_{(n-1)}$ を $n-1$ 番目に、後者の集合 ($G_{((j/4)+1)}, G_{((j/4)+2)}, \dots, G_{(j/2)}$) は $SF_{(n-1)}$ を1番目に設定する。同様に、前記序列の後半に属する集合 ($G_{((j/2)+1)}, G_{((j/2)+2)}, \dots, G_j$) に対しても更に前半と後半に2分割し、前者の集合 ($G_{((j/2)+1)}, G_{((j/2)+2)}, \dots, G_{(3j/4)}$) は $SF_{(n-1)}$ を n 番目に、後者の集合 ($G_{((3j/4)+1)}, G_{((3j/4)+2)}, \dots, G_j$) は $SF_{(n-1)}$ を2番目に設定する。

【0025】

以後、同様の手順を i 回繰り返す。 i 回目のステップでは全集合 (G_1, G_2, \dots, G_j) を $2^i = j$ 個に分割し、個々の集合 G_q を対象としてサブフレームの順番を設定することになる。

【0026】

この時、 i 回のステップで i 桁分のサブフレームの順番が決定しているので、各集合において順番の決まってないサブフレームが $n-i$ 個あるが、集合につけられた識別子 q が奇数であれば $SF_{(n-i)}, SF_{(n-i-1)}, \dots, SF_1$ と並べ、 q が偶数であれば $SF_1, SF_2, \dots, SF_{(n-i)}$ と並べる。

【0027】

このようにして決定されたサブフレームの出現順序をもつ集合 G_1, G_2, \dots, G_j から成る画素アレイを用いて、階調表示を行なう。

【0028】

例として、行数 y 、階調数 $2^n = 32$ 、集合数 $j = 4$ における1フレーム分のタイミングチャートを図1に示す。横軸が時間、縦軸が走査対象行を示しており、斜めに描かれた実線101が走査対象行に対する書き込み動作のタイミングを表している。なおここでは簡単に図示するため、1つの集合、すなわち $(y/4)$ 行の走査にかかる時間 $T_{write}(y/4)$ と、 SF_1 での最短の保持期間 T_{hold} を等しいものとした。

【0029】

横方向に伸びる全部で5本の点線102のうち2本は、一番上を1行目として、一番下が y 行目を示し、途中の行は省略している。残りの3本の点線は集合間の境界を示しており、 y 行すべてが4つの集合 G_1, G_2, G_3, G_4 に分割され、集合毎にサブフレームの出現順序が異なることを表している。なお、図1の縦軸は画素アレイ内での物理的な位置と一致している必要はない。いいかえると、同一集合に属する行が画素アレイ内で物理的に連続した位置にある必要はない。重要なのは、同一集合に属する行に対しては時間的に連続して走査が行なわれるということと、フレームの開始時点では序列化された集合がその順序に従って走査されるという点である。

【0030】

縦方向に伸びる多数の点線103を参照すれば容易に理解できるように、任意の時刻において、走査対象となっている行の数は1以下である。従って、本発明によって、同時に複数の行を走査しなければいけない状況を回避することができる。

10

20

30

40

50

【0031】

以上、本実施の形態では、全部で y 行ある画素アレイの分割数を $j = 2^i$ に限定しているが、これは $i = (n - 1) / 2$ さえ満たせばいかなる場合にも適用できる好ましい形態である。但し、本発明は $j = 2^i$ に限定されず、前記分割数を任意の整数に設定することも可能であるし、また分割後の各集合におけるサブフレームの出現順序についても多くの異なる態様で実施することが可能であることは、当業者であれば容易に理解される。従って、本発明は、本実施の形態の記載内容に限定して解釈されるものではない。

【実施例1】

【0032】

本実施例において、本発明のアクティブマトリクス型表示装置の構成例及びその表示装置を表示部に有する電子機器の例について示す。

10

【0033】

図2に画素の構成例を示す。画素はスイッチング用トランジスタ201、容量素子202、駆動トランジスタ203、表示素子204、データ線205、電源線206、走査線207を有する。

【0034】

スイッチング用トランジスタ201は、ゲート端子が走査線207に接続され、第1端子(ソース端子又はドレイン端子)がデータ線205に接続され、第2端子(ソース端子又はドレイン端子)が駆動トランジスタ203のゲート端子と、容量素子202を介して電源線206と接続されている。また、駆動トランジスタ203は、第1端子(ソース端子又はドレイン端子)が電源線206と接続され、第2端子(ソース端子又はドレイン端子)が表示素子204の陽極と接続されている。なお、表示素子204の陰極は低電源電位 V_{ss} の設定された配線208と接続されている。なお、 V_{ss} とは、発光期間に表示素子204に電流を供給するため電源線206に設定する電源電位 V_{dd} を基準として、 $V_{dd} > V_{ss}$ を満たす電位である。

20

【0035】

次に画素の動作について説明する。

【0036】

走査線207が選択され、スイッチング用トランジスタ201がオンし、データ線205から信号を容量素子202に入力する。すると、その信号に応じて駆動トランジスタ203のオンオフが制御される。駆動トランジスタ203がオンのときには、電源線206から駆動トランジスタ203及び表示素子204を通して配線208に電流が流れる。そして、駆動トランジスタ203がオフのときには駆動トランジスタ203に電流は流れない。つまり表示素子204に電流は流れない。よって、データ線205からの信号により表示素子204を発光又は非発光にすることができる。保持期間において容量素子202がデータ線205からの信号を保持することにより、この状態を保持することができる。

30

【0037】

次に、表示装置の構成について説明する。

【0038】

表示装置は、図3に示すように、画素アレイ301、走査線駆動回路(Gate Driver)302、データ線駆動回路310を有している。走査線駆動回路302は、アドレスデコードの機能を有しており、画素アレイ301に選択信号を出力する。走査線駆動回路302は、デコーダの代わりにシフトレジスタとセレクタで構成することも可能である。

40

【0039】

このほかにも、走査線駆動回路302は、バッファ回路や、レベルシフタ回路やパルス幅制御回路などが配置されている場合も多い。データ線駆動回路310は、画素アレイ301にビデオ信号を順次出力する。シフトレジスタ(Shift Register)303では、第1ラッチ回路(LAT1)304を順次選択していくようなパルスを出力する。画素アレイ301では、ビデオ信号に従って、光の状態を制御することにより、画像

50

を表示する。データ線駆動回路310から画素アレイ301へ入力するビデオ信号は、電圧である場合が多い。つまり、各画素に配置された表示素子や表示素子を制御する素子は、データ線駆動回路310から入力されるビデオ信号（電圧）によって、状態を変化させる。画素アレイ301の画素に配置する表示素子の例としては、EL素子やFED（フィールドエミッションディスプレイ）で用いる素子や液晶やDMD（デジタル・マイクロミラー・デバイス）などがあげられる。画素に用いる表示素子としてEL素子を用いる場合には、図2で示した画素を画素アレイ301にマトリクスに配置することができる。

【0040】

なお、走査線駆動回路302やデータ線駆動回路310は、複数配置されていてもよい。

10

【0041】

データ線駆動回路310は、構成を複数の部分に分けられる。大まかには、一例として、シフトレジスタ303、第1ラッチ回路（LAT1）304、第2ラッチ回路（LAT2）305、増幅回路306に分けられる。増幅回路306には、デジタル信号をアナログに変換する機能も有していたり、ガンマ補正を行う機能も有していてもよい。

【0042】

また、画素は、EL素子などの表示素子を有している。その表示素子に電流（ビデオ信号）を出力する回路、すなわち、電流源回路を有していることもある。

【0043】

そこで、データ線駆動回路310の動作を簡単に説明する。シフトレジスタ303は、クロック信号（S-CLK）、スタートパルス（SP）、クロック反転信号（S-CLKb）が入力され、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

20

【0044】

シフトレジスタ303より出力されたサンプリングパルスは、第1ラッチ回路（LAT1）304に入力される。第1ラッチ回路（LAT1）304には、ビデオデータ線308より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

【0045】

第1ラッチ回路（LAT1）304において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線309よりラッチパルス（Latch Pulse）が入力され、第1ラッチ回路（LAT1）304に保持されていたビデオ信号は、一斉に第2ラッチ回路（LAT2）305に転送される。その後、第2ラッチ回路（LAT2）305に保持されたビデオ信号は、1行分が同時に、増幅回路306へと入力される。そして、増幅回路306から出力される信号は、画素アレイ301へ入力される。

30

【0046】

第2ラッチ回路（LAT2）305に保持されたビデオ信号が増幅回路306に入力され、そして、画素アレイ301に入力されている間、シフトレジスタ303においては再びサンプリングパルスが出力される。つまり、同時に2つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

40

【0047】

なお、データ線駆動回路やその一部（電流源回路や増幅回路など）は、画素アレイ301と同一基板上に存在せず、例えば、外付けのICチップを用いて構成されることもある。

【0048】

また、本発明の表示装置の画素アレイ301は、複数の行の集合311a、311b、311c、311dからなる。

【0049】

これらの画素アレイ311a、311b、311c、311dはそれぞれ異なった順序でサブフレームが出現する。詳しくは実施の形態1で示したようにサブフレームの順番を

50

設定することができる。

【 0 0 5 0 】

本実施例で示した表示装置は高精細表示としても、フレーム周波数を低く抑えられるため消費電力を低減することができる。また、高開口率、高デューティー比を維持することが可能であるため、瞬間輝度が低くても十分な光度を得られる。よって、表示素子の信頼性も優れている。

【 0 0 5 1 】

また、本発明の表示装置を表示部に有する電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それらの電子機器の具体例を図4に示す。

10

【 0 0 5 2 】

図4（A）は発光装置であり、筐体4001、支持台4002、表示部4003、スピーカ部4004、ビデオ入力端子4005等を含む。本発明は表示部4003を構成する表示装置に用いることができる。また、本発明により、低消費電力で高精細な表示が可能となり、図4（A）に示す発光装置が完成される。なお、発光装置は、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

20

【 0 0 5 3 】

図4（B）はデジタルカメラであり、本体4101、表示部4102、受像部4103、操作キー4104、外部接続ポート4105、シャッター4106等を含む。本発明は、表示部4102を構成する表示装置に用いることができる。また、本発明により、低消費電力で高精細な表示が可能となり、図4（B）に示すデジタルカメラが完成される。

【 0 0 5 4 】

図4（C）はコンピュータであり、本体4201、筐体4202、表示部4203、キーボード4204、外部接続ポート4205、ポインティングマウス4206等を含む。本発明は、表示部4203を構成する表示装置に用いることができる。また、本発明により、低消費電力で高精細な表示が可能となり、図4（C）に示すコンピュータが完成される。

30

【 0 0 5 5 】

図4（D）はモバイルコンピュータであり、本体4301、表示部4302、スイッチ4303、操作キー4304、赤外線ポート4305等を含む。本発明は、表示部4302を構成する表示装置に用いることができる。また、本発明により、低消費電力で高精細な表示が可能となり、図4（D）に示すモバイルコンピュータが完成される。

【 0 0 5 6 】

図4（E）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体4401、筐体4402、表示部A4403、表示部B4404、記録媒体（DVD等）読み込み部4405、操作キー4406、スピーカ部4407等を含む。表示部A4403は主として画像情報を表示し、表示部B4404は主として文字情報を表示するが、本発明は、表示部A、B4403、4404を構成する表示装置に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また、本発明により、低消費電力で高精細な表示が可能となり、図4（E）に示すDVD再生装置が完成される。

40

【 0 0 5 7 】

図4（F）はゴーグル型ディスプレイであり、本体4501、表示部4502、アーム部4503を含む。本発明は、表示部4502を構成する表示装置に用いることができる。また、本発明により、低消費電力で高精細な表示が可能となり、図4（F）に示すゴーグル型ディスプレイが完成される。

50

【0058】

図4(G)はビデオカメラであり、本体4601、表示部4602、筐体4603、外部接続ポート4604、リモコン受信部4605、受像部4606、バッテリー4607、音声入力部4608、操作キー4609、接眼部4610等を含む。本発明は、表示部4602を構成する表示装置に用いることができる。また、本発明により、低消費電力で高精細な表示が可能となり、図4(G)に示すビデオカメラが完成される。

【0059】

図4(H)は携帯電話であり、本体4701、筐体4702、表示部4703、音声入力部4704、音声出力部4705、操作キー4706、外部接続ポート4707、アンテナ4708等を含む。本発明は、表示部4703を構成する表示装置に用いることができる。また、本発明により、低消費電力で高精細な表示が可能となり、図4(H)に示す携帯電話が完成される。

10

【0060】

なお、表示素子に発光素子を用いた場合、将来的に発光材料の発光輝度が高くなれば、

出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0061】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。表示素子に発光素子を用いた場合、発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

20

【0062】

また、表示素子に発光素子を用いた場合、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0063】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが

30

可能である。

【実施例2】

【0064】

実施例1で説明した表示装置の一構成例について図面を参照して説明する。

【0065】

図5で示す画素410は、二つのトランジスタを備えた画素の構成を示している。画素410はデータ線 D_x (x は自然数、 $1 \leq x \leq m$)と、走査線 G_y (y は自然数、 $1 \leq y \leq n$)が絶縁層を介して交差して設けられている。画素410は、EL素子405、容量素子407、スイッチング用トランジスタ406及び駆動用トランジスタ404を有している。スイッチング用トランジスタ406は、ビデオ信号の入力を制御し、駆動用トランジスタ404はEL素子405の発光と非発光を制御する。これらのトランジスタは電界効果トランジスタであり、例えば、薄膜トランジスタを利用することができる。

40

【0066】

スイッチング用トランジスタ406のゲートは走査線 G_y に接続し、ソース電極及びドレインの一方はデータ線 D_x に接続し、他方は駆動用トランジスタ404のゲートに接続する。駆動用トランジスタ404のソース及びドレインの一方は電源線 V_x (x は自然数、 $1 \leq x \leq m$)を介して第2電源線421に接続し、他方はEL素子405に接続する。EL素子405において、第1電源線420に接続しない他方の端子は駆動用トランジスタ404を介して第2電源線421に接続する。

【0067】

50

容量素子407は駆動用トランジスタ404のゲートとソース又はドレインの間に設けられる。スイッチング用トランジスタ406と駆動用トランジスタ404は、nチャネル型又はpチャネル型を選択することができる。図5で示す画素410は、スイッチング用トランジスタ406をnチャネル型、駆動用トランジスタ404をpチャネル型とした場合を示している。第1電源線420の電位と第2電源線421の電位も特に制約されない。EL素子405に順方向電圧又は逆方向電圧が印加されるように、互いに異なる電位に設定する。

【0068】

このような画素410のEL素子405の発光色を異ならせることによりカラー表示を行うことができる。発光色は、赤、緑、青による三色の組み合わせの他に、エメラルドグリーンを加えた四色としても良い。また、朱色を加えても良い。このように、発光色を増やすことにより、色再現性を向上させることができる。また、白色発光するEL素子を含む画素を組み合わせても良い。それにより、画質を向上させることができる。

10

【0069】

このような画素410の平面図を図6に示す。スイッチング用トランジスタ406、駆動用トランジスタ404及び容量素子407が配置されている。第1電極461は、EL素子405の一方の電極であり、この上に発光層を積層することにより駆動用トランジスタ404に接続するEL素子405を形成する。開口率を大きくするために、容量素子407は電源線Vxと重畳して設けられている。

【0070】

20

また、図6に示すA-B-Cの切断線に対応する断面構造を図7に示す。ガラスや石英などの絶縁表面を有する基板450上にスイッチング用トランジスタ406、駆動用トランジスタ404、EL素子405、容量素子407が設けられている。スイッチング用トランジスタ406はオフ電流を低減するためにマルチゲートとすることが好ましい。スイッチング用トランジスタ406と駆動用トランジスタ404のチャネル部を形成する半導体は、さまざまなものが適用できる。例えば、シリコンを主成分とする非晶質半導体、セミアモルファス半導体（微結晶半導体ともいう）又は多結晶半導体を用いることができる。その他に、有機半導体を用いることもできる。セミアモルファス半導体は、シランガス（SiH₄）とフッ素ガス（F₂）を用いて形成するか、シランガスと水素ガスを用いて形成する。また、スパッタリング法などの物理的成膜法又は気相成長法など化学的成膜法で形成した非晶質半導体を、レーザービームなど電磁エネルギーの照射により結晶化させた多結晶半導体を用いることができる。スイッチング用トランジスタ406及び駆動用トランジスタ404のゲートは、基板側から順に窒化タングステン（WN）、タングステン（W）の積層構造や、モリブデン（Mo）、アルミニウム（Al）、モリブデン（Mo）の積層構造、窒化モリブデン（MoN）、モリブデン（Mo）の積層構造を採用するとよい。

30

【0071】

スイッチング用トランジスタ406と駆動用トランジスタ404のソース又はドレインに接続する配線454、455、456、457は、導電性材料により単層又は積層で形成する。例えば、上から順にチタン（Ti）、アルミニウムシリコン（Al-Si）、Tiの積層構造や、Mo、Al-Si、Moの積層構造、MoN、Al-Si、MoNの積層構造である。これらの配線454、455、456、457は第1絶縁層403上に形成される。

40

【0072】

EL素子405は、画素電極に相当する第1電極461、発光層462、対向電極に相当する第2電極463の積層構造を有している。第1電極461の端部は隔壁層460で囲まれている。発光層462と第2電極463は、隔壁層460の開口部で第1電極461と重畳するように積層されている。この重畳する部位がEL素子405となる。第1電極461、第2電極463の両者が透光性を有する場合、EL素子405は、第1電極461に向かう方向と、第2電極463に向かう方向に光を発する。つまりEL素子405

50

は双方向に光を放射する構成となる。また、第1電極461と第2電極463の一方が透光性を有し、他方が遮光性を有する場合、EL素子405は第1電極461に向かう方向か、第2電極463に向かう方向に光を発する。つまりEL素子405は上面又は下面から光を発する。

【0073】

図7は、EL素子405が下面から光を発する場合の断面構造を例示している。容量素子407は、駆動用トランジスタ404のゲートとソースの間に配置され、そのゲート及びソース間電圧を保持する。容量素子407は、スイッチング用トランジスタ406と駆動用トランジスタ404を形成する半導体層と同じ層に設けられた半導体層451と、スイッチング用トランジスタ406と駆動用トランジスタ404のゲートと同じ層に設けられた導電層402a、402b（以下総称して導電層402と表記）と、その間の絶縁層により容量を形成する。

10

【0074】

また、容量素子407は、スイッチング用トランジスタ406と駆動用トランジスタ404のゲートと同じ層に設けられた導電層402と、スイッチング用トランジスタ406と駆動用トランジスタ404のソース及びドレインに接続する配線454、455、456、457と同じ層に設けられた配線458と、その間の絶縁層により容量を形成する。これにより、容量素子407は駆動用トランジスタ404のゲートとソース間電圧を保持するのに十分な容量を得ることができる。また、容量素子407は、電源線を構成する導電層に重畳させて形成することで、容量素子407の配置による開口率の減少を抑えている。

20

【0075】

スイッチング用トランジスタ406と駆動用トランジスタ404のソース又はドレインに接続する配線454、455、456、457、458の厚さは、500～2000nm、好ましくは500～1300nmである。配線454、455、456、457、458は、データ線D_xや電源線V_xを構成しているため、上記特徴のように、配線454、455、456、457、458の膜厚を厚くすることで、電圧降下による影響を抑制することができる。

【0076】

第1絶縁層403と第2絶縁層459は、酸化珪素や窒化珪素等の無機材料、ポリイミド、アクリル等の有機材料等を用いて形成する。第1絶縁層403と第2絶縁層459を同じ材料で形成してもよいし、互いに異なる材料で形成してもよい。有機材料としては、シロキサン系樹脂を用いればよい。シロキサンはシリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）を有する。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

30

【0077】

このような画素アレイの構成は、実施例1における図3で示す画素アレイ301に適用することができる。

【実施例3】

40

【0078】

本発明の表示装置の一形態である、画素アレイ411と、走査線駆動回路408と、データ線駆動回路409とを搭載したパネルについて説明する。基板450上には、EL素子405を含む画素を複数有する画素アレイ411、走査線駆動回路408、データ線駆動回路409及び接続フィルム467が設けられる（図8（A）参照）。接続フィルム467は外部回路と接続する。

【0079】

図8（B）は、図8（A）のパネルのA-Bにおける断面図を示し、画素アレイ411に設けられた駆動用トランジスタ404とEL素子405と容量素子407と、データ線駆動回路409に設けられたトランジスタを示す。画素アレイ411と走査線駆動回路4

50

08、データ線駆動回路409の周囲にはシール材464が設けられ、EL素子405は、シール材464と対向基板466により封止される。この封止処理は、EL素子405を水分から保護するための処理であり、ここではカバー材（ガラス、セラミックス、プラスチック、金属等）により封止する方法を用いるが、熱硬化性樹脂や紫外光硬化性樹脂を用いて封止する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法を用いてもよい。基板450上に形成される素子は、非晶質半導体に比べて移動度等の特性が良好な結晶質半導体（ポリシリコン）により形成することが好適であり、そうすると、同一表面上におけるモノリシック化が実現される。上記構成を有するパネルは、接続する外部ICの個数が減少するため、小型、軽量、薄型が実現される。

【0080】

なお上記の図8に示す構成では、EL素子405の第1電極461は透光性を有し第2電極463は遮光性を有する。従って、EL素子405は基板450側に光を放射する。図9(A)で示すように、上記とは異なる構成として、EL素子405の第1電極461は遮光性を有し第2電極463は透光性を有する構成とすることもできる。この場合、EL素子405は上面から光を放射する。また、図9(B)に示すように、上記とは異なる構成として、EL素子405の第1電極461と第2電極463の両者を透光性電極として、両面から光を放射する構成とすることも出来る。

【0081】

なお、画素アレイ411は絶縁表面上に形成された非晶質半導体（アモルファスシリコン）をチャンネル部としたトランジスタにより構成し、走査線駆動回路408及びデータ線駆動回路409はドライバICにより構成してもよい。ドライバICは、COG方式により基板450上に実装する、又は基板450に接続する接続フィルム467に実装してもよい。非晶質半導体は、CVD法を用いることで、大面積の基板に簡単に形成することができ、かつ結晶化の工程が不要であることから、安価なパネルの提供を可能とする。また、この際、インクジェット法に代表される液滴吐出法により導電層を形成すると、より安価なパネルの提供を可能とする。

【0082】

このような画素アレイの構成は、実施例1における図3で示す画素アレイ301に適用することができる。

【実施例4】

【0083】

図10(A)は、パネル1とプリント配線基板2を組み合わせたモジュールを示している。パネル1は、EL素子が各画素に設けられた画素アレイ3と、第1の走査線駆動回路4、第2の走査線駆動回路5と、選択された画素にビデオ信号を供給するデータ線駆動回路6を備えており、この構成は実施例1と同様である。

【0084】

プリント配線基板2には、ディスプレイコントローラ7、中央処理装置(CPU)8、メモリ9、電源回路10、音声処理回路11及び送受信回路12などが備えられている。プリント配線基板2とパネル1は、フレキシブル配線基板(FPC)13により接続されている。プリント配線基板2には、容量素子、バッファ回路などを設け、電源電圧や信号にノイズがのったり、信号の立ち上がりが鈍ったりすることを防ぐ構成としても良い。また、コントローラ7、音声処理回路11、メモリ9、CPU8、電源回路10などは、COG(Chip on Glass)方式を用いてパネル1に実装することもできる。COG方式により、プリント配線基板2の規模を縮小することができる。

【0085】

プリント配線基板2に備えられたインターフェース部14(I/F部14)を介して、キースイッチやスタイラスペンなどの入力手段25などの各種制御信号の入出力が行われる。また、アンテナとの間の信号の送受信を行なうためのアンテナ用ポート15が、プリント配線基板2に設けられている。

【0086】

図10(B)は、図10(A)に示したモジュールのブロック図を示す。このモジュールは、メモリ9としてVRAM16、DRAM17、フラッシュメモリ18などが含まれている。VRAM16にはパネルに表示する画像のデータが、DRAM17には画像データまたは音声データが、フラッシュメモリ18には各種プログラムが記憶されている。

【0087】

電源回路10は、パネル1、ディスプレイコントローラ7、CPU8、音声処理回路11、メモリ9、送受信回路12を動作させる電力を供給する。またパネルの仕様によっては、電源回路10に電流源が備えられている場合もある。

【0088】

CPU8は、制御信号生成回路20、デコーダ21、レジスタ22、演算回路23、RAM24、CPU8用のインターフェース19などを有している。インターフェース19を介してCPU8に入力された各種信号は、一旦レジスタ22に保持された後、演算回路23、デコーダ21などに入力される。演算回路23では、入力された信号に基づき演算を行い、各種命令を送る場所を指定する。一方デコーダ21に入力された信号はデコードされ、制御信号生成回路20に入力される。制御信号生成回路20は入力された信号に基づき、各種命令を含む信号を生成し、演算回路23において指定された場所、具体的にはメモリ9、送受信回路12、音声処理回路11、ディスプレイコントローラ7などに送る。

10

【0089】

送受信回路12では、アンテナ28において電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路12において送受信される信号のうち音声情報を含む信号が、CPU8からの命令に従って、音声処理回路11に送られる。

20

【0090】

CPU8の命令に従って送られてきた音声情報を含む信号は、音声処理回路11において音声信号に復調され、スピーカ27に送られる。またマイク26から送られてきた音声信号は、音声処理回路11において変調され、CPU8からの命令に従って、送受信回路12に送られる。

30

【0091】

ディスプレイコントローラ7、CPU8、電源回路10、音声処理回路11、メモリ9を、本実施例のパッケージとして実装することができる。本実施例は、アイソレータ、バンドパスフィルタ、VCO(Voltage Controlled Oscillator)、LPF(Low Pass Filter)、カプラ、バランなどの高周波回路以外であれば、どのような回路にも応用することができる。

【0092】

本実施例のモジュールは、ディスプレイコントローラによって、画素アレイの集合毎にサブフレームの出現順序を変えることができる。

【実施例5】

40

【0093】

本実施例は、実施例4で説明したパネルで携帯電話機90を完成させる一例について例示する。

【0094】

図11で示す携帯電話機は、操作スイッチ類94、マイクロフォン95などが備えられた本体(A)91と、表示パネル(A)98、表示パネル(B)99、スピーカ96などが備えられた本体(B)92とが、蝶番80で開閉可能に連結されている。表示パネル(A)98と表示パネル(B)99は、回路基板97と共に本体(B)92の筐体93の中に収納される。表示パネル(A)98及び表示パネル(B)99の画素アレイは筐体93に形成された開口窓から視認できよう配置される。

50

【 0 0 9 5 】

表示パネル（ A ） 9 8 と表示パネル（ B ） 9 9 は、その携帯電話機の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル（ A ） 9 8 を主画面とし、表示パネル（ B ） 9 9 を副画面として組み合わせることができる。

【 0 0 9 6 】

表示パネル（ A ） 9 8 を文字や画像を表示する高精細のカラー表示画面とし、表示パネル（ B ） 9 9 を文字情報を表示する単色の情報表示画面とすることができる。特に表示パネル（ B ） 9 9 をアクティブマトリクス型として、高精細化をすることにより、さまざまな文字情報を表示して、一画面当たりの情報表示密度を向上させることができる。例えば、表示パネル（ A ） 9 8 を、2 ～ 2 . 5 インチで 6 4 階調、2 6 万色の Q V G A （ 3 2 0 ドット × 2 4 0 ドット ） とし、表示パネル（ B ） 9 9 を、単色で 2 ～ 8 階調、1 8 0 ～ 2 2 0 p p i の高精細パネルとして、ローマ字、ひらがな、カタカナをはじめ、漢字やアラビア文字などを表示することができる。

10

【 0 0 9 7 】

実施例 4 で示すモジュールを携帯電話機に搭載することにより、低消費電力化を図ることができる。それにより、モジュールの中にチューナを組み入れ、地上波デジタル放送を受信する場合にも、長時間動画を鑑賞することができ、画質を向上させることができる。

【 0 0 9 8 】

本実施例に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番 8 0 の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類 9 4、表示パネル（ A ） 9 8、表示パネル（ B ） 9 9 を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施例の構成を適用しても、同様な効果を得ることができる。

20

【 図面の簡単な説明 】

【 0 0 9 9 】

【 図 1 】 本発明の駆動法の一例を示すタイミングチャート。

【 図 2 】 実施例 1 に示す画素構成。

【 図 3 】 実施例 1 に示す表示装置。

【 図 4 】 実施例 1 に示す電子機器。

30

【 図 5 】 本発明の表示装置に適用できる画素の回路の一例を示す図。

【 図 6 】 本発明の表示装置に適用できる画素の一例を示す平面図。

【 図 7 】 本発明の表示装置に適用できる画素の一例を示す断面図。

【 図 8 】 本発明に係るパネルの構成を示す図。

【 図 9 】 本発明に係るパネルの構成を示す図。

【 図 1 0 】 本発明に係るモジュールの構成例を示す図。

【 図 1 1 】 本発明に係る携帯電話機の構成例を示す図。

【 符号の説明 】

【 0 1 0 0 】

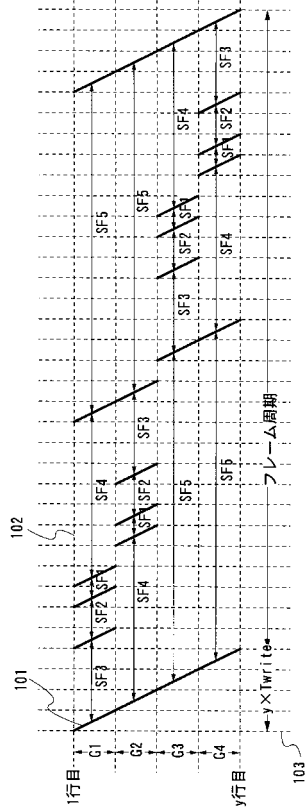
- | | | |
|-----|-----------------|----|
| 1 | パネル | 40 |
| 2 | プリント配線基板 | |
| 3 | 画素アレイ | |
| 4 | 第 1 の走査線駆動回路 | |
| 5 | 第 2 の走査線駆動回路 | |
| 6 | データ線駆動回路 | |
| 7 | ディスプレイコントローラ | |
| 8 | 中央処理装置（ C P U ） | |
| 9 | メモリ | |
| 1 0 | 電源回路 | |
| 1 1 | 音声処理回路 | 50 |

1 2	送受信回路	
1 3	フレキシブル配線基板 (F P C)	
1 4	インターフェース部	
1 5	アンテナ用ポート	
1 6	V R A M	
1 7	D R A M	
1 8	フラッシュメモリ	
1 9	インターフェース	
2 0	制御信号生成回路	
2 1	デコーダ	10
2 2	レジスタ	
2 3	演算回路	
2 4	R A M	
2 6	マイク	
2 7	スピーカ	
2 8	アンテナ	
8 0	蝶番	
9 1	本体 (A)	
9 2	本体 (B)	
9 3	筐体	20
9 4	操作スイッチ類	
9 5	マイクロフォン	
9 6	スピーカ	
9 7	回路基板	
9 8	表示パネル (A)	
9 9	表示パネル (B)	
1 0 1	実線	
1 0 2	点線	
1 0 3	点線	
2 0 1	スイッチング用トランジスタ	30
2 0 2	容量素子	
2 0 3	駆動トランジスタ	
2 0 4	表示素子	
2 0 5	データ線	
2 0 6	電源線	
2 0 7	走査線	
2 0 8	配線	
3 0 1	画素アレイ	
3 0 2	走査線駆動回路	
3 0 3	シフトレジスタ	40
3 0 4	第 1 ラッチ回路 (L A T 1)	
3 0 5	第 2 ラッチ回路 (L A T 2)	
3 0 6	増幅回路	
3 0 8	ビデオデータ線	
3 0 9	ラッチ制御線	
3 1 0	データ線駆動回路	
3 1 1 a	画素アレイ	
3 1 1 b	画素アレイ	
3 1 1 c	画素アレイ	
3 1 1 d	画素アレイ	50

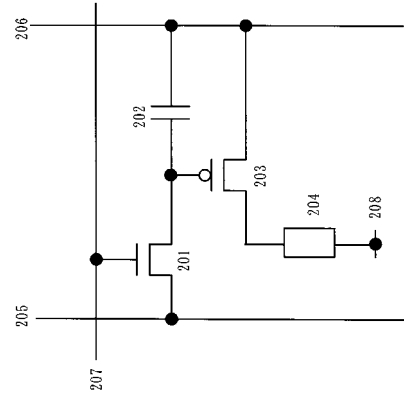
4 0 2	導電層	
4 0 2 a	導電層	
4 0 2 b	導電層	
4 0 3	第 1 絶縁層	
4 0 4	駆動用トランジスタ	
4 0 5	E L 素子	
4 0 6	スイッチング用トランジスタ	
4 0 7	容量素子	
4 0 8	走査線駆動回路	
4 0 9	データ線駆動回路	10
4 1 0	画素	
4 1 1	画素アレイ	
4 2 0	第 1 電源線	
4 2 1	第 2 電源線	
4 5 0	基板	
4 5 4	配線	
4 5 5	配線	
4 5 6	配線	
4 5 7	配線	
4 5 8	配線	20
4 5 9	第 2 絶縁層	
4 6 0	隔壁層	
4 6 1	第 1 電極	
4 6 2	発光層	
4 6 3	第 2 電極	
4 6 4	シール材	
4 6 6	基板	
4 6 7	接続フィルム	
4 0 0 1	筐体	
4 0 0 2	支持台	30
4 0 0 3	表示部	
4 0 0 4	スピーカ部	
4 0 0 5	ビデオ端子	
4 1 0 1	本体	
4 1 0 2	筐体	
4 1 0 3	受像部	
4 1 0 4	操作キー	
4 1 0 5	外部接続ポート	
4 1 0 6	シャッター	
4 2 0 1	本体	40
4 2 0 2	筐体	
4 2 0 3	表示部	
4 2 0 4	キーボード	
4 2 0 5	外部接続ポート	
4 2 0 6	ポインティングマウス	
4 3 0 1	本体	
4 3 0 2	表示部	
4 3 0 3	スイッチ	
4 3 0 4	操作キー	
4 3 0 5	赤外線ポート	50

4 4 0 1	本体	
4 4 0 2	筐体	
4 4 0 3	表示部 A	
4 4 0 4	表示部 B	
4 4 0 5	記憶媒体読み込み部	
4 4 0 6	操作キー	
4 4 0 7	スピーカ部	
4 5 0 1	本体	
4 5 0 2	表示部	
4 5 0 3	アーム部	10
4 6 0 1	本体	
4 6 0 2	表示部	
4 6 0 3	筐体	
4 6 0 4	外部接続ポート	
4 6 0 5	リモコン受信部	
4 6 0 6	受像部	
4 6 0 7	バッテリー	
4 6 0 8	音声入力部	
4 6 0 9	操作キー	
4 6 1 0	接眼部	20
4 7 0 1	本体	
4 7 0 2	筐体	
4 7 0 3	表示部	
4 7 0 4	音声入力部	
4 7 0 5	音声出力部	
4 7 0 6	操作キー	
4 7 0 7	外部接続ポート	
4 7 0 8	アンテナ	

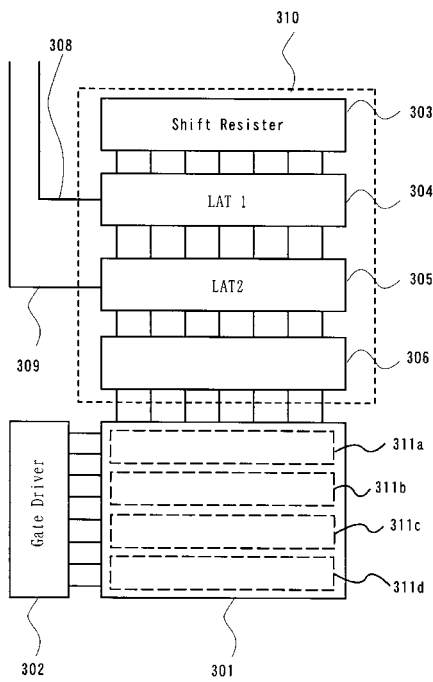
【図1】



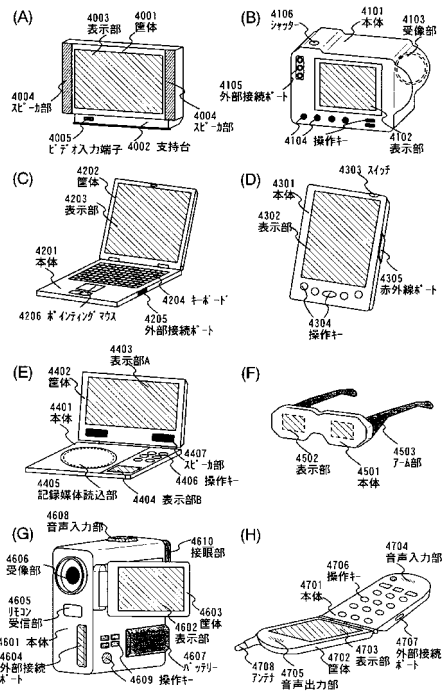
【図2】



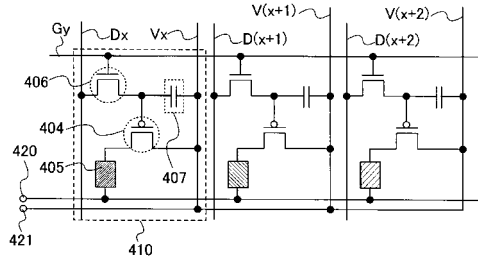
【図3】



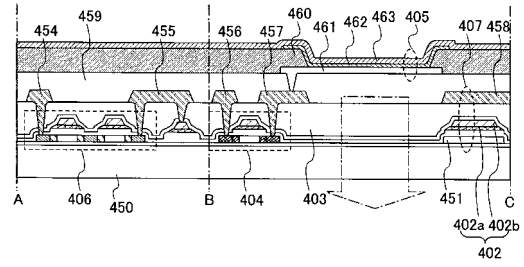
【図4】



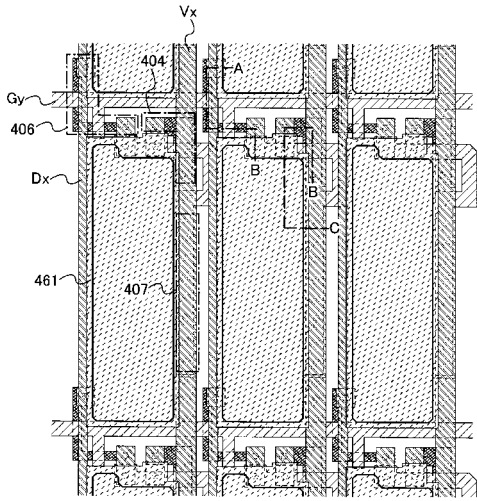
【図5】



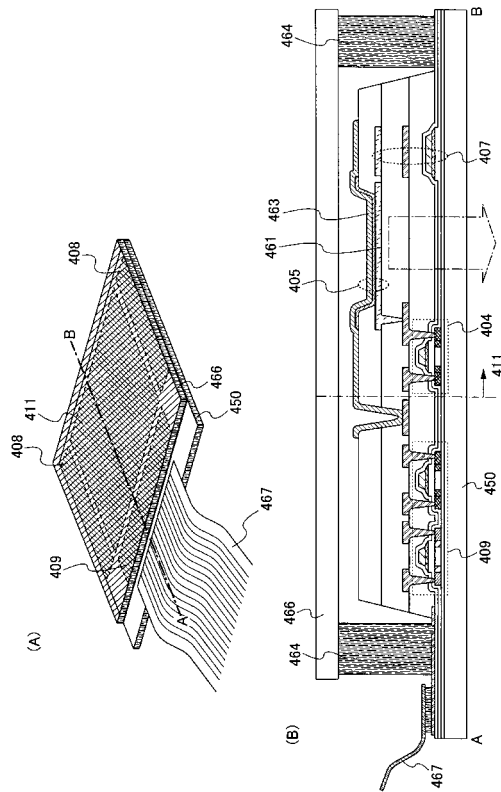
【図7】



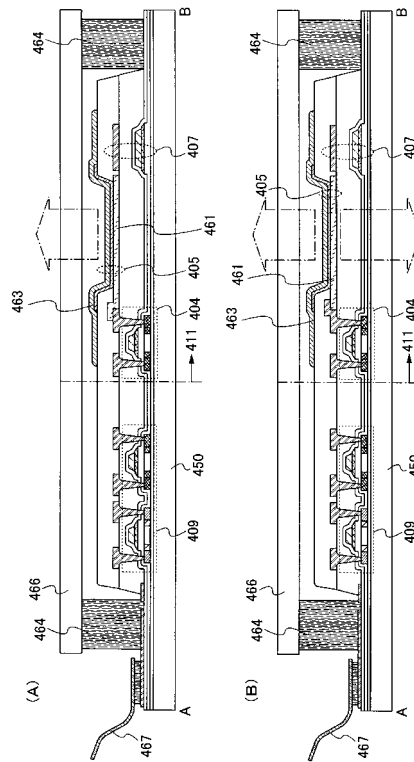
【図6】



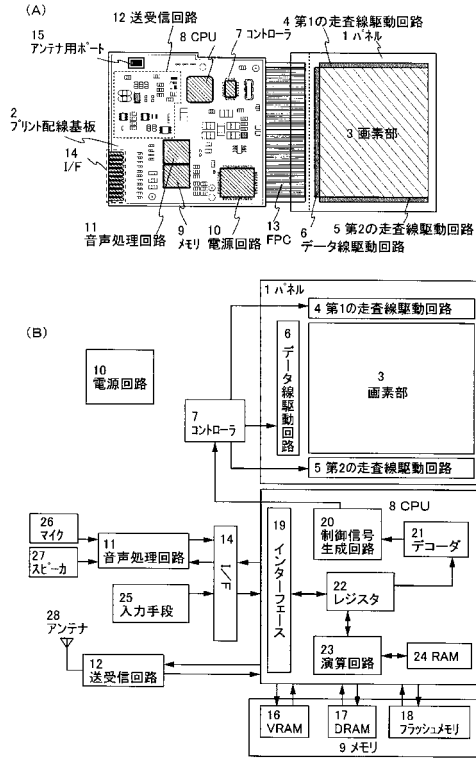
【図8】



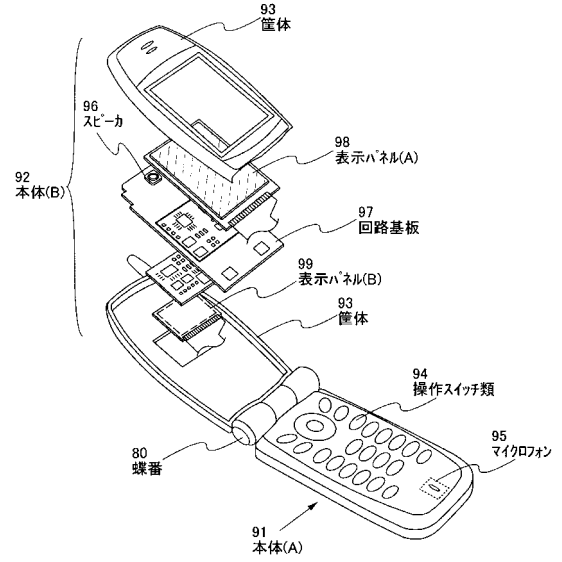
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 2 D

G 0 9 G 3/20 6 4 2 D

G 0 9 G 3/20 6 1 1 A

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8