(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/115

(11) 공개번호 특2001-0003413
(43) 공개일자 2001년01월15일

(21) 출원번호 10-1999-0023706
(22) 출원일자 1999년06월23일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 김기석
경기도이천시대월면사동리441-1현대전자아파트107-1001
장상환
경기도이천시대월면사동리441-1현대전자사원아파트107-706
장윤수
경기도이천시대월면사동리현대전자사원아파트108-503
최승욱
경기도군포시산본동1151-7설악아파트85-1702
(74) 대리인 신영무, 최승민

심사청구 : 없음

(54) 플래쉬 이이피롬 셀 어레이 및 그 제조 방법

요약

본 발명은 플래쉬 이이피롬 셀 어레이 및 그 제조 방법에 관한 것으로, 각 단위 셀의 드레인 영역에 콘택홀을 형성하고 이를 금속으로 연결하여 비트라인을 형성하는 경우 각 셀의 게이트와 비트라인 콘택과의 공정 마진 확보에 따라 소자의 크기가 증가하는 문제점을 해결하기 위하여, 드레인과 인접한 영역에는 소자 분리막을 형성하지 않고 드레인을 디퓨전으로 연결하며, 드레인 인접 영역의 소자 분리막 사이에 일정 셀 간격마다 콘택홀을 형성하므로써 소자를 고집적화하고 동작속도를 향상시킬 수 있는 플래쉬 이이피롬 셀 어레이 및 그 제조 방법이 개시된다.

대표도

도3

색인어

플래쉬 이이피롬 셀, 비트라인 스트래핑, contactless

명세서

도면의 간단한 설명

도 1은 일반적인 플래쉬 이이피롬 셀의 제조 방법을 설명하기 위해 도시한 레이아웃도.

도 2a 내지 2c는 일반적인 플래쉬 이이피롬 셀의 제조 방법을 설명하기 위해 도시한 단면도.

도 3은 본 발명에 따른 플래쉬 이이피롬 셀 및 그 제조 방법을 설명하기 위해 도시한 레이아웃도.

도 4a 내지 4c는 도 3의 X-X' 부분을 설명하기 위해 도시한 소자의 단면도.

도 5a 내지 5c는 도 3의 Y-Y' 부분을 설명하기 위해 도시한 소자의 단면도.

<도면의 주요 부분에 대한 부호 설명>

10, 20 : 필드 산화막　　11, 21 : 반도체 기판

12, 22 : 게이트 산화막　　13, 23 : 제 1 폴리실리콘층(플로팅 게이트)

14, 25 : 유전체막　　15A, 26A : 제 2 폴리실리콘층

15B, 26B : 실리사이드층　　15, 26 : 콘트롤 게이트

16 : 스페이서　　17, 27 : 평탄화막

18, 28 : 비트라인　　24 : 갭 매립 절연막

30 : 콘택 홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 이이피롬(flash EEPROM) 셀 어레이 및 그 제조 방법에 관한 것이다.

종래의 적층(stack)형 플래쉬 이이피롬 셀 어레이는 각 셀마다 드레인이 노출되도록 콘택이 형성되며, 금속을 이용하여 콘택을 통하여 비트라인을 형성하는 구조를 갖는다. 이때 비트라인은 콘트롤 게이트로 형성되는 워드라인 방향에 대해 수직으로 연결되고 소오스 라인에 대해서도 수직 방향이 된다.

이와 같은 적층형 플래쉬 이이피롬 셀의 형성 공정을 도 1 및 도 2를 참조하여 설명하면 다음과 같다.

도 1은 일반적인 플래쉬 이이피롬 셀의 제조 방법을 설명하기 위해 도시한 레이아웃도이고, 도 2a 내지 2c는 도 1에 도시한 레이아웃도의 X-X' 부분 및 Y-Y'부분의 단면도를 나타낸다.

도 2a 및 2b는 도 1의 X-X' 부분을 나타내는 단면도로서, 도 1 및 도 2a를 참조하여 설명하면, 반도체 기판(11)에 로코스 공정 등을 이용하여 필드 산화막 (10)을 형성한 후 전체구조 상에 터널 산화막(12)을 형성한 후, 전체구조 상부에 제 1 폴리실리콘층(13)을 형성한다. 이때 필드 산화막(10)은 후속 공정인 제 1 폴리실리콘층(13) 식각 공정시의 중첩 및 오정렬을 고려하여 충분히 크게 형성하여야 한다. 이에 따라 소오스 영역과 액티브 영역과의 간격이 줄어들게 되고, 이러한 문제를 해결하기 위해서는 단위 셀의 크기를 증가시켜야 한다. 다음에, 필드 산화막 (10) 상의 제 1 폴리실리콘층(13)을 식각(점선으로 나타낸 부분의 제 1 폴리실리콘층 제거)한 다음 ONO막 등을 이용하여 유전체막(14)을 형성하고 콘트롤 게이트(15)로 사용될 제 2 폴리실리콘층(15A) 및 실리사이드층 (15B)을 순차적으로 형성한다. 이후, 게이트 마스크를 이용하여 실리사이드층(15B)과 제 2 폴리실리콘층(15A)을 식각하여 콘트롤 게이트(15)를 형성한다. 이때 게이트 패턴이 제 1 폴리실리콘층 (13)의 식각 영역을 벗어나면 안된다. 콘트롤 게이트(15)가 형성된 상태에서 유전체막(14)과 제 1 폴리실리콘층(13)은 식각되지 않은 상태로 남아있게 된다. 이러한 이유로 드레인 영역이 좁아지게 되는 문제점이 있고, 드레인 영역을 확보하기 위해서는 셀 크기를 증가시켜야 한다. 이후, 자기정렬 식각 공정으로 유전체막(14) 및 제 1 폴리실리콘층(13)을 식각하여 플로팅 게이트(13) 및 콘트롤 게이트(15)가 적층된 게이트 구조가 형성된다. 다음에, 전체구조 상에 산화막 등의 절연막을 형성한 후 블랭켓 식각하여 적층형의 게이트 구조 측벽에 절연막 스페이서(16)를 형성한다.

계속해서 도 1 및 도 2b를 참조하여 설명하면, 이온 주입 공정을 실시하여 소오스(S) 및 드레인(D) 영역을 형성한다. 이후, 전체구조 상에 평탄화막(17)을 형성한 다음 드레인 영역이 노출되도록 콘택 홀을 형성하고, 금속을 이용하여 비트라인(18)을 형성한다.

도 2c는 도 1의 Y-Y' 부분을 나타내는 소자의 단면도이다.

이와 같은 방법으로 형성된 적층 게이트형 플래쉬 이이피롬 셀은 오정렬을 고려하고 콘택 홀에서부터 게이트까지 일정 거리(d; 약0.3㎛)의 공간을 확보시켜 주어야 하기 때문에 예를 들어, 셀의 크기가 1.0㎛ ×1.0㎛인 경우 콘택 홀이 없는 구조로(contactless) 셀을 형성할 수 있다면 셀 크기를 30% 정도 축소할 수 있게 된다. 또한, 이러한 기존의 적층형 플래쉬 이이피롬 셀은 게이트가 필드 산화막을 가로질러서 형성되어야 하기 때문에 정확한 패턴을 형성하는 것이 어려운 문제점이 있다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명은 플래쉬 이이피롬 셀의 각 드레인마다 비트라인을 접속하지 않고 일정 셀 간격으로 공통 비트라인을 접속하므로써 콘택 홀과 게이트와의 사이에 필요한 공정 마진을 줄일 수 있어 소자의 집적도를 향상시킬 수 있는 플래쉬 이이피롬 셀 어레이 및 그 제조 방법을 제공하는데 그 목적이 있다.

상술한 목적을 달성하기 위한 본 발명에 따른 플래쉬 이이피롬 셀 어레이는 반도체 기판의 인접하는 드레인 예정 영역 사이를 제외한 인접하는 소오스 예정 영역 사이에 각각 형성되는 다수의 소자 분리막들과, 인접하는 상기 소자분리막 간에 소오스 영역과 각각 평행한 방향으로 형성되는 다수의 플로팅 게이트들과, 각 단위 셀의 상기 플로팅 게이트 전극을 마스크로 이용한 이온 주입 공정으로 각 단위 셀마다

형성되는 소오스 및 드레인 영역들과, 상기 다수의 플로팅 게이트과 반도체 기판 간의 단차를 평탄화하기 위해 플로팅 게이트 간의 갭에 매립되는 갭 매립 절연막과, 상기 플로팅 게이트 및 갭 매립 절연막 상에 형성되는 유전체막과, 상기 유전체막 상에 게이트 마스크를 이용한 식각 공정으로 형성되되, 상기 다수의 플로팅 게이트, 다수의 소오스 및 드레인 영역과 각각 수직을 이루며 형성되는 다수의 콘트롤 게이트들과, 단위 셀의 상기 콘트롤 게이트 사이의 상기 인접하는 소자 분리막 사이에 일정 셀 간격마다 형성되는 다수의 콘택 홀을 포함하여 구성되는 것을 특징으로 한다.

또한, 상술한 목적을 달성하기 위한 본 발명에 따른 플래쉬 이이피롬 셀의 제조 방법은 각 단위 셀의 드레인 예정 영역을 제외한 소오스 예정 영역 사이에 다수의 소자 분리막을 형성하는 단계와, 전체구조 상에 게이트 산화막 및 플로팅 게이트용 제 1 폴리실리콘층을 형성하는 단계와, 상기 소자 분리막 간의 채널 영역 크기로 상기 제 1 폴리실리콘층 및 게이트 산화막을 패터닝하여 간 단위 셀의 플로팅 게이트를 형성하는 단계와, 상기 플로팅 게이트를 마스크로 한 이온 주입 공정으로 각 단위 셀의 소오스 및 드레인 영역을 형성하는 단계와, 전체 구조 상에 갭 매립 절연막을 형성하고 평탄화하는 단계와, 전체 구조 상에 유전체막, 제 2 폴리실리콘층 및 실리사이드층을 순차적으로 적층하는 단계와, 게이트 마스크를 이용한 식각 공정으로 상기 실리사이드층 및 제 2 폴리실리콘층을 식각하여 각 단위 셀의 콘트롤 게이트를 형성하는 단계와, 전체구조 상에 평탄화막을 형성하고, 상기 소자 분리막 사이의 드레인 영역 인접 영역에 일정 셀 간격마다 콘택 홀을 형성하는 단계와, 상기 다수의 콘택 홀이 매립되도록 전체구조 상에 금속층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 3은 본 발명에 따른 플래쉬 이이피롬 셀 및 그 제조 방법을 설명하기 위해 도시한 레이아웃도이고, 도 4a 내지 4c는 도 3의 X-X' 부분, 도 5a 내지 5c는 도 3의 Y-Y' 부분을 설명하기 위해 도시한 소자의 단면도이다.

도 3의 레이아웃도를 도 4a 및 5a를 참조하여 설명하면, 먼저 반도체 기판(21)에 소자 분리를 위한 필드 산화막(20)을 형성한다. 필드 산화막(20) 형성시 본 발명에서는 기존의 방법과 달리 드레인이 형성될 영역과 이웃한 지역에는 필드 산화막을 형성하지 않는다. 또한, 제 1 폴리실리콘층을 식각하는 후속 공정에서 중첩이나 오정렬을 고려할 필요가 없기 때문에 필드 산화막(20)을 충분히 작게 형성할 수 있어, 셀의 크기를 줄일 수 있다. 이후, 전체구조 상에 터널 산화막(22) 및 플로팅 게이트용 제 1 폴리실리콘층(23)을 형성한 후, 최소 채널 길이(minimum channel length)로 제 1 폴리실리콘층(23) 및 터널 산화막(22)을 패터닝한다. 즉, 제 1 폴리실리콘층(23)의 패터닝된 폭에 의해 최소 채널 길이가 결정되게 된다. 제 1 폴리실리콘층(23)을 패터닝한 후에는 셀의 소오스(S)와 드레인(D) 영역을 형성하기 위한 이온 주입 공정을 실시한다. 이후, 제 1 폴리실리콘층(23) 사이의 갭을 갭 매립 절연막(24)을 이용하여 매립하고 화학적 기계적 연마(CMP)공정으로 평탄화한다. 갭 매립 절연막(24)은 고밀도 플라즈마(High Density Plasma; HDP) 산화막, BPSG막 등을 이용하여 형성한다. 이와 같은 공정을 통해 플로팅 게이트를 형성하게 되면, 필드 산화막(20)에 제 1 폴리실리콘층(23)이 자기정렬되어 오정렬에 대한 우려 또는 제 1 폴리실리콘층 브리지 등의 발생이 억제되게 된다. 또한, 제 1 폴리실리콘층(23)만으로 최소 채널 길이를 구현할 수 있기 때문에 패턴 형성이 더욱 용이하게 되고, 드레인과 소오스가 각각 디퓨전(diffusion)으로 연결되기 때문에 콘택 홀이 없는 셀 구조를 형성할 수 있다.

계속해서 도 3의 레이아웃도를 도 4b 및 도 5b를 참조하여 설명하면, 전체구조 상에 ONO 막 등의 유전물질을 이용하여 유전체막(25)을 형성한 후, 콘트롤 게이트로 사용할 제 2 폴리실리콘층(26A) 및 실리사이드층(26B)을 순차적으로 형성한다. 이후, 게이트 마스크를 이용하여 실리사이드층(26B) 및 제 2 폴리실리콘층(26A)을 식각하여 콘트롤 게이트(워드라인; 26)을 형성한다. 이때 워드라인은 소오스(S) 및 드레인(D) 영역에 수직한 방향으로 형성하며, 콘트롤 게이트(26)의 폭은 워드라인 간에 도통이 일어나지 않을 정도로 충분히 넓게 형성한다. 이에 의해 제 1 폴리실리콘층(23)과의 정전용량을 충분히 크게 할 수 있고, 기존의 방법과 달리 워드라인이 최소 채널 길이를 결정하는 요인으로 작용하지 않으므로, 워드라인의 저항을 충분히 감소시킬 수 있어 워드라인에서의 시간 지연을 없앨 수 있다. 이와 같은 구조의 플래쉬 메모리 셀은 기존의 셀 구조처럼 콘트롤 게이트(워드라인)가(26) 제 1 폴리실리콘층(플로팅 게이트; 23)과 필드 산화막(20)의 수직 단차를 가로지르면서 형성되기 때문에 항상 난공정으로 제기되어 왔던 폴리실리콘 잔류(residue) 문제를 해결할 수 있는 장점이 있다. 또한, 게이트 식각 공정으로 워드라인이 완벽하게 형성되므로 기존의 공정처럼 자기정렬 식각 공정이 필요없게 되고, 자기 정렬 식각 공정시 문제로 제기되어 왔던 제 1 폴리실리콘층의 잔류 문제 또한 해결할 수 있다.

도 4c 및 5c를 참조하여 설명하면, 콘트롤 게이트(26)가 형성된 전체구조 상에 평탄화막(27)을 형성한 후 디퓨전 저항을 감소시키기 위하여, 전체 비트라인의 몇 군데에만 콘택 홀(도 3의 30)을 형성하고 금속물질을 이용하여 연결한다. 이때 비트라인을 연결하는 금속층은 워드라인(26) 방향과 수직하고 소오스(S) 및 드레인(D) 방향과 평행하다. 이러한 공정을 비트라인 스트래핑(strapping)이라고 한다. 이때 비트라인 스트래핑을 위한 콘택은 기존의 경우 드레인과 이웃한 필드 산화막(20)이 형성될 지역에 형성한다. 또한, 비트라인 콘택이 형성될 지역에 이웃한 게이트에는 콘택 홀과의 공정 마진을 위해 홈을 형성한다.

발명의 효과

상술한 바와 같이, 본 발명에 의하면 드레인과 인접한 부분에는 필드 산화막을 형성하지 않고 드레인과 소오스가 각각 디퓨전으로 형성되기 때문에 콘택이 없는 셀 구조를 형성할 수 있다. 이와 같은 셀은 일

정 셀 간격으로 비트라인 콘택을 형성하고 이를 금속물질로 연결하는 비트라인 스트래핑(strapping) 구조를 갖기 때문에 콘택 홀과 게이트와의 사이에 필요한 공정 마진을 효과적으로 줄일 수 있어 소자의 집적도가 향상된다. 또한, 플로팅 게이트를 패터닝하는 것에 의해 최소 채널 길이(minimum channel length)가 결정되므로 채널 길이를 제어하는 것이 용이하며, 워드라인의 폭을 충분히 크게 형성할 수 있으므로 워드라인과 플로팅 게이트와의 정전용량을 충분히 크게할 수 있고 워드라인에 의해 채널 길이가 결정되는 것이 아니기 때문에 워드라인의 저항을 효과적으로 감소시킬 수 있다. 그리고 콘트롤 게이트 및 플로팅 게이트를 자기정렬 식각 공정에 의해 형성하지 않기 때문에 폴리실리콘 잔류 문제를 해결할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판의 인접하는 드레인 예정 영역 사이를 제외한 인접하는 소오스 예정 영역 사이에 각각 형성되는 다수의 소자 분리막들과,

인접하는 상기 소자분리막 간에 소오스 영역과 각각 평행한 방향으로 형성되는 다수의 플로팅 게이트들과,

각 단위 셀의 상기 플로팅 게이트 전극을 마스크로 이용한 이온 주입 공정으로 각 단위 셀마다 형성되는 소오스 및 드레인 영역들과,

상기 다수의 플로팅 게이트과 반도체 기판 간의 단차를 평탄화하기 위해 플로팅 게이트 간의 갭에 매립되는 갭 매립 절연막과,

상기 플로팅 게이트 및 갭 매립 절연막 상에 형성되는 유전체막과,

상기 유전체막 상에 게이트 마스크를 이용한 식각 공정으로 형성되되, 상기 다수의 플로팅 게이트, 다수의 소오스 및 드레인 영역과 각각 수직을 이루며 형성되는 다수의 콘트롤 게이트들과,

단위 셀의 상기 콘트롤 게이트 사이의 상기 인접하는 소자 분리막 사이에 일정 셀 간격마다 형성되는 다수의 콘택 홀을 포함하여 구성되는 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이.

청구항 2

제 1 항에 있어서,

상기 콘택 홀을 통하여 접속되는 비트라인은 상기 콘트롤 게이트의 방향과 수직이며 상기 소오스 및 드레인 영역의 방향과 평행으로 구성하는 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이.

청구항 3

각 단위 셀의 드레인 예정 영역을 제외한 소오스 예정 영역 사이에 다수의 소자 분리막을 형성하는 단계와,

전체구조 상에 게이트 산화막 및 플로팅 게이트용 제 1 폴리실리콘층을 형성하는 단계와,

상기 소자 분리막 간의 채널 영역 크기로 상기 제 1 폴리실리콘층 및 게이트 산화막을 패터닝하여 간 단위 셀의 플로팅 게이트를 형성하는 단계와,

상기 플로팅 게이트를 마스크로 한 이온 주입 공정으로 각 단위 셀의 소오스 및 드레인 영역을 형성하는 단계와,

전체 구조 상에 갭 매립 절연막을 형성하고 평탄화하는 단계와,

전체 구조 상에 유전체막, 제 2 폴리실리콘층 및 실리사이드층을 순차적으로 적층하는 단계와,

게이트 마스크를 이용한 식각 공정으로 상기 실리사이드층 및 제 2 폴리실리콘층을 식각하여 각 단위 셀의 콘트롤 게이트를 형성하는 단계와,

전체구조 상에 평탄화막을 형성하고, 상기 소자 분리막 사이의 드레인 영역 인접 영역에 일정 셀 간격마다 콘택 홀을 형성하는 단계와,

상기 다수의 콘택 홀이 매립되도록 전체구조 상에 금속층을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이 제조 방법.

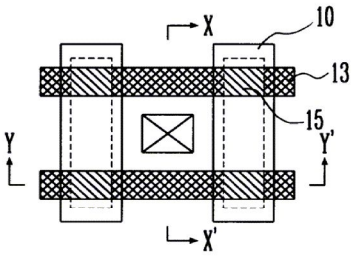
청구항 4

제 3 항에 있어서,

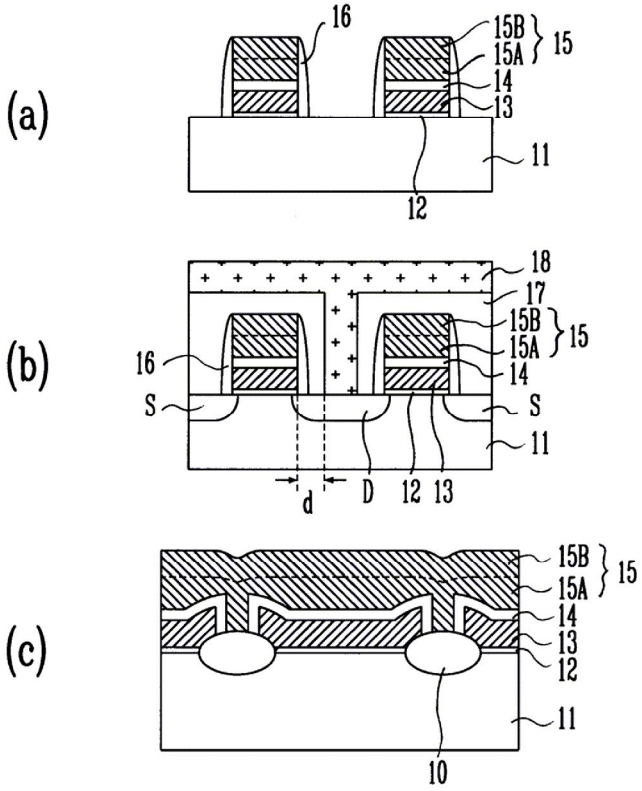
상기 갭 매립 절연막은 고밀도 플라즈마 산화막 및 BPSG막 중 어느 하나를 이용하여 형성하는 것을 특징으로 하는 플래쉬 이이피롬 셀 어레이 제조 방법.

도면

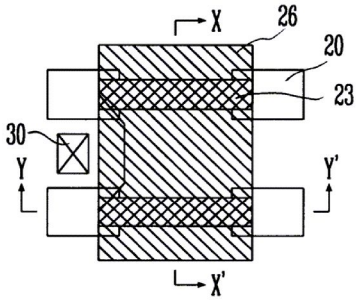
도면1


X
10
13
15
Y
Y'
X'

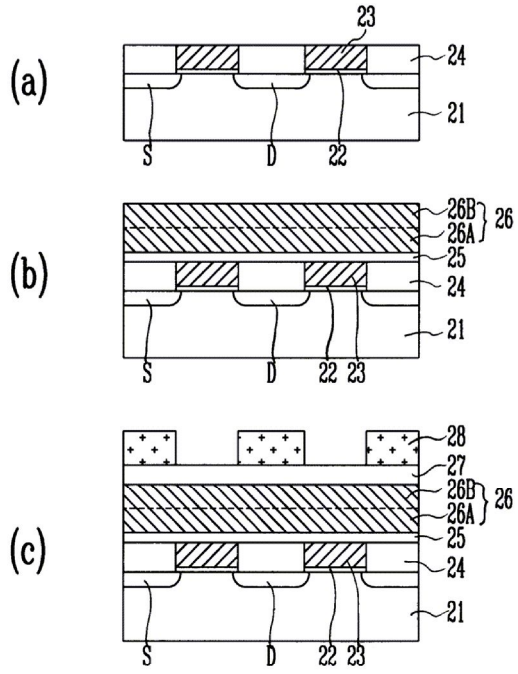
도면2


(a)
16
15B
15A
15
14
13
11
12
(b)
18
17
15B
15A
15
14
16
S
S
11
d
D
12
13
(c)
15B
15A
15
14
13
12
11
10

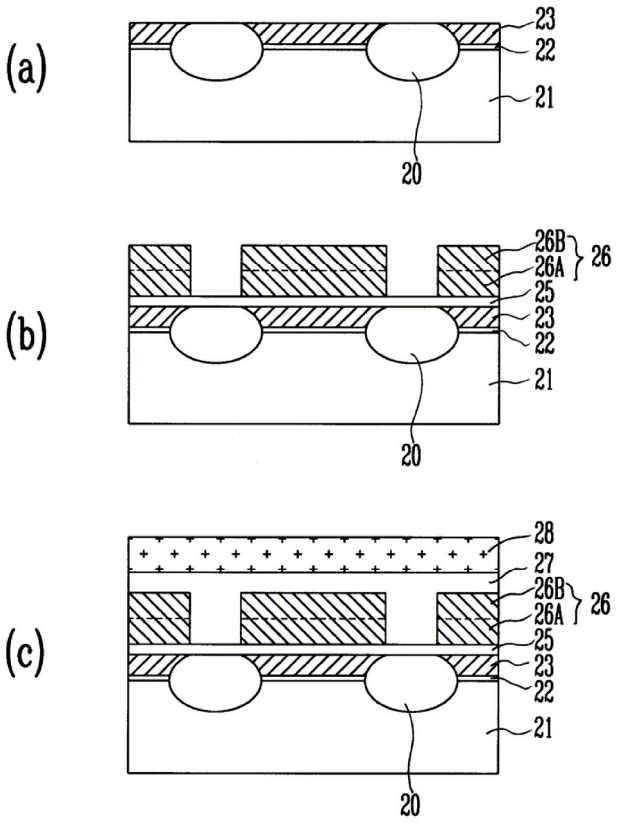
도면3


X
26
20
23
30
Y
Y'
X'

도면4


(a)
23
24
21
S
D
22
(b)
26B
26A
26
25
24
21
S
D
22
23
(c)
28
27
26B
26A
26
25
24
21
S
D
22
23

도면5


(a)
23
22
21
20
(b)
26B
26A
26
25
23
22
21
20
(c)
28
27
26B
26A
26
25
23
22
21
20