

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-511029

(P2025-511029A)

(43)公表日 令和7年4月15日(2025.4.15)

(51)国際特許分類 F I テーマコード(参考)  
 H 0 3 H 3/02 (2006.01) H 0 3 H 3/02 C 5 J 1 0 8

審査請求 未請求 予備審査請求 未請求 (全13頁)

(21)出願番号	特願2024-557646(P2024-557646)	(71)出願人	598054968
(86)(22)出願日	令和5年3月30日(2023.3.30)		ソイテック
(85)翻訳文提出日	令和6年11月21日(2024.11.21)		Soitec
(86)国際出願番号	PCT/EP2023/058244		フランス国, 38190 ベルナン,
(87)国際公開番号	WO2023/187030		パルク テクノロジーク デ フォンテーヌ,
(87)国際公開日	令和5年10月5日(2023.10.5)		シュマン デ フランク
(31)優先権主張番号	2202897		Parc Technologique
(32)優先日	令和4年3月30日(2022.3.30)		des fontaines chemi
(33)優先権主張国・地域又は機関	フランス(FR)		n Des Franques 38190
			Bernin, France
(81)指定国・地域	AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV)	(74)代理人	100107456
	最終頁に続く		弁理士 池田 成人
		(74)代理人	100162352
			弁理士 酒巻 順一郎
		(74)代理人	100123995
			最終頁に続く

(54)【発明の名称】 ピエゾエレクトリックオンインシュレータ(POI)基板およびピエゾエレクトリックオンインシュレータ(POI)基板を製造するための方法

(57)【要約】

本発明は、支持基板(102)、特にシリコンベースの基板と、圧電体層(108)、特にタンタル酸リチウム(LTO)またはニオブ酸リチウム(LNO)の層と、圧電体層(108)と支持基板(102)との間に挟まれた誘電体層(106)、特に酸化シリコンの層と、誘電体層(106)と支持基板(102)との間に挟まれたトラップ構造(104)とを備えるピエゾエレクトリックオンインシュレータ(POI)基板(100)に関する。トラップ構造(104)は、異なる材料に基づく少なくとも2つのトラップ層(104a, 104b)を備える。本発明はまた、ピエゾエレクトリックオンインシュレータ(POI)基板を製作するための方法に関する。

【選択図】 図1

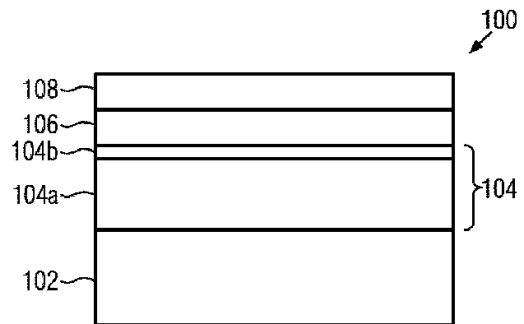


FIG. 1

## 【特許請求の範囲】

## 【請求項 1】

支持基板（102）、特にシリコンベースの基板と、

圧電体層（108）、特にタンタル酸リチウム（LTO）またはニオブ酸リチウム（LNO）の層と、

前記圧電体層（108）と前記支持基板（102）との間に挟まれた誘電体層（106）、特に酸化シリコン層と、

前記誘電体層（106）と前記支持基板（102）との間に挟まれ、多結晶シリコンまたはアモルファスシリコンまたは多孔質シリコンに基づき、好ましくは多結晶シリコンに基づく第1のトラップ層（104a）を備えるトラップ構造（104）とを備え、

前記トラップ構造（104）がシリコンカーバイドに基づく第2のトラップ層（104b）を備えるpiezoelectric オンインシュレータ（POI）基板であって、

前記第1のトラップ層（104a）が、前記支持基板（102）と前記第2のトラップ層（104b）との間に配置されることを特徴とする、piezoelectric オンインシュレータ（POI）基板。

## 【請求項 2】

前記第2のトラップ層（104b）が前記第1のトラップ層（104a）よりも薄い、請求項1に記載のpiezoelectric オンインシュレータ（POI）基板。

## 【請求項 3】

前記第2のトラップ層（104b）が、500nm以下の厚さ、特に200nm以下の厚さ、特に50nm以下の厚さを有する、請求項1または2に記載のpiezoelectric オンインシュレータ（POI）基板。

## 【請求項 4】

前記第1のトラップ層が2μm以下の厚さ、特に1μm以下の厚さを有する、請求項1～3のいずれか一項に記載のpiezoelectric オンインシュレータ（POI）基板。

## 【請求項 5】

前記第2のトラップ層（104b）が前記第1のトラップ層（104a）上に直接形成される、請求項1～4のいずれか一項に記載のpiezoelectric オンインシュレータ（POI）基板。

## 【請求項 6】

前記トラップ構造（104）が前記第1のトラップ層（104a）および前記第2のトラップ層（104b）のみを備える、請求項1～5のいずれか一項に記載のpiezoelectric オンインシュレータ（POI）基板。

## 【請求項 7】

支持基板、特にシリコンベースの基板を提供するステップと、

圧電体層を備える基板、特にタンタル酸リチウム（LTO）またはニオブ酸リチウム（LNO）を含む基板を提供するステップと、

前記支持基板の上方にトラップ構造を形成するステップと、

前記圧電基板の上方および/または前記トラップ構造の上方に誘電体層、特に酸化シリコン層を形成するステップと、

圧電体層を備える前記基板を、前記誘電体層および前記トラップ構造が前記圧電体層と前記支持基板との間に挟まれるように、前記支持基板と組み立てるステップとを含み、

前記トラップ構造を形成する前記ステップが、前記支持基板上に多結晶シリコンまたはアモルファスシリコンまたは多孔質シリコンに基づく、好ましくは多結晶シリコンに基づく第1の層を形成する工程と、続いてシリコンカーバイドに基づく第2のトラップ層を形成する工程とを含む、請求項1～5のいずれか一項に記載のpiezoelectric オンインシュレータ（POI）基板を製造するための方法。

## 【請求項 8】

前記圧電体層の内部に弱化ゾーンを形成するステップと、

前記圧電体層の一部を前記支持基板上に転写するために、前記組立てステップ後に前記

10

20

30

40

50

圧電体層を備える前記基板の残りの部分から前記圧電体層の前記一部を分離するため前記弱体化ゾーンに沿って破碎を行うステップとをさらに含む、請求項 6 に記載の圧電基板を製造するための方法。

【発明の詳細な説明】

【技術分野】

【0001】

【0001】本発明は、支持基板、トラップ構造、誘電体層および圧電体層をこの順に備える piezoelectric on insulator (POI) 基板、ならびにこのような POI 基板を製造するための方法に関する。

【0002】

【0002】このような基板は、従来技術で知られており、例えば、単結晶シリコン基板、多結晶シリコントラップ構造、酸化シリコン層および圧電体層、特にタンタル酸リチウム (LTO) またはニオブ酸リチウム (LNO) 層を備える POI 基板である。トラップ構造により、支持基板と誘電体層との間の界面における寄生伝導効果に関連する損失を低減することが可能になる。具体的には、支持基板と誘電体層との間に挿入されるトラップ層は、この領域の電荷の寿命を短くするように働く。

【0003】

【0003】しかし、POI 基板の製造に関連してまたはそれに続く熱処理の間に、リチウムなどの圧電体層の金属元素が、誘電体層およびトラップ構造を通して支持基板との界面まで拡散し得ることが認められている。これらの金属元素の蓄積により、トラップ構造の性能品質が低下し、したがって寄生電流の抑制に悪影響を及ぼす。

【0004】

【0004】トラップ層の厚さを増加させて、利用可能なトラップの数を増加させることが可能である。しかし、この場合、フィルタ、センサなどの POI 基板を使用するデバイスに寄生モードが見られる。

【0005】

【0005】したがって、本発明の目的は、寄生効果のリスクをより少なくしてトラップの数を増加させることである。

【発明の概要】

【0006】

【0006】本発明の目的は、支持基板、特にシリコンベースの基板と、圧電体層、特にタンタル酸リチウム (LTO) またはニオブ酸リチウム (LNO) の層と、圧電体層と支持基板との間に挟まれた誘電体層、特に酸化シリコン層と、誘電体層と支持基板との間に挟まれ、多結晶シリコンまたはアモルファスシリコンまたは多孔質シリコンに基づき、好ましくは多結晶シリコンに基づく第 1 のトラップ層を備えるトラップ構造とを備える piezoelectric on insulator (POI) 基板によって達成される。この POI 基板は、トラップ構造が異なる材料に基づく第 2 のトラップ層を備えることを特徴とする。

【0007】

【0007】トラップ構造内に異なる材料を有する第 2 のトラップ層を追加することにより、単一材料のトラップ構造の場合に必要なとされるのと同じ程度までトラップ構造の総厚を増加させる必要なしに、トラップの数を増加させることが可能になる。

【0008】

【0008】一実施形態によれば、第 2 のトラップ層はシリコンカーバイドに基づいてもよい。シリコンカーバイドに基づく第 2 の層は、寄生電流の効率的な低減を可能にする。

【0009】

【0009】一実施形態によれば、シリコンカーバイドに基づく第 2 のトラップ層は、第 1 の層よりも薄くてもよい。したがって、薄いシリコンカーバイド層を設けることにより、トラップの数を増加させることを可能にし、同時に、特に同じ数のトラップを含む単一材料のシリコンベースのトラップ層と比較して、トラップ構造の存在に起因する寄生モードの出現を制限する。

10

20

30

40

50

## 【0010】

【0010】一実施形態によれば、シリコンカーバイドに基づく第2のトラップ層は、50 nm以下の厚さ、特に200 nm以下、より詳細には50 nm以下の厚さを有してもよい。このような小さい厚さであっても、トラップの数は十分に増加する。

## 【0011】

【0011】一実施形態によれば、第1のシリコンベースのトラップ層は、2 μm以下、特に1 μm以下の厚さを有してもよい。第2のトラップ層を用いることにより、第1のトラップ層の厚さを十分に小さく保つことが可能となる。したがって、この層に起因する寄生モードは発生することができないか、または少なくとも寄生モードの寄与は無視できるまでである。

## 【0012】

【0012】一実施形態によれば、第2のトラップ層は、第1のトラップ層上に直接形成されてもよい。したがって、コンパクトな構造を維持することができる。

## 【0013】

【0013】一実施形態によれば、第1のトラップ層は、支持基板と第2のトラップ層との間に配置される。これにより、シリコンカーバイド層がシリコン層よりも低い温度で堆積されるため、トラップ構造の形成が容易となる。

## 【0014】

【0014】一実施形態によれば、トラップ構造は、第1のトラップ層および第2のトラップ層のみを備える。

## 【0015】

【0015】一実施形態によれば、トラップ構造は基板上に直接配置され、誘電体層はトラップ構造の上に直接配置される。

## 【0016】

【0016】本発明の目的はまた、支持基板、特にシリコンベースの基板を提供するステップと、圧電体層を備える基板、特にタンタル酸リチウム(LTO)またはニオブ酸リチウム(LNO)を含む基板を提供するステップと、支持基板の上方にトラップ構造を形成するステップと、圧電体層を備える基板の上方および/またはトラップ構造の上方に誘電体層、特に酸化シリコン層を形成するステップと、誘電体層およびトラップ構造が圧電体層と支持基板との間に挟まれるように、圧電基板を支持基板と組み立てるステップとを含む、上記の piezoelectric on insulator (POI) 基板を製造するための方法において、トラップ構造を形成するステップが、多結晶シリコンまたはアモルファスシリコンまたは多孔質シリコンに基づく、好ましくは多結晶シリコンに基づく第1の層を形成する工程と、異なる材料に基づく第2のトラップ層を形成する工程とを含むことを特徴とする方法によって達成される。

## 【0017】

【0017】一実施形態によれば、圧電基板を製造するための方法は、特に組立てステップの前に圧電体層の内部に弱化ゾーンを形成するステップと、圧電体層の一部を支持基板上に転写するために、組立てステップ後に弱化ゾーンに沿って破碎を行って圧電体層を備える基板の残りの部分から圧電体層の一部を分離するステップをさらに含んでもよい。この方法により、本発明に従ってPOI基板を工業的に製造することが可能になる。

## 【0018】

【0018】本発明およびその利点は、好適で例示的な実施形態によって、また特に参照番号が本発明の特徴を識別する以下の添付の図面を参照して下記により詳細に説明される。

## 【図面の簡単な説明】

## 【0019】

【図1】【0019】本発明の第1の実施形態による piezoelectric on insulator (POI) 基板を概略的に示す。

【図2】【0020】本発明の第2の実施形態による piezoelectric on insulator (POI) 基板を製造するための方法を概略的に示す。

10

20

30

40

50

## 【発明を実施するための形態】

## 【0020】

[0021]説明した実施形態は、単に可能な構成であり、上述したような個々の特徴は、互いに独立して提供することができ、または本発明の実施中に完全に省略することができることに留意されたい。

## 【0021】

[0022][図1] 本発明の第1の実施形態による piezoelectric on insulator (POI) 基板100を概略的に示す。

## 【0022】

[0023]piezoelectric on insulator 基板100は、支持基板102を備える。この第1の実施形態では、支持基板102はシリコンベースの基板、特に単結晶シリコンウェハである。

## 【0023】

[0024]トラップ構造104は、支持基板102の上方に配置されている。トラップ構造104は、支持基板102と直接接触することができる。トラップ構造104は、2 $\mu$ m以下、好ましくは1 $\mu$ m以下、さらにより好ましくは600nm以下の厚さを有する。

## 【0024】

[0025]第1の実施形態によれば、トラップ構造104は、第1のトラップ層104aおよび第1のトラップ層104aの材料とは異なる材料を有する第2のトラップ層104bの2層を備える。

## 【0025】

[0026]一変形態によれば、トラップ構造104は、第1のトラップ層104aおよび第2のトラップ層104bのみを備える。

## 【0026】

[0027]第1のトラップ層104aは、多結晶シリコン、アモルファスシリコンまたは多孔質シリコンに基づく。第2のトラップ層104bは、シリコンカーバイド(SiC)に基づく。好ましくは、これらの層は、低圧化学気相成長(LPCVD)、プラズマ化学気相成長(PECVD)または高密度プラズマ化学気相成長(HDP-CVD)によって堆積される。

## 【0027】

[0028]この実施形態では、2つのトラップ層104a、104bの厚さが異なる。好ましくは、シリコンベースのトラップ層104aは、2 $\mu$ m以下の厚さ、特に1 $\mu$ m以下の厚さを有する。シリコンカーバイドに基づくトラップ層104bは、好ましくは500nm以下の厚さ、特に200nm以下の厚さ、より詳細には50nm以下の厚さを有する。本発明の一例によれば、第1のトラップ層104aは500nmの厚さを有し、第2のトラップ層104bは50nmの厚さを有する。

## 【0028】

[0029]誘電体層106は、トラップ構造104の上方に、特にその直上に配置される。誘電体層106は、酸化シリコンに基づいた層であることが好ましい。誘電体層106は、好ましくは、100nm~1 $\mu$ m、特に200nm~700nmの厚さを有する。誘電体層106は、CVD堆積または任意の他の適切な堆積プロセスによって形成することができる。

## 【0029】

[0030]圧電体層108は、誘電体層106の上方に、特にその直上に配置される。圧電体層は、好ましくは、タンタル酸リチウム(LTO)またはニオブ酸リチウム(LNO)の層である。圧電体層108は、典型的には、200nm~1 $\mu$ mの厚さを有する。

## 【0030】

[0031]異なる材料の2つのトラップ層104a、104bを有するトラップ構造104を用いることで、トラップ構造104の厚さを過度に厚くすることなく、トラップの数を増やすことができる。

10

20

30

40

50

## 【0031】

【0032】異なる、特により薄い材料の第2のトラップ層104bを追加することにより、トラップ構造の厚さを、センサ、フィルタなどの最終デバイスにおける寄生モードの出現を制限するのに十分なほど小さく維持しつつ、トラップの数を増加させることが可能になる。

## 【0032】

【0033】変形形態によれば、第1のトラップ層104aおよび第2のトラップ層104bの順序は逆でもよい。この場合、シリコンカーバイドに基づく第2のトラップ層は、支持基板102と、多結晶シリコン、アモルファスシリコンまたは多孔質シリコンに基づく第1のトラップ層104aとの間に配置される。

10

## 【0033】

【0034】[図2] 図1に関連して上述した第1の実施形態による piezoelectronic オンインシュレータ(POI)基板100を得るため、本発明の第2の実施形態による POI 基板を製造するための方法を概略的に示す。POI 基板100の説明の文脈において図1を参照して既に使用されている参照番号は、第2の実施形態の方法を説明するために再利用される。

## 【0034】

【0035】piezoelectronic オンインシュレータ(POI)基板100を製造するための方法は、支持基板102、特にシリコンベースの基板、特に単結晶シリコンウェハを提供するステップI)から始まる。

20

## 【0035】

【0036】本発明のこの第2の実施形態によれば、ステップII)は、支持基板102の自由表面120上にトラップ構造104を形成するステップを含む。

## 【0036】

【0037】トラップ構造104の形成は、低圧化学気相成長(LPCVD)によって生成される第1のトラップ層104aの形成から始まる。変形形態によれば、ステップII)の第1のトラップ層104aは、熱成長法または物理気相成長(PVD)によって形成することができる。

## 【0037】

【0038】支持基板102上に形成されたトラップ層104aは、多結晶シリコン、アモルファスシリコンまたは多孔質シリコンに基づく層である。

30

## 【0038】

【0039】トラップ層104aの厚さは、2 $\mu$ m以下、特に1 $\mu$ m以下である。

## 【0039】

【0040】その後、第1のトラップ層104a上に第2のトラップ層104bを形成する。この第2のトラップ層104bは、シリコンカーバイドに基づく。第2のトラップ層104bは、第1のトラップ層よりも薄い厚さで、好ましくは500nm以下、特に200nm以下の厚さで、より特には50nm以下の厚さで形成される。

## 【0040】

【0041】第2のトラップ層104bは、低圧化学気相成長(LPCVD)、またはプラズマ化学気相成長法(PECVD)または高密度プラズマ化学気相成長(HDP-CVD)によって製作される。変形形態によれば、第2のトラップ層104bは、熱成長法または物理気相成長(PVD)によってステップII)の間に形成することができる。典型的には、第2のトラップ層104bは、第1のトラップ層104aよりも低温で形成される。

40

## 【0041】

【0042】第2のトラップ層の形成の前に、第1のトラップ層104aの表面の1つ以上の処理が、研磨など、特にCMP型研磨、またはプラズマもしくはオゾン処理による表面の活性化が行われてもよい。

## 【0042】

50

[0043]ステップIII)の間、誘電体層106aが第2のトラップ層104bの自由表面122上に形成される。誘電体層106aは、好ましくは、化学気相成長(CVD)または物理気相成長(PVD)によって形成された酸化シリコン層である。

【0043】

[0044]誘電体層106aの厚さは、好ましくは1μm以下、特に700nm以下の厚さを有する。

【0044】

[0045]誘電体層106aを堆積した後、誘電体層106aを緻密化するために熱処理を実行することができる。

【0045】

[0046]ステップIV)の間に、圧電体層126を備える基板124、特にタンタル酸リチウム(LTO)またはニオブ酸リチウム(LNO)を含む基板124が提供される。圧電体層124は、この実施形態では、ベース基板126の上方に配置される。代替形態では、圧電体層126はパルク層であり、基板124全体を形成する。

【0046】

[0047]ステップV)の間、第2の誘電体層106b、特に酸化シリコン層が圧電体層126の自由表面130上に製作される。この層は、ステップIII)の間に形成された誘電体層106aと同じ方法で製作される。厚さは、2つの誘電体層106aおよび106bの厚さの合計が100nm~1μm、特に200nm~700nmであるように選択される。

【0047】

[0048]変形形態によれば、圧電体層を備える基板124の自由表面130の表面処理の1つ以上のステップを、誘電体層106bの形成前に実行することができる。例えば、プラズマ処理および/またはオゾンベースの処理などの表面活性化処理を実行することができる。

【0048】

[0049]ステップVI)の間、ステップV)の後に得られた基板124は、ステップIII)で得られた支持基板102と組み立てられて、支持基板-圧電体層を備える基板のアセンブリ132を形成する。

【0049】

[0050]組立ては、誘電体層106aと106bとが直接接触するように実行される。組立ては、好ましくは分子接着によって実行される。

【0050】

[0051]2つの基板が組み立てられると、アセンブリ132を薄化するステップVII)が実行されて、図1に示すようなより薄い圧電体層108を有するPOI基板100が得られる。

【0051】

[0052]例えば、薄化するステップは、ミリングすることによって、または支持基板102上に転写される圧電体層108の境界を定めるように組立てステップVI)の前に圧電体層126に弱化ゾーンを形成し破砕が続くステップによって実行され得る。弱化ゾーンを形成するこのステップは、圧電体層126内に原子種またはイオン種を注入することによって実行される。原子またはイオン注入は、弱化ゾーンが圧電体層126の内部に位置し、圧電体層126の残りの部分から転写される圧電体層108の境界を定めるように実行することができる。その後、 piezoelectronic オンインシュレータ(POI)基板100を得るために、圧電体層126の弱化ゾーンに熱および/または機械的エネルギーを供給することによってアセンブリ132を破砕するステップが続いて実行される。

【0052】

[0053]変形形態によれば、支持基板102と基板124との間の接合はまた、トラップ構造104と誘電体層106bとの間で、すなわち、ステップIII)を実行せずに、または誘電体層106aと圧電体層126との間で実行することもできる。

10

20

30

40

50

【 0 0 5 3 】

[0054]上述の層の1つ以上を製作する前に、真下の表面の洗浄、ブラッシングまたは研磨の1つ以上のステップを実行してパーティクルおよびダストの存在を除去することができる。

【 図 面 】

【 図 1 】

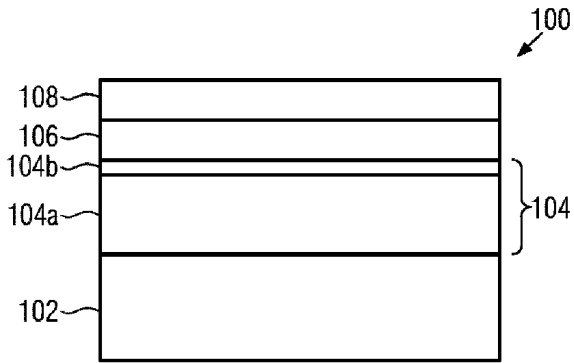


FIG. 1

【 図 2 】

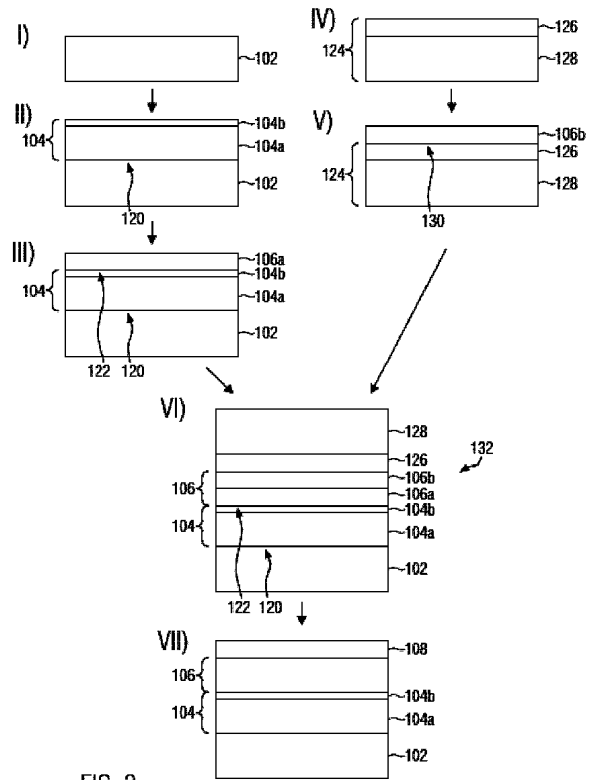


FIG. 2

10

20

30

40

50

## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. <b>PCT/EP2023/058244</b>
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> <i>H01L 21/762</i> (2006.01)i; <i>H03H 9/02</i> (2006.01)i; <i>H10N 30/079</i> (2023.01)i; <i>H10N 30/00</i> (2023.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L; H03H Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2022023630 A1 (SOITEC SILICON ON INSULATOR [FR]) 03 February 2022 (2022-02-03) page 7, line 5 - page 12, line 18; figure 2	1-8
X	WO 2017144821 A1 (SOITEC SILICON ON INSULATOR; UNIV CLAUDE BERNARD LYON ET AL.) 31 August 2017 (2017-08-31) page 7, line 14 - page 18, line 7; figures 1-3	1-8
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search <b>31 May 2023</b>		Date of mailing of the international search report <b>12 June 2023</b>
Name and mailing address of the ISA/EP <b>European Patent Office</b> <b>p.b. 5818, Patentlaan 2, 2280 HV Rijswijk</b> <b>Netherlands</b> Telephone No. (+31-70)340-2040 Facsimile No. (+31-70)340-3016		Authorized officer <b>Gröger, Andreas</b> Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

10

20

30

40

50

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.  
**PCT/EP2023/058244**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO 2022023630 A1	03 February 2022	CN	115777139	A	10 March 2023	10	
		EP	4189734	A1	07 June 2023		
		KR	20230042215	A	28 March 2023		
		TW	202232658	A	16 August 2022		
		WO	2022023630	A1	03 February 2022		
WO 2017144821 A1	31 August 2017	CN	109155276	A	04 January 2019	20	
		EP	3420583	A1	02 January 2019		
		FR	3048306	A1	01 September 2017		
		JP	6981629	B2	15 December 2021		
		JP	2019512870	A	16 May 2019		
		KR	20190013696	A	11 February 2019		
		SG	10201913216X	A	27 February 2020		
		SG	11201807197P	A	27 September 2018		
		TW	201742108	A	01 December 2017		
		US	2019058031	A1	21 February 2019		
		WO	2017144821	A1	31 August 2017		

10

20

30

40

50

## RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2023/058244

<b>A. CLASSEMENT DE L'OBJET DE LA DEMANDE</b>		
INV.	H01L21/762 H03H9/02	H10N30/079 H10N30/00
ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
<b>B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE</b>		
Documentation minimale consultée (système de classification suivi des symboles de classement)		
H01L H03H		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)		
EPO-Internal		
<b>C. DOCUMENTS CONSIDERES COMME PERTINENTS</b>		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	WO 2022/023630 A1 (SOITEC SILICON ON INSULATOR [FR]) 3 février 2022 (2022-02-03) page 7, ligne 5 - page 12, ligne 18; figure 2	1-8
X	WO 2017/144821 A1 (SOITEC SILICON ON INSULATOR; UNIV CLAUDE BERNARD LYON ET AL.) 31 août 2017 (2017-08-31) page 7, ligne 14 - page 18, ligne 7; figures 1-3	1-8
<input type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités:		
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent	"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention	
"E" document antérieur, mais publié à la date de dépôt international ou après cette date	"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément	
"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)	"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier	
"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens	"&" document qui fait partie de la même famille de brevets	
"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		
Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale	
31 mai 2023	12/06/2023	
Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé	
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Gröger, Andreas	

1

Formulaire PCT/ISA/210 (deuxième feuille) (avril 2005)

10

20

30

40

50

**RAPPORT DE RECHERCHE INTERNATIONALE**

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

**PCT/EP2023/058244**

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
<b>WO 2022023630 A1</b>	<b>03-02-2022</b>	<b>CN 115777139 A</b>	<b>10-03-2023</b>
		<b>EP 4189734 A1</b>	<b>07-06-2023</b>
		<b>KR 20230042215 A</b>	<b>28-03-2023</b>
		<b>TW 202232658 A</b>	<b>16-08-2022</b>
		<b>WO 2022023630 A1</b>	<b>03-02-2022</b>
-----			
<b>WO 2017144821 A1</b>	<b>31-08-2017</b>	<b>CN 109155276 A</b>	<b>04-01-2019</b>
		<b>EP 3420583 A1</b>	<b>02-01-2019</b>
		<b>FR 3048306 A1</b>	<b>01-09-2017</b>
		<b>JP 6981629 B2</b>	<b>15-12-2021</b>
		<b>JP 2019512870 A</b>	<b>16-05-2019</b>
		<b>KR 20190013696 A</b>	<b>11-02-2019</b>
		<b>SG 10201913216X A</b>	<b>27-02-2020</b>
		<b>SG 11201807197P A</b>	<b>27-09-2018</b>
		<b>TW 201742108 A</b>	<b>01-12-2017</b>
		<b>US 2019058031 A1</b>	<b>21-02-2019</b>
		<b>WO 2017144821 A1</b>	<b>31-08-2017</b>
-----			

10

20

30

40

50

---

 フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MU,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士 野田 雅一

(72)発明者 タベル, ブライス

フランス共和国, 38190 ベルナン, パルク テクノロジーク デ フォンテーヌ, シュマン  
デ フランク

(72)発明者 ベルトラン, イザベル

フランス共和国, 38190 ベルナン, パルク テクノロジーク デ フォンテーヌ, シュマン  
デ フランク

(72)発明者 ヴェイティゾウ, クリステル

フランス共和国, 38190 ベルナン, パルク テクノロジーク デ フォンテーヌ, シュマン  
デ フランク

F ターム (参考) 5J108 MM08