



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I523149 B

(45)公告日：中華民國 105 (2016) 年 02 月 21 日

(21)申請案號：098145608

(22)申請日：中華民國 98 (2009) 年 12 月 29 日

(51)Int. Cl. : *H01L21/8238(2006.01)**H01L21/31 (2006.01)*

(30)優先權：2009/01/21 美國

12/357,057

(71)申請人：飛思卡爾半導體公司(美國) FREESCALE SEMICONDUCTOR, INC. (US)
美國(72)發明人：羅天英 LUO, TIEN YING (TW)；卡夫 高瑞 V KARVE, GAURI V. (IN)；帖克里
丹尼爾 G TEKLEAB, DANIEL G. (ET)

(74)代理人：陳長文

(56)參考文獻：

TW I256140

TW I258811

TW I267926

TW 200623316

CN 1675759A

US 2007/0272953A1

審查人員：詹利澤

申請專利範圍項數：22 項 圖式數：10 共 36 頁

(54)名稱

半導體製造製程及形成半導體器件之方法

SEMICONDUCTOR FABRICATION PROCESS AND METHOD FOR FORMING SEMICONDUCTOR
DEVICE

(57)摘要

本發明描述一種用於在一單一基板(15)上整合雙閘極氧化物(DGO)電晶體器件(50、52)與核心電晶體器件(51、53)之方法及裝置，該基板(15)具有在 PMOS 器件區域(112、113)中之一矽鍺通道層(21)，其中各個 DGO 電晶體器件(50、52)包含：一金屬閘極(25)；一上閘極氧化物區域(60、86)，其係由一第二、相對較高之高介電常數金屬氧化物層(24)形成；及一下閘極氧化物區域(58、84)，其係由一第一、相對較低之高介電常數層(22)形成；且其中各個核心電晶體器件(51、53)包含：一金屬閘極(25)；及一核心閘極介電層(72、98)，其係僅由該第二、相對較高之高介電常數金屬氧化物層(24)形成。

A method and apparatus are described for integrating dual gate oxide (DGO) transistor devices (50, 52) and core transistor devices (51, 53) on a single substrate (15) having a silicon germanium channel layer (21) in the PMOS device areas (112, 113), where each DGO transistor device (50, 52) includes a metal gate (25), an upper gate oxide region (60, 86) formed from a second, relatively higher high-k metal oxide layer (24), and a lower gate oxide region (58, 84) formed from a first relatively lower high-k layer (22), and where each core transistor device (51, 53) includes a metal gate (25) and a core gate dielectric layer (72, 98) formed from only the second, relatively higher high-k metal oxide layer (24).

指定代表圖：

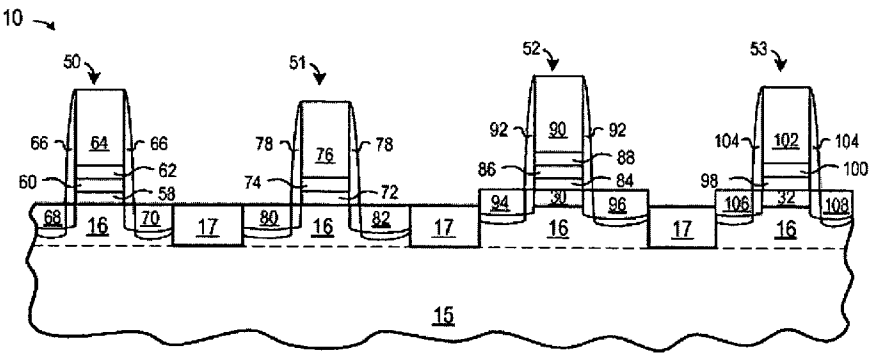
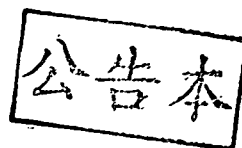


圖 10

- 符號簡單說明：
- 10 . . . 半導體晶圓結構
 - 15 . . . 半導體基板
 - 16 . . . 半導體層
 - 17 . . . 淺溝渠隔離體
 - 30 . . . 矽鍺區域
 - 32 . . . 矽鍺區域
 - 50 . . . N-DGO 器件
 - 51 . . . N 核心器件
 - 52 . . . P-DGO 器件
 - 53 . . . P 核心器件
 - 58 . . . 下閘極氧化物區域
 - 60 . . . 上閘極氧化物區域
 - 62 . . . 金屬閘極電極區域
 - 64 . . . 多晶矽閘極電極區域
 - 66 . . . 間隔物
 - 68 . . . 源極區域
 - 70 . . . 汲極區域
 - 72 . . . 閘極氧化物區域
 - 74 . . . 金屬閘極電極區域
 - 76 . . . 多晶矽閘極電極區域
 - 78 . . . 間隔物
 - 80 . . . 源極區域
 - 82 . . . 汲極區域
 - 84 . . . 下閘極氧化物區域
 - 86 . . . 上閘極氧化物區域
 - 88 . . . 金屬閘極電極區域

- 90 . . . 多晶矽閘極
電極區域
- 92 . . . 間隔物
- 94 . . . 源極區域
- 96 . . . 汲極區域
- 98 . . . 閘極氧化物
區域
- 100 . . . 金屬閘極電
極區域
- 102 . . . 多晶矽閘極
電極區域
- 104 . . . 間隔物
- 106 . . . 源極區域
- 108 . . . 汲極區域

104年6月23日修正替換頁
發明專利說明書



中文說明書替換頁(104年6月23日)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：098145608

※ 申請日：98年12月29日

※IPC 分類：H01L 21/8238(2006.01)

一、發明名稱：(中文/英文)

H01L 21/31 (2006.01)

半導體製造製程及形成半導體器件之方法

SEMICONDUCTOR FABRICATION PROCESS AND METHOD FOR
FORMING SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明描述一種用於在一單一基板(15)上整合雙閘極氧化物(DGO)電晶體器件(50、52)與核心電晶體器件(51、53)之方法及裝置，該基板(15)具有在PMOS器件區域(112、113)中之一矽鍺通道層(21)，其中各個DGO電晶體器件(50、52)包含：一金屬閘極(25)；一上閘極氧化物區域(60、86)，其係由一第二、相對較高之高介電常數金屬氧化物層(24)形成；及一下閘極氧化物區域(58、84)，其係由一第一、相對較低之高介電常數層(22)形成；且其中各個核心電晶體器件(51、53)包含：一金屬閘極(25)；及一核心閘極介電層(72、98)，其係僅由該第二、相對較高之高介電常數金屬氧化物層(24)形成。

三、英文發明摘要：

A method and apparatus are described for integrating dual gate oxide (DGO) transistor devices (50, 52) and core transistor devices (51, 53) on a single substrate (15) having a silicon germanium channel layer (21) in the PMOS device areas (112, 113), where each DGO transistor device (50, 52) includes a metal gate (25), an upper gate oxide region (60, 86) formed from a second, relatively higher high-k metal oxide layer (24), and a lower gate oxide region (58, 84) formed from a first relatively lower high-k layer (22), and where each core transistor device (51, 53) includes a metal gate (25) and a core gate dielectric layer (72, 98) formed from only the second, relatively higher high-k metal oxide layer (24).

四、指定代表圖：

(一)本案指定代表圖為：第 (10) 圖。

(二)本代表圖之元件符號簡單說明：

10	半 導 體 晶 圓 結 構
15	半 導 體 基 板
16	半 導 體 層
17	淺 溝 渠 隔 離 體
30	矽 鍺 區 域
32	矽 鍺 區 域
50	N-DGO 器 件
51	N核 心 器 件
52	P-DGO 器 件
53	P核 心 器 件
58	下 閘 極 氧 化 物 區 域
60	上 閘 極 氧 化 物 區 域
62	金 屬 閘 極 電 極 區 域
64	多 晶 矽 閘 極 電 極 區 域
66	間 隔 物
68	源 極 區 域
70	汲 極 區 域
72	閘 極 氧 化 物 區 域
74	金 屬 閘 極 電 極 區 域
76	多 晶 矽 閘 極 電 極 區 域
78	間 隔 物

80	源極區域
82	汲極區域
84	下閘極氧化物區域
86	上閘極氧化物區域
88	金屬閘極電極區域
90	多晶矽閘極電極區域
92	間隔物
94	源極區域
96	汲極區域
98	閘極氧化物區域
100	金屬閘極電極區域
102	多晶矽閘極電極區域
104	間隔物
106	源極區域
108	汲極區域

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係針對半導體器件之領域。在一態樣中，本發明係關於用於半導體器件之金屬閘極電極的製造。

本申請案已於2009年1月21日在美國申請，其專利申請號為12/357057。

【先前技術】

隨著半導體器件按比例調整，先前在長通道器件中僅引起二階效應之器件設計與製造之態樣不再可忽略。例如，一習知MOS電晶體中通道長度及閘極氧化物厚度的按比例調整加劇如下問題：多晶矽閘極耗盡、高閘極電阻、高閘極穿隧洩漏電流及摻雜物(即，硼)滲透至器件之通道區域中。因此，CMOS技術逐漸替代氧化矽閘極介電質及多晶矽閘極導體，其利用高介電常數(高-k)介電質與由多晶矽及一或多個金屬層之一閘極堆疊形成之金屬閘極電極組合。利用此等技術，金屬閘極層不僅避免閘極耗盡及硼滲透效應，而且提供一實質上較低之薄片電阻。

雖然高介電常數介電質與金屬閘極電極之結合有利地展現改良之電晶體效能，但使用新的金屬層技術可產生新的技術挑戰。例如，當藉由在PMOS通道區域中包含一矽鍍層而調整用於金屬閘極PMOS器件之臨限電壓時，若現有之雙閘極氧化物(DGO)製造製程使用熱氧化或高溫熱氧化製程以在矽鍍層上方形成厚閘極氧化物，則該等製程可能不相容。此係因為高溫製程引起鍍擴散至基板區域中或擴

散至不應包含任何鍺之閘極氧化物中，藉此使矽鍺通道之輪廓降級。一矽鍺通道層之熱氧化亦可產生高界面狀態密度，其因產生一嚴重之時間相依介電質崩潰(TDDB)問題而將不利地影響核心及DGO器件效能。

因此，需要一種經改良之金屬閘極電極及用於一經改良之雙閘極氧化物器件整合的製造方法，該整合併入一種或多種高介電常數閘極介電材料，以克服此項技術中諸如上述概述之問題。在參照圖式及隨後之實施方式而審視本申請案之剩餘部分後，熟習此項技術者將瞭解習知製程及技術的另外限制及缺點。

【發明內容】

本發明描述一種用於在一單一基板上整合雙閘極氧化物(DGO)電晶體器件與核心電晶體器件之方法及裝置，其中各個電晶體包含一金屬閘極及一或多個高介電常數閘極介電層。如所揭示，在用於較高電壓要求之一器件區域(例如，一I/O區域)中形成一較厚閘極介電質，以包含一第一、相對較低之高介電常數層及一第二、相對較高之高介電常數金屬氧化物層；及在用於較低電壓要求之一器件區域(例如，一核心器件區域)中形成具有第二、相對較高之高介電常數金屬氧化物層的一較薄第二閘極介電質。該基板可經形成以在PMOS與NMOS器件區域之一者或兩者中包含一通道層，其中該通道層係由具有一不同於下伏半導體基板之電氣性質的一半導體材料(例如，在NMOS器件區域中之一SiC通道層，或在PMOS器件區域中之一SiGe通道

層)形成。當在一SiGe通道層上形成PMOS器件時，PMOS金屬閘極器件之臨限電壓可獨立於NMOS器件而調整。DGO電晶體器件可經製造以包含一第一、相對較低之高介電常數層(例如，矽酸鈣或 HfSiO_xN_y)及一第二、相對較高之高介電常數金屬氧化物層(例如，氧化鈣)，而核心電晶體器件可使用第二、相對較高之高介電常數金屬氧化物層製造而作為核心閘極介電層。最後，在DGO及核心器件區域上方順序地形成或沈積一單一金屬層及多晶矽層，且其後選擇性地蝕刻該層以形成具有經調諧之臨限電壓及經改良之閘極氧化物完整性的PMOS及NMOS閘極電極。

【實施方式】

當結合下述圖式考慮下述詳細實施方式時，可瞭解本發明及其諸多目的、特徵及所獲得之優點。

現將參照附圖詳細描述本發明之各種說明性實施例。雖然在以下描述中說明各種細節，但將瞭解本發明可在無此等特定細節下實踐，且對本文所描述之本發明可作出諸多特定實施方案決策以達成將在一實施方案與另一實施方案之間不同的器件設計者之特定目標，諸如遵循製程技術或設計相關之約束。雖然此一開發努力可能複雜且浪費時間，然而其將係具有本揭示內容之優點的一般技術者從事之一日常工作。例如，應注意在全篇此實施方式，將沈積及移除某些材料層以形成所描繪之半導體結構。在下文未詳細描述用於沈積或移除此等層之特定程序之情況下，意欲使用熟習此項技術者習知的技術以適當厚度來沈積、移

除或另外形成此等層。此等細節已為人熟知，且未被視為教示熟習此項技術者如何製作或使用本發明所必須的。另外，參照一半導體器件之經簡化橫截面圖來描繪選定態樣，該半導體器件未包含每一器件特徵或幾何結構以避免限制本發明或使本發明變得模糊。熟習此項技術者使用此類描述及表示法以將其等之工作主旨描述及傳達給其他熟習此項技術者。同時應注意在全篇此實施方式，圖式中之某些元件係為簡便及清楚起見而說明，且未必按比例繪製。例如，在圖式中可相對於其他元件放大一些元件之尺寸，以幫助改良對本發明之實施例的理解。

現參照圖1，其展示一半導體晶圓結構1之一部分橫截面圖。結構1包含形成於一半導體基板15上或作為半導體基板15之一部分的一半導體層16，該半導體基板15具有一第一結晶定向。同時說明複數個淺溝渠隔離體17，其等將層16分割為若干獨立區域，諸如一NMOS雙閘極氧化物(N-DGO)區域110、一NMOS核心(N核心)區域111、一PMOS雙閘極氧化物(P-DGO)區域112及一PMOS核心(P核心)區域113。雖然未展示，但用於NMOS器件區域110、111及PMOS器件區域112、113之層16之材料可不同。例如，N-DGO區域110及N核心區域111可利用硼植入以形成P井區域，且P-DGO區域112及PMOS核心區域113可利用砷或磷植入以形成N井區域(未展示)。NMOS器件可形成於N-DGO區域110及N核心區域111中。PMOS器件可形成於P-DGO區域112及P核心區域113中。形成於雙閘極氧化物區域(110

與112)中之器件將利用較厚閘極氧化物來形成，且形成於核心區域(111與113)中之器件將利用較薄閘極氧化物來形成。

取決於所製造之電晶體器件的類型，半導體層15、16可實施為一塊體矽基板、單晶態矽(經摻雜或未經摻雜)、絕緣體上覆半導體(SOI)基板或任何半導體材料，包含(例如)Si、SiC、SiGe、SiGeC、Ge、GaAs、InAs、InP及其他III/V或II/VI化合物半導體或其等之任何組合，且視需要地可形成為塊體處置晶圓。半導體層15、16具有一通道結晶定向<100>。本揭示內容亦適用於具有諸如<110>、<111>之其他晶體定向的器件，該晶體定向可係增強載子遷移率所需的。對於任何FET類型(NMOS或PMOS)，層16可由材料之多個堆疊組成。應注意雖然為描述本發明，此處展示塊體類型之基板，但本發明並不限於任何特定基板類型。例如，用於本發明之起始基板可為在半導體之一頂層下方具有一埋入絕緣體層之絕緣體上覆半導體(SOI)類型，或一雙基板定向基板，諸如對於塊體及SOI具有不同定向之部分塊體及部分SOI。

形成隔離區域或結構17以將NMOS器件區域110、111與PMOS器件區域112、113電隔離。隔離結構17界定作用層16中之一作用區域或電晶體區域110-113的橫向邊界，且可利用任何所要之技術而形成，諸如：使用一經圖案化遮罩或光阻層(未展示)而在第二半導體層16中選擇性地蝕刻一開口，沈積一介電層(例如，氧化物)以填充該開口，且其後拋光該經沈積之介電層，直到利用剩餘之第二半導體

層 16 平坦化為止。剝除經圖案化遮罩或光阻層之任何剩餘之未經蝕刻的部分。如將瞭解的，在其他實施例中可以其他方式形成隔離區域或結構 17。

圖 2 說明在圖 1 之後之一半導體晶圓結構 2 的處理，其中在該半導體晶圓結構之 NMOS 區域 110、111 上方選擇性地形成一經圖案化遮罩層 20，且在該半導體晶圓結構之 PMOS 區域 112、113 上方選擇性地形成一磊晶 SiGe 層 21。例如，在半導體晶圓結構上方可沈積及/或生長一或多個遮罩層 20 (例如，一層氧化物層及/或氮化物層)，且其後可使用習知的圖案化及蝕刻技術以形成暴露至少 PMOS 器件區域 112、113 之該(該等)遮罩層 20 中之一開口。選擇性地形成之遮罩層 20 係用於界定及區分隨後形成於晶圓結構 16 上之 NMOS 及 PMOS 器件的作用區域。在形成經圖案化遮罩層 20 後，在半導體晶圓結構之 PMOS 區域 112、113 上方選擇性地形成一薄的壓縮應力半導體層 21，其將用於形成 PMOS 器件。雖然圖式中展示半導體層 21 形成於半導體層 16 頂部，但將瞭解半導體層 21 可嵌入於半導體層 16 中。在選定實施例中，該薄的壓縮應力半導體層 21 係利用具有大於下伏第二半導體層 16 之原子與原子間隔的一半導體材料而形成，諸如 SiGe、SiGeC 或以其等之重量比之組合及組成物，該層 21 能夠利用一選擇性磊晶生長法或其他沈積法伴隨後續之重結晶而形成。例如，若 PMOS 器件係形成於 PMOS 區域 112、113 中之半導體層 16 上方且用於層 16 之半導體材料為矽，則半導體層 21 可藉由磊晶生長一 SiGe 層而

形成，該 SiGe 層係薄於一臨界鬆弛厚度，以形成一壓縮 SiGe 層 21。在存在二氯矽烷、鍺烷、 (GeH_4) 、HCl 及氫氣時，在 400°C 與 900°C 之間的一腔室溫度，藉由化學汽相沈積 (CVD) 之一製程可達成此磊晶生長。只要 SiGe 層 21 之厚度小於臨界鬆弛厚度，則 SiGe 層 21 遭受壓縮應力。如將瞭解的，一 SiGe 層之臨界鬆弛厚度將取決於層 21 中之含鍺量及層厚。在一範例實施例中，一磊晶生長之 SiGe 層 21 具有 10% 至 50% 鍺 (例如，20% 至 35% 鍺) 且生長為在至少 30 埃至 150 埃之範圍內 (例如，約 100 埃) 的一預定厚度，由於層 21 與 16 之間的晶格失配，該 SiGe 層 21 將具有一雙軸壓縮應變。SiGe 之壓縮應力及較低能帶隙容許區域 112 及 113 中 PMOS 器件之臨限電壓降低及遷移率增強。另外，SiGe 可利用硼摻雜，而用於進一步降低 PMOS 臨限電壓。雖然可形成矽鍺之一通道層 21，但將瞭解可使用與半導體基板 16 具有不同電氣性質之其他半導體材料。例如，在一實施例中，可使用碳化矽，或可使用改變 NMOS 器件之一通道區域的一能帶隙之任何半導體材料。在另一實施例中，可使用相對於一薄閘極器件之一通道區域而改變一厚閘極器件之一通道區域的一能帶隙之任何半導體材料。雖然未展示，但將瞭解藉由在下伏 SiGe 層 21 上方磊晶生長或沈積一矽層至約 15 埃之一預定厚度，可在磊晶半導體層 21 上方形成一半導體罩蓋層，然而可使用其他厚度及材料。

圖 3 說明在圖 2 之後之半導體晶圓結構 3 的處理，圖 3 為移除遮罩層 20 且在該半導體晶圓結構上方佈置一第一高介電

常數閘極介電層22之後。在選定實施例中，該第一高介電常數閘極介電層22係藉由以下而形成：使用化學汽相沈積(CVD)、電漿增強化學汽相沈積(PECVD)、物理汽相沈積(PVD)、原子層沈積(ALD)或上述之任何組合在DGO器件區域及核心器件區域110-113之頂部沈積具有一相對較低之介電常數值的一高介電常數閘極介電材料。在選定實施例中，該第一高介電常數閘極介電層22可藉由一低溫CVD或ALD製程而形成為在1-100埃(例如10-50埃，或更特定言之20-30埃)範圍內之一預定最終厚度，然而可使用其他厚度。一種適合於閘極介電層22之高介電常數閘極介電材料係具有7.0或更大之一介電常數值的一絕緣體材料，該介電常數值係低於第二高介電常數閘極介電層24之介電常數值(下文描述)。一種適合於沈積製程之溫度係在約攝氏200度至約攝氏400度之範圍內，且經控制以減少或消除鍺之擴散。一種適用於第一高介電常數閘極介電層22之高介電常數閘極介電材料係不會與下伏矽鍺層21不利地交互作用之一基於鈐的介電質，諸如矽酸鈐(例如， $\text{Hf}_x\text{Si}_{1-x}\text{O}_y$)或氮氧化鈐(例如， $\text{Hf}_x\text{Si}_{1-x}\text{O}_y\text{N}_z$)，然而亦可使用鋳、鋁、鐳、鋇、鈦之其他矽酸鹽及其等之組合，包含(但不限於) HfSiO_x 、 ZrSiO_x 、 LaSiO_x 、 YSiO_x 、 ScSiO_x 、 CeSiO_x 及 HfLaSiO_x 。另外，多金屬氧化物(例如，鈦酸鋇鋇，BST)亦可提供高介電常數介電性質。如將瞭解的，在其他實施例中可以其他方式形成第一高介電常數閘極介電層22。

圖4說明在圖3之後之一半導體晶圓結構4的處理，圖4為

在 DGO 器件區域 110、112 中之第一高介電常數閘極介電層 22 上形成一經圖案化蝕刻遮罩 23 之後。藉由直接在第一高介電常數閘極介電層 22 上施加一經圖案化之光阻層以遮蔽 DGO 器件區域 110、112，可形成經圖案化蝕刻遮罩 23，或可使用一多層遮罩技術以在 DGO 器件區域 110、112 中之第一高介電常數閘極介電層 22 上方形成一蝕刻遮罩圖案 23。

圖 5 說明在圖 4 之後之一半導體晶圓結構 5 的處理，圖 5 為從核心器件區域 111、113 中移除第一高介電常數閘極介電層 22 之經暴露部分之後。特定言之，在圖案化抗蝕劑或遮罩層 23 就位後，從核心器件區域 111、113 選擇性地蝕刻且移除第一高介電常數閘極介電層 22 之經暴露部分，藉此留下第一高介電常數閘極介電層 22 在 DGO 器件區域 110、112 中之部分。遮罩層 23 之圖案轉移及蝕刻可使用一或多個蝕刻步驟以移除層 22 之未受保護部分，該等蝕刻步驟包含：一乾式蝕刻製程，諸如反應性離子蝕刻、離子束蝕刻、電漿蝕刻或雷射蝕刻；一濕式蝕刻製程，其中採用一化學蝕刻劑；或其等之組合。例如，第一高介電常數閘極介電層 22 之經暴露部分可使用一反應性離子蝕刻製程而各向異性地蝕刻，在 N-DGO 區域 110 及 P-DGO 區域 112 中留下該下閘極氧化物區域 22。在其他實施例中，第一高介電常數閘極介電層 22 之經暴露部分可使用一氫氟酸 (HF) 清洗 (諸如一稀 HF 清洗製程) 而從 N 核心區域 111 及 P 核心區域 113 移除。

在遮罩蝕刻製程後，移除經圖案化光阻層 23。此為圖 6 中所示，圖 6 說明在圖 5 之後之一半導體晶圓結構 6 的處

理，圖6為諸如藉由使用(例如)一食人魚(piranha)清洗或溶劑清洗製程而剝除或移除經圖案化蝕刻遮罩23之後。

圖7說明在圖6之後之一半導體晶圓結構7的處理，圖7為在該半導體晶圓結構上方佈置一第二高介電常數閘極介電層24之後。在形成該第二高介電常數閘極介電層24之前，可應用一預清洗製程(例如，無HF之一RCA標準清洗1或2溶液)以清除相關區域之頂部表面。如所說明，第二高介電常數閘極介電層24係藉由以下而形成：在DGO器件區域及核心器件區域110-113之頂部沈積具有一相對較高之介電常數值的一高介電常數閘極介電材料，使得介電層24直接上覆N-DGO區域110中之下閘極氧化物區域22、N核心區域111中之一部分半導體層16、P-DGO區域112中之下閘極氧化物區域22及P核心區域113中之SiGe層21。在選定實施例中，第二高介電常數閘極介電層24係使用CVD、PECVD、PVD、ALD或上述之任何組合而沈積為在1-100埃(例如10-50埃，或更特定言之15-20埃)範圍內之一預定最終厚度，然而可使用其他厚度。一種適合於閘極介電層24之高介電常數閘極介電材料係具有大於7.0之一介電常數值的一絕緣體材料，該介電常數值係高於第一高介電常數閘極介電層22之介電常數值。例如，可使用不含矽之一金屬氧化物化合物(例如， HfO_2)，然而亦可使用鋯、鋁、鐳、鋇、鈦之其他氧化物、矽酸鹽或鋁酸鹽及其等之組合，包含(但不限於) Ta_2O_5 、 ZrO_2 、 TiO_2 、 Al_2O_3 、 Y_2O_3 、 La_2O_3 、 HfSiN_yO_x 、 ZrSiN_yO_x 、 ZrHfO_x 、 LaSiO_x 、

YSiO_x 、 ScSiO_x 、 CeSiO_x 、 HfLaSiO_x 、 HfAlO_x 、 ZrAlO_x 及 LaAlO_x 。另外，多金屬氧化物(例如，鈦酸鋇鋇，BST)亦可提供高介電常數介電性質。如將瞭解的，在其他實施例中可以其他方式形成第二高介電常數閘極介電層24。

接著，如圖8中所示，圖8說明在圖7之後之一半導體晶圓結構8的處理，在第二高介電常數閘極介電層24上方沈積一第一基於金屬之閘極層25。在選定實施例中，基於金屬之層25係使用任何所要之沈積或濺鍍製程(諸如CVD、PECVD、PVD、ALD、分子束沈積(MBD)或其等之任何組合)而沈積於第二高介電常數閘極介電層24上。一種適用於基於金屬之層25之材料係：可在NMOS及PMOS區域110-113上方沈積為20-150埃(例如，50-100埃)之一預定厚度的一元素或合金(例如，TaC或W)，然而可使用具有不同厚度之其他金屬層材料。在選定實施例中，基於金屬之層25可包含由下列組成之群組中選出之一元素：Ti、Ta、La、Ir、Mo、Ru、W、Os、Nb、Ti、V、Ni、W及Re，其形成可含碳及/或氮之一金屬或基於金屬之層(諸如TiN、TaC、HfC、TaSi、ZrC、Hf等)或甚至一導電金屬氧化物(諸如 IrO_2)。

圖9說明在圖8之後之一半導體晶圓結構9的處理，圖9為在基於金屬之層25上方佈置一含矽閘極層26以形成一金屬閘極堆疊之後。在選定實施例中，含矽層26係一非晶或多晶矽罩蓋層或一非晶/多晶矽鍍罩蓋層，其係使用CVD、PECVD、PVD、ALD、MBD或其等之組合而形成為在200-

1000埃(例如500-600埃)範圍內之一預定厚度，然而可使用其他材料及厚度。含矽層26亦可為一經摻雜或未摻雜非晶矽或矽鍺層。隨後，一抗反射塗層(ARC)(未展示)可隨後在含矽閘極層26上方形成為在約10-200埃範圍內之一厚度，然而可使用其他厚度。在一選定實施例中，ARC層係藉由沈積用作特定微影製程之一ARC功能的矽豐富氮化矽層、有機ARC、氮氧化矽或任何ARC材料而形成。如所瞭解的，ARC層可直接施加至含矽層26或作為含矽層26上一多層遮罩的一部分。當經沈積，非晶含矽層26覆蓋NMOS及PMOS器件區域110-113。

圖10說明在圖9之後之一半導體晶圓結構10的處理，圖10為形成PMOS及NMOS器件50-53之後。如一初步步驟，使用任何所要之圖案及蝕刻製程(包含直接在ARC層上施加及圖案化光阻)在核心及DGO器件區域110-113中選擇性地蝕刻該金屬閘極堆疊以形成NMOS及PMOS閘極電極，然而亦可使用多層遮罩技術。舉例而言，N-DGO器件50可形成於N-DGO區域110中，N核心器件51可形成於N核心區域111中，P-DGO器件52可形成於P-DGO區域112中，且P核心器件53可形成於P核心區域113中。此等器件可使用習知的半導體處理步驟藉由形成閘極電極、間隔物及源極/汲極區域而形成。因此，例如，N-DGO器件50可包含一閘極結構，該閘極結構包含一下閘極氧化物區域58(由第一相對較低之高介電常數層22形成)、一上閘極氧化物區域60(由第二相對較高之高介電常數層24形成)、一金屬閘極

電極區域62及一多晶矽閘極電極區域64。N-DGO器件50可進一步包含形成為相鄰於該閘極結構之間隔物66。N-DGO器件50可進一步包含植入為至少部分圍繞該閘極結構及/或間隔物66之源極/汲極區域68與70。N核心器件51可包含一閘極結構，該閘極結構包含一閘極氧化物區域72(由第二相對較高之高介電常數層24形成)、一金屬閘極電極區域74及一多晶矽閘極電極區域76。N核心器件51可進一步包含形成為相鄰於該閘極結構之間隔物78，及植入為至少部分圍繞該閘極結構及/或間隔物78之源極/汲極區域80與82。P-DGO器件52可包含矽鍺區域30。P-DGO器件52可進一步包含一閘極結構，該閘極結構包含一下閘極氧化物區域84(由第一相對較低之高介電常數層22形成)、一上閘極氧化物區域86(由第二相對較高之高介電常數層24形成)、一金屬閘極電極區域88及一多晶矽閘極電極區域90。P-DGO器件52可進一步包含形成為相鄰於該閘極結構之間隔物92，及植入為至少部分圍繞該閘極結構及/或間隔物92之源極/汲極區域94與96。P核心器件53可包含矽鍺區域32。P核心器件53可進一步包含一閘極結構，該閘極結構包含一閘極氧化物區域98(由第二相對較高之高介電常數層24形成)、一金屬閘極電極區域100及一多晶矽閘極電極區域102。P核心器件53可進一步包含形成為相鄰於該閘極結構之間隔物104，及植入為至少部分圍繞該閘極結構及/或間隔物104之源極/汲極區域106與108。

如本文中所述，由於第一高介電常數閘極介電層22(例

如， HfSiO_x)與第二高介電常數閘極介電層24(例如， HfO_2)之間的材料類似性，因此在DGO NMOS器件50及DGO PMOS器件52中包含下閘極氧化物區域58、84改良與上閘極氧化物區域60、86之界面品質。另外，藉由從具有一相對較低介電常數之一第一高介電常數閘極介電層22(例如， HfSiO_x)形成下閘極氧化物區域58、84，而使符合所要電氧化物厚度(T_{ox})所需之實體厚度增加最小化，因此確保較佳之薄膜品質。最後，相較於利用一高溫熱氧化物製程形成一閘極介電層，利用第一高介電常數閘極介電層22之一相對低溫沈積而形成下閘極氧化物區域58、84減少導致高界面狀態密度及TDDDB問題之來自矽鍺通道層之鍺擴散。另外，利用第二相對較高之高介電常數層24來形成閘極氧化物區域72、98為N核心器件51及P核心器件53提供改良之核心器件效能。

如將瞭解的，可使用額外或不同之處理步驟以完成製造所描繪之器件結構50-53成為機能器件。除各種前端處理步驟外(諸如犧牲氧化物形成、剝除、隔離區域形成、閘極電極形成、延伸植入、光暈植入、間隔物形成、源極/汲極植入、退火、矽化物形成及拋光步驟)，可執行額外後端處理步驟，諸如以所要方式形成用於連接器件組件的接觸插塞及多層互連，以達成所要之功能。一旦完成晶圓製造製程，則可諸如藉由引線框附接、引線框附接、線接合及囊封而將晶圓切斷或切割為用於隨後之電連接的分離積體電路晶粒。因此，用於完成製造器件組件之步驟的特定

順序可取決於製程及/或設計要求而改變。

到目前為止，應瞭解本文已提供一種用於在一單一基板上整合DGO與核心電晶體之半導體製造製程。在所揭示之方法中，提供一晶圓，該晶圓包含一第一半導體層作為一絕緣體上覆半導體(SOI)基板結構或塊體基板結構，該第一半導體層具有PMOS器件區域及NMOS器件區域，包含一DGO NMOS器件區域、一NMOS核心器件區域、一DGO PMOS器件區域及一PMOS核心器件區域。在該第一半導體層之至少一部分上，諸如藉由磊晶生長矽鍺至一預定厚度而形成一壓縮矽鍺層。在用於P-DGO之壓縮矽鍺層及用於N-DGO之矽上，由具有大於7.0之一第一介電常數值之一第一介電材料(例如，一矽酸鹽或金屬氮氧化物材料，諸如 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y$ 或 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y\text{N}_z$)選擇性地形成一經沈積之第一高介電常數介電層。選擇性地形成該第一高介電常數介電層可包含：在NMOS器件區域及PMOS器件區域(包含PMOS器件區域中之壓縮矽鍺層)上方毯覆式沈積該第一高介電常數介電層，接著形成一經圖案化蝕刻遮罩以覆蓋該壓縮矽鍺層，且接著選擇性地蝕刻該第一高介電常數介電層以暴露該NMOS器件區域，而在該壓縮矽鍺層上方留下該第一高介電常數介電層。在選定實施例中，使用一低溫沈積製程來沈積矽酸鹽或金屬氮氧化物材料，其中該溫度經選擇以減少或消除來自該壓縮矽鍺層之鍺擴散。隨後，在該等PMOS器件區域及NMOS器件區域上方沈積一第二高介電常數介電層，其中該第二高介電常數介電層由一第二介

電材料形成，該第二介電材料具有高於第一介電常數值之一介電常數值。例如，該第二高介電常數介電層可為沈積於PMOS器件區域中之第一高介電常數介電層上方及在NMOS器件區域中之第一半導體層上方的一HfO₂層。該製程進一步包含在該第二高介電常數介電層上方沈積一或多個閘極電極層。

以另一形式提供一種形成器件之方法。在所揭示之方法中，在一半導體基板之一第一(DGO)區域中形成一第一閘極介電器件，其中在一第一通道區域上可磊晶生長一壓縮矽鍺層或碳化矽層。在形成該第一閘極介電器件時，藉由在該半導體基板之該第一通道區域中的該矽鍺層上方沈積一第一高介電常數介電層(例如，Hf_xSi_{1-x}O_y或Hf_xSi_{1-x}O_yN_z)及一第二高介電常數介電層(例如，HfO₂)而形成一所形成之第一閘極介電質，其中該第一高介電常數介電層具有小於該第二高介電常數介電層之一第二介電常數值之一第一介電常數值。在選定之實施例中，於一沈積製程中，該第一高介電常數介電層係沈積為一矽酸鹽或金屬氮氧化物材料，該沈積製程發生在經選擇以減少或消除來自該壓縮矽鍺層之鍺擴散之一溫度。另外，在該第二高介電常數介電層上沈積一閘極電極材料。所揭示之方法亦藉由形成一第二閘極介電質而在該半導體基板之一第二(核心)區域中形成一第二閘極介電器件，該第二閘極介電質比第一閘極介電質更薄，且藉由在該半導體基板之一第二通道區域上方沈積第二高介電常數介電層(例如，HfO₂)而形

成。另外，在該第二高介電常數介電層上方沈積一閘極電極材料。最後，所揭示之方法亦可在該半導體基板之一第三(DGO)區域中形成一第三閘極介電器件，該第三閘極介電器件包含一第三閘極介電質，該第三閘極介電質藉由在該半導體基板之一第三通道區域上方順序地沈積該第一高介電常數介電層及該第二高介電常數介電層而形成。另外，可在該半導體基板之一第四(核心)區域中形成一第四閘極介電器件，該第四閘極介電器件包含一第四閘極介電質，該第四閘極介電質比該第三閘極介電質更薄，且藉由在該半導體基板之一第四通道區域上方沈積第二高介電常數介電層而形成。

以另一形式提供一種用於在具有第一器件區域及第二器件區域(例如，DGO及核心器件區域)之一半導體基板上形成一半導體器件之方法。如所揭示，在該半導體基板之一或多個PMOS通道區域上(例如，在第一及/或第二器件區域中)可磊晶生長一壓縮矽鍺層。隨後，諸如藉由利用一沈積製程在該矽鍺層上沈積一 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y$ 或 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y\text{N}_z$ 層，而在該第一器件區域上方形成具有7.0或更大之一第一介電常數值的第一高介電常數介電層，該沈積製程發生在經選擇以減少或消除來自該壓縮矽鍺層之鍺擴散之一溫度。為在該第一區域中形成第一高介電常數介電層，該第一高介電常數介電層可在該第一器件區域及該第二器件區域上方沈積為一矽酸鹽或金屬氮氧化物層，且其後選擇性地從該第二器件區域蝕刻該第一高介電常數介電層以暴

露該第二器件區域中之該半導體基板。另外，在該第一器件區域中之該第一高介電常數介電層上方及在該第二器件區域中之該半導體基板上方形形成一第二高介電常數介電層(例如， HfO_2)，其中該第二高介電常數介電層具有高於該第一介電常數值的一介電常數值。其後一或多個閘極電極層位於該第二高介電常數介電層上方，且選擇性地經蝕刻以在該第一器件區域及該第二器件區域上方形成一或多個閘極電極結構。相較於利用具有一較高介電常數值之一材料形成該第一高介電常數介電層，藉由在該第一器件區域上方形成具有一相對較低之介電常數值的該第一高介電常數介電層，減小符合一預定電氧化物厚度(T_{ox})要求所需之用於該第一器件區域中之該第一高介電常數介電層的厚度量測。

雖然本文所揭示之經描述例示性實施例係針對各種半導體器件結構及製成該等結構之方法，但本發明未必限於說明本發明之發明態樣且適用於廣泛之各種半導體製程及/或器件的範例實施例。例如，雖然前文相對於具有矽鍺區域之PMOS器件而描述製程流程，但一類似製程流程可與具有碳化矽之NMOS器件一起使用。在NMOS器件製程流程中，半導體層21可形成為一層碳化矽層以改變一NMOS通道區域之一能帶隙，在該情況下DGO器件52將形成為一N-DGO器件，且核心器件53將形成為一N核心器件。因此，前文所揭示之特定實施例僅為說明性的，且不應視為限制本發明，因為對具有本文之教示之優點之技術熟習者

顯然可知可以不同但等效的方式修改及實踐本發明。例如，本發明之方法可使用除本文明確說明之材料外的材料來應用。另外，本發明並不限於本文所描述之任何特定類型的積體電路。因此，先前描述並不意欲將本發明限於所說明之特定形式，相反其意欲涵蓋在如由隨附申請專利範圍界定之本發明的精神與範疇內可包含之此等替代、修改及等效物，使得熟習此項技術者可瞭解在不脫離本發明以其最廣形式之精神及範疇下其等可作出各種改變、替代及變動。

前文已關於特定實施例描述利益、其他優點及問題之解決方案。然而，利益、優點、問題之解決方案及可引起任何利益、優點或解決方案發生或變得較明顯之任何元件不應視為任何或全部申請專利範圍之一關鍵、所需或基本特徵或元件。如本文中所使用，術語「包括」或其任何其他變動意欲涵蓋一非排他性包含，使得包括諸多元件之一清單之一製程、方法、物品或裝置不僅包含該等元件，亦可包含未明確列舉或此製程、方法、物品或裝置固有的其他元件。

【圖式簡單說明】

圖1係包含一半導體層之一半導體晶圓結構的一部分橫截面圖；

圖2說明在圖1之後的處理，其中在該半導體晶圓結構之NMOS區域上方形成一遮罩層，且在該半導體晶圓結構之PMOS區域上方選擇性地形成一磊晶SiGe層；

圖3說明在圖2之後的處理，圖3為移除該遮罩層且在該半導體晶圓結構上方佈置一第一高介電常數閘極介電層之後；

圖4說明在圖3之後的處理，圖4為在DGO器件區域中之該第一高介電常數閘極介電層上形成一經圖案化蝕刻遮罩之後；

圖5說明在圖4之後的處理，圖5為從核心器件區域移除該第一高介電常數閘極介電層之經暴露部分之後；

圖6說明在圖5之後的處理，圖6為剝除或移除該經圖案化蝕刻遮罩之後；

圖7說明在圖6之後的處理，圖7為在該半導體晶圓結構上方佈置一第二高介電常數閘極介電層之後；

圖8說明在圖7之後的處理，圖8為在該半導體晶圓結構上方沈積一第一基於金屬之閘極層之後；

圖9說明在圖8之後的處理，圖9為在該第一基於金屬之層上方佈置一含矽閘極層之後；及

圖10說明在圖9之後的處理，圖10為選擇性地蝕刻該單一金屬閘極堆疊以形成閘極電極且至少部分完成NMOS與PMOS核心及DGO器件之後。

【主要元件符號說明】

- | | |
|---|---------|
| 1 | 半導體晶圓結構 |
| 2 | 半導體晶圓結構 |
| 3 | 半導體晶圓結構 |
| 4 | 半導體晶圓結構 |

5	半導體晶圓結構
6	半導體晶圓結構
7	半導體晶圓結構
8	半導體晶圓結構
9	半導體晶圓結構
10	半導體晶圓結構
15	半導體基板
16	半導體層
17	淺溝渠隔離體
20	經圖案化遮罩層
21	磊晶 SiGe 層 / 半導體層
22	第一高介電常數閘極介電層 / 下伏 SiGe 層
23	經圖案化蝕刻遮罩
24	第二高介電常數閘極介電層
25	第一基於金屬之閘極層
26	含矽閘極層
30	矽鍺區域
32	矽鍺區域
50	N-DGO 器件
51	N 核心器件
52	P-DGO 器件
53	P 核心器件
58	下閘極氧化物區域
60	上閘極氧化物區域

62	金屬閘極電極區域
64	多晶矽閘極電極區域
66	間隔物
68	源極區域
70	汲極區域
72	閘極氧化物區域
74	金屬閘極電極區域
76	多晶矽閘極電極區域
78	間隔物
80	源極區域
82	汲極區域
84	下閘極氧化物區域
86	上閘極氧化物區域
88	金屬閘極電極區域
90	多晶矽閘極電極區域
92	間隔物
94	源極區域
96	汲極區域
98	閘極氧化物區域
100	金屬閘極電極區域
102	多晶矽閘極電極區域
104	間隔物
106	源極區域
108	汲極區域

- 110 NMOS雙閘極氧化物(N-DGO)區域
- 111 NMOS核心(N核心)區域
- 112 PMOS雙閘極氧化物(P-DGO)區域
- 113 PMOS核心(P核心)區域

七、申請專利範圍：

1. 一種半導體製造製程，其包括：

提供一晶圓，該晶圓包括具有一第一PMOS器件區域、一第二PMOS器件區域及一NMOS器件區域之一第一半導體層；

在至少該第一PMOS器件區域及該第二PMOS器件區域上形成一壓縮矽鍺層；

在該第一PMOS器件區域之該壓縮矽鍺層上方選擇性地形成一經沈積之第一高介電常數介電層，其中該第一高介電常數介電層係由一第一介電材料形成，該第一介電材料具有7.0或更大之一第一介電常數值；

在該第一PMOS器件區域中之該第一高介電常數介電層上方、在該第二PMOS器件區域中之該壓縮矽鍺層上方及在該NMOS器件區域中之該第一半導體層上方沈積一第二高介電常數介電層，其中該第二高介電常數介電層係由一第二介電材料形成，該第二介電材料具有高於該第一介電常數值之一介電常數值；及

在該第二高介電常數介電層上方沈積一或多個閘極電極層。

2. 如請求項1之半導體製造製程，其中提供該晶圓包括： 提供一第一半導體層作為一絕緣體上覆半導體(SOI)基板結構或塊體基板結構。

3. 如請求項1之半導體製造製程，其中形成該壓縮矽鍺層包括：磊晶生長矽鍺至一預定厚度。

4. 如請求項1之半導體製造製程，其中選擇性地形成該經沈積之第一高介電常數介電層包括：沈積一矽酸鹽或金屬氮氧化物材料。
5. 如請求項1之半導體製造製程，其中選擇性地形成該經沈積之第一高介電常數介電層包括：在至少該壓縮矽鍺層上方沈積一 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y$ 或 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y\text{N}_z$ 層。
6. 如請求項1之半導體製造製程，其中選擇性地形成該經沈積之第一高介電常數介電層包括：在一沈積製程中沈積一矽酸鹽或金屬氮氧化物材料，該沈積製程發生在經選擇以減少或消除來自該壓縮矽鍺層之鍺擴散之一溫度。
7. 如請求項1之半導體製造製程，其中選擇性地形成該經沈積之第一高介電常數介電層包括：

在該第一PMOS器件區域、該第二PMOS器件區域及該NMOS器件區域上方毯覆式沈積該第一高介電常數介電層；

形成一經圖案化蝕刻遮罩以覆蓋該第一PMOS器件區域中之該壓縮矽鍺層；及

選擇性地蝕刻該第一高介電常數介電層以暴露該NMOS器件區域及該第二PMOS器件區域，而在該第一PMOS器件區域中之該壓縮矽鍺層上方留下該第一高介電常數介電層。
8. 如請求項1之半導體製造製程，其中沈積該第二高介電常數介電層包括：在該第一PMOS器件區域中之該第一

高介電常數介電層上方、在該NMOS器件區域中之該第一半導體層上方及在該第二PMOS器件區域中之該壓縮矽鍺層上方沈積一 HfO_2 層。

9. 一種形成器件之方法，其包括：

在一半導體基板之一第一PMOS區域中形成一第一閘極介電器件，其中該第一閘極介電器件包括：一第一閘極介電質，其係藉由沈積一第一高介電常數介電層及一第二高介電常數介電層於該半導體基板之一第一通道區域上方而形成，其中該第一高介電常數介電層具有小於該第二高介電常數介電層之一第二介電常數值的一第一介電常數值；及

在該半導體基板之一第二PMOS區域中形成一第二閘極介電器件，其中該第二閘極介電器件包括一第二閘極介電質，該第二閘極介電質比該第一閘極介電質更薄，且藉由在該半導體基板之一第二通道區域上方沈積該第二高介電常數介電層而形成。

10. 如請求項9之方法，其中形成該第一閘極介電器件及該第二閘極介電器件進一步包括：在該第二高介電常數介電層上方沈積一閘極電極材料。

11. 如請求項9之方法，其進一步包括：在沈積該第一高介電常數介電層之前，在該半導體基板之該第一通道區域上磊晶生長一壓縮矽鍺層。

12. 如請求項11之方法，其中形成該第一閘極介電器件包括：

在該壓縮矽鍺層上方沈積一 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y$ 或 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y\text{N}_z$ 之第一高介電常數介電層；及

在該第一高介電常數介電層上方沈積一 HfO_2 之第二高介電常數介電層。

13. 如請求項 12 之方法，其中形成該第二閘極介電器件包括：在該第二通道區域上方沈積該 HfO_2 之第二高介電常數介電層。

14. 如請求項 11 之方法，其中形成該第一閘極介電器件包括：在一沈積製程中沈積該第一高介電常數介電層為一矽酸鹽或金屬氮氧化物材料，該沈積製程發生在經選擇以減少或消除來自該壓縮矽鍺層之鍺擴散之一溫度。

15. 如請求項 9 之方法，其進一步包括：在沈積該第一高介電常數介電層之前，在該半導體基板之該第一通道區域上磊晶生長一層碳化矽層。

16. 如請求項 9 之方法，其進一步包括：

在該半導體基板之一第三 NMOS 區域中形成一第三閘極介電器件，其中該第三閘極介電器件包括一第三閘極介電質，該第三閘極介電質係藉由在該半導體基板之一第三通道區域上方沈積該第一高介電常數介電層及該第二高介電常數介電層而形成；及

在該半導體基板之一第四 NMOS 區域中形成一第四閘極介電器件，其中該第四閘極介電器件包含一第四閘極介電質，該第四閘極介電質比該第三閘極介電質更薄，且藉由在該半導體基板之一第四通道區域上方沈積該第

二高介電常數介電層而形成。

17. 一種形成一半導體器件之方法，其包括：

提供包括第一PMOS器件區域及第二PMOS器件區域之一半導體基板；

在該第一PMOS器件區域上方形成一第一高介電常數介電層，其中該第一高介電常數介電層具有7.0或更大之一第一介電常數值；

在該第一PMOS器件區域中之該第一高介電常數介電層上方及在該第二PMOS器件區域中之該半導體基板上方形形成一第二高介電常數介電層，其中該第二高介電常數介電層具有高於該第一介電常數值的一介電常數值；

在該第二高介電常數介電層上方形成一或多個閘極電極層；及

選擇性地蝕刻該一或多個閘極電極層以在該第一PMOS器件區域及該第二PMOS器件區域上方形成一或多個閘極電極結構。

18. 如請求項17之方法，其進一步包括：在形成該第一高介電常數介電層之前，在該第一器件區域及該第二器件區域中之該半導體基板的一或多個PMOS通道區域上磊晶生長一壓縮矽鍺層。

19. 如請求項18之方法，其中形成該第一高介電常數介電層包括：在一沈積製程中在至少該壓縮矽鍺層上方沈積一 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y$ 或 $\text{Hf}_x\text{Si}_{1-x}\text{O}_y\text{N}_z$ 層，該沈積製程發生在經選擇以減少或消除來自該壓縮矽鍺層之鍺擴散之一溫度。

20. 如請求項17之方法，其中形成該第一高介電常數介電層包括：

在該第一PMOS器件區域及該第二PMOS器件區域上方沈積該第一高介電常數介電層為一矽酸鹽或金屬氮氧化物層；及

從該第二PMOS器件區域選擇性地蝕刻該第一高介電常數介電層，以暴露該第二器件區域中之該半導體基板。

21. 如請求項17之方法，其中形成該第二高介電常數介電層包括：在該第一PMOS器件區域中之該第一高介電常數介電層上方及在該第二PMOS器件區域中之該半導體基板上方沈積一 HfO_2 層。

22. 如請求項17之方法，其中相較於利用具有一較高介電常數值之一材料形成該第一高介電常數介電層，在該第一PMOS器件區域上方形成該第一高介電常數介電層減小符合一預定電氧化物厚度(T_{ox})要求所需之該第一器件區域中之該第一高介電常數介電層的一厚度量測。

八、圖式：

DGO NMOS 110 核心NMOS 111 DGO PMOS 112 核心PMOS 113

1 ↘

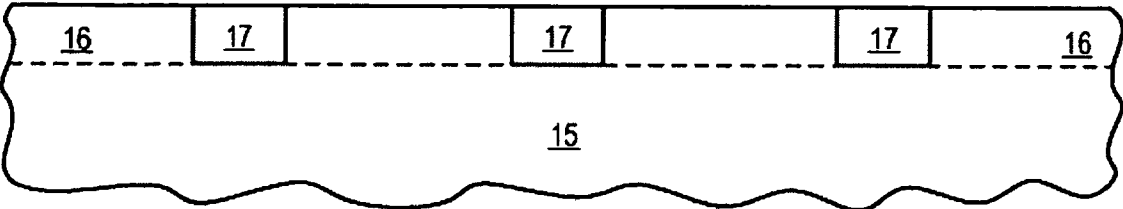


圖 1

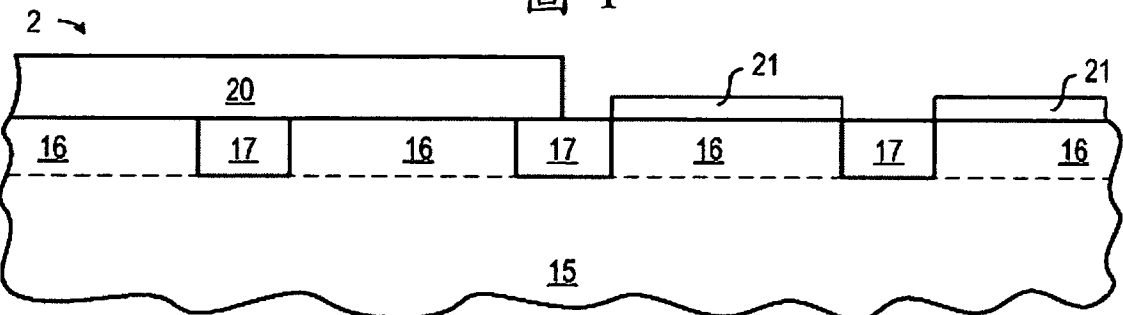


圖 2

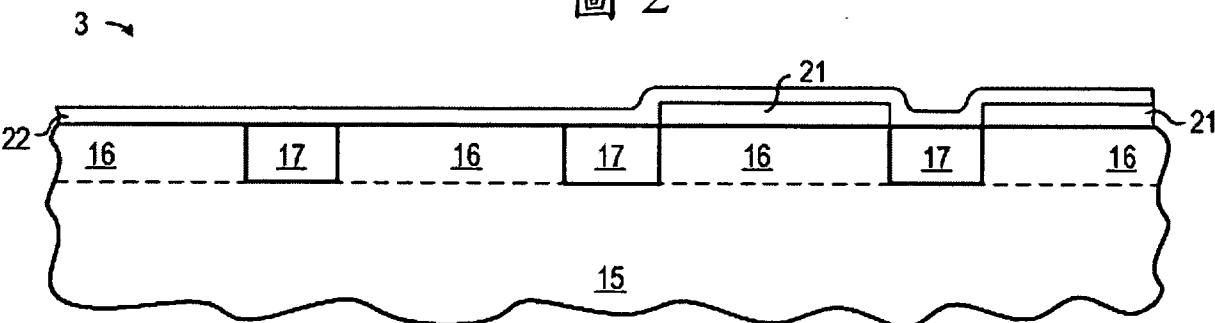


圖 3

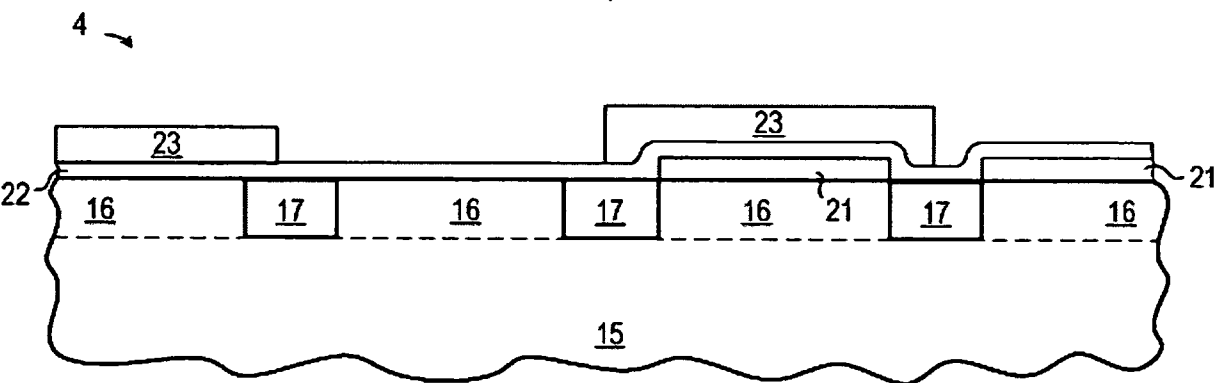


圖 4

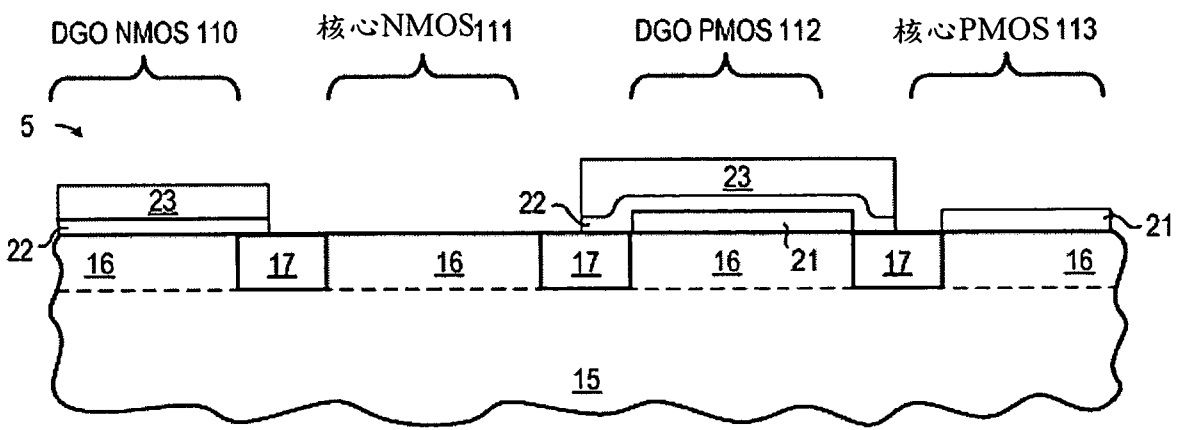


圖 5

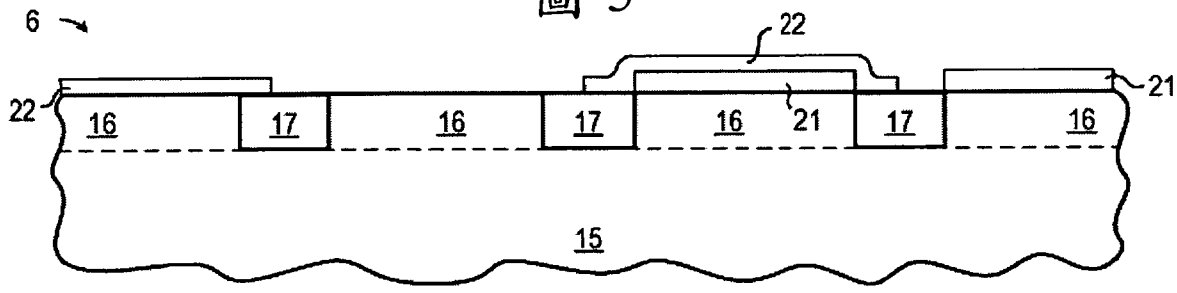


圖 6

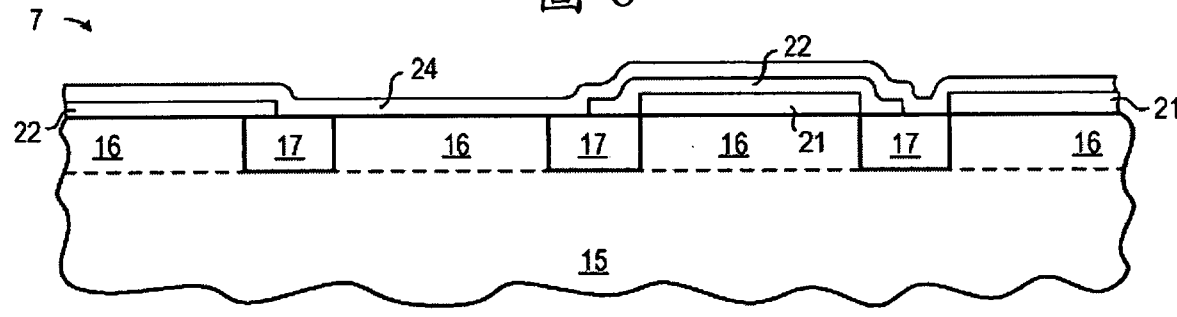


圖 7

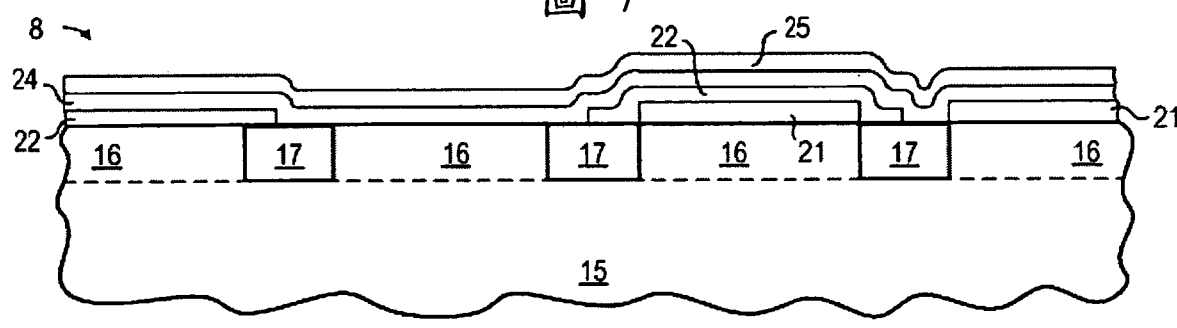


圖 8

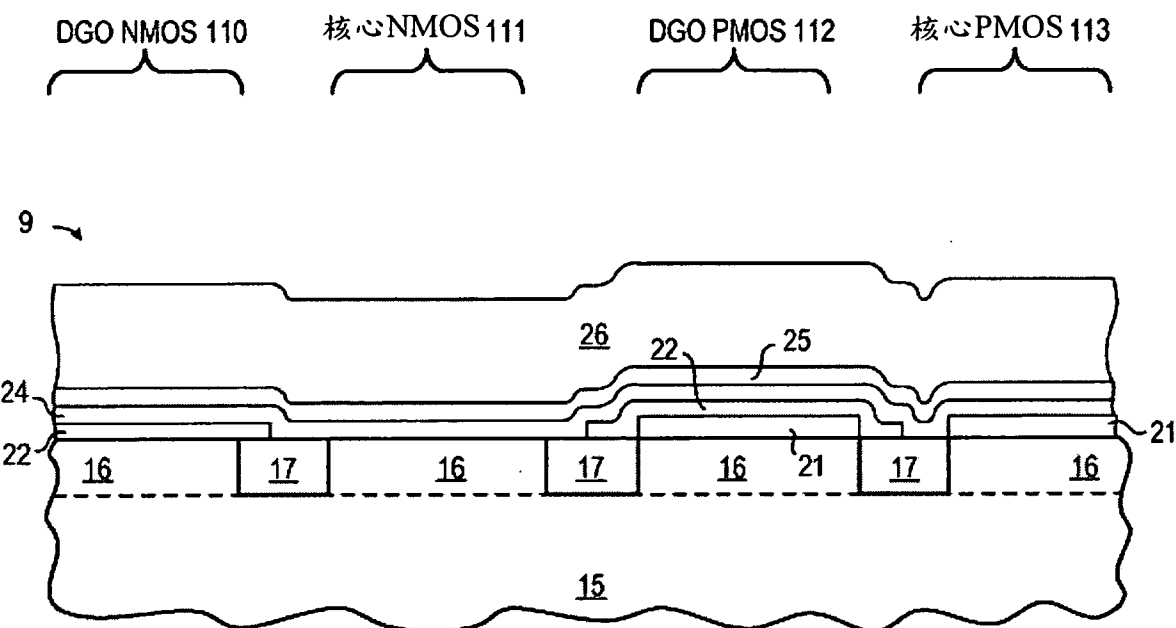


圖 9

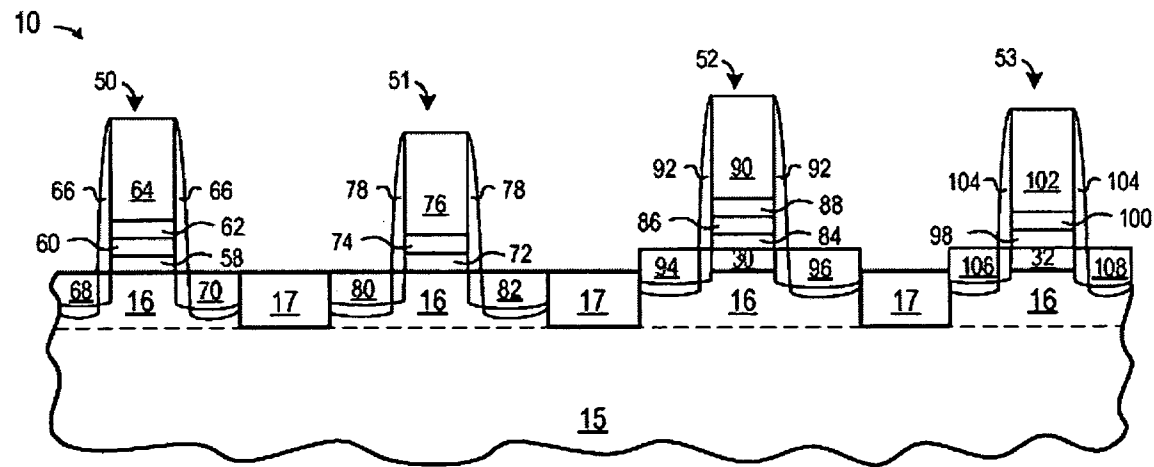


圖 10