



(12) 发明专利申请

(10) 申请公布号 CN 102725848 A

(43) 申请公布日 2012. 10. 10

(21) 申请号 201080047601. 8

(22) 申请日 2010. 09. 20

(30) 优先权数据

12/565, 201 2009. 09. 23 US

(85) PCT申请进入国家阶段日

2012. 04. 20

(86) PCT申请的申请数据

PCT/US2010/049465 2010. 09. 20

(87) PCT申请的公布数据

W02011/037858 EN 2011. 03. 31

(71) 申请人 维谢综合半导体有限责任公司

地址 美国宾夕法尼亚

(72) 发明人 蔡鸿平 陈世冠 高隆庆

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 陈松涛 王英

(51) Int. Cl.

H01L 29/06 (2006. 01)

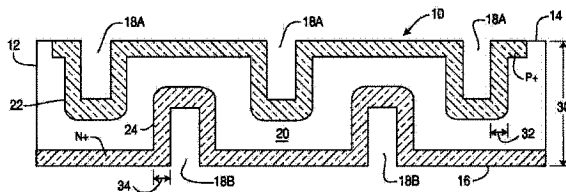
权利要求书 2 页 说明书 4 页 附图 7 页

(54) 发明名称

双沟槽整流器

(57) 摘要

一种大功率密度或低正向电压的整流器, 其利用阳极和阴极两者中的至少一个沟槽。沟槽形成于衬底的相对表面中, 以增大半导体管芯每单位表面面积的结表面面积。这种结构允许增大电流负载而不增大水平管芯空间。电流处理能力增大允许整流器工作在更低的正向电压下。此外, 本结构实现了衬底使用率高达 30% 的增加。



1. 一种沟槽整流器,包括:  
半导体衬底,其中所述衬底具有第一表面和基本平行于所述第一表面的第二表面;  
形成于所述衬底的所述第一表面中的第一沟槽,其中所述第一沟槽的内表面到垂直于所述第一沟槽的所述内表面的至少一部分延伸的第一深度为 P 型;以及  
形成于所述衬底的所述第二表面中的第二沟槽,其中所述第二沟槽到垂直于所述第二沟槽的所述内表面的至少一部分延伸的第二深度为 N 型。
2. 根据权利要求 1 所述的沟槽整流器,其中所述半导体衬底是本征的。
3. 根据权利要求 1 所述的沟槽整流器,其中所述半导体衬底是 N- 的。
4. 根据权利要求 1 所述的沟槽整流器,其中所述半导体衬底是 P- 的。
5. 根据权利要求 1 所述的沟槽整流器,包括阳极,所述阳极包括所述第一沟槽和所述第二沟槽中的至少一个。
6. 根据权利要求 1 所述的沟槽整流器,包括阴极,所述阴极包括所述第一沟槽和所述第二沟槽中的至少一个。
7. 根据权利要求 1 所述的沟槽整流器,还包括第一掺杂区域,所述第一掺杂区域包括所述衬底的所述第一表面的至少一部分和至少所述第一沟槽,其中所述第一掺杂区域包括阳极。
8. 根据权利要求 1 所述的沟槽整流器,还包括第二掺杂区域,所述第二掺杂区域包括所述衬底的所述第二表面的至少一部分和至少所述第二沟槽,其中所述第二掺杂区域包括阴极。
9. 根据权利要求 1 所述的沟槽整流器,包括阳极和阴极,其中所述阳极至少包括所述第一沟槽且所述阴极至少包括所述第二沟槽。
10. 根据权利要求 1 所述的沟槽整流器,包括阳极和阴极,其中所述阳极至少包括所述第二沟槽且所述阴极至少包括所述第一沟槽。
11. 根据权利要求 1 所述的沟槽整流器,其中所述衬底具有中心部分,所述中心部分设置于形成于所述衬底的所述第一表面中的所述第一沟槽和形成于所述衬底的所述第二表面中的所述第二沟槽之间。
12. 根据权利要求 1 所述的沟槽整流器,其中所述第一沟槽至少部分涂覆有金属。
13. 根据权利要求 1 所述的沟槽整流器,其中所述第二沟槽至少部分涂覆有金属。
14. 一种大功率密度的沟槽整流器,包括:  
半导体衬底,其中所述衬底具有第一表面和基本行于所述第一表面的第二表面;  
所述第一表面中的第一 P+ 掺杂区域,包括形成于所述第一表面中的第一多个沟槽;  
所述第二表面中的第二 N+ 掺杂区域,包括形成于所述第二表面中的第二多个沟槽;  
其中所述第一表面中的所述第一多个沟槽彼此电连接;且  
其中所述第二表面中的第二多个沟槽彼此电连接。
15. 根据权利要求 14 所述的沟槽整流器,其中所述第一 P+ 掺杂区域至少部分涂覆有金属。
16. 根据权利要求 14 所述的沟槽整流器,其中所述第二 N+ 掺杂区域至少部分涂覆有金属。
17. 根据权利要求 14 所述的沟槽整流器,其中所述半导体衬底是本征的。

18. 根据权利要求 14 所述的沟槽整流器,其中所述半导体衬底是 N<sup>-</sup> 的。
19. 根据权利要求 14 所述的沟槽整流器,其中所述半导体衬底是 P<sup>-</sup> 的。
20. 根据权利要求 14 所述的沟槽整流器,其中所述第一 P<sup>+</sup> 掺杂区域包括阳极,且所述第二 N<sup>+</sup> 掺杂区域包括阴极。
21. 根据权利要求 14 所述的沟槽整流器,其中所述衬底具有中心部分,所述中心部分设置于所述第一 P<sup>+</sup> 掺杂区域和所述第二 N<sup>+</sup> 掺杂区域之间。

## 双沟槽整流器

### 技术领域

[0001] 本发明涉及整流器。更具体而言,本发明涉及低正向电压或大功率密度整流器。

### 背景技术

[0002] 传统的整流器一般包括一个或多个分立的二极管。这些分立的二极管在具有特定设计的电学性质的材料之间具有结,使得在材料的结处电流只能单方向通过。能够通过这些二极管的电流量与这个结的表面面积成正比。

[0003] 这些二极管常常形成于半导体衬底中,有时称为管芯。管芯掺杂有各种材料,所述各种材料增强管芯各部分的电学性质以便形成结。这些掺杂材料一般通过管芯表面与其直接相通。二极管在管芯上占据的表面面积越小,管芯上能够安装的二极管就越多,半导体管芯的使用效率也就越高。有益的是保持高的使用效率以便降低成本;不过,有益的是保持大的结表面面积以便传导更多电流。这样就需要平衡处理更高电流负载的需求与能够在管芯上容纳更少二极管所导致的成本升高。

[0004] 传统的二极管具有二维结表面区域。这种设计对于使结表面面积最大化,同时使管芯表面上二极管占据的面积最小化不是最优的。需要更有效率的二极管。

[0005] 这里公开的实施例的一个方面是相对于现有技术做出改进。

[0006] 另一方面是提供一种三维结表面区域,相对于类似尺寸的二维结型二极管,该三维结表面区域能够增大结表面面积。

[0007] 另一方面是利用更大的结表面面积,整流器能够比类似尺寸的二维结构通过更多电流。

[0008] 又一个方面是,因为其能够通过更高的电流水平,所以它能够工作在更低的正向电压下,这样节省了能源。

[0009] 根据另一方面,由于结表面面积增大,而整流器在衬底表面上占据的空间并未增加,所以半导体衬底的使用效率得以提高,这节省了成本。

[0010] 根据以下说明书和权利要求,这些方面中的一个或多个将变得显而易见。

### 发明内容

[0011] 电子部件装置,例如整流器的市场对占据空间更小、处理的电流负载更高、工作功率更低、更具有成本效益的装置需求越来越大。尤其是移动装置特别受到空间和功率的限制。因此,对更小、功能更强大、工作功率更低而总体上成本不增加的装置需求很大。这里公开的实施例相对于现有技术做出了改进,将其设计成满足这些需求。

[0012] 这里公开的实施例涉及大功率密度或低正向电压的整流器。关键特征是利用沟槽生成三维结,与具有可比拟尺寸的传统二维结整流器相比,该三维结具有更大的结表面面积。可以通过整流器的电流量与整流器结的表面面积成正比,因此相对于可比拟尺寸的二维结整流器,本实施例能够处理更高的电流水平。

[0013] 这里公开的实施例通过在半导体中形成垂直穿透半导体表面的沟槽来形成三维

结。这种沟槽所占据的半导体管芯表面上的水平空间不比其他二维对应物更多。这相对于现有技术提高了半导体的使用效率。这种半导体使用率的提高可以高达 30%。

[0014] 与可比拟的二维结型二极管相比,这里公开的实施例能够在各种正向电压下处理更高的电流密度,因此能够在更低的所施加电压下处理相同的电流负载。这样允许这里公开的实施例工作在更低电压,因此节省功率。在移动装置中,这是尤其有利的,因为更低的功率使用率使电池寿命延长。

#### 附图说明

[0015] 图 1A 是双沟槽整流器结构实施例的图示。

[0016] 图 1B 是包括金属层的双沟槽整流器结构的实施例的图示。

[0017] 图 2A、2B 和 2C 示出了具有不同沟槽轮廓的实施例(顶视图)。

[0018] 图 3 是图 1A 的双沟槽整流器结构的电势的图示。

[0019] 图 4 是典型的二极管结构(2D 结)的电势的图示。

[0020] 图 5 是图 1A 的双沟槽整流器结构的电场的图示。

[0021] 图 6 是普通二极管结构(2D 结)的电场的图示。

[0022] 图 7 是比较不同正向电压下图 1A 的双沟槽整流器结构的电流密度与普通 2D 结型二极管结构的电流密度的图表。

#### 具体实施方式

[0023] 图 1A 示出了本发明的一个实施例。二极管或整流器 10 包括半导体衬底 12,其具有第一表面 14 和基本平行于第一表面的第二表面 16。半导体衬底 12 在第一和第二表面之间具有厚度 30。可以使用各种半导体。这些半导体可以包括一种或多种 IV 族元素半导体,例如 C、Si 或 Ge,一种或多种 III-V 族半导体,例如 GaP、InAs、InP、AlGaAs、InGaAs 或 AlGaAsP,或一种或多种 II-VI 族半导体。

[0024] 当前和将来很大范围的半导体是(并将是)适用的。常常要利用单件半导体制造一些部件装置,例如二极管或其他部件;常称为管芯。在例示性实施例中,半导体管芯可以是本征的,或 N- 或 P- 掺杂的。

[0025] 半导体衬底 12 的第一和第二表面 14、16 在每个表面 14、16 中都具有至少一个沟槽 18A、18B。二极管 10 具有包括至少一个沟槽(例如 18A)的阳极。类似地,二极管 10 具有包括至少一个沟槽(例如 18B)的阴极。显然,二极管的极性可以取决于特定的配置。这些沟槽 18A、18B 在衬底的相反表面上。出于本公开的目的,术语“沟槽”是指垂直于半导体衬底的基本平面表面的基本垂直的凹陷,如图 1A 中可以看到。显然,沟槽壁可以具有各种轮廓,而不必是严格垂直的。类似地,在从顶部观察时,沟槽 18A、18B 可以具有各种构造。例如,图 2A 示出了轮廓大致为矩形沟槽的实施例的顶视图。图 2B 示出了具有六边形沟槽轮廓的实施例的顶视图。图 2C 示出了具有圆形沟槽轮廓的实施例的顶视图。显然,可以使用各种几何轮廓而不会脱离本发明的范围,包括、但不限于圆形、卵形、椭圆形、规则和不规则的多边形。还要理解,单个装置中可以包括各种沟槽轮廓的组合。

[0026] 返回到图 1A 所示的范例,第一表面 14 具有至少被部分 P 型掺杂的第一掺杂区域 22。第一掺杂区域至少包括一个沟槽 18A,且可以称为阳极。在第一表面 14 上,至少一个沟

槽 18A 的内表面至少被部分 P 型掺杂到衬底 12 中的深度 32 (垂直于沟槽 18A 的内表面测量)。第二表面 16 具有至少被部分 N 型掺杂的第二掺杂区域 24。第二掺杂区域 24 至少包括一个沟槽 18B, 且可以称为阴极。在第二表面 16 上, 至少一个沟槽 18B 的内表面至少被部分 N 型掺杂到衬底 12 中的深度 34 (垂直于沟槽 18B 的内表面测量)。第一和第二表面中沟槽的掺杂深度可以是可变的。出于本公开的目的, 术语“P 型”是指任何程度的 P 掺杂, 包括从 P+ 到 P- 的掺杂浓度范围。术语“N 型”的情况相同, 不过, 范围将包括从 N- 到 N+ 的浓度。

[0027] 要指出的是, 本发明的实施例可以具有第一或第二表面 14、16 上的一个或多个沟槽 18A、18B。在表面 14、16 中的任一个上有超过一个沟槽的实施例中, 沟槽通过至少部分导电的材料电连接, 对于 P 型沟槽而言导电材料可以是 P 型的, 而对于 N 型沟槽而言可以是 N 型。也可以使用其他至少部分导电的材料。

[0028] 由第一掺杂区域 22 和第二掺杂区域 24 形成结。在图 1 中可以看出, 这些区域可以由衬底 12 的中心部分 20 分开。中心部分 20 可以是本征的或 P- 或 N- 掺杂的。可以使用各种掺杂方法制造第一和第二掺杂区域 22、24。在沟槽特别窄且深的情况下, 常规的掺杂技术可能无法渗入沟槽中。在这种情况下, 如下执行掺杂。对于 P 掺杂区域, 可以通过化学气相沉积 (CVD) 来沉积多晶硅和硼的混合物。对于 N 掺杂区域, 可以通过 CVD 沉积多晶硅和磷的混合物。可以使用宽浓度范围的多晶硅 - 硼和多晶硅 - 磷。不过, 浓度应当至少足以形成欧姆接触 (例如, 以便防止形成肖特基势垒)。

[0029] 公开的基于沟槽的 3 维结充当整流器, 因为至少一个 P 型沟槽 18A 比至少一个 N 型沟槽 18B 和衬底 12 具有更高浓度的带正电空穴。类似地, 至少一个 N 型沟槽 18B 比至少一个 P 型沟槽 18A 和衬底 12 具有更高的电子密度。一部分空穴将从较高浓度的至少一个 P 型沟槽 18A 扩散到低浓度的至少一个 N 型沟槽 18B 和 / 或衬底 12。类似地, 一部分电子将从较高浓度的至少一个 N 型沟槽 18B 扩散到低浓度的至少一个 P 型沟槽 18A 和 / 或衬底 12。在这些电子和空穴 (称为载流子) 扩散时, 至少一个 P 型沟槽 18A 因为损失带正电的空穴而变得带负电, 至少一个 N 型沟槽 18B 因为损失带负电的电子而变得带正电。这种电荷不平衡诱发电场, 电场从现在带负电的至少一个 P 型沟槽 18A 指向现在带正电的至少一个 N 型沟槽 18B。这个电场停止进一步扩散, 仅允许电流在电场方向上通过。通过这种方式, 电流只能单方向通过, 由此充当了整流器。

[0030] 图 3 示出了所计算的如上所述的双沟槽二极管结构中的电势的范例 (以单个沟槽 18A 附近为例)。电势沿着如图所示的每条线 (等势线) 是常数。图 5 示出了所计算的双沟槽二极管结构中的电场大小的范例 (再次以单个沟槽 18A 附近为例)。在这种情况下, 场的大小沿着如图所示的每条线是常数。图 4 和 6 示出了针对无沟槽的平面二极管 (2D 结) 计算的相应电势和电场, 用于和图 3 和 5 所示的沟槽结构进行比较。

[0031] 显然, 图 3-6 中所示类型的曲线图可以绘示为无穷大数量的线或梯度, 描绘电势或电场中非常微小的变化。这样的曲线图难以以数字方式扫描或者利用黑白线条图画或灰度级图像来可靠地复印。出于本公开的目的, 以简化形式示出了图 3-6。例如, 图 3 和图 5 仅示出了等势线的小抽样。类似地, 图 4 和 6 仅示出了电场区域或区块的小选择区域。并且, 如图所示的图 3-6 足以例示公开的 3D 沟槽结构和平面二极管 (2D 结) 之间电特性的显著差异。

[0032] 图 7 是比较在上文公开的双沟槽整流器和普通 2D 结（平面或 GPP）之间一定范围的正向电压的电流密度的表格。右面一列，标记为“改善比例”，示出了对于同样的正向电压，沟槽整流器的电流密度与普通 2D 结的电流密度之比。

[0033] 这里公开的实施例利用沟槽 18A、18B 生成三维结，允许传导更大的电流，因此能够处理更高的电流负载，这对现有技术做出了改进。因为这里公开的实施例在各种电压下能够比现有技术装置处理更高的电流负载，所以这样的实施例能够在更低电压下处理与现有技术装置相同的电流负载，从而使其适于低正向电压的整流器。此外，因为沟槽能够增大结表面面积而不增大在半导体管芯上占据的水平空间，所以这里公开的实施例能够将半导体使用率增大达 30%。

[0034] 一个实施例包括半导体衬底，在这种情况下为硅，其具有第一表面和基本平行于第一表面的第二表面，两表面之间具有一厚度。将这个衬底掺杂成 N<sup>-</sup> 范围中的浓度。

[0035] 整流器的阳极包括蚀刻到衬底的第一表面中的三个沟槽。这三个沟槽的内表面被至少部分 P<sup>+</sup> 掺杂到垂直于沟槽内表面的至少一部分延伸的深度。这三个沟槽是电连接的。阳极的沟槽可以涂覆有金属 26，以生成改善的电流接触并辅助散热，如图 1B 所示。

[0036] 整流器的阴极包括两个沟槽，在构成阳极的三个沟槽的大致对面向衬底的第二表面中蚀刻出这两个沟槽。这些沟槽的内表面被至少部分 N<sup>+</sup> 掺杂到垂直于沟槽内表面的至少一部分延伸的深度。这两个沟槽通过沿着衬底表面进行的 N<sup>+</sup> 掺杂而电连接。阴极的沟槽可以涂覆有金属 28，以生成改善的电流接触并辅助散热，如图 1B 所示。

[0037] 本领域的技术人员将认识到，可以针对上述实施例做出各种修改、变化和组合而不脱离本发明的精神和范围，这样的修改、变化和组合要被视为在本发明构思的范围之内。所附权利要求意在涵盖所有这些落在本发明真实精神和范围之内的变化和修改。

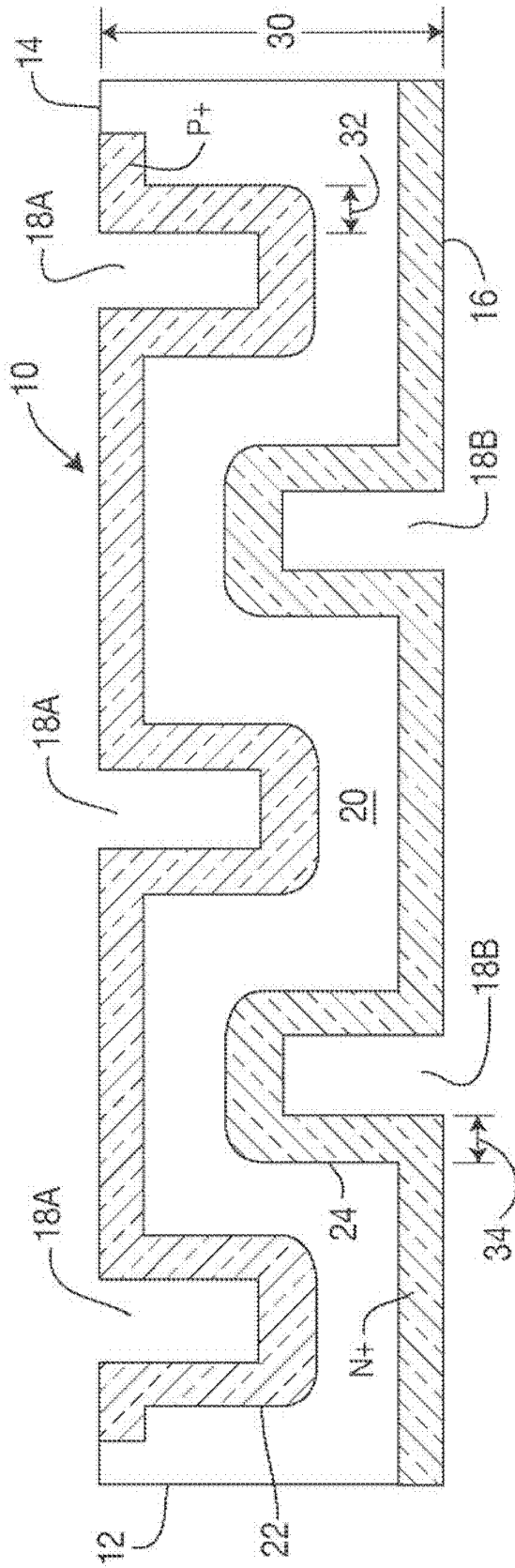


图 1A

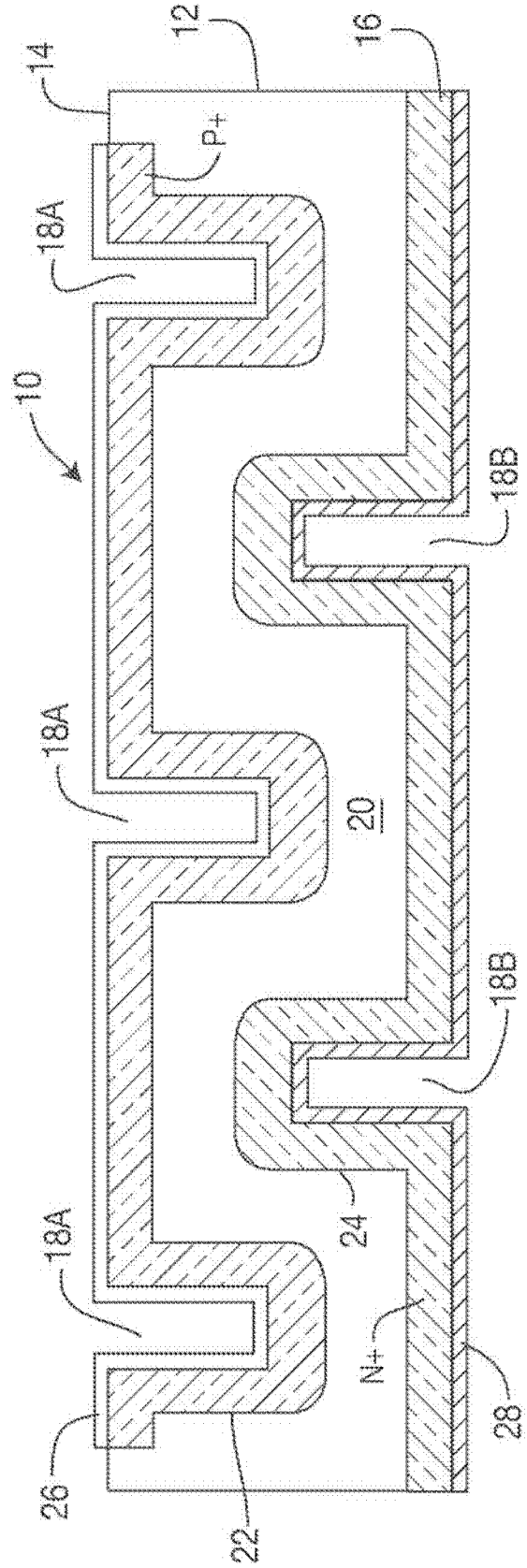


图 1B

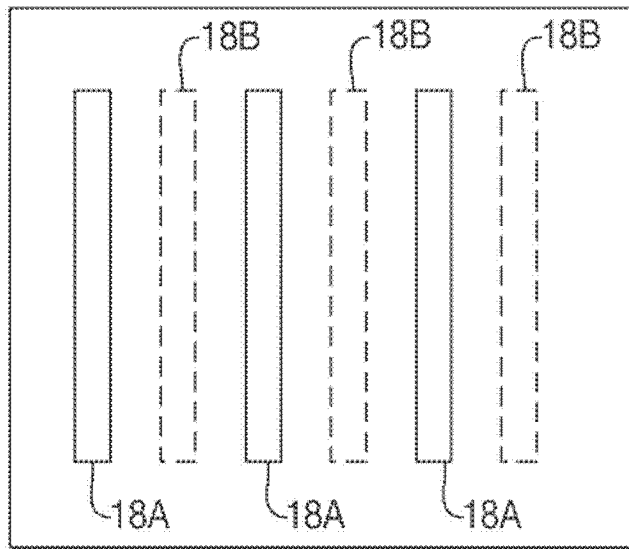


图 2A

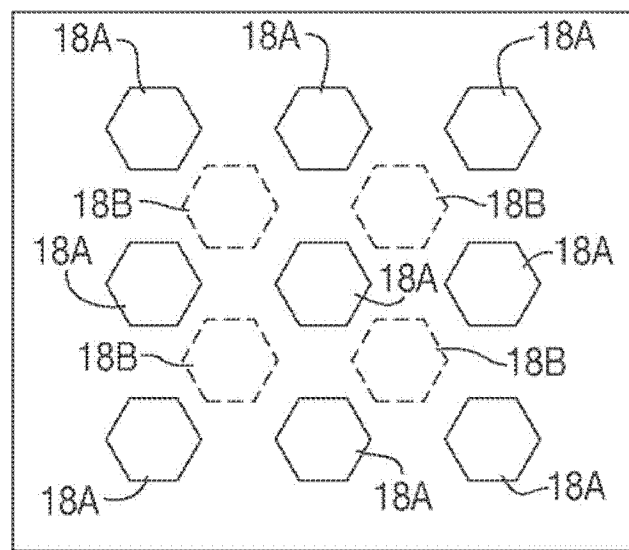


图 2B

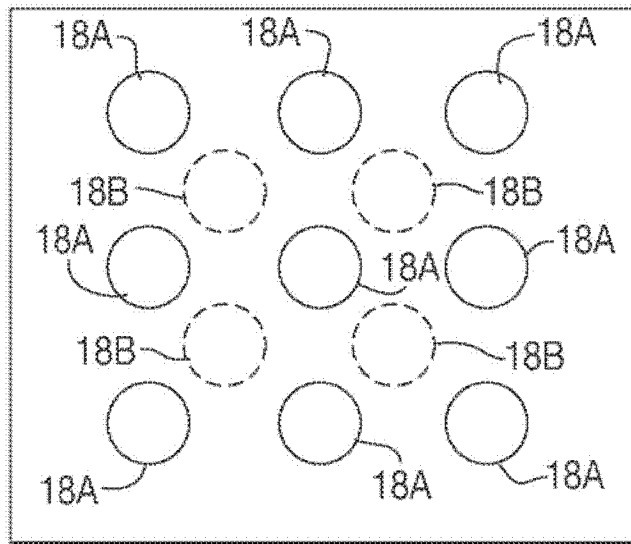


图 2C

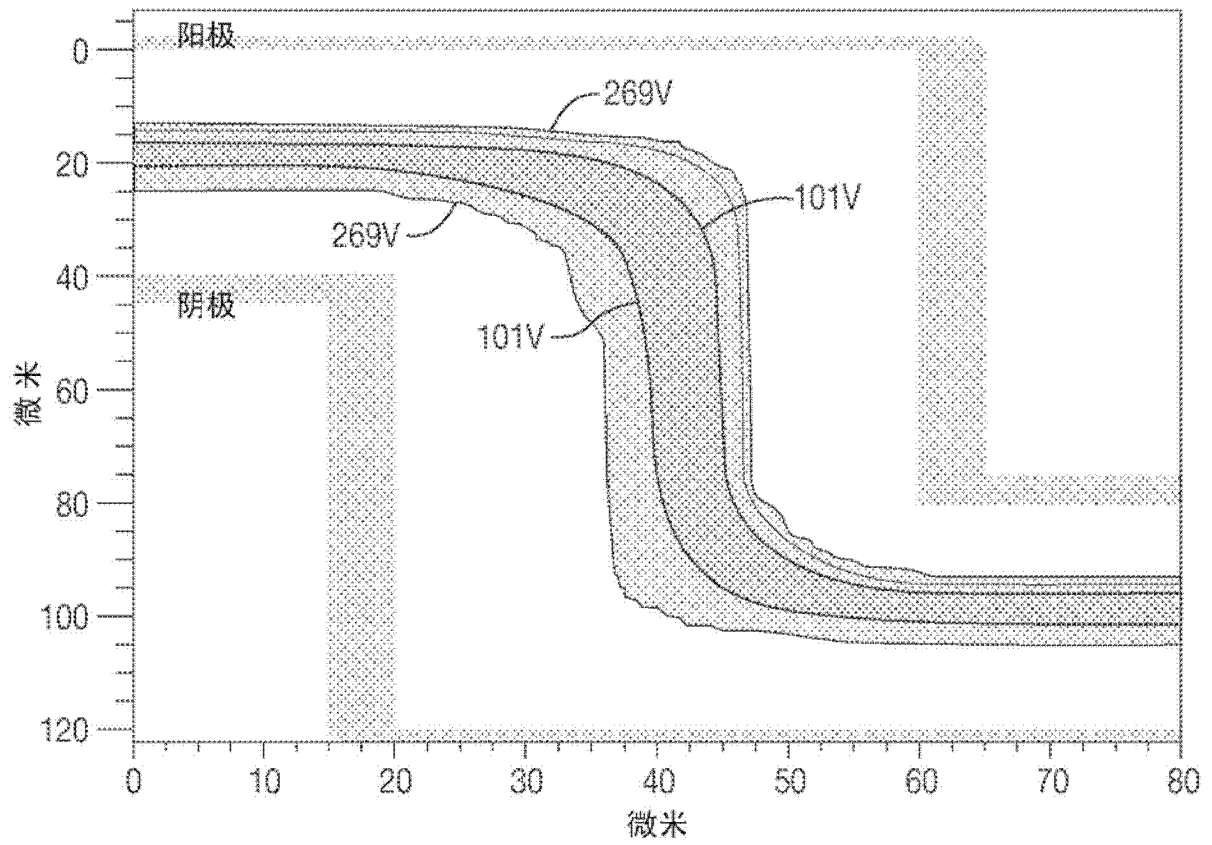


图 3

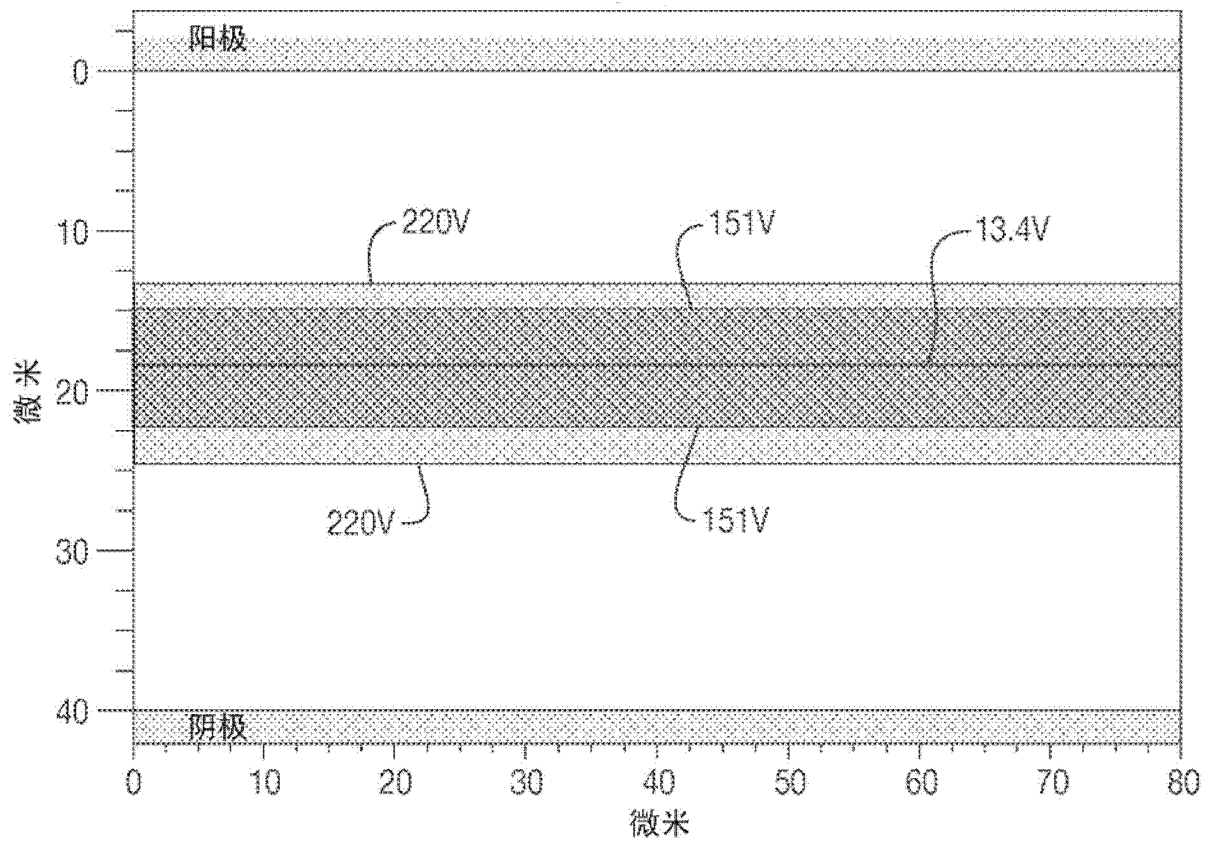


图 4

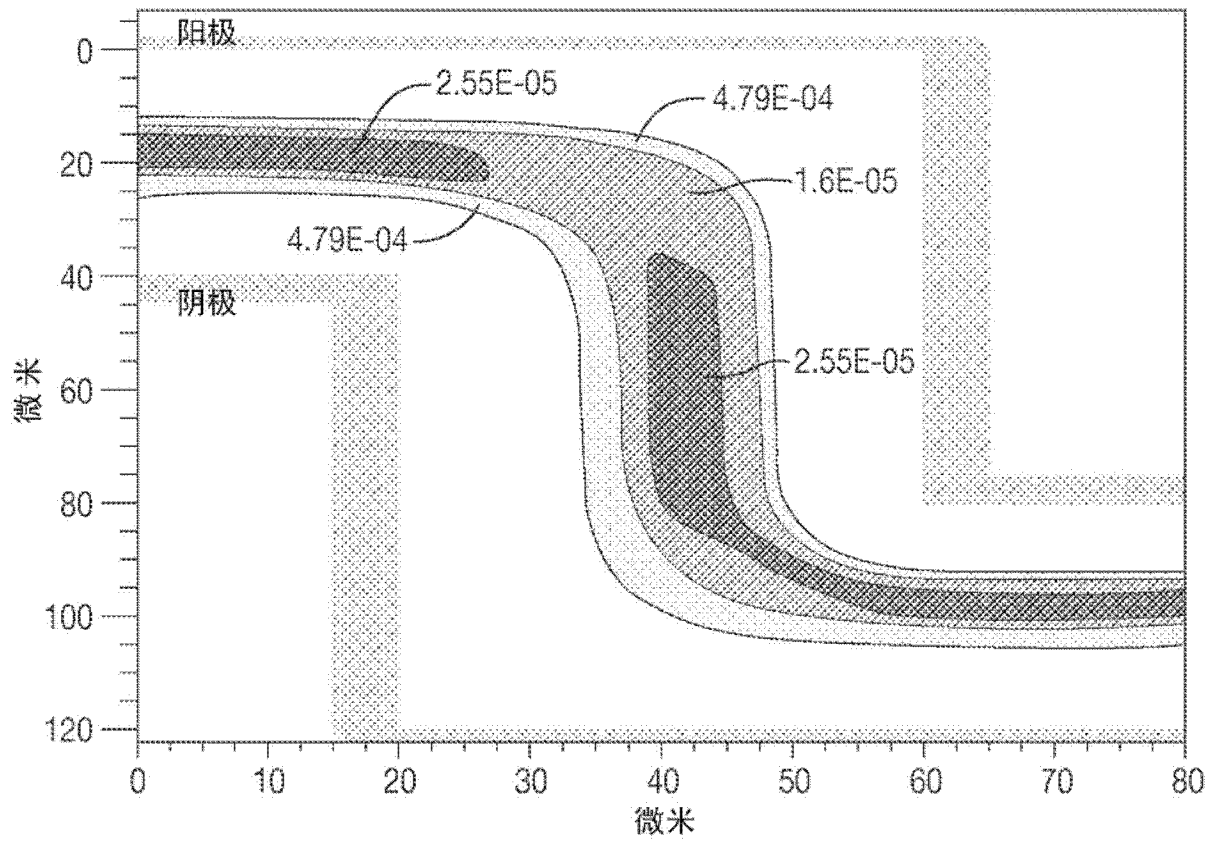


图 5

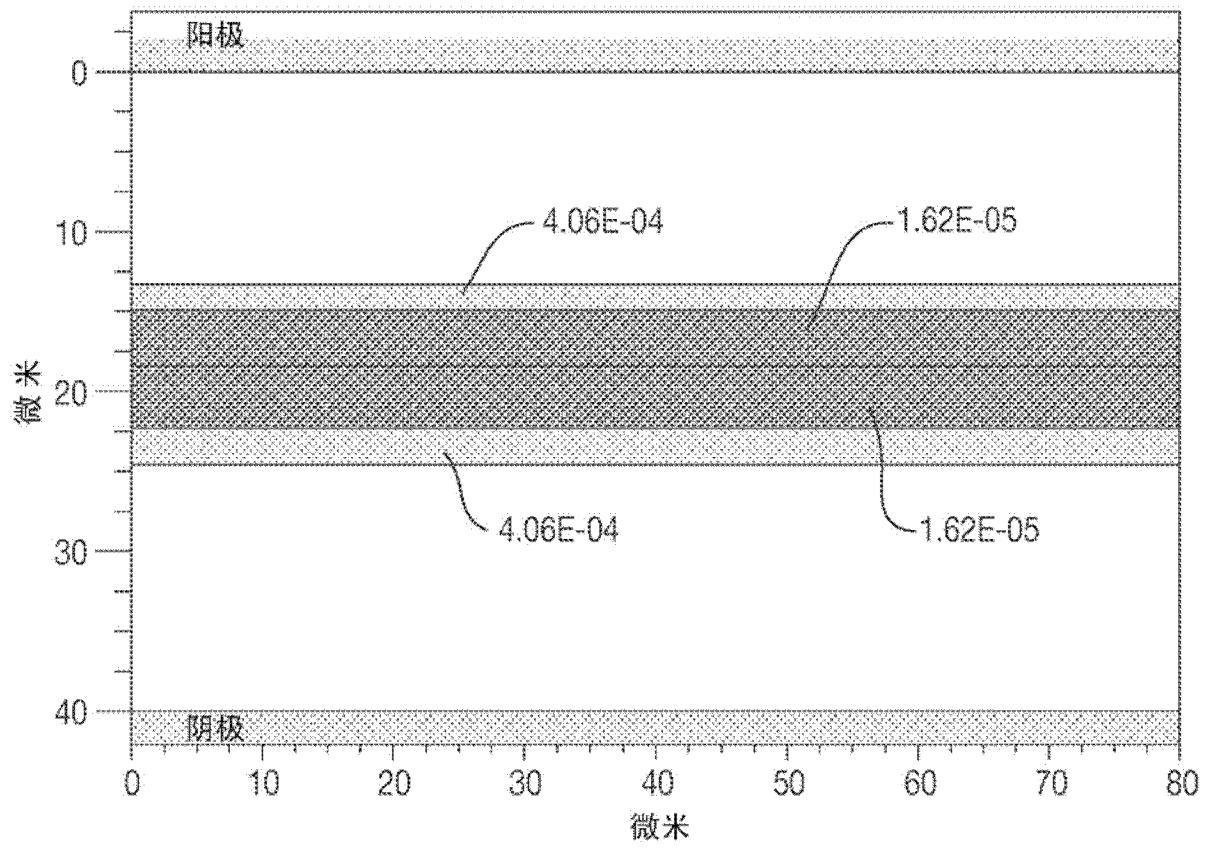


图 6

| 双沟槽整流器              |     | 普通2D结 (平面或GPP)      |     | 改善比例  |
|---------------------|-----|---------------------|-----|-------|
| 电流密度/ $\mu\text{m}$ | Vf  | 电流密度/ $\mu\text{m}$ | Vf  |       |
| -8.119E-15          | 0.1 | -5.337E-16          | 0.1 | 15.21 |
| -1.198E-13          | 0.2 | -2.554E-14          | 0.2 | 4.69  |
| -3.316E-12          | 0.3 | -1.198E-12          | 0.3 | 2.77  |
| -1.267E-10          | 0.4 | -5.509E-11          | 0.4 | 2.30  |
| -4.286E-09          | 0.5 | -2.006E-09          | 0.5 | 2.14  |
| -1.336E-07          | 0.6 | -6.784E-08          | 0.6 | 1.97  |
| -4.875E-06          | 0.7 | -2.614E-06          | 0.7 | 1.86  |
| -1.142E-04          | 0.8 | -6.830E-05          | 0.8 | 1.67  |
| -8.185E-04          | 0.9 | -5.284E-04          | 0.9 | 1.55  |
| -2.551E-03          | 1   | -1.690E-03          | 1   | 1.51  |
| -5.377E-03          | 1.1 | -3.598E-03          | 1.1 | 1.49  |
| -9.236E-03          | 1.2 | -6.216E-03          | 1.2 | 1.49  |
| -1.402E-02          | 1.3 | -9.478E-03          | 1.3 | 1.48  |
| -1.961E-02          | 1.4 | -1.331E-02          | 1.4 | 1.47  |
| -2.588E-02          | 1.5 | -1.762E-02          | 1.5 | 1.47  |
| -3.269E-02          | 1.6 | -2.234E-02          | 1.6 | 1.46  |
| -3.995E-02          | 1.7 | -2.739E-02          | 1.7 | 1.46  |
| -4.755E-02          | 1.8 | -3.270E-02          | 1.8 | 1.45  |
| -5.543E-02          | 1.9 | -3.822E-02          | 1.9 | 1.45  |
| -6.350E-02          | 2   | -4.391E-02          | 2   | 1.45  |

图 7