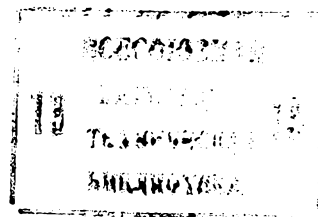




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3530469/18-24
(22) 27.12.82
(46) 07.09.84. Бюл. № 33
(72) Г.Н. Потапова и Б.Б. Никитин
(71) Киевский ордена Ленина политехнический институт им. 50-летия Великой Октябрьской социалистической революции
(53) 321.3(088.8)
(56) 1. Авторское свидетельство СССР № 285368, кл. G 06 G 7/52, 1970.
2. Авторское свидетельство СССР № 959104, кл. G 06 G 7/52, 1982 (прототип).
3. Мирский Г.Я. Аппаратурное определение характеристик случайных процессов. М., "Энергия", 1972.

(54)(57) 1. УСТРОЙСТВО ДЛЯ ОПРЕДЕЛЕНИЯ ВЕРОЯТНОСТНЫХ ХАРАКТЕРИСТИК ФАЗЫ, СЛУЧАЙНОГО СИГНАЛА, содержащее элемент задержки, счетчик, первый преобразователь фаза - временной интервал, информационный вход которого является первым информационным входом устройства, выход первого преобразователя фаза - временной интервал соединен с первым входом первого временного селектора, второй преобразователь фаза - временной интервал, информационный вход которого является вторым информационным входом устройства, выход второго преобразователя фаза - временной интервал соединен с первым входом второго временного селектора, выход которого соединен со счетным входом первого делителя частоты и нулевым входом триггера, единичный вход которого подключен к выходу первого делителя частоты, последовательно соединенные форм-

мирователь импульсов и второй делитель частоты, выход которого соединен с первым входом элемента И, вход формирователя импульсов является входом синхронизации устройства, отличающееся тем, что, с целью расширения класса решаемых задач, в него введены первый, второй, третий и четвертый переключатели, накапливающий сумматор, множитель частоты, блок памяти и блок регулируемой задержки, причем управляющий вход первого преобразователя фаза - временной интервал объединен с входом множителя частоты, входом элемента задержки, первым и вторым неподвижными контактами первого переключателя, с первым и вторым неподвижными контактами второго переключателя, вторым входом элемента И, информационным входом блока регулируемой задержки, управляющим входом второго преобразователя фаза - временной интервал и подключен к выходу формирователя импульсов, управляющие входы первого и второго временных селекторов объединены и подключены к выходу множителя частоты, выход первого временного селектора соединен с третьим, четвертым, пятым и шестым неподвижными контактами первого переключателя, подвижный контакт которого соединен со счетным входом счетчика, разрядные выходы которого соединены с первым информационным входом накапливающего сумматора, выход старшего разряда счетчика соединен с первым неподвижным контактом третьего переключателя, подвижный контакт которого соединен с вторым информационным входом накапливающего сумматора, управ-

09 SU (11) 1112377 A

ляющий вход которого подключен к выходу элемента И, выход накапливающего сумматора соединен с информационным входом блока памяти, выход которого соединен с входом начальной установки первого делителя частоты, с первым управляющим входом блока регулируемой задержки и подключен к выходу элемента задержки, вход записи блока памяти соединен с подвижным контактом четвертого переключателя, первый неподвижный контакт которого соединен с вторым информационным входом блока регулируемой задержки и подключен к выходу второго делителя частоты, выход триггера соединен с вторым управляющим входом блока регулируемой задержки, третьим и четвертым неподвижными контактами второго переключателя, пятый неподвижный контакт которого подключен к выходу первого делителя частоты, под-

вижный контакт второго переключателя соединен с третьим входом элемента И, шестой неподвижный контакт второго переключателя подключен к выходу блока регулируемой задержки.

2. Устройство по п. 1, отличающееся тем, что блок регулируемой задержки содержит регистр сдвига, кольцевой счетчик и схему сравнения, первая и вторая группы входов которой соединены с соответствующими разрядными выходами регистра сдвига и кольцевого счетчика, выход схемы сравнения является выходом блока, счетный вход регистра сдвига является первым информационным входом блока, первым и вторым управляющими входами которого являются соответственно вход сдвига и вход записи регистра сдвига, вход кольцевого счетчика является вторым информационным входом блока.

1
Изобретение относится к специализированным средствам вычислительной техники и может быть использовано при создании приборов для измерения вероятностных характеристик фаз квазигармонических сигналов.

Известно устройство для измерения вероятностных характеристик, содержащее первый центрирующий фильтр, связанный через модульную схему с аналого-цифровым преобразователем, схемы совпадений, дискриминатор знака, реверсивный счетчик импульсов, схему сравнения, источник постоянного напряжения, второй центрирующий фильтр, соединенный с одним из двух входов схемы сравнения, узел регулируемой задержки, временной селектор, делитель частоты, триггер и кнопочный выключатель, причем второй вход схемы сравнения связан с источником постоянного напряжения, а ее выход подключен к управляющему входу аналого-цифрового преобразователя и входу временного селектора через узел регулируемой задержки, выход которого также соединен с подвижным контактом первой линии трехлинейного двухполюсного переключателя, причем один неподвижный контакт этой

2
линии связан с выходом схемы сравнения, подвижный контакт второй линии переключателя соединен с входом схемы сравнения, первый неподвижный контакт подключен к входному зажиму источника второго процесса, а второй неподвижный контакт соединен с вторым неподвижным контактом третьей линии, первый неподвижный контакт которой подключен к входному зажиму источника первого случайного процесса, а ее подвижный контакт связан через однополюсный переключатель с входами модульной схемы и дискриминатора знака, выходы дискриминатора присоединены через двухлинейный переключатель к входам схем совпадений [1].

Однако устройство не позволяет измерять вероятностные характеристики фазы случайного сигнала в широком диапазоне частот.

Наиболее близким по технической сущности к предлагаемому является устройство для измерения вероятностной характеристики случайной фазы, содержащее последовательно соединенные первый временной селектор и счетчик импульсов и последовательно соединенные второй временной селектор,

первый делитель частоты и триггер, а также два преобразователя фаза - временной интервал (ПФВИ), формирователь импульсов, генератор импульсов, элемент задержки, регистр памяти, второй делитель частоты и элемент И, причем вход формирователя импульсов соединен с входом синхронизации устройства, а выход - с входом генератора импульсов, одним из входов обоих ПФВИ, установочным входом первого делителя частоты, входом второго делителя частоты и с одним из входов элемента И, два других входа которого подключены к выходу триггера и выходу второго делителя частоты соответственно, выход элемента И соединен с управляющим входом регистра памяти, информационные входы которого подключены к разрядным выходам счетчика импульсов соответственно, другие входы ПФВИ являются входами устройства, выходы первого и второго ПФВИ подключены к первым входам первого и второго временных селекторов соответственно, вторые входы которых подключены к выходу генератора импульсов, выход второго временного селектора соединен с другим входом триггера, а управляющий вход счетчика импульсов через элемент задержки подключен к выходу формирователя импульсов [2].

Однако известное устройство позволяет измерять только одну вероятностную характеристику фазы квазигармонического сигнала, т.е. условное математическое ожидание.

Целью изобретения является расширение класса решаемых задач.

Указанная цель достигается тем, что в устройство для определения вероятностных характеристик фазы случайного сигнала, содержащее элемент задержки, счетчик, первый преобразователь фаза - временной интервал, информационный вход которого является первым информационным входом устройства, выход первого преобразователя фаза - временной интервал соединен с первым входом первого временного селектора, второй преобразователь фаза - временной интервал, информационный вход которого является вторым информационным входом устройства, выход второго преобразователя фаза - временной интервал соединен с первым входом второго временного селектора, выход которого соединен

со счетным входом первого делителя частоты и нулевым входом триггера, единичный вход которого подключен к выходу первого делителя частоты, последовательно соединенные формирователь импульсов и второй делитель частоты, выход которого соединен с первым входом элемента И, вход формирователя импульсов является входом синхронизации устройства, введены первый, второй, третий и четвертый переключатели, накапливающий сумматор, умножитель частоты, блок памяти и блок регулируемой задержки, причем управляющий вход первого преобразователя фаза - временной интервал объединен с входом умножителя частоты, входом элемента задержки, первым и вторым неподвижными контактами первого переключателя, с первым и вторым неподвижными контактами второго переключателя, вторым входом элемента И, информационным входом блока регулируемой задержки, управляющим входом второго преобразователя фаза - временной интервал и подключен к выходу формирователя импульсов, управляющие входы первого и второго временных селекторов объединены и подключены к выходу умножителя частоты, выход первого временного селектора соединен с третьим, четвертым, пятым и шестым неподвижными контактами первого переключателя, подвижный контакт которого соединен со счетным входом счетчика, разрядные выходы которого соединены с первым информационным входом накапливающего сумматора, выход старшего разряда счетчика соединен с первым неподвижным контактом третьего переключателя, подвижный контакт которого соединен с вторым информационным входом накапливающего сумматора, управляющий вход которого подключен к выходу сумматора соединен с информационным входом блока памяти, выход которого соединен с входом начальной первого делителя частоты, с первым управляющим входом блока регулируемой задержки и подключен к выходу элемента задержки, вход записи блока памяти соединен с подвижным контактом четвертого переключателя, первый неподвижный контакт которого соединен с вторым информационным входом блока регулируемой задержки и подключен к

выходу второго делителя частоты, выход триггера соединен с вторым управляющим входом блока регулируемой задержки, третьим и четвертым неподвижными контактами второго переключателя, пятый неподвижный контакт которого подключен к выходу первого делителя частоты, подвижный контакт второго переключателя соединен с третьим входом элемента И, шестой неподвижный контакт второго переключателя подключен к выходу блока регулируемой задержки.

Кроме того, блок регулируемой задержки содержит регистр сдвига, кольцевой счетчик и схему сравнения, первая и вторая группы входов которой соединены с соответствующими разрядными выходами регистра сдвига и кольцевого счетчика, выход схемы сравнения является выходом блока, счетный вход регистра сдвига является первым информационным входом блока, первым и вторым управляющими входами которого являются соответственно вход сдвига и вход записи регистра сдвига, вход кольцевого счетчика является вторым информационным входом блока.

На чертеже приведена блок-схема предлагаемого устройства.

Устройство содержит формирователь 1 импульсов, умножитель 2 частоты, элемент 3 задержки, первый переключатель 4, первый делитель 5 частоты, элемент И 6, второй делитель 7 частоты, вход 8 регистра сдвига, блок 9 регулируемой задержки, второй переключатель 10, два преобразователя фаза - временной интервал 11 и 12, два временных селектора 13 и 14, счетчик 15, накапливающий сумматор 16, третий переключатель 17, блок 18 памяти, четвертый переключатель 19, триггер 20, регистр 21 сдвига блока 9 регулируемой задержки, схему 22 сравнения блока 9 и кольцевой счетчик 23 блока 9.

Вход формирователя 1 импульсов является входом синхронизации устройства. Выход формирователя 1 импульсов соединен с входом умножителя 2 частоты, входом элемента 3 задержки, первым и вторым неподвижными контактами первого переключателя 4, с входом первого делителя 7 частоты и вторым входом элемента И 6. Установочный вход делителя 7 частоты соединен с

соответствующим управляющим входом блока 9 регулируемой задержки, первый информационный вход которого соединен с первым и вторым неподвижными контактами второго переключателя 10, а также управляющими входами ПФВИ 11 и 12, информационные входы которых являются соответствующими информационными входами устройства. Выходы ПФВИ 11 и 12 соединены соответственно с информационными входами временных селекторов 13 и 14, управляющие входы которых соединены с выходом умножителя 2 частоты. Выход селектора 13 соединен с третьим, четвертым, пятым и шестым неподвижными контактами первого переключателя 4, подвижный контакт которого соединен с входом счетчика 15. Разрядные выходы счетчика 15 соединены с первым информационным входом накапливающего сумматора 16, причем старший разряд счетчика 15 соединен с первым неподвижным контактом третьего переключателя 17. Подвижный контакт третьего переключателя 17 соединен с вторым информационным входом накапливающего сумматора 16. Выход накапливающего сумматора 16 соединен с входами блока 18 памяти, выход которого соединен с установочным входом счетчика 15. Вход записи блока 18 памяти соединен с подвижным контактом четвертого направления переключателя 19, первый неподвижный контакт которого соединен с выходом делителя 7 частоты и входом кольцевого счетчика 23 блока 9 регулируемой задержки. Вход считывания блока 18 памяти соединен с выходом элемента 3 задержки и информационным входом блока 9 регулируемой задержки, соответствующий управляющий вход которого соединен с выходом триггера 20, третьим и четвертым неподвижными контактами второго переключателя 10, пятый неподвижный контакт которого соединен с выходом первого делителя 5 частоты. Блок 9 регулируемой задержки может быть выполнен различным образом [3]. В предлагаемом устройстве он содержит последовательно соединенные регистр 21 сдвига, схему 22 сравнения и кольцевой счетчик 23, причем выход схемы 22 сравнения является выходом блока 9 регулируемой задержки, а обе группы входов схемы 22 сравнения соединены соответственно

с разрядными выходами кольцевого счетчика 23, вход которого является соответствующим информационным входом блока 9 регулируемой задержки, и разрядными выходами регистра 21 сдвига, вход которого является другим информационным входом блока 9 регулируемой задержки, а вход записи и вход сдвига регистра 21 сдвига являются соответствующими управляющими входами блока 9 регулируемой задержки. Выполнить предлагаемое устройство можно, например, на стандартных интегральных схемах серии 140 и 155.

При измерении безусловного среднего значения переключателя ставятся в положение "1". Сигнал с исследуемой случайной фазой поступает на преобразователь ПФВИ 11. Сигнал опорной частоты поступает на формирователь 1 импульсов, который формирует короткие импульсы в момент, например, положительных переходов опорного сигнала через нулевое значение. Выходной сигнал ПФВИ 11 открывает временной селектор 13 на время \hat{t}_{χ_i} . Интервал времени \hat{t}_{χ_i} заполняется квантуемыми импульсами, поступающими от умножителя 2 частоты. Количество импульсов в пачках n_{χ_i} , формируемых на выходе временного селектора 13 в выбранном масштабе, определяет значение фазы в момент времени

$$\varphi_{\chi}(t_i) = K n_{\chi_i},$$

где K - масштабный коэффициент. Здесь $K_{\text{эм}} = \frac{f}{F} = 360 \cdot 10^n$, (F - частота опорного сигнала; f - частота следования импульсов с выхода умножителя 2 частоты), $K = 360^0 / K_{\text{эм}}$.

Импульсы с выхода временного селектора 13 поступают на вход счетчика 15, на вход начальной установки которого поступает код с выхода блока 18 памяти (в этом режиме работы - нуль).

Таким образом, счетчик 15 подсчитывает количество импульсов $K n_{\chi_i}$ в течение каждого периода опорного сигнала (одного такта измерения). В конце каждого такого периода осуществляется перезапись кода числа $K n_{\chi_i}$ из счетчика 15 в накапливающий сумматор 16 по команде, поступающей с элемента И 6. В результате отношение числа B импульсов, накопленных в накапливающем сумматоре 16 за интер-

вал измерения $T_{\text{изм}}$, к числу выборок N является оценкой математического ожидания случайной фазы сигнала

$$m^*(\varphi_{\chi}) = B/N = \sum_{i=1}^N k n_{\chi_i} / N.$$

Общее число выборок N задается делителем 7 частоты. С появлением на выходе делителя 5 частоты сигнала переполнения на входе элемента И 6 появляется запрещающий потенциал. На этом цикле измерения заканчивается, и значение оценки математического ожидания поступает в блок 18 памяти.

Величины среднеквадратических отклонений измеряются в положении "2" переключателей. При этом импульсы, образующиеся на выходе временного селектора 13, поступают в счетчик 15, в который перед каждым измерением в дополнительном коде вводится значение оценки математического ожидания по команде управляющего сигнала "Считывание" в блоке 18 памяти. При этом код разности, формируемый в счетчике 15 и пропорциональный значению приращения фазы $\Delta\varphi_{\chi}(t_i) = \varphi_{\chi}(t_i) - m^*(\varphi_{\chi})$, поступает в накапливающий сумматор 16. Суммирование выполняется без учета знака разности (контакт "2" второй линии переключателя 17 разомкнут). По истечении N_1 выборок в сумматоре накапливается число $A = 2\beta N_1 \sigma^*(\varphi_{\chi})$ (коэффициент β определяется законом распределения вероятностей).

Если теперь на вход ПФВИ 11 подать напряжение реализации второго случайного процесса и цикл измерений повторить, предварительно выставив коэффициент пересчета делителя 7 частоты равным $N_2 = 10^B N_1 / A$, то в сумматоре получаем непосредственно отношение оценок среднеквадратических отклонений процессов, т.е. $\sigma^*(\varphi_{\chi})$ и $\sigma^*(\varphi_{\psi})$.

При измерении условного математического ожидания переключатели ставятся в положение "4", а на ПФВИ 11 и 12 подключают сигналы с исследуемыми стационарно связанными флуктуирующими фазами. Сигнал опорной частоты поступает на формирователь 1 импульсов. Выходные сигналы ПФВИ 11 и 12 открывают временные селекторы 13 и 14 на время \hat{t}_{χ_i} и \hat{t}_{ψ_i} , которые заполняются квантуемыми импульсами, поступающими с умножителя 2 частоты. Количество импульсов в пачках n_{χ_i} и

n_{y_i} в выбранном масштабе определяет значение фазы в моменты времени $\varphi_x(t_i) = Kn_{x_i}$ и $\varphi_y(t_i) = Kn_{y_i}$.

Импульсы с выхода временного селектора 13 поступают на вход счетчика 15, на вход начальной установки которого поступает с блока 18 памяти перед каждым тактом измерения код нуля (т.е. после записи кода, равного Kn_{x_i} , в накапливающий сумматор 16 счетчика 15 сбрасывается в нуль). Импульсы с выхода временного селектора 14 поступают на нулевой вход триггера 20 непосредственно, а на единичный вход триггера 20 — через делитель 5 частоты. Коэффициент деления K_g делителя 5 частоты выбирается в соответствии с выбранным уровнем анализа, относительно которого определяется условное математическое ожидание.

Если количество импульсов в пачке на выходе временного селектора 14 равно коэффициенту деления делителя 5 частоты ($n_{y_i} = K_g$), то на выходе делителя 5 частоты появляется импульс, поступающий на вход триггера 20, на выходе которого формируется разрешающий потенциал. С приходом импульса с выхода формирователя 1 импульсов на выходе элемента И 6 появляется импульс, разрешающий поступление кода счетчика 15 в накапливающий сумматор 16. Импульс с выхода элемента 3 задержки устанавливает в исходное (нулевое) положение делитель 5 частоты и счетчик 15 сигналом с выхода блока 18 памяти. В исходное состояние триггер 20 возвращается первым импульсом умножителя частоты, проходящим через селектор 14 в следующем такте работы.

Если $n_{y_i} < K_g$, то на выходе делителя 5 частоты импульс не появляется и перезапись кода со счетчика 15 в накапливающий сумматор 16 не происходит. Счетчик 15 и делитель 5 частоты в конце цикла измерения устанавливаются в исходное (нулевое) положение. Если $n_{y_i} = K_g + 1$, то на выходе делителя 5 частоты появляется импульс, который приводит к тому, что на выходе триггера 20 появляется разрешающий потенциал для элемента И 6, однако импульс, порядковый номер которого равен $n_{y_i} = K_g + 1$, с выхода временного селектора 14 возвращает триггер

20 в исходное состояние еще до появления очередного импульса с выхода элемента 3 задержки и, таким образом, в данном случае тоже перезапись кода со счетчика 15 в накапливающий сумматор 16 не происходит.

Отношение числа импульсов, накопленных в накапливающем сумматоре 16 за интервал измерения, к числу выборок N_c пропорционально оценке определяемого условного математического ожидания

$$m^*[\varphi_x(t) | \varphi_y = \varphi_g] = C / N_c = \sum_{i=1}^{N_c} kn_{x_i} / N_c.$$

Изменяя коэффициент деления делителя 5 частоты, можно измерить функцию регрессии случайной фазы сигнала.

При измерении функции корреляции переключатели находятся в положении "3", в результате чего включается блок 9 регулируемой задержки. Исследуемый сигнал $x(t)$ подключается к входам обоих ПФВИ 11 и 12, а в делителе 5 частоты устанавливается коэффициент деления K_g в соответствии с выбранным уровнем анализа, оптимальное в смысле минимума продолжительности измерения значение для нормального закона распределения случайной фазы равно $m(\varphi) \pm 1,41 \sigma(\varphi)$. В блоке 9 регулируемой задержки устанавливается начальное значение аргумента функции корреляции $\rho_{\varphi_x}(\hat{t})$.

Устройство работает принципиально так же, как и при измерении условного математического ожидания. Но поскольку перезапись кода со счетчика 15 в накапливающий сумматор 16 производится только при наличии сигнала с выхода схемы 22 сравнения на третьем входе элемента И 6, то устройство определяет условное среднее значение фазы исследуемого сигнала $\varphi_x(t + \hat{t})$ относительно моментов выполнения условий $\varphi_x(t_i) = Kn_{x_i} = \varphi_y = K \cdot K_g$.

Центрирование значений фазы исследуемого сигнала $x(t)$ выполняется следующим образом. Перед каждым измерением в счетчике 15 устанавливается код среднего значения, как при измерении среднеквадратического отклонения, но суммирование в накапливающем сумматоре 16 выполняется с учетом знака кода $\Delta\varphi_i(t_i + \hat{t})$ в соответствии с подготовительным управляющим сигналом на входе накаплива-

ющего сумматора 16 с подвижного контакта третьего переключателя 17.

Блок 9 регулируемой задержки работает следующим образом.

В зависимости от значения сигнала с триггера 20 ("1" или "0") на втором управляющем входе регистра 21 сдвига записывается "1" или "0" с приходом на второй его информационный вход импульса с формирователя 1 импульсов.

Если код в регистре 21 сдвига равен коду, записанному в кольцевом счетчике 23, то на выходе схемы 22 сравнения появляется импульс, который разрешает перезапись кода счетчика 15 в накапливающий сумматор 16. Через время T_3 импульс с элемента 3 задержки производит перемещение записанной информации в регистре 21 сдвига на один разряд. Сигнал с выхода делителя 7 частоты (через интервал времени $T_{изм}$) продвигает единицу в кольцевом счетчике 23 на один разряд, тем самым изменяя значение аргумента \hat{t} при определении функции корреляции.

Отношение числа L импульсов, накопленных в накапливающем сумматоре 16 за интервал измерения $T_{изм}$, к числу выборок N_L пропорционально оценке нормированной функции корреляции исследуемой случайной фазы $\varphi_x(t)$ при данном значении \hat{t} .

Если на входы устройства в этом режиме измерения подключить два сигнала $x(t)$ и $y(t)$ со стационарно связанными флуктуирующими фазами, то за интервал измерения $T_{изм}$ получаем оценку произведения нормированной функции взаимной корреляции на отношение среднеквадратических отклонений первого и второго случайных процессов $\varphi_x(t)$ и $\varphi_y(t)$

$$L = \frac{\sigma_{\varphi_y}}{\sigma_{\varphi_x}} \rho_{\varphi_{xy}}^*(\hat{t}) \text{ и } \rho_{\varphi_{xy}}^*(\hat{t}) = L \frac{\sigma_{\varphi_x}}{\sigma_{\varphi_y}}$$

В первом положении первого переключателя 4 получаем оценку плотности вероятности распределения случайной фазы сигнала. При этом сигнал с исследуемой случайной фазой подключается на вход ПФВИ 12. Формируемые на выходе временного селектора 14 пачки импульсов n_{x_i} в выбранном масштабе определяют значение фазы в момент времени t_i .

$$\varphi_x(t_i) = kn_{x_i}$$

Импульсы с выхода временного селектора 14 поступают на нулевой вход триггера 20 непосредственно, а на единичный вход триггера 20 - через делитель 5 частоты. Коэффициент деления делителя 5 частоты выбирается в соответствии с выбранным уровнем анализа плотности вероятности. Интервал анализа $\Delta\varphi$ равняется интервалу дискретизации случайной фазы, т.е.

$$\Delta\varphi = 360^\circ F / f$$

Дальше измерение выполняется так же, как и при определении условного математического ожидания (или функции регрессии) за исключением того, что импульсы на вход счетчика 15 поступают с формирователя 1 импульсов (первое положение первого переключателя 4).

Таким образом, накапливающий сумматор 16 фиксирует число h наступления события $\varphi_g - \Delta\varphi \leq \varphi_x(t) \leq \varphi_g + \Delta\varphi$, где $\varphi_g = K \cdot K_g$, $\varphi_x(t) = Kn_{x_i}$.

Через интервал времени $T_{изм}$ в накапливающем сумматоре 16 формируется код, пропорциональный оценке плотности вероятности случайной фазы сигнала при заданном уровне анализа

$$W^*(\varphi_x) = \frac{1}{\Delta\varphi} \frac{h}{N_h} = \frac{h}{k N_h}$$

Для получения оценки функции подвижный контакт третьего распределения переключателя ставится в положение "6". Устройство работает в этом режиме аналогично, только перезапись кода со счетчика 15 в накапливающий сумматор 16 выполняется по команде с элемента И 6 при появлении сигнала переполнения на выходе делителя 5 частоты.

За время $T_{изм}$ в накопителе формируется код, пропорциональный оценке функции

$$F_1(\varphi_x) = P[\varphi_x(t) \geq \varphi_g]; F^*(\varphi_x) = \frac{d}{N_g}$$

где d - число импульсов, соответствующих случаям $\varphi_x(t) \geq \varphi_d$.

Общее число выборок N во всех режимах измерения задается делителем 7 частоты. С появлением на выходе делителя 7 частоты сигнала переполнения на входе элемента И 6 появляется

