

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-209339

(P2012-209339A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 2 6 B	
	HO 1 L 29/78 6 1 7 S	
	HO 1 L 29/78 6 1 7 J	

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2011-72295 (P2011-72295)
 (22) 出願日 平成23年3月29日 (2011. 3. 29)

(71) 出願人 000001960
 シチズンホールディングス株式会社
 東京都西東京市田無町六丁目1番12号
 (71) 出願人 307023373
 シチズン時計株式会社
 東京都西東京市田無町六丁目1番12号
 (74) 代理人 100126583
 弁理士 官島 明
 (74) 代理人 100100871
 弁理士 土屋 繁
 (72) 発明者 坂本 祐典
 東京都西東京市田無町六丁目1番12号
 シチズン時計株式会社内

最終頁に続く

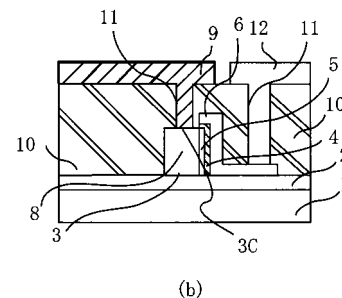
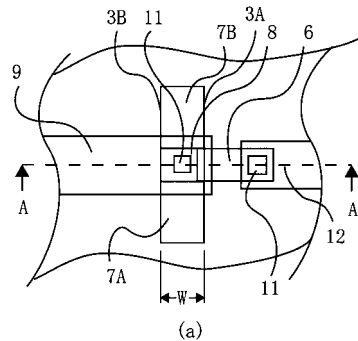
(54) 【発明の名称】 フィン型電界効果トランジスタ

(57) 【要約】

【課題】フィン型電界効果トランジスタはその動作原理から、低消費電力化を図るためには、動作時のバルク領域は完全空乏化される必要があった。結果として、プロセスばらつきがバルク領域のばらつきを生み、消費電力にばらつきを与えるという問題が生じていた。

【解決手段】本発明のフィン型電界効果トランジスタは、ゲート絶縁膜を介してチャネル領域に電界を印加するためのゲート電極を備えるフィン型電界効果トランジスタにおいて、バルク領域に所定の電位を印加するためのバルク電極を、ゲート電極と別に備えられている。このような構造にすることで、フィンの幅を空乏層程度に保つことを必要せず、基板電位を変化させることでデバイスの特性を変化させる、基板バイアス効果によって消費電力を削減することが可能となる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

半導体基板上に設ける絶縁膜と、
前記絶縁膜上に設ける半導体層と、を備え、
前記半導体層の所定の部分にバルク領域、ソース領域、チャンネル領域、ドレイン領域を備え、

前記チャンネル領域の前記半導体層表面にゲート絶縁膜を備え、
前記ゲート絶縁膜を介して前記チャンネル領域に電界を印加するためのゲート電極を備えるフィン型電界効果トランジスタにおいて、

前記バルク領域に所定の電位を印加するためのバルク電極を、前記ゲート電極と別に備えることを特徴とするフィン型電界効果トランジスタ。

10

【請求項 2】

前記半導体層の第 1 の垂直端面に前記チャンネル領域を設け、
前記半導体層の前記第 1 の垂直端面と対向する第 2 の垂直端面に前記バルク領域を設けることを特徴とする請求項 1 に記載のフィン型電界効果トランジスタ。

【請求項 3】

前記ゲート絶縁膜は、前記第 1 の垂直端面に設けることを特徴とする請求項 2 に記載のフィン型電界効果トランジスタ。

【請求項 4】

前記ゲート電極は、前記第 1 の垂直端面に対向して設け、
前記バルク電極は、前記第 2 の垂直端面に対向して設けると共に前記バルク領域に直接接続することを特徴とする請求項 2 又は 3 に記載のフィン型電界効果トランジスタ。

20

【請求項 5】

前記ゲート電極と前記バルク電極とを電気的に接続する接続配線を備えることを特徴とする請求項 1 から 4 のいずれか 1 つに記載のフィン型電界効果トランジスタ。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、MOS 電界効果型トランジスタ（以下、MOSFET と記載する）に関し、起立型のチャンネルを有するフィン型電界効果トランジスタに関するものである。

40

【背景技術】**【0002】**

近年の電子機器は、小型化や低消費電力化しているために、それに用いるLSIもまた微細化や低消費電力化の要求がある。多くの場合、搭載する半導体素子のサイズをスケールリング則に従って微細化することで対応してきた。

【0003】

半導体産業におけるスケールリング則とは、MOSFET のサイズと電源電圧とを 1 / 倍にすれば、MOSFET の動作が保証された上で、スイッチング速度が 1 / 倍に、消費電力は 1 / 2 倍となるという、公知の法則である。

50

【 0 0 0 4 】

しかし、さらに低い電源電圧下で一定の性能を維持するためには、M O S F E Tのしきい値電圧を低く設定する必要がある。そのためには、ゲート絶縁膜の薄膜化が必要となる。ところが、ゲート絶縁膜の薄膜化は、スタンバイリーク電流の増大を招き、L S Iの消費電力が増大してしまうという問題が生じる。

近年のL S Iにあっては、電子機器の小型化や低消費電力化の流れから、低消費電力化は必要不可欠であり、低消費電力化を可能とした新たな半導体素子が提案されてきている。

【 0 0 0 5 】

そのような新たな半導体素子の代表的なものの1つとして、フィン型電界効果トランジスタが提案されている。

フィン型電界効果トランジスタとは、起立型のチャネル領域を有するM O S F E Tである。起立したチャネル領域は、半導体基板の上部に絶縁膜を設け、その上部に形成する半導体層（単結晶シリコン材料）にソース領域やドレイン領域、バルク領域（この中にチャネル領域を形成する）を備える。この半導体層の形状が魚のヒレに似ていることからフィン型電界効果トランジスタと呼ばれる。

【 0 0 0 6 】

フィン型電界効果トランジスタは、多くの場合は半導体層の垂直端面にチャネル領域を設ける構造である。このため、その半導体層の垂直方向の高さがM O S F E Tのチャネル幅となる。そして、このチャネル領域である半導体層の垂直端面にゲート電極を備えている。

【 0 0 0 7 】

フィン型電界効果トランジスタは、このように半導体基板の上部に起立した半導体層を有しているため、半導体基板内にチャネル領域を有する通常のM O S F E T（便宜的に、バルク型M O S F E Tと称することにする）と比べて小型化できるという特徴がある。

【 0 0 0 8 】

また、半導体層に対して複数のゲート電極を設けることもできるため、ゲート電極が1つの場合に比べてしきい値のばらつきを抑制し、低いしきい値を有するM O S F E Tを構成することができる（例えば、特許文献1参照。）。

【 0 0 0 9 】

特許文献1に示した従来技術は、フィン型電界効果トランジスタを構成する半導体層上面を厚い絶縁膜で覆い、左右の側壁（垂直端面）に分離された2つのゲート電極を設けてこれを配線で連結した構造である。

【 0 0 1 0 】

特許文献1に示した従来技術によるフィン型電界効果トランジスタは、ゲート電極が複数個存在し、起立した半導体層の左右の垂直端面から電界を印加できるため、空乏層が素早くバルク領域（バルク型M O S F E Tで言うところの基板領域）を覆い、ピンチオフする前にトランジスタ動作を始めることができる。

ゲート電極が1つしかないM O S F E Tの場合は、チャネル領域から空乏層方向への電位変化が急であるのに対し特許文献1に示した従来技術によるフィン型電界効果トランジスタは、その電位の変化も比較的安定する。加えて、複数のゲート電極が分離された構造のため、通常のフィン型電界効果トランジスタよりしきい値の制御に適している。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

【 特許文献1 】 特表2007-504679号公報（第8頁、図9）

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

ところで、フィン型電界効果トランジスタのような、バルク型M O S F E Tではない半

10

20

30

40

50

導体素子の構造には、部分空乏型と完全空乏型の2種類がある。部分空乏型は、バルク領域を完全に空乏化せず一部中性領域を有するものであって、完全空乏型はバルク領域をすべて空乏化するものである。

【0013】

一般的に、部分空乏型は、ソース領域やドレイン領域の耐圧を高くすることができるという特徴がある。しかし、バルク領域内に中性領域が存在するため、基板浮遊効果に対する対策を講じる必要がある。

完全空乏型は部分空乏型に比べて、ソース領域やドレイン領域とバルク領域との間の接合容量が小さく、電流駆動能力の指標となるサブスレッショルド特性が良いという特徴がある。また、基板浮遊効果が大変少ないという特徴もある。そして、オフリーク電流が小さくできるので、換言すれば、オフリーク電流を同じにすれば、動作電圧を下げることができる。

【0014】

部分空乏型と完全空乏型とは、それぞれ利点があり、用途によって使い分けがなされているが、半導体素子の低消費電力化という観点で言えば、完全空乏型が有利である。低い動作電圧で動作するということは、すなわち、しきい値も下げることができるからである。

【0015】

フィン型電界効果トランジスタにあっては、低電圧駆動、低消費電力化するためには、ゲート電極から電圧を印加してトランジスタ動作させるときに、少なくともバルク領域が完全空乏化していなければならない。

【0016】

特許文献1に示した従来技術によるフィン型電界効果トランジスタのように、起立した半導体層の垂直端面にチャンネル領域を設け、そこに対向して2つのゲート電極を備えると、その半導体層の厚さが厚いと、そのチャンネル領域は完全空乏化できない。無理に完全空乏化しようとする、ゲート電極からの電界をさらに上げなければならず、低消費電力化の流れに逆行してしまう。

【0017】

また、このような状況を回避するために、チャンネル領域となる起立した半導体層の平面的な厚さを薄くしようとする、製造工程における加工ばらつき(寸法ばらつき)の影響を受けてしまい、電気特性が安定した半導体素子を構成することはできない。

【0018】

特許文献1に示した従来技術は、2つのゲート電極からの電界によりしきい値を制御できるという利点があるものの、バルク領域を完全空乏化した状態で電氣的に安定して動作させることは困難であるから、低消費電力化が困難である。また、半導体素子の電気特性を安定させることもまた難しい。

【0019】

本発明は、このような問題を解決するためになされたものである。フィン型電界効果トランジスタの低消費電力化と電気特性の安定化とを両立したフィン型電界効果トランジスタを提供できる。

【課題を解決するための手段】

【0020】

上記目的を達成するために、本発明のフィン型電界効果トランジスタは、下記記載の構造を採用する。

【0021】

本発明のフィン型電界効果トランジスタは、半導体基板上に設ける絶縁膜と、絶縁膜上に設ける半導体層と、を備え、半導体層の所定の部分にバルク領域、ソース領域、チャンネル領域、ドレイン領域を備え、チャンネル領域の前記半導体層表面にゲート絶縁膜を備え、ゲート絶縁膜を介して前記チャンネル領域に電界を印加するためのゲート電極を備えるフィン型電界効果トランジスタにおいて、バルク領域に所定の電位を印加するためのバルク電

10

20

30

40

50

極を、ゲート電極と別に備えることを特徴とする。

【0022】

このような構成とすることによって、バルク領域に直接電位を印加できるから、低いしきい値を実現し、しきい値のばらつきとリーク電流とを抑制し、低消費電力化ができる。

【0023】

半導体層の第1の垂直端面にチャンネル領域を設け、半導体層の第1の垂直端面と対向する第2の垂直端面に前記バルク領域を設けるようにしてもよい。

【0024】

このような構成とすることによって、半導体層の幅を任意に定義できるから、フィン型電界効果トランジスタの平面的な面積を小さくすることができる。また、チャンネル領域と対向する部分にバルク領域を設けることにより、チャンネル領域と同じ面積のバルク領域が対向することになるので、基板バイアスのための電位にむらがない。

10

【0025】

ゲート絶縁膜は、第1の垂直端面に設けるようにしてもよい。

【0026】

このような構成とすることによって、半導体層の垂直方向の高さがチャンネル幅とすることができ、垂直方向に制限がなければ半導体層の厚さでドレイン電流を任意に定義することができる。

【0027】

ゲート電極は、第1の垂直端面に対向して設け、バルク電極は、第2の垂直端面に対向して設けると共に前記バルク領域に直接接続するようにしてもよい。

20

【0028】

このような構成とすることによって、第1の垂直端面からはゲート電界を印加でき、第2の垂直端面からはバルク電位を与えることができ、MOSFETとしての電気特性を安定させることができる。

【発明の効果】

【0029】

本発明のフィン型電界効果トランジスタは、バルク領域に任意の電位を直接印加できるから、しきい値電圧を任意の値に定めることができ、動作時には低いしきい値に、非動作時には高いしきい値に保つことで、理想的なサブスレッショルドウィングを行うことができるため、低リーク電流を実現できる。

30

【0030】

また、この構造のため、基板バイアス効果を利用することができ、フィン型電界効果トランジスタで問題であった、半導体層の寸法ばらつきによるしきい値のばらつきを防ぐことが可能となる。そのため、低消費電力を実現できると共に、半導体層の厚さを完全空乏層の深さ程度に抑える必要がなくなり、その製造が容易となる。

【図面の簡単な説明】

【0031】

【図1】本発明の第1の実施形態におけるフィン型電界効果トランジスタの構造を説明する平面図及び断面図である。

40

【図2】本発明の第1の実施形態におけるフィン型電界効果トランジスタの応用例の構造を説明する平面図及び断面図である。

【図3】本発明の第2の実施形態におけるフィン型電界効果トランジスタの構造を説明する平面図及び断面図である。

【図4】本発明の第3の実施形態におけるフィン型電界効果トランジスタの構造を説明する平面図である。

【図5】本発明の第3の実施形態におけるフィン型電界効果トランジスタの構造を説明する断面図である。

【図6】導電型の異なる2つの本発明のフィン型電界効果トランジスタを集積させた例を説明する断面図である。

50

【発明を実施するための形態】**【0032】**

本発明のフィン型電界効果トランジスタは、絶縁膜上に設けられたフィン型電界効果トランジスタのバルク領域に所定の電位を直接印加するためのバルク電極を、ゲート電極と別に備えることで低いしきい値を実現すると共にし、しきい値のばらつきを抑制している。

【0033】

以下、図面を用いてフィン型電界効果トランジスタを説明する。以下に示す実施形態については、フィン型電界効果トランジスタは、SOI (Silicon-On-Insulator) 基板を用いて作成される例で説明する。そして、フィン型電界効果トランジスタの導電型をNチャンネル型MOSFET (以下、N型MOSFETと記載する) とする例で説明する。また、説明に必要な無い構成 (例えば、最終保護膜やソース電極、ドレイン電極など) は、図面を見やすくするために省略する。

10

【実施例1】**【0034】**

[本発明の第1の実施形態の構成説明：図1]

第1の実施形態のフィン型電界効果トランジスタの全体的な構成を、図1を用いて説明する。図1はフィン型電界効果トランジスタの構造を模式的に示す平面図及び断面図であって、図1(a)に平面図を、図1(b)にその切断線A-A'で切断した断面図を示す。

20

【0035】

図1において、1は半導体基板、2は絶縁膜である。3は半導体層、3Aは半導体層3の第1の垂直端面、3Bは半導体層3の第2の垂直端面、3Cは半導体層3の上端面である。4はゲート絶縁膜、5はチャンネル領域、6はゲート電極である。7Aはソース領域、7Bはドレイン領域、8はバルク領域、9はバルク電極、10は層間絶縁膜、11はコンタクトホール、12は金属配線である。

【0036】

第1の実施形態のフィン型電界効果トランジスタは、SOI基板を用いて作成される。半導体基板1は単結晶シリコンよりなる支持基板である。絶縁膜2は埋め込み酸化膜であるシリコン酸化膜である。半導体層3は単結晶シリコンであり、絶縁膜2を介し設けられる。この半導体層3は半導体基板1に対して起立している。

30

【0037】

ところで、SOI基板を用いなくてもフィン型電界効果トランジスタを形成できる。例えば、半導体基板1の上部に酸化処理などしてシリコン酸化膜からなる絶縁膜2を形成し、この絶縁膜2上に化学気相成長法 (以下、CVD法と記載する) によりアモルファスシリコン膜を形成する。その後、熱処理を実施することにより単結晶化させ半導体層3を形成することもできる。この場合、半導体層3は単結晶膜を絶縁膜2上に形成後、エッチング処理することで所定の形状に加工する。

【0038】

半導体層3は、第1の垂直端面3Aと第2の垂直端面3Bとが対向すると共に、平行して位置する形状を有している。N型MOSFETの場合、半導体層3の導電型はP型である。

40

【0039】

半導体層3には、ソース領域7Aとドレイン領域7Bとの間にバルク領域8が設けてある。このバルク領域8にチャンネル領域5が設けている。この構成は、バルク型MOSFETと同様である。

ゲート絶縁膜4は、半導体層3の表面に設けている。詳しくは、この半導体層3に設ける、ソース領域7Aとドレイン領域7Bとに挟まれるチャンネル領域5の第1の垂直端面3Aの表面に設けている。

このゲート絶縁膜4は、既知の手法により、単結晶シリコンである半導体層3を熱酸化

50

することで形成しており、膜厚は、例えば 8 nm である。

【0040】

ゲート電極 6 は、ゲート絶縁膜 4 を覆うようにしてチャネル領域 5 上に設けている。ゲート電極 6 は、例えば、CVD 法により形成した多結晶シリコンより成る。膜厚は、例えば、350 nm である。

【0041】

ソース領域 7 A とドレイン領域 7 B とは、上述のように、平面的にバルク領域 8 を挟むように設けており、バルク領域 8 の第 1 の垂直端面 3 A にチャネル領域 5 を設けている。

ソース領域 7 A とドレイン領域 7 B とは高濃度の不純物層より成り、不純物は、例えば、N 型 MOSFET の場合、砒素 (As) 又はリン (P) であり、 $10E^{-15} \text{ atom s/cm}^2$ 程度のドーズ量 (不純物量) でイオン注入されて形成されたものである。

【0042】

バルク電極 9 は、ゲート電極 6 とは別に設けるバルク領域 8 に直接電位を印加する電極であり、半導体層 3 の上端面 3 C の表面に直接接するように設けている。平面的には、ソース領域 7 A とドレイン領域 7 B とに挟まれるバルク領域 8 の表面に、ゲート電極 6 と離間して設けている。

【0043】

バルク電極 9 は、例えば、チタンとアルミニウムとの積層膜などが望ましい。半導体層 3 であるシリコン表面には自然酸化膜が発生しているが、チタンと半導体層 3 であるシリコンとをシリサイド化させることにより、半導体層 3 とバルク電極 9 との間で電氣的に良好な接続を得ることができ、電圧制御に適しているためである。

【0044】

さらに、層間絶縁膜 10 を全面に設け、層間絶縁膜 10 にコンタクトホール 11 を設け、金属配線 12 がゲート電極 6 に接続し、バルク電極 9 がバルク領域 8 に接続している。

この金属配線 12 とバルク電極 9 とは、それぞれ本実施形態において同じ材料、同じプロセスで形成され、図示しない所定の回路素子や端子に接続している。

層間絶縁膜 10 は、例えば、CVD 法により形成したシリコン酸化膜である。金属配線 12 は、例えば、チタンとアルミニウムの積層膜より成る。

【0045】

ソース領域 7 A 及びドレイン領域 7 B にも電氣的な接続を行い、電気信号の授受を行う必要がある。これらの領域と平面的に重なる部分の層間絶縁膜 10 にコンタクトホール 11 を設け、金属配線にて電氣的な接続を行う。なお、これらの構造についてはすでに説明したとおり、図示を省略している。

【0046】

ところで、一般的にフィンの幅とは、図 1 に記号 W で示す、対向する第 1 の垂直端面 3 A と第 2 の垂直端面 3 B とに挟まれる半導体層 3 の距離に相当する。

この距離 W が狭いと、すでに説明したように加工精度の影響を受けてしまい、電気特性が安定しなくなり、厚いと低消費電力化のための完全空乏化がしにくくなるのである。

しかし、本発明のフィン型電界効果トランジスタは、バルク電極 9 を設けており、バルク領域 8 に直接電圧を印加できるため、バルク領域 8 の電位を自由に制御できる。このため、距離 W が厚くても、完全空乏化することができる。

【0047】

[第 1 の実施形態の動作の説明]

次に、第 1 の実施形態のフィン型電界効果トランジスタの構造をまとめ、駆動の様子について説明する。

フィン型電界効果トランジスタは、半導体基板 1 の上部に設けている絶縁膜 2 上に起立して半導体層 3 を設けている。この半導体層 3 は、フィンを構成する。

半導体層 3 のバルク領域 8 の第 1 の垂直端面 3 A の表面にはチャネル領域 5 を設けており、そのチャネル領域 5 を覆うようにゲート絶縁膜 5 を設け、このゲート絶縁膜 5 を介しゲート電極 6 を設けている。

10

20

30

40

50

そして、半導体層 3 の上端面 3 C と直接接続するようにバルク電極 9 を備えている。

【0048】

フィン型電界効果トランジスタを駆動する際は、ゲート電極 6 にゲート電圧を印加する。そして、このゲート電極 6 とは別に設けているバルク電極 9 からは、バルク領域 8 に直接電位を印加するためのバルク電圧を印加する。

【0049】

チャネル領域 5 は、このゲート電圧による電界により導電型が反転し、この反転した領域を介してソース領域 7 A とドレイン領域 7 B とが導通する。つまり、半導体層 3 の第 1 の垂直端面 3 A 表面部分に沿って電流が流れるのである。

【0050】

すでに説明したように、本発明のフィン型電界効果トランジスタは、ゲート電圧をゲート電極 6 からゲート絶縁膜 4 を介してチャネル領域 5 に電界として印加し、バルク電極 9 からは電界ではなくバルク電位をバルク領域 8 に直接印加できる。電界を与えるのではないから正確にバルク領域 8 の電位を制御できる。

従来から知られている SOI 基板を用いた半導体素子には、半導体基板側から絶縁膜を介して電界を半導体層に与えていた例が提案されていたが、そのような構成とはまったく異なる構成である。

【0051】

ゲート電極 6 からチャネル領域 5 に印加する電界と、バルク電極 9 からバルク領域 8 に印加される電位との関係を、フィン型電界効果トランジスタに望む電気特性に応じて自由に変更することができる。

【0052】

例えば、ゲート電極 6 から印加するゲート電圧とバルク電極 9 から印加するバルク電圧とを同じにすることができる。

こうすると、このフィン型電界効果トランジスタを、知られている D T M O S F E T として動作させることができる。

【0053】

もちろんこれは一例であって、双方の電圧値を変えてもよい。

例えば、バルク電極 9 からバルク領域 8 に所定の電位を与えることにより、バルク領域 8 の電位を低くすると、バルク領域 8 とゲート電圧との間の電位差が大きくなるから、フィン型電界効果トランジスタのしきい値電圧を上げることができる。そうすると、リーク電流を削減でき、低消費電力化ができる。

また、反対にバルク領域 8 の電位を高くすると、バルク領域 8 とゲート電圧との間の電位差が小さくなるから、しきい値電圧を下げるすることができる。そうすると、高速動作を実現することができる。

【0054】

このように、本発明のフィン型電界効果トランジスタは、バルク領域 8 に印加する電位をバルク電極 9 によって自由に変わることができるから、欲する電気特性に応じたフィン型電界効果トランジスタを得ることができる。

また、バルク領域 8 に電圧を印加することで、しきい値電圧ばらつきを抑制することもできるので、信頼性が高いフィン型電界効果トランジスタを構成することもできる。

【0055】

[第 1 の実施形態の応用例の構成説明：図 2]

次に、図 2 を用いて、第 1 実施形態のフィン型電界効果トランジスタの応用例を説明する。図 2 はフィン型電界効果トランジスタの応用例の構造を模式的に示す平面図及び断面図であって、図 2 (a) に平面図を、図 2 (b) にその切断線 B - B ' で切断した断面図を示す。

【0056】

この応用例の特徴は、2 つのゲート電極を有する点である。

図 2 に示すように、第 1 の側端面 3 A にゲート絶縁膜 4 a 及びゲート電極 6 a を設けて

10

20

30

40

50

おり、第1の側端面3Aと対向する第2の側端面3にゲート絶縁膜4b及びゲート電極6bを設けている構造である。

なお、ゲート絶縁膜4a、4b、ゲート電極6a、6bの材質や膜厚については、第2の実施形態と同様であるから説明は省略する。

【0057】

ソース領域7A及びドレイン領域7Bにも電気的な接続を行い、電気信号の授受を行う必要がある。これらの領域と平面的に重なる部分の層間絶縁膜10にコンタクトホール11を設け、金属配線にて電気的な接続を行う。なお、これらの構造についてはすでに説明したとおり、図面を見やすくするために図示を省略している。そのため、図2(a)ではソース領域7A上にバルク電極9が配線されているが、実際に構成する場合は、ソース電極とバルク電極9とが接触しないように離間して配置する。

10

【0058】

[第1の実施形態の応用例の効果の説明]

この応用例は、2つのゲート電極6を有しており、各々独立してゲート電圧を印加できる。このような構造は、いわゆるダブルゲート型MOSFETとしてすでに知られている構成である。図2に示す第1の実施形態の応用例は、知られているダブルゲート型MOSFETの特徴に加え、バルク電極9によりバルク領域8に直接電位を印加できる点にある。

【0059】

このような構成であるから、バルク電位を0V付近に近づけたときのしきい値電圧のばらつきを抑制することができ、消費電力を削減することに加えて、スイッチング特性の向上と、短チャネルによるリーク電流をより抑えやすくすることが可能となる。

20

【0060】

その理由は、ゲート電極の数が増加するため、ゲート電極が1つしかないMOSFETと比較して、ゲート電極でチャネル領域の電圧を制御しやすくなるからである。

【0061】

例えば、バルク電極から電位を印加しバルク領域を0Vに保ったとき、電流が流れるチャネル部分では、ゲート電極から離れるにつれて電位が半導体層(バルク領域)の電位0Vに近づいてしまい、1つのゲート電極によるゲート電圧でチャネル領域の電圧変化の勾配をなだらかにするのは難しくなる。

30

【0062】

これに対し、この応用例のような、チャネル領域の左右にゲート電極を設けたダブルゲート構造を有していると、対向するゲート電極が互いのチャネルを引き伸ばすため、双方のチャネル領域の電位はバルク領域に向かうに従って、よりなだらかに0Vへと変化する。

【0063】

この結果、チャネル領域の電圧のばらつきは小さく抑えることができ、チャネル領域の電圧をゲート電極でより制御しやすくなるのである。

【0064】

チャネル領域の電圧のばらつきが小さくなると、スイッチング特性を向上させることができ、さらにゲート長が短くてもリーク電流を抑えやすくなる。

40

【0065】

また、ゲート電極数が増えると、同じ電位で駆動させた場合、駆動する際の電流量が増える(理想的にはゲート数倍に増加)ため、小さなMOSFETでも大きな電流駆動能力を得るようにすることもできるようになる。

【実施例2】

【0066】

[本発明の第2の実施形態の構成説明:図3]

次に、図3を用いて、フィン型電界効果トランジスタの第2実施形態を説明する。図3はフィン型電界効果トランジスタの構造を模式的に示す平面図及び断面図であって、図3

50

(a) に平面図を、図 3 (b) にその切断線 C - C ' で切断した断面図を示す。

【 0 0 6 7 】

第 2 の実施形態の特徴は、ゲート電極 6 とバルク電極 9 とを半導体層 3 を挟み対向して設ける点である。

【 0 0 6 8 】

図 3 に示すように、半導体層 3 の第 1 の垂直端面 3 A にチャネル領域 5 を設け、これを覆うようにゲート絶縁膜 4 を設けている。ゲート電極 6 は、すでに説明した例と同様に、このゲート絶縁膜 4 を覆うように設けており、多くの部分が第 1 の垂直端面 3 A に対向して設けている。

バルク電極 9 は、半導体層 3 の第 2 の垂直端面 3 B のバルク領域 8 に直接接して設けている。

10

【 0 0 6 9 】

[第 3 の実施形態の効果の説明]

この第 3 の実施形態は、すでに説明した実施形態と同様の効果を有することに加え、バルク領域 8 とバルク電極 9 とを、より低抵抗で接続できるという効果がある。

すなわち、半導体層 3 上端面 (図 1 でいうところの上端面 3 c) の狭い領域で、バルク領域 8 とバルク電極 9 とを接続するのではなく、より広い半導体層 3 の垂直端面 3 B でバルク電極とバルク領域とが接続できる。

【 0 0 7 0 】

具体的には、半導体層 3 の半導体基板 1 側から起立した距離と、半導体層 3 の第 2 の垂直端面 3 B におけるバルク電極 9 の配線幅との分で、双方を接触できるから、より多くの接触面積で、バルク領域 8 とバルク電極 9 とを接触させることができる。これにより、より低抵抗で双方を電氣的に接続できるという効果を有するのである。

20

【 0 0 7 1 】

また、半導体層 3 上端面にバルク電極 9 とバルク領域 8 とを接触させるように加工するよりも、加工が簡単に行える場合もあるので、プロセスコストを下げることができる場合もある。

【 実施例 3 】

【 0 0 7 2 】

[本発明の第 3 の実施形態の構成及び効果の説明 : 図 4、図 5]

30

次に、図 4、図 5 を用いて、フィン型電界効果トランジスタの第 3 実施形態を説明する。図 4 はフィン型電界効果トランジスタの構造を模式的に示す平面図である。図 5 は図 4 に示す構成の断面図を示すものであって、図 5 (a) には図 4 に示す切断線 D - D ' で切断した様子を、図 5 (b) に図 4 に示す切断線 E - E ' で切断した断面図をそれぞれ示す。

【 0 0 7 3 】

第 2 の実施形態の特徴は、ゲート電極 6 とバルク電極 9 とを半導体層 3 を挟み対向して設ける点である。

【 0 0 7 4 】

図 4 に示すように、バルク領域 8 はすでに説明した例とは異なり、平面的にソース領域 7 A の方向に屈曲している。

40

半導体層 3 の第 1 の垂直端面 3 A にチャネル領域 5、ゲート絶縁膜 4、ゲート電極 6 を設ける構成はすでに説明した例と同じであるが、屈曲したバルク領域 8 により、バルク電極 9 とバルク領域 8 との接触部分は、ゲート電極 6 の延長線上にはなく、ソース領域 7 A 方向にシフトしている。この様子は、2つの切断線で切断した様子を表した図 5 を見れば明らかであろう。

【 0 0 7 5 】

このような構成にすることで、ゲート電極 6 とバルク電極 9 との平面的な配置に自由度を向上させることができる。すでに説明したように、ソース領域 7 A やドレイン領域 7 B には、それぞれ図示はしないがソース電極とドレイン電極とが接続されている。このよう

50

に配線が多く存在すると、この第3の実施形態のようにバルク電極9をシフトする構成であれば、配線の引き回しの自由度が増えるのである。

【0076】

なお、この第3の実施形態でも、第2の実施形態と同様に、バルク領域8とバルク電極9とは、半導体層3の第2の垂直端面3Bにて接触しているから、双方の接触抵抗は低く、バルク領域8を屈曲させた構成でも、まったく影響はない。

【0077】

[応用例の構成説明：図6]

次に、図6を用いて、すでに説明した実施形態の応用例を、第2の実施形態を例にして説明する。

この応用例は、フィン型電界効果トランジスタであるN型MOSFETとPチャネル型MOSFET（以後、P型MOSFETと記載する）とを並列に並べた構造（コンプリメンタリーMOS、所謂CMOS構造）としたものである。すでに説明した実施形態では、例えば、N型MOSFETを構成する例を説明したが、P型MOSFETと合わせたCMOS構造の例を説明する。

【0078】

図6において、13AはN型MOSFET、13BはP型MOSFET、14は素子間絶縁膜である。素子間絶縁膜14は、既知のCVD法により形成するシリコン酸化膜である。4a、4bはゲート絶縁膜、5a、5bはチャネル領域、6a、6bはゲート電極、8a、8bはバルク領域、12a、12bは金属配線、3Aa、3Abは第1の垂直端面、3Ba、3Bbは第2の垂直端面であり、それぞれ、すでに説明したゲート絶縁膜3、チャネル領域5、ゲート電極6、バルク電極8、金属電極12、第1の垂直端面3A、第2の垂直端面3Bに相当する。

【0079】

図6に示すように、N型MOSFET13AとP型MOSFET13Bとを、それぞれの第2の垂直端面3Baと第2の垂直端面3Bbとを対向するように隣合わせて配置している。

N型MOSFET13Aのバルク領域8aの第1の垂直端面3Aaにチャネル領域5aを設け、これを覆うようにゲート絶縁膜4aを設けており、さらにゲート電極6aを設けている。

P型MOSFET13Bのバルク領域8bの第1の垂直端面3Abにチャネル領域5bを設け、これを覆うようにゲート絶縁膜4bを設けており、さらにゲート電極6bを設けている。

【0080】

第2の垂直端面3Baと第2の垂直端面3Bbとに直接接続する共通のバルク電極9を備えている。このバルク電極9と、ゲート電極6a、6bに接続する金属配線12a、12bとは、この実施形態においても他の実施形態と同様に、同じ材料、同じプロセスで形成され、図示しない所定の回路素子や端子に接続している。

【0081】

素子間絶縁膜14は、N型MOSFET13AとP型MOSFET13Bとを絶縁する役割と、バルク電極9からの電界が半導体基板1側に余剰に及ばないようにする役割、またバルク電極を形成する際の被覆性を向上させる役割がある。このため、ある程度の膜厚が必要であって、印加するバルク電位でもよるが、例えば、0.5μm程度である。

【0082】

[応用例の効果の説明]

N型MOSFET13AとP型MOSFET13Bとのゲート電極に、それぞれの導電型のMOSFETを駆動するための適正なゲート電圧を印加する。そして、バルク電極9には、所定の電圧を印加する。

例えば、バルク電極9には0.5Vを印加しておき、N型MOSFET13Aを駆動するタイミングでゲート電極6aには+0.8Vを印加する。次に、バルク電極9には-0

10

20

30

40

50

．5 Vを印加しておき、P型MOSFET 13 Bを駆動するタイミングでゲート電極6 bには-0.8 Vを印加する。

【0083】

そうすると、印加されているバルク電位によって、N型MOSFET 13 Aがオンするときは、P型MOSFET 13 Bがオンしにくくなり、逆にP型MOSFET 13 Bがオンするときは、N型MOSFET 13 Aがオンしにくくなる。

これは、半導体層に印加される電位の上下が、しきい値電圧を上下させるためである。

【0084】

以上説明した本発明のフィン型電界効果トランジスタは、ゲート電極とは別にバルク領域に直接電位を印加するバルク電極を設けているため、しきい値電圧を任意の値に定めることができ、動作時には低いしきい値に、非動作時には高いしきい値に保つことができる。

10

このような特徴を有していれば、本発明の主旨を逸脱しない範囲で変形が可能である。例えば、半導体層の形状、ゲート電極とバルク電極との位置関係や電極の種類などは任意に定めることができる。

【産業上の利用可能性】

【0085】

本発明は、低しきい値電圧、しきい値電圧ばらつきとリーク電流の抑制、低面積を実施することができる。このため低電圧駆動するLSIに適用できる。特に低消費電力を必要とするLSIに好適である。

20

【符号の説明】

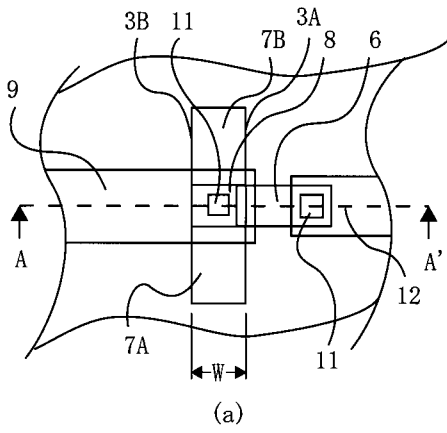
【0086】

- 1 半導体基板
- 2 埋め込み絶縁膜
- 3 半導体層
- 3 A 第1の垂直端面
- 3 B 第2の垂直端面
- 3 C 上端面
- 4 ゲート絶縁膜
- 5 チャネル領域
- 6 ゲート電極
- 7 A ソース領域
- 7 B ドレイン領域
- 8 バルク領域
- 9 バルク電極
- 10 層間絶縁膜
- 11 コンタクトホール
- 12 金属配線
- 13 A N型MOSFET
- 13 B P型MOSFET
- 14 素子間絶縁膜図1

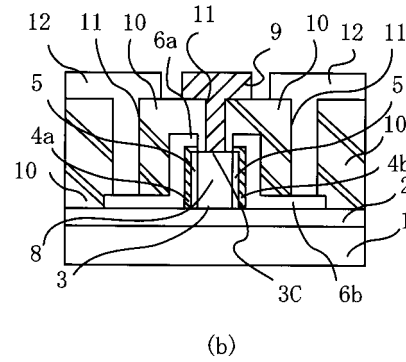
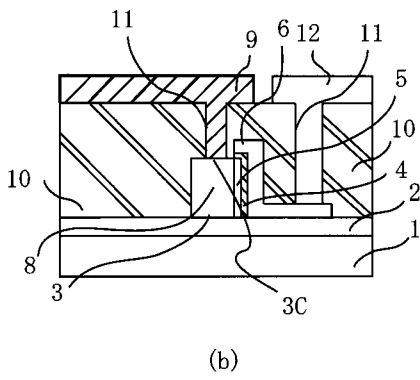
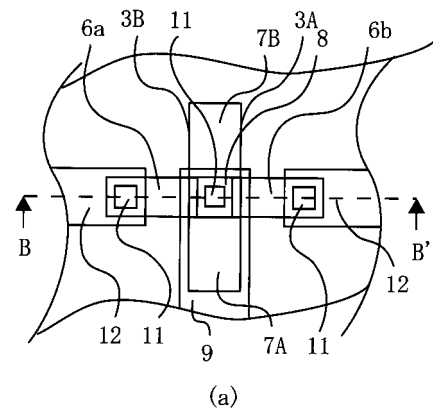
30

40

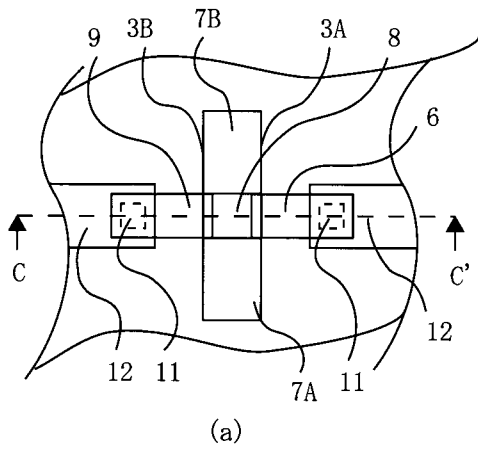
【 図 1 】



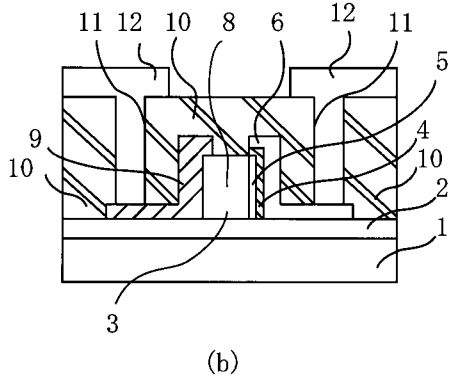
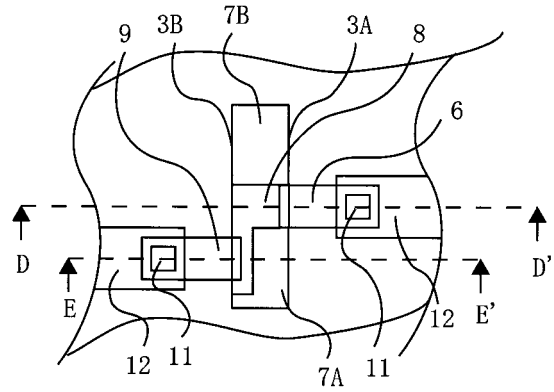
【 図 2 】



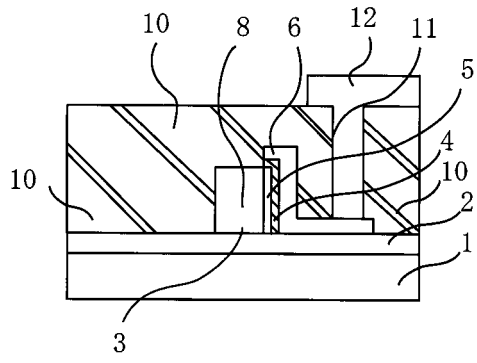
【 図 3 】



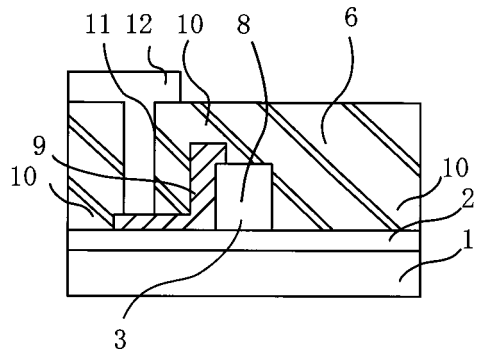
【 図 4 】



【 図 5 】

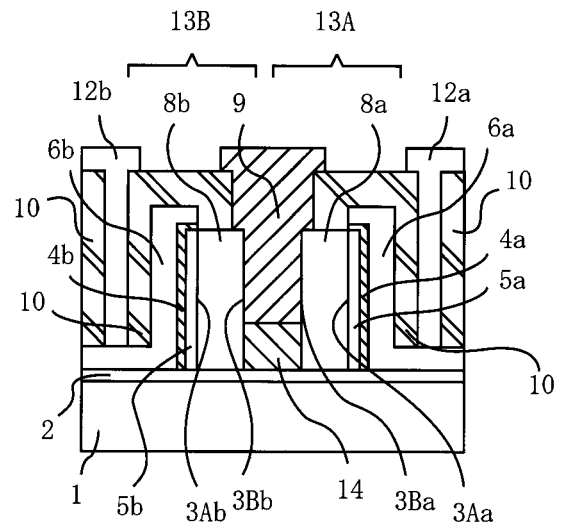


(a)



(b)

【 図 6 】



フロントページの続き

Fターム(参考) 5F110 AA15 BB04 BB20 CC10 DD05 DD13 EE09 EE22 EE30 EE45
FF02 FF23 GG02 GG12 GG60 HJ01 HJ04 HJ13 NN02 NN23
NN35 NN62 PP01