

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3992817号

(P3992817)

(45) 発行日 平成19年10月17日(2007.10.17)

(24) 登録日 平成19年8月3日(2007.8.3)

(51) Int. Cl.

H01L 31/09 (2006.01)

F I

H01L 31/00

A

請求項の数 2 (全 7 頁)

(21) 出願番号	特願平10-40818	(73) 特許権者	000002325
(22) 出願日	平成10年2月23日(1998.2.23)		セイコーインスツル株式会社
(65) 公開番号	特開平11-238901		千葉県千葉市美浜区中瀬1丁目8番地
(43) 公開日	平成11年8月31日(1999.8.31)	(74) 代理人	100079212
審査請求日	平成16年11月12日(2004.11.12)		弁理士 松下 義治
		(72) 発明者	赤嶺 忠男
			千葉県千葉市美浜区中瀬1丁目8番地 株
			式会社エスアイアイ・アールディセンター
			内
		(72) 発明者	佐藤 恵二
			千葉県千葉市美浜区中瀬1丁目8番地 株
			式会社エスアイアイ・アールディセンター
			内
		審査官	前川 慎喜
			最終頁に続く

(54) 【発明の名称】 半導体光電変換装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコンの第1導電型半導体基板を酸化して前記第1導電型半導体基板の第1の面と第2の面に、フィールド酸化膜を形成する第1の工程と、

前記第1の面のフィールド酸化膜を一部除去し、ストリップ状の第2導電型不純物領域を形成する第2の工程と、

前記第2の面のフィールド酸化膜を一部除去し、前記第1導電型半導体基板より不純物濃度の高いストリップ状の第1導電型不純物領域を形成する第3の工程と、

前記第2導電型不純物領域と前記第1導電型不純物領域に誘電体膜を形成する第4の工程と、

前記誘電体膜の上に、その下の前記第2導電型不純物領域または第1導電型不純物領域より小さくゲート電極を形成する第5の工程とからなり、

前記第4の工程で形成する前記誘電体膜の膜厚と前記第5の工程で形成する前記ゲート電極の膜厚との和より、前記第1の工程で形成する前記フィールド酸化膜の膜厚を 200 nm 以上厚く形成することを特徴とする、半導体光電変換装置の製造方法。

【請求項2】

半導体基板の第1の面に第2導電型のストリップ状の第1の不純物領域と、

前記半導体基板の前記第1の不純物領域を有しない面上に第1の酸化膜と、

前記第1の不純物領域上に第1の誘電体膜と、

前記誘電体膜上に第1のゲート電極と、

10

20

前記半導体基板の前記第1の面と反対の面に、前記半導体基板より不純物濃度の高い第1導電型のストリップ状の第2の不純物領域と、  
前記半導体基板の前記第2の不純物領域を有しない面上に第2の酸化膜と、  
前記第2の不純物領域上に第2の誘電体膜と、  
前記誘電体膜上に第2のゲート電極を有し、  
前記第1の酸化膜の上面が前記第1のゲート電極の上面より200nm以上高く、さらに、前記第2の酸化膜の上面が前記第2のゲート電極の上面より200nm以上高い光電変換装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

本発明はダブルサイド・シリコン・マイクロ・ストリップ・ディテクター(DSSD)などとよばれるX線、 $\gamma$ 線、荷電粒子などの高エネルギーの放射線を位置検出することができる、PN接合を多数のストリップ状に分割して基板の両面に形成するマルチチャンネルの光電変換半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

従来のダブルサイド・シリコン・マイクロ・ストリップ・ディテクター(以下DSSDと呼ぶ)などとよばれる両面の光電変換半導体装置の製造方法では、製膜工程、フォトリソグラフィ工程、エッチング工程、等において、その工程中にシリコン基板の工程の行われていない側の面が装置のステージに接触しており、工程前後にもシリコン基板の片面が装置の搬送系のルールやフォークと接触する。この接触によりシリコン基板の片面にキズが入る。DSSDにおいては、基板両面が同様のデバイス構造であり、各工程は両面について行われるため、前述したキズは両面に入る。

20

【0003】

前述した各工程の装置との接触により発生したキズは、その面にあるデバイス各部にダメージを与える。DSSD全面にストリップ状に多数配置されるP領域またはN領域上の誘電体膜とゲート電極は、面積が大きく数が多い為キズが入る可能性が大きい上にキズが入った場合の影響が特に大きく、P領域またはN領域とゲート電極の間に数十V以上の電圧がかかる誘電体膜の耐圧歩留りが大幅に低下する。

30

【0004】

また、従来のDSSDのゲート電極6形成後の構造を見ると、図3(A)のように工程簡略化のためフィールド酸化膜を形成していないことが多く、形成した場合でも図3(B)のようにイオン注入のマスクとして必要な膜厚の50nm程度であることがほとんどであった。そのため、ゲート電極6の上面は図3(A)ではデバイスの中で最も高い位置にあり、図3(B)の場合でもフィールド酸化膜より高いためキズが入りやすい。

【0005】

また、図3(C)のようにフィールド酸化膜2としてLOCOS法を使用したDSSDにおいては、ゲート電極6下の誘電体膜5とシリコン基板1の界面位置より、フィールド酸化膜2とシリコン基板1の界面位置がフィールド酸化膜厚の44%低くなるため、同じフィールド酸化膜厚であれば、図3(B)の場合よりもゲート電極6上面はフィールド酸化膜2に対してフィールド酸化膜厚の44%高くなり、よりゲート電極6が傷つき易い。図3(D)のようにゲート電極6の一部が、フィールド酸化膜2上に張り出した構造のDSSDでは、張り出した部分のゲート電極6が傷つき易くその傷が下のフィールド酸化膜2にまで達することが多い。また張り出したゲート電極6の面積が小さいので第2導電型不純物領域3又は第1導電型不純物領域4上のゲート電極6の傷の防止にも効果は少ない。

40

【0006】

従来、基板と装置の接触によるキズの防止には、装置と接触する側のシリコン基板の面にあらかじめレジストを塗布したり、その工程に耐えられる、酸化膜、窒化膜等の膜を堆積しておいて下地を保護し、工程後に除去する等の方法があった。

50

## 【 0 0 0 7 】

## 【 発明が解決しようとする課題 】

前述した、基板と装置の接触によるキズの防止の為に、装置と接触する側のシリコン基板の面に、あらかじめレジストを塗布したり、その工程に耐えられる、酸化膜、窒化膜等の膜を堆積しておいて下地を保護し、工程後に除去する等の方法では、以下に述べる課題が存在する。

## 【 0 0 0 8 】

レジストを塗布する方法では、レジスト膜の機械的強度が不足しており、キズの防止には不十分である。酸化膜や窒化膜の堆積による方法では、その酸化膜や窒化膜が固い為ある程度キズは減少するが、少ないながらも入ったキズにおいては、酸化膜や窒化膜が固い為にその膜にかかる力がダイレクトに下地に伝わり、下地のダメージは大きく、誘電体膜の耐圧歩留りの低下につながることが多い。また、酸化膜や窒化膜の、除去工程による下地へのダメージも存在する。

10

## 【 0 0 0 9 】

## 【 課題を解決するための手段 】

本発明では、フィールド酸化膜 2 の厚さを、LOCOS法でない場合にはDSSD全面にストリップ状に多数配置されるP領域 3 またはN領域 4 上の誘電体膜 5 の厚さとゲート電極 6 の厚さの和より厚くすることで、LOCOS法の場合にはDSSD全面にストリップ状に多数配置されるP領域 3 またはN領域 4 上の誘電体膜 5 の厚さとゲート電極 6 の厚さの和の 1.79 倍より厚くすることで、ゲート電極 6 の上面がフィールド酸化膜 2 の上面より低くなるようにして、DSSD全面にストリップ状に多数配置されるP領域 3 またはN領域 4 上の誘電体膜 5 とゲート電極 6 部分に、製造工程中に発生するキズを防止することとした。

20

## 【 0 0 1 0 】

## 【 発明の実施の形態 】

以下図面により本発明の実施の形態を説明する。

図 1 は本発明の半導体光電変換装置である、ダブルサイド・シリコン・マイクロ・ストリップ・ディテクター (DSSD) の製造方法を示す工程順断面図であり、ストリップに平行な方向の断面である。

## 【 0 0 1 1 】

図 1 (A) は、シリコンのN型半導体基板 1 を酸化して第 1 の面と第 2 の面に、フィールド酸化膜 2 を形成する工程を示す。N型半導体基板 1 は、FZで1kオーム・cm以上の高比抵抗で、厚さ300 $\mu$ m程度のウェハが使用される。ここで形成する酸化膜の膜厚は、この後の図 1 (D) で形成する誘電体膜 5 の膜厚と図 1 (E) で形成するゲート電極 6 の膜厚の和より大きくする事が必要であり、200nm以上大きいとなお良い。本実施の形態では、誘電体膜厚は300nm、ゲート電極膜厚は350nmで形成するので、膜厚の和は650nmであるからフィールド酸化膜厚は少なくとも650nmより大きくなければならず、望ましくは850nm以上である方が後の工程で形成されるゲート電極 6 の傷を防止するために良い。ここでは880nmの熱酸化膜を形成した。

30

## 【 0 0 1 2 】

図 1 (B) は、図 1 (A) で形成した第 1 の面のフィールド酸化膜 2 に、フォトリソグラフィ工程及びエッチング工程により窓を開け、イオン注入法等でボロンをドーピングして、P+領域 3 を形成する工程を示す。図は断面図で簡略化してあるが、一つのP+領域 3 は幅2 $\mu$ mから50 $\mu$ m程度で長さ2mmから15cmの細長いストリップ状の形をしており、それが20 $\mu$ mから300 $\mu$ mピッチで数十から千本程度平行に配置されている。

40

## 【 0 0 1 3 】

図 1 (C) は、図 1 (A) で形成した第 2 の面のフィールド酸化膜 2 に、フォトリソグラフィ工程及びエッチング工程により窓を開け、イオン注入法等でリンをドーピングして、N型シリコン基板 1 より高濃度のN+領域 4 を形成する工程を示す。図は断面図で簡略化してあるが、一つのN+領域 4 は幅2 $\mu$ mから50 $\mu$ mで長さ2mmから15cmの細長

50

いストリップ状の形をしており、それが20 $\mu$ mから300 $\mu$ mピッチで数十から千本程度平行に配置されている。

【0014】

ここでストリップ状のN+領域4の長さ方向は、第1の面のストリップ状P+領域3の長さ方向とは、平行ではない。トリップ状のN+領域4の長さ方向は、第1の面のストリップ状P+領域3の長さ方向を0.5°から90°の間に設定すると良い。特に0.5°から5°の間に設定すると良い。それによってX線、 $\gamma$ 線、荷電粒子などの高エネルギーの放射線を位置検出することができる。

【0015】

図1(D)は、図1(B)及び図1(C)で形成したストリップ状のP+領域3及びストリップ状のN+領域4の表面に、誘電体膜5を形成する工程を示す。誘電体膜5は、熱酸化法により酸化膜を膜厚30nmから250nm形成し、その上に更にLPCVD法によりシリコン窒化膜を膜厚24nmから250nm堆積した後、熱酸化法でシリコン窒化膜表面を数nm程度僅かに酸化したONO膜が望ましい。尚、シリコン窒化膜厚が250nmより厚くなると、膜応力によるシリコン基板の結晶欠陥が増加するので、シリコン窒化膜厚は250nm以下が良い。またONOのシリコン窒化膜厚は、1番下の酸化膜の膜厚の80%以上にすると、同一容量の場合に破壊電界を高くできる。以上述べたONO膜の形成は、シリコン基板1の第1の面と第2の面に同時に行われる。

10

【0016】

ONO膜形成後に、フォトリソグラフィ工程及びエッチング工程がシリコン基板1の第1の面と第2の面それぞれに行われ、誘電体膜5が形成される。本発明の実施の形態では、誘電体膜5の膜厚は300nmとする。

20

図1(E)は、図1(D)で形成した誘電体膜5の上にゲート電極6を形成する工程を示す。ゲート電極5は、ポリシリコンを、LPCVD法でシリコン基板1の第1の面及び第2の面に同時に堆積した後、リン等の不純物を高濃度にドーピングした後、フォトリソグラフィ工程及びエッチング工程がシリコン基板1の第1の面と第2の面それぞれに行われて形成される。尚、ゲート電極5は、傷の防止の為に、その下の前記P+領域3またはN+領域4より小さく形成しなければならない。また、ここで堆積するポリシリコンの膜厚は、350nm程度である。なお本発明の実施の形態では、フィールド酸化膜2の膜厚が880nm、誘電体膜5の膜厚が300nmであるから、フィールド酸化膜2の膜厚は、誘電体膜5の膜厚とゲート電極6の膜厚の和650nmより200nm以上大きい。従って、ゲート電極6の上面は、フィールド酸化膜2上面より200nm以上低くなっている。従って、誘電体膜5の耐圧歩留りが良くなる。

30

【0017】

図2(A)は、フィールド酸化膜2の上に抵抗体7を形成する工程を示す。抵抗体7は、ポリシリコンを、LPCVD法でシリコン基板1の第1の面及び第2の面に同時に堆積した後、フォトリソグラフィ工程及びエッチング工程がシリコン基板1の第1の面と第2の面それぞれに行われて形成される。尚、図1(E)と図2(A)の工程は、ポリシリコンを堆積後、ゲート電極6部分と抵抗体7部分を違う濃度にドーピングした後、フォトリソグラフィ工程及びエッチング工程でゲート電極6と抵抗体7を同時に形成する方法でも良い。

40

【0018】

図2(B)は、図2(A)のシリコンのN型半導体基板1第1の面と第2の面に、層間絶縁膜8を形成する工程を示す。層間絶縁膜8は、常圧CVD法やLPCVD法で堆積される。その際片面ずつ堆積しても良いが傷の防止の観点から、第1の面と第2の面に同時に堆積する方が良い。

図2(C)は、前記ゲート電極6の上、及び前記P+領域3の端部とN+領域4の端部、及び前記抵抗体7の両端部分の層間絶縁膜8にコンタクトホール9を形成する工程を示す。

【0019】

図2(D)は、前記ゲート電極6の上の第1のアルミ配線10、及びストリップ状P+領域

50

3の端部又はストリップ状N+領域4の端部を前記抵抗体7の第1の端部に結線する第2のアルミ配線11、及びストリップ状P+領域3と結線される前記抵抗体の第2の端部を全て結線するP+領域のバイアスアルミ配線12と、ストリップ状N+領域4と結線される前記抵抗体の第2の端部を全て結線するN+領域のバイアスアルミ配線13を形成する工程を示す。

【0020】

【発明の効果】

以上に述べたように本発明によれば、ゲート電極6上面が、フィールド酸化膜2の上面より低く形成されるため、両面について行われるDSSDの製造の各工程で基板と装置のステージや搬送系との接触があった場合でも、ゲート電極6に傷が入ることが防止され、誘電体膜7の耐圧歩留まりを著しく向上させることができる。

10

【0021】

図4は、横軸に、フィールド酸化膜厚 - (誘電体膜厚 + ゲート電極膜厚) をとり、縦軸にDSSDの1チップ当たりの誘電体膜不良率をとってプロットしたものである。フィールド酸化膜厚 - (誘電体膜厚 + ゲート電極膜厚) が0nm以上の場合に不良率は低下する。特にフィールド酸化膜厚 - (誘電体膜厚 + ゲート電極膜厚) が200nm以上では、不良率が著しく低下することが判る。すなわちフィールド酸化膜の膜厚が、誘電体膜厚とゲート電極の膜厚の和より大きいと不良率が低下し、200nm以上大きいと著しく不良率が低下する。

【図面の簡単な説明】

20

【図1】本発明の実施の形態を示すダブルサイド・シリコン・ストリップ・ディテクターの工程順断面図である。

【図2】本発明の実施の形態を示すダブルサイド・シリコン・ストリップ・ディテクターの工程順断面図である。

【図3】従来技術を示すダブルサイド・シリコン・ストリップ・ディテクターの断面図である。

【図4】本発明の効果を示す、DSSD1チップ当たりの誘電体膜不良率の、フィールド酸化膜厚 - (誘電体膜厚 + ゲート電極膜厚) 依存性を示す図である。

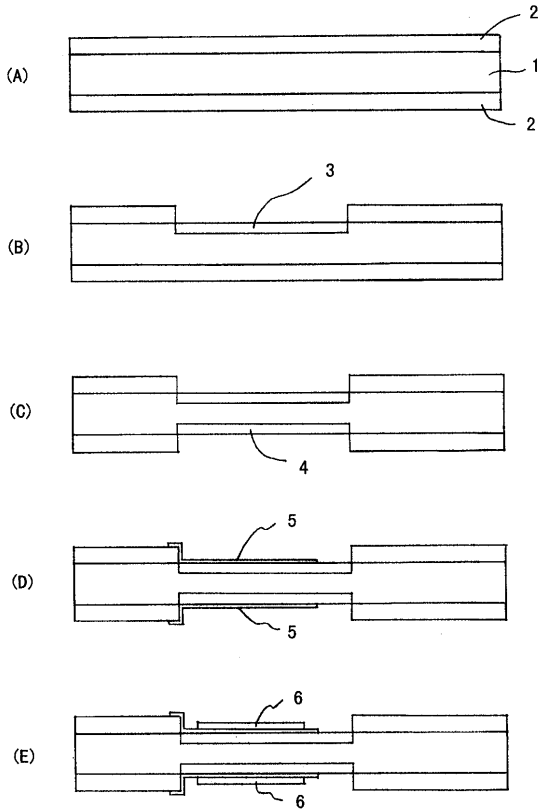
【符号の説明】

- 1 ……シリコンの第1導電型半導体基板，シリコンN型半導体基板
- 2 ……フィールド酸化膜
- 3 ……ストリップ状の第2導電型不純物領域，P+領域
- 4 ……ストリップ状の第1導電型不純物領域，N+領域
- 5 ……誘電体膜
- 6 ……ゲート電極
- 7 ……抵抗体
- 8 ……層間絶縁膜
- 9 ……コンタクトホール
- 10 ……第1のアルミ配線
- 11 ……第2のアルミ配線
- 12 ……第2導電型領域のバイアスアルミ配線，P+領域のバイアスアルミ配線
- 13 ……第1導電型領域のバイアスアルミ配線，N+領域のバイアスアルミ配線

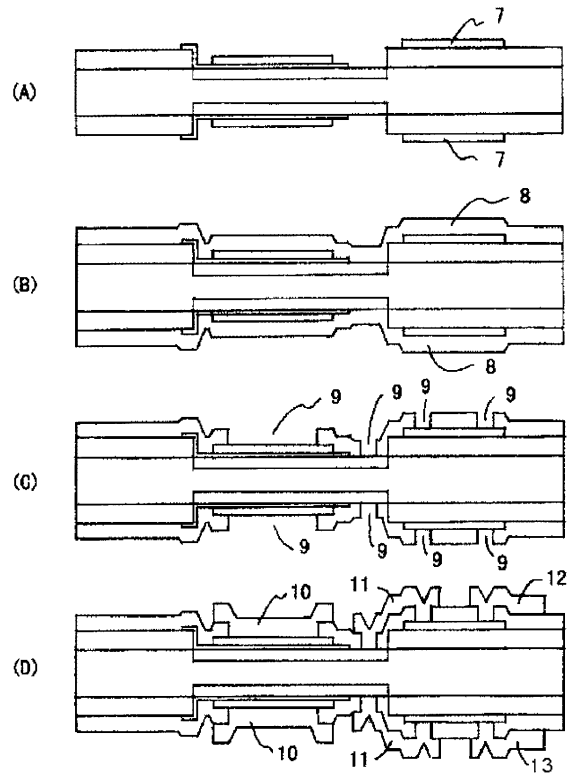
30

40

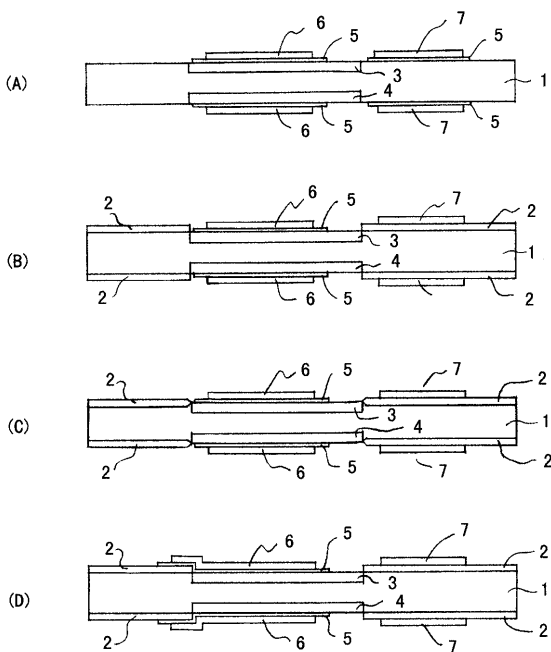
【図1】



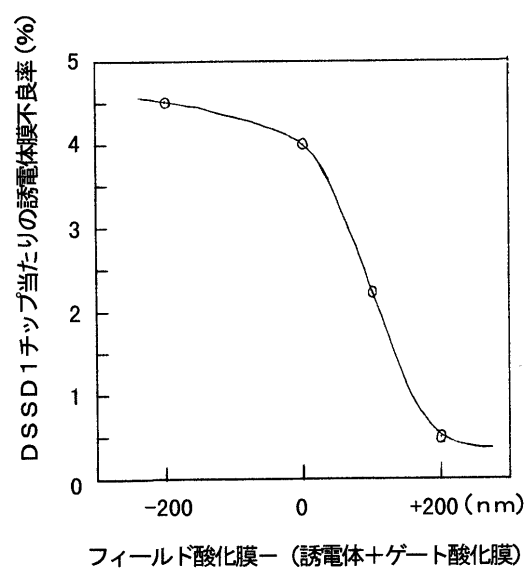
【図2】



【図3】



【図4】



---

フロントページの続き

- (56)参考文献 特開平05 - 182909 (JP, A)  
特開平03 - 001580 (JP, A)  
特開平08 - 228020 (JP, A)  
特開平06 - 013644 (JP, A)  
特開平07 - 240534 (JP, A)  
特開平09 - 277593 (JP, A)  
特開平02 - 232979 (JP, A)

(58)調査した分野(Int.Cl., DB名)

- H01L 31/00 - 31/0392、31/08 - 31/09  
H01L 31/10 - 31/119