

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7674094号
(P7674094)

(45)発行日 令和7年5月9日(2025.5.9)

(24)登録日 令和7年4月28日(2025.4.28)

(51)国際特許分類		F I	
H 0 1 L	23/12 (2006.01)	H 0 1 L	23/12 F
H 0 1 L	23/15 (2006.01)	H 0 1 L	23/14 C
H 0 1 L	25/04 (2023.01)	H 0 1 L	25/04 Z
H 0 1 L	25/18 (2023.01)	H 0 5 K	3/46 G
H 0 5 K	3/46 (2006.01)	H 0 5 K	3/46 N
請求項の数 19 外国語出願 (全20頁) 最終頁に続く			
(21)出願番号	特願2020-204088(P2020-204088)	(73)特許権者	593096712
(22)出願日	令和2年12月9日(2020.12.9)		インテル コーポレーション
(65)公開番号	特開2021-158337(P2021-158337 A)		アメリカ合衆国 9 5 0 5 4 カリフォルニア州 サンタ クララ ミッション カレッジ ブールバード 2 2 0 0
(43)公開日	令和3年10月7日(2021.10.7)	(74)代理人	100107766
審査請求日	令和5年12月6日(2023.12.6)		弁理士 伊東 忠重
(31)優先権主張番号	16/832,851	(74)代理人	100070150
(32)優先日	令和2年3月27日(2020.3.27)		弁理士 伊東 忠彦
(33)優先権主張国・地域又は機関	米国(US)	(74)代理人	100135079
			弁理士 宮崎 修
		(72)発明者	ロバート エル. サンクマン
			アメリカ合衆国 9 5 0 5 4 カリフォルニア州 サンタ クララ ミッション カレッジ ブールバード 2 2 0 0 インテル
			最終頁に続く

(54)【発明の名称】 埋設ダイ構造およびその製造方法

(57)【特許請求の範囲】

【請求項1】

半導体パッチであって、
x-y方向に延在する第1および第2の対向する主表面を有するガラスコアと、
前記第1の主表面から前記第2の主表面まで、実質的にz方向に延在する導電性ビアと、
前記導電性ビアと連通して、誘電体材料に埋設されたブリッジダイと、
前記ガラスコアを完全に覆うオーバーモールドと、
を有する、半導体パッチ。

【請求項2】

前記ガラスコアは、ソーダライムガラス、ボロシリケートガラス、アルミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス、アルカリアルミノシリケートガラス、またはこれらの混合物を有する、請求項1に記載の半導体パッチ。

【請求項3】

前記ガラスコアは、モノリシックなガラスコア、または積層ガラスコアを有する、請求項1または2に記載の半導体パッチ。

【請求項4】

前記ガラスコアの熱膨張係数は、約3から約12の範囲である、請求項1乃至3のいずれか一項に記載の半導体パッチ。

【請求項5】

前記導電性ビアは、導電性材料を有する、請求項1乃至4のいずれか一項に記載の半導体

パッチ。

【請求項 6】

半導体パッケージであって、

半導体パッチであって、

x-y方向に延在する第1および第2の対向する主表面を有するガラスコアと、

前記第1の主表面から前記第2の主表面まで、実質的にz方向に延在する導電性ビアと、

前記導電性ビアと電氣的に連通されたブリッジダイと、

前記x-y方向に延在し、前記導電性ビアと電氣的に結合された、第3および第4の対向する主表面を有する基板と、

を有する、半導体パッチ、

前記ブリッジダイと電氣的に結合された第1の電子部材、

前記ブリッジダイと電氣的に結合された第2の電子部材、ならびに

前記ガラスコアを完全に覆い、前記第1の電子部材、前記第2の電子部材、および前記ブリッジダイを少なくとも部分的に覆う、オーバーモールド

を有する、半導体パッケージ。

【請求項 7】

さらに、前記導電性ビアに結合された電源を有する、請求項6に記載の半導体パッケージ。

【請求項 8】

前記ガラスコアは、ソーダライムガラス、ボロシリケートガラス、アルミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス、アルカリアルミノシリケートガラス、またはこれらの混合物を有する、請求項6または7に記載の半導体パッケージ。

【請求項 9】

前記ガラスコアは、モノリシックなガラスコア、または積層ガラスコアを有する、請求項6乃至8のいずれか一項に記載の半導体パッケージ。

【請求項 10】

前記ガラスコアの熱膨張係数は、約3から約12の範囲である、請求項6乃至9のいずれか一項に記載の半導体パッケージ。

【請求項 11】

前記z方向で測定される前記ガラスコアの厚さは、約300 μm から約700 μm の範囲である、請求項6乃至10のいずれか一項に記載の半導体パッケージ。

【請求項 12】

前記導電性ビアは、銅を有する、請求項11に記載の半導体パッケージ。

【請求項 13】

前記導電性ビアは、多角形状のプロファイル、または実質的に円形状のプロファイルを有する、請求項6乃至12のいずれか一項に記載の半導体パッケージ。

【請求項 14】

前記導電性ビアは、前記z方向においてテーパ化されている、請求項6乃至13のいずれか一項に記載の半導体パッケージ。

【請求項 15】

前記オーバーモールドは、誘電体材料を有する、請求項6乃至14のいずれか一項に記載の半導体パッケージ。

【請求項 16】

前記誘電体材料は、有機系ビルドアップ膜、ガラス強化エポキシ、ポリテトラフルオロエチレン、コットン紙強化エポキシ、フェノールガラス、紙フェノール、ポリエステル-ガラス、エポキシモールド化合物、またはこれらの混合物を有する、請求項15に記載の半導体パッケージ。

【請求項 17】

半導体パッチを形成する方法であって、

x-y方向に延在するガラスコアをシード層に接触させるステップであって、前記シード層は、導電性材料を有する、ステップと、

前記シード層からz方向に貫通ビアを成長させるステップと、

前記ガラスコアをオーバーモールド材料で完全に覆うステップと、
を有する、方法。

【請求項18】

当該方法は、さらに、前記貫通ビアと電氣的に接触するブリッジダイを配置するステップを有する、請求項17に記載の半導体パッチを形成する方法。

【請求項19】

前記ガラスコアは、ソーダライムガラス、ボロシリケートガラス、アルミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス、アルカリアルミノシリケートガラス、またはこれらの混合物を有する、請求項17または18に記載の半導体パッチを形成する方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本願は、埋設ダイ構造およびその製造方法に関する。

【背景技術】

【0002】

通常、マイクロ電子機器は、中央処理ユニット（CPU）を有する。

20

【発明の概要】

【発明が解決しようとする課題】

【0003】

特性を高めるため、CPU製品は、次第に、横ならびの形態、または他のマルチチップモジュール（MCM）の形態で、マルチダイをCPUパッケージに集積させるようになってきている。埋設マルチダイインターコネクトブリッジ（EMIB）は、マイクロ電子パッケージ内で複数のダイを電氣的に接続する一つの方法である。

【課題を解決するための手段】

【0004】

概して、図面には、限定的ではない一例としての本発明の各種例を示す。

30

【図面の簡単な説明】

【0005】

【図1】各種実施例による、マルチチップモジュール半導体パッケージ組立体の概略図である。

【図2】各種実施例による半導体パッケージ組立体の断面図である。

【図3】各種実施例による、半導体パッケージ組立体の一部を形成する方法を示した概略図である。

【図4】各種実施例による、半導体パッケージ組立体を形成する方法を示した概略図である。

【図5】各種実施例による、半導体パッケージ組立体を形成する方法を示した概略図である。

40

【図6】各種実施例による、半導体パッケージ組立体を含み得るシステムのシステムレベル図である。

【発明を実施するための形態】

【0006】

以下、開示された主題のある例を詳細に参照する。この一例は、添付図面に部分的に示されている。開示の主題は、列挙された請求項と併せて説明されるが、例示の主題が、開示の主題に請求項を限定することを意図するものではないことが理解される。

【0007】

本願を通して、範囲の形式で示された値は、柔軟な態様で解釈される必要があり、範囲

50

の限界として明確に示された数値に加えて、各数値およびサブ範囲が明確に記載されているものとして、範囲内に網羅される全ての個々の数値、またはサブ範囲が含まれる。例えば、「約0.1%から約5%」または「約0.1%から5%」の範囲は、約0.1%から約5%を含むだけでなく、示された範囲内の個々の値（例えば、1%、2%、3%、4%）、およびサブ範囲（例えば、0.1%から0.5%、1.1%から2.2%、3.3%から4.4%）も含むものと解する必要がある。「約XからY」という記載は、特に記載がない限り、「約Xから約Y」と同じ意味を有する。同様に、「約X、Y、または約Z」という記載は、特に記載がない限り、「約X、約Y、約Z」と同じ意味を有する。

【0008】

本願において、「a」、「an」、または「the」と言う用語の使用は、文脈が別のことを明確に規定しない限り、1または2以上を含む。「or」という用語は、特に記載がない限り、非排他的な「or」を表すために使用される。文言「AおよびBの少なくとも一つ」または「AまたはBの少なくとも一つ」は、「A、B、またはAおよびB」と同じ意味を有する。また、本願で使用され、他に定義のない表現または用語は、説明のみを目的とし、限定のためではないことが理解される。任意のセクションの見出しの使用は、資料の読解を支援することを目的としており、限定的なものと解してはならない。セクションの見出しに関する情報は、特定のセクションの中、または外で生じ得る。

【0009】

本願に記載の方法では、一時的なまたは操作上の順番が明確に記載されている場合を除き、本発明の原理から逸脱せずに、任意の順番で動作を実施できる。また、別個に実施されることが明確に記載されていない限り、特定の動作は、同時に実施され得る。例えば、Xを行うことが規定された動作と、Yを行うことが規定された動作は、単一の操作において、同時に実施することができ、得られるプロセスは、規定された方法の文言の範囲内に属する。

【0010】

本願で使用される「約」という用語には、例えば、記載値または記載された範囲限界の10%以内、5%以内、または1%以内の値または範囲の変動の度合いが許容されるとともに、正確な記載値または範囲が含まれる。本願に使用の「実質的に」という用語は、少なくとも約50%、60%、70%、80%、90%、95%、96%、97%、98%、99%、99.5%、99.9%、99.99%、または少なくとも約99.999%以上、または100%のような、主要部または大部分を表す。本願に使用の「実質的に含まない」という用語は、全く含まないこと、または存在する材料の量が、その材料を含む組成物の材料特性に影響を及ぼさないような、僅かな量を含むこと、例えば、組成物の約0wt%から約5wt%がその材料であり、または約0wt%から約1wt%、または約5wt%、またはそれ未満、またはそれ以下、あるいは約4.5wt%、4、3.5、3、2.5、2、1.5、1、0.9、0.8、0.7、0.6、0.5、0.4、0.3、0.2、0.1、0.01、または約0.001wt%以下、または約0wt%であることを意味する。

【0011】

図1には、マルチチップモジュール半導体パッケージ組立体1の概略図を示す。組立体1は、複数のダイ（例えば、ダイ14、16）を有し、これらは、以下の1または2以上の例に示すように、ブリッジ領域29に配置されたブリッジを用いて、相互に接合され電氣的に接続される。図2には、パッケージ組立体におけるブリッジ領域にわたって結合されたブリッジの一例を示す。

【0012】

図2は、ブリッジを用いた半導体パッケージの断面図である。ある例では、パッケージ10は、ブリッジ（例えばブリッジダイ）28に接続された基板12から形成され、これは、機能表面ダイ14、16用の通信経路として機能する。半導体ダイから形成されたブリッジが示されているが、これに限られるものではないが、有機ブリッジを含む別のブリッジ配置も、本発明の範囲に属する。図には示されていないが、基板12およびダイ14、16は、カバーに覆われ得る。また、カバーの上部には、冷却フィンのような冷却対策が取り付けられ得る。特定の例に依存して示されるような、伝導性プレート、集積熱スプレッド、液体

10

20

30

40

50

冷却、ヒートパイプ、または放射フィンのような、各種異なる冷却対策が使用されてもよい。あるいは、冷却対策がなく、カバーもない装置が製作されてもよい。

【0013】

パッケージ10は、インターポーザ90に結合され、これは、はんだボール92、または他のコネクタ構造により、基板12に接続される。インターポーザ90は、複数のパッケージ10に接続することができる。さらに、インターポーザ90を使用して、パッケージビア70を介して接続することにより、基板12に電力を提供できる。図2の例では、素子90は、インターポーザであるが、本発明は、これに限定されない。インターポーザの代わりに、他の基板または回路基盤レベルが使用されてもよい。

【0014】

装置基板12は、表面ダイ14と16の間の通信用の、内部高密度相互接続経路を有し得る。基板12は、半導体材料（例えば、シリコン、ガリウム、インジウム、ゲルマニウム、またはこれらの変形もしくは組み合わせ）の埋設部材と、1または2以上の絶縁層とを有してもよく、例えば、有機系ビルドアップ膜、FR4のようなガラス強化エポキシ、ポリテトラフルオロエチレン（Teflon）、コットン紙強化エポキシ（CEM-3）、フェノールガラス（G3）、紙フェノール（FR-1またはFR-2）、ポリエステル-ガラス（CEM-5）、または印刷回路基盤（PCB）に使用され得る任意の他の誘電体層である。基板12は、埋設ダイビルドアップ層プロセス、または他の技術を用いて形成され得る。埋設ダイビルドアップ層プロセスは、高密度相互接続素子、またはブリッジ28、またはダイ14、16のような、素子の周囲に形成された1または2以上のビルドアップ層を有する。レーザ孔開け法のような微細ビア形成プロセスでは、ビルドアップ層とダイボンパッドの間の接続を形成することができる。ビルドアップ層は、高密度集積パターン化技術を用いて形成されてもよい。

【0015】

パッケージ10は、さらに、コア72を有し得る。コア72は、パッケージ10の各種部材の熱膨張係数のミスマッチを低減するように機能できる。コア72は、さらに、パッケージ10の強化を支援できる。コア72は、多くの好適な材料または材料の混合物を含み得る。例えば、コア72は、ソーダライムガラス、ボロシリケートガラス、アルミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス、アルカリアルミノシリケートガラス、またはこれらの混合物のような、ガラスを含み得る。ガラスは、モノリシックガラス、または複数の層を含むガラス積層体であり得る。コア72の厚さは、約250 μm から約2mmの範囲、約400 μm から約500 μm の範囲、または約300 μm 、350 μm 、400 μm 、450 μm 、500 μm 、550 μm 、600 μm 、650 μm 、700 μm 、800 μm 、900 μm 、1mm、1.2mm、1.3mm、1.4mm、1.5mm、1.6mm、1.7mm、1.8mm、1.9mm、もしくは約2mm未満、もしくは以上であり得る。貫通コアビア70は、コア72を介してz方向に延在し得る。コア72は、基板12とインターポーザ90の間の熱膨張係数のミスマッチの低減を助長し得る。これは、パッケージ10に認められる反りの度合いを抑制することを支援できる。コア72の熱膨張係数は、約3から約12、約5から約8の範囲であり、約3、4、5、6、7、8、9、10、11、もしくは約12未満、もしくは以上であり得る。オーバーモールド材料80は、少なくとも部分的にコア72を覆う。ある例では、オーバーモールド材料80は、コア72を完全に覆う。一例では、オーバーモールド80は、コア72を超えて延在し、この場合、コア72を切断する必要がなくなり、部材がそれを介して延在できる。

【0016】

ダイまたは電子部材14、16は、多くの種類のダイまたは電子部材であり得る。例えば、ダイまたは電子部材14、16は、マルチダイ部材パッケージ、シリコンダイ、レジスタ、キャパシタ、またはインダクタの一部であり得る。ある例では、ダイ14または16は、中央処理ユニット、フラッシュメモリ、無線チャージャ、電力管理集積回路（PMIC）、Wi-Fiトランスミッタ、グローバル位置情報システム、アプリケーション専用集積回路、またはNANDメモリスタックであり得る。別の例では、ダイ14または16は、メモリダイであり、ダイ16は、中央処理ユニット（CPU）ダイであり得る。別の例では、ダイ14と16

10

20

30

40

50

の両方がメモリダイまたはCPUダイであり得る。ダイ14、16は、C4バンプ24およびビア26を介して、電源またはバスに結合される。C4バンプは、一例として使用されており、他の接続構造も本発明の範囲に属する。単一のビア26に結合された各ダイ14、14に対して、一つのC4バンプ24のみが示されているが、多くのビア26を介して結合された各ダイ14、16に対して、多くの接続点が存在し、ダイが装置および外部回路と接続されてもよい。全体のパッケージ10は、印刷回路基盤（PCB）に直接接続され、または別のPCBのような、ある別の装置に取り付けられたソケットに結合されてもよい。ある例では、インターポーザ90は、印刷回路基盤（PCB）に直接接続され、または別のPCBのような、ある別の装置に取り付けられたソケットに結合されてもよい。

【0017】

ダイ14、16は、高密度相互接続パッドを有し、例えば、電源、アース、または他の電気結合に使用され得る。高密度相互接続パッドは、例えば、高密度相互接続素子26を介して、電源、アース、またはデータバスのようなバスと電氣的に結合され得る。また、高密度相互接続パッドは、例えば、導電性接着剤（図示されていない）を介して、導電性パッドと電氣的に結合され得る。導電性接着剤は、はんだ（例えば、はんだペースト）、電気めっき、またはフリップ装置相互接続（例えば、制御された破壊装置接続（C4）相互接続）用に構成されたマイクロボールのような、マイクロボールであり得る。

【0018】

図に示すように、ブリッジダイ28は、基板12のキャビティ内に埋設される。ブリッジダイ28は、相互接続ブリッジとしても知られている。ある例では、ブリッジダイ28は、シリコンで構成され、シリカまたは窒化ケイ素の表面を有する。ブリッジダイ28は、バンプ30を介してCPUダイ16およびメモリダイ14に接続される。

【0019】

前述のように、ダイ14、16は、いくつかの種類のダイを有し得る。以下の記載では、一例として、ダイ16をCPUダイと称し、ダイ14をメモリ14と称する。ある例では、図2に示すように、CPUダイ16は、メモリ14に最近接の第1の相互接続領域101を有し、この領域は、埋設されたブリッジダイ28を介してメモリ14と接続される。CPU16は、第2の相互接続領域102を有し、この領域は、給電、および外部データの入出力のため、外部ビア100と接続される。第2の相互接続領域は、電力相互接続領域と、データ相互接続領域とに分割されてもよい。ある別の例では、ブリッジダイ28は、複数のブリッジダイ28の一つであり得る。これらのある例では、ブリッジダイ28は、ダイ14または16の一つに直接結合されてもよい。

【0020】

ブリッジダイ28は、ブリッジダイ28の上部表面の少なくとも一部、または上部表面に、電子バンプ30を有する。導電性パッドは、銅、金、銀、アルミニウム、亜鉛、ニッケル、黄銅、青銅、および鉄等のような、導電性金属を有し得る。

【0021】

基板12およびコア72は、貫通ビルドアップビア70および貫通コアビア100を有する。ビルドアップビア70および貫通コアビア100は、コア72から基板12を貫通して、z方向に延在する。ビルドアップビア70および貫通コアビア100は、銅のような、任意の電子伝導性材料を有し得る。ビルドアップビア70および貫通コアビア100は、実質的に円形または多角形状のプロファイルを有するように形状化され得る。実質的に円形のプロファイルの例には、円形または楕円形のプロファイルが含まれ得る。多角形状のプロファイルの例には、実質的に四角形状、五角形状、六角形状、七角形状のプロファイル、または任意の他のより多角の形状のプロファイルが含まれ得る。ビルドアップビア70および貫通コアビア100は、実質的に一定の断面形状を有し、または、ビルドアップビア70および貫通コアビア100がテーパ化または湾曲プロファイルを有するように、変化してもよい。

【0022】

基板12を貫通して延在する結果、貫通ビア70は、1:1以外のアスペクト比を有する。

【0023】

10

20

30

40

50

ある例では、ブリッジダイ28および基板12の上に、誘電体層50が形成され得る。誘電体層50により、ブリッジの配置および埋設の際の寸法の変化が可能となり、相互接続領域の全てが電氣的に絶縁される。誘電体層50は、ビスフェノールA、エポキシ樹脂、ビスフェノールFエポキシ樹脂、ノボラックエポキシ樹脂、脂肪族エポキシ樹脂、グリシジルアミンエポキシ樹脂、およびグリシジルアミンエポキシ樹脂のようなエポキシ系樹脂、または1もしくは2以上の終端エポキシ基を有する任意の他の樹脂から形成され得る。ある例では、誘電体層50は、約5 μm から約50 μm 、もしくは約15 μm から45 μm 、もしくは20 μm から35 μm 、もしくは約30 μm 、または約15 μm 、20 μm 、25 μm 、30 μm 、35 μm 、40 μm 、もしくは45 μm 未満、もしくは以上の厚さを有する、一つの層を有する。

【0024】

誘電体層50の表面およびブリッジダイ28の表面は、界面52で接合される。本願に記載のように、誘電体層50は、エポキシ系樹脂から形成することができ、ブリッジダイ28は、シリコンから形成することができ、シリカ表面を有する。従って、界面52は、2つの異なる材料から形成され得る。誘電体層50とブリッジダイ28を接着するため、界面52には、密着性促進層が設置され得る。界面は、密着性促進層を有し、これは、有機基および3つの水酸基に結合されたシリコン原子を含む、複数のシラン系密着性促進層分子から形成され得る。

【0025】

本発明のある例では、誘電体層50は、複数の材料の層から形成され得る。例えば、誘電体層50は、エポキシ樹脂のベース層、または前述のような他の誘電体層から形成され、さらに、ベース層に結合されたエポキシ系樹脂の第2の層を含み得る。エポキシ系樹脂の第2の層は、約1 μm から約5 μm 、もしくは約2 μm から約4 μm の範囲、または約1.2 μm 、1.4 μm 、1.6 μm 、1.8 μm 、2.0 μm 、2.2 μm 、2.4 μm 、2.6 μm 、2.8 μm 、3.0 μm 、3.2 μm 、3.4 μm 、3.6 μm 、3.8 μm 、4 μm 、4.2 μm 、4.4 μm 、4.6 μm 、もしくは4.8 μm 未満、もしくは以上の厚さを有し得る。ある例では、誘電体層50をブリッジダイ28に積層する前に、密着性促進分子がエポキシ系樹脂の第2の層に接合され得る。この方法では、エポキシ系樹脂の第2の層は、誘電体層50とブリッジダイ28の間の密着のためのプライマ層として機能する。

【0026】

半導体パッケージ10は、任意の好適な方法により形成され得る。好適な方法の一例では、コア層72は、キャリア上にガラスを設置することにより、形成され得る。レーザエッチング法により、コア層72に複数の孔が形成され得る。貫通コアビア72は、孔内に成長し得る。別の例では、基板上に、スパッタされた銅層のシード層が設置され得る。シード層の上にガラスユニットが配置され、孔内に貫通ビアが成長し得る。コア層72が形成された後、コア層72の周囲の少なくとも一部に、オーバーモールドが配置され得る。

【0027】

貫通コアビア100は、孔内に所望の長さで垂直に成長し得る。コア72から延在する貫通コアビア100の一部は、誘電体材料に覆われ、これが平坦化され、貫通コアビア100の上部が露出され得る。従来の半付加プロセス(SAP)を用いて、ビルドアップビア70および再分配層が形成され、そこにはんだボール92が成長され得る。誘電体材料の一部は、エッチング除去され、エッチング部分にブリッジダイ28が配置され得る。その後、ダイ14、16は、はんだボール24、30に取り付けられ得る。

【0028】

次に、組立体は、少なくとも一部がオーバーモールド材料80に覆われ、熱スプレッドのような追加の素子がモールドに取り付けられ得る。

【0029】

図3には、パッケージ10の前駆体9の製造方法の一例が示されている。図3には、方法300の各種動作を示す。各動作は、形成された組立体の上面図および側面図を示している。動作301に示すように、一時的なリリース層303がガラスキャリア302に積層される。動作304では、本開示の一例の方法ではスパッタされたTiCuを含む、伝導性シード層305が

10

20

30

40

50

成膜され、シード層305の上に接着層306が配置される。動作307では、図示されていない方法で別個に形成されたガラスユニット308が、接着剤の上に設置される。ガラスユニット308に孔開け加工を行うことにより、開口が形成され得る。動作309では、例えば、プラズマエッチングにより、孔開けされた開口から接着層306が除去され、例えば、電気めっき、無電解めっき、または別の好適な方法により、シード層305からビア310が形成され得る。動作311では、オーバーモールド312が設置、研磨され、さらなるビルドアップのためビア310が露出される。動作311において得られる構造は、図2に示すような、パッケージ10に対する前駆体9の一例である。

【0030】

図4に示すように、方法400により、前駆体9からパッケージ10までが、最終半導体パッケージ10に形成され得る。動作401では、方法300から形成されるパッケージ10の前駆体9が提供される。動作402では、再分配層（RDL）プロセスを介して、各種伝導層および誘電体層が形成され、埋設されたブリッジダイ28を有する基板405が形成される。動作403では、ダイ複合体404が取り付けられる。ダイ複合体404は、ブリッジダイ28と連通される個々のダイを含み、または別のダイの間をブリッジする複数のダイを有し得る。動作403に示すように、ダイ複合体の一例は、メインダイ404Bに結合された3つの小さなダイ404Aを有する。3つの小さなダイ404Aおよび一つのメインダイ404Bが示されているが、本発明は、これに限定されるものではない。別の例は、より多くのまたは少ない数のダイの組み合わせを有してもよい。動作406では、ダイ複合体404の上部が研磨され、小さなダイ404Aの上部が露出される。動作407では、前駆体からパッケージ10までガラスキャリア302および一時的リリース層303が除去される。動作408では、シード層305が除去され、またはパターン化され部分的に除去され、ビア308が分離される。パッド形成用のリソグラフィプロセスを用いて、ビア310にMLIパッドが形成され、その後、はんだボール411のマイクロボールバンプ形成が行われる。動作409では、はんだボール411により、ビア310にインターポーザ410が取り付けられる。図4の例では、素子410はインターポーザであるが、本発明はこれに限定されるものではない。インターポーザの代わりに、他の基板または回路基盤レベルが用いられてもよい。

【0031】

図5には、図2に示したパッケージ10と同様の半導体パッケージを形成する、別の方法500を示す。図5において、動作501は、方法300における動作301と同様の、積層ガラスキャリア505を提供するステップを有する。動作502では、ガラス504に取り囲まれたビア532を有する1または2以上のガラスユニット503が、キャリア505上に配置される。動作506では、ガラスユニット503にオーバーモールド508が設置され、前駆体511が形成される。動作510では、動作400が実施され、再分配層プロセスを介して、各種伝導層および誘電体層が形成され、埋設されたブリッジダイ28を有する基板512が形成される。動作514では、ダイ複合体516が取り付けられる。図4の例と同様、ダイ複合体516は、ブリッジダイ28と連通された個々のダイ（516Aおよび516B）を有し、または複数のダイを有し得る。動作520では、ダイ複合体516の上部が研磨され、ダイ複合体516の上部が露出される。動作522では、前駆体511からパッケージ10まで、ガラスキャリア302および一時的リリース層303が除去される。動作524では、シード層が除去され、またはパターン化され部分的に除去され、ビア532が分離される。パッド形成用のリソグラフィプロセスを用いて、ビア532にMLIパッドが形成され、その後、はんだボール528のマイクロボールバンプ形成が行われる。動作526では、はんだボール528により、ビア532にインターポーザ530が取り付けられる。

【0032】

半導体パッケージ10は、多くの異なる電子装置に導入することができる。図2に示すように、ブリッジ、または他のEMIB技術が、パッケージ10に導入されてもよい。別の例では、ブリッジまたは他のEMIB技術は、図1に示すようなマルチチップモジュールに導入されてもよい。図6には、前述の例のように、1または2以上のブリッジを有する1または2以上のパッケージが組み込まれた、本発明の一例による、システムレベル図を示す。例えば

10

20

30

40

50

、図6には、ICパッケージ組立体600を有する電子装置（例えばシステム）の例が示されている。図6は、本発明の主題の高レベルの装置適用の例を示すために含まれている。ある例では、システム600は、これに限られるものではないが、デスクトップコンピュータ、ラップトップコンピュータ、ネットブック、タブレット、ノートブックコンピュータ、パーソナルデジタルアシスタント（PDA）、サーバ、ワークステーション、携帯電話、モバイル計算装置、スマートフォン、インターネット機器、または任意の他の種類の計算装置を有する。ある例では、システム600は、システムオンチップ（SOC）のシステムである。

【0033】

ある例では、プロセッサ610は、1または2以上の処理コア612および612Nを有し、612Nは、プロセッサ610内のN番目のプロセッサコアを表す。ここで、Nは、正の整数である。ある例では、システム600は、610および605を含む、複数のプロセッサを有する。プロセッサ605は、プロセッサ610のロジックと同様の、または等しいロジックを有する。ある例では、処理コア612は、これに限られるものではないが、指令をフェッチするためのプレフェッチロジック、指令をデコードするデコードロジック、指令を実行する実行ロジック等を有する。ある例では、プロセッサ610は、システム600のデータおよび／または指令を格納する、キャッシュメモリ616を有する。キャッシュメモリ616は、キャッシュメモリの1または2以上のレベルを含む階層構造に編成されてもよい。

【0034】

ある例では、プロセッサ610は、メモリ制御器614を有し、これは、プロセッサ610が、揮発性メモリ632および／または不揮発性メモリ634を含むメモリ630にアクセスし、通信できる機能を実行するように動作可能である。ある例では、プロセッサ610は、メモリ630およびチップセット620に結合される。また、プロセッサ610は、無線アンテナ678に結合され、無線信号を送信および／または受信するように構成された任意の装置と通信してもよい。ある例では、無線アンテナ678は、これに限られるものではないが、IEEE 802.11標準および関連ファミリー、ホームプラグAV（HPAV）、ウルトラワイドバンド（UWB）、ブルーツース（登録商標）、WiMax、または任意の形態の無線通信プロトコルに準拠して作動する。

【0035】

ある例では、揮発性メモリ632は、これに限られるものではないが、同期ダイナミックランダムアクセスメモリ（SDRAM）、ダイナミックランダムアクセスメモリ（DRAM）、RAMBUSダイナミックランダムアクセスメモリ（RDRAM）、および／または任意の他のタイプのランダムアクセスメモリ装置を含む。不揮発性メモリ634は、これに限られるものではないが、フラッシュメモリ、相変化メモリ（PCM）、読み取り専用メモリ（ROM）、電氣的に消去可能なプログラム化読み取り専用メモリ（EEPROM）、または他の任意のタイプの不揮発性メモリ装置を含む。

【0036】

メモリ630は、プロセッサ610により実行される情報および指令を保管する。また、ある例では、プロセッサ600が指令を実行する間、メモリ630は、一時的な変数または他の中間情報を保管してもよい。示された例では、チップセット620は、ポイントツーポイント（PtPまたはP-P）インターフェース617、622を介して、プロセッサ610と接続される。チップセット620は、プロセッサ610をシステム600の他の素子と接続することができる。本発明のある例では、インターフェース617、622は、インテル（登録商標）クイックパスインターコネクト（QPI）等のような、PtP通信プロトコルに従って動作する。別の例では、異なる相互接続が使用されてもよい。

【0037】

ある例では、チップセット620は、プロセッサ610、605N、表示装置640、および他の装置672、676、674、660、662、664、666、677などと通信可能に動作する。また、チップセット620は、無線アンテナ678に結合され、無線信号を送信および／または受信するように構成された任意の装置と通信してもよい。

10

20

30

40

50

【0038】

チップセット620は、インターフェース626を介して、表示装置640と接続される。表示装置640は、例えば、液晶ディスプレイ（LCD）、プラズマディスプレイ、陰極線管（CRT）ディスプレイ、またはビジュアル表示装置の他の任意の形態であってもよい。本発明のある例では、プロセッサ610およびチップセット620は、単一のSOCに合併される。また、チップセット620は、各種素子674、660、662、664、666と相互接続される、1または2以上のバス650、655と接続される。バス650および655は、バスブリッジ672を介して、相互に相互接続されてもよい。ある例では、チップセット620は、インターフェース624および／または626、スマートTV676、コンシューマ電子機器677などを介して、不揮発性メモリ660、大容量記憶装置662、キーボード／マウス664、ならびにネットワークインターフェース666と結合される。

10

【0039】

ある例では、大容量記憶装置662は、これに限られるものではないが、半導体ドライブ、ハードディスクドライブ、ユニバーサルシリアルバスフラッシュメモリドライブ、または任意の他の形態のコンピュータデータ記憶媒体を有する。ある例では、ネットワークインターフェース666は、任意の種類の良く知られたネットワークインターフェース標準により実施され、これに限られるものではないが、イーサネットインターフェース、ユニバーサルシリアルバス（USB）インターフェース、周辺部材インターコネクト（PCI）エクスプレスインターフェース、無線インターフェース、および／または任意の他の好適な種類のインターフェースを含む。ある例では、無線インターフェースは、これに限られるものではないが、IEEE802.11標準およびその関連ファミリー、ホームプラグAV（HPAV）、ウルトラワイドバンド（UWB）、ブルーツース（登録商標）、WiMax、または任意の形態の無線通信プロトコルに準拠して作動する。

20

【0040】

図6に示したモジュールは、システム内の別個のブロックとして描かれているが、これらのブロックの一部により実施される機能は、単一の半導体回路内に集積されてもよく、あるいは2または3以上の別個の集積回路を用いて実施されてもよい。例えば、キャッシュメモリ616は、プロセッサ610内の別個のブロックとして描かれているが、キャッシュメモリ616（またはキャッシュメモリ616の選択された態様）は、処理コア612に組み込まれてもよい。

30

【0041】

実施例

以下に、例示的な実施例が提供される。番号は、重要性のレベルを表すものと解してはならない。

【0042】

実施例1では、

半導体パッチであって、

x-y方向に延在する第1および第2の対向する主表面を有するガラスコアと、

前記第1の主表面から前記第2の主表面まで、実質的にz方向に延在する導電性ビアと、

前記導電性ビアと連通して、誘電体材料に埋設されたブリッジダイと、

前記ガラスコアを少なくとも部分的に覆うオーバーモールドと、

を有する、半導体パッチが提供される。

40

【0043】

実施例2では、前記ガラスコアは、ソーダライムガラス、ボロシリケートガラス、アルミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス、アルカリアルミノシリケートガラス、またはこれらの混合物を有する、実施例1の半導体パッチが提供される。

【0044】

実施例3では、前記ガラスコアは、モノリシックなガラスコア、または積層ガラスコアを有する、実施例1または2の半導体パッチが提供される。

50

【0045】

実施例4では、前記ガラスコアの熱膨張係数は、約3から約12の範囲である、実施例1乃至3のいずれか一つに記載の半導体パッチが提供される。

【0046】

実施例5では、前記z方向で測定される前記ガラスコアの厚さは、約300 μm から約700 μm の範囲である、実施例1乃至4のいずれか一つに記載の半導体パッチが提供される。

【0047】

実施例6では、前記貫通ビアは、前記第1の主表面、前記第2の主表面、または両方を超えて延在する、実施例1乃至5のいずれか一つに記載の半導体パッチが提供される。

【0048】

実施例7では、前記貫通ビアは、実質的に前記オーバーモールドと同一平面にある、実施例1乃至6のいずれか一つに記載の半導体パッチが提供される。

【0049】

実施例8では、前記第1の主表面、前記第2の主表面、または両方は、実質的に平坦である、実施例1乃至7のいずれか一つに記載の半導体パッチが提供される。

【0050】

実施例9では、前記貫通ビアは、導電性材料を有する、実施例1乃至8のいずれか一つに記載の半導体パッチが提供される。

【0051】

実施例10では、前記導電性材料は銅を有する、実施例9に記載の半導体パッチが提供される。

【0052】

実施例11では、前記貫通ビアは、多角形状のプロファイル、または実質的に円形のプロファイルを有する、実施例1乃至10のいずれか一つに記載の半導体パッチが提供される。

【0053】

実施例12では、前記実質的に円形のプロファイルは、実質的に円、または実質的に楕円である、実施例11に記載の半導体パッチが提供される。

【0054】

実施例13では、前記多角形状のプロファイルは、実質的に四面体、実質的に五角形、実質的に六角形、または実質的に七角形である、実施例11に記載の半導体パッチが提供される。

【0055】

実施例14では、前記貫通ビアは、前記z方向にテーパ化されている、実施例1乃至13のいずれか一つに記載の半導体パッチが提供される。

【0056】

実施例15では、前記貫通ビアは、前記z方向において、一定の断面形状を有する、実施例1乃至14のいずれか一つに記載の半導体パッチが提供される。

【0057】

実施例16では、さらに、前記貫通ビアに取り付けられたはんだボールを有する、実施例1乃至15のいずれか一つに記載の半導体パッチが提供される。

【0058】

実施例17では、前記貫通ビアは、第1の貫通ビアであり、当該半導体パッチは、さらに、第2の貫通ビアを有する、実施例1乃至16のいずれか一つに記載の半導体パッチが提供される。

【0059】

実施例18では、前記オーバーモールドは、前記ガラスコアを完全に覆う、実施例1乃至17のいずれか一つに記載の半導体パッチが提供される。

【0060】

実施例19では、前記オーバーモールドは、誘電体材料を有する、実施例1乃至18のいずれか一つに記載の半導体パッチが提供される。

10

20

30

40

50

【0061】

実施例20では、前記誘電体材料は、有機系ビルドアップ膜、ガラス強化エポキシ、ポリテトラフルオロエチレン、コットン紙強化エポキシ、フェノールガラス、紙フェノール、ポリエステル-ガラス、エポキシモールド化合物、またはこれらの混合物を有する、実施例19に記載の半導体パッチが提供される。

【0062】

実施例21では、さらに、前記誘電体材料に埋設され、前記貫通ビアと電氣的に連通されたブリッジダイを有する、実施例19または20に記載の半導体パッチが提供される。

【0063】

実施例22では、

半導体パッケージであって、

半導体パッチであって、

x-y方向に延在する第1および第2の対向する主表面を有するガラスコアと、

前記第1の主表面から前記第2の主表面まで、実質的にz方向に延在する導電性ビアと、

前記導電性ビアと電氣的に連通されたブリッジダイと、

前記x-y方向に延在し、前記貫通ビアと電氣的に結合された、第3および第4の対向する主表面を有する基板と、

を有する、半導体パッチ、

前記ブリッジダイと電氣的に結合された第1の電子部材、

前記ブリッジダイと電氣的に結合された第2の電子部材、ならびに

前記ガラスコア、前記第1の電子部材、前記第2の電子部材、および前記ブリッジダイを少なくとも部分的に覆う、オーバーモールド

を有する、半導体パッケージが提供される。

【0064】

実施例23では、さらに、前記貫通ビアに結合された電源を有する、実施例22に記載の半導体パッケージが提供される。

【0065】

実施例24では、前記ガラスコアは、ソーダライムガラス、ボロシリケートガラス、アルミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス、アルカリアルミノシリケートガラス、またはこれらの混合物を有する、実施例22または23に記載の半導体パッケージが提供される。

【0066】

実施例25では、前記ガラスコアは、モノリシックなガラスコア、または積層ガラスコアを有する、実施例22乃至24のいずれか一つに記載の半導体パッケージが提供される。

【0067】

実施例26では、前記ガラスコアの熱膨張係数は、約3から約12の範囲である、実施例22乃至25のいずれか一つに記載の半導体パッケージが提供される。

【0068】

実施例27では、前記z方向で測定される前記ガラスコアの厚さは、約300 μm から約700 μm の範囲である、実施例22乃至26のいずれか一つに記載の半導体パッケージが提供される。

【0069】

実施例28では、前記貫通ビアは、前記第1の主表面、前記第2の主表面、または両方を超えて延在する、実施例22乃至27のいずれか一つに記載の半導体パッケージが提供される。

【0070】

実施例29では、前記第1の主表面、前記第2の主表面、または両方は、実質的に平坦である、実施例22乃至28のいずれか一つに記載の半導体パッケージが提供される。

【0071】

実施例30では、前記貫通ビアは、導電性材料を有する、実施例22乃至29のいずれか一

10

20

30

40

50

つに記載の半導体パッケージが提供される。

【0072】

実施例31では、前記導電性材料は、銅を有する、実施例30に記載の半導体パッケージが提供される。

【0073】

実施例32では、前記貫通ビアは、多角形状のプロファイル、または実質的に円形状のプロファイルを有する、実施例22乃至31のいずれか一つに記載の半導体パッケージが提供される。

【0074】

実施例33では、前記実質的に円形のプロファイルは、実質的に円または楕円である、実施例32に記載の半導体パッケージが提供される。

【0075】

実施例34では、前記多角形のプロファイルは、実質的に四面体、実質的に五角形、実質的に六角形、または実質的に七角形である、実施例32に記載の半導体パッケージが提供される。

【0076】

実施例35では、前記貫通ビアは、前記z方向においてテーパ化されている、実施例22乃至35のいずれか一つに記載の半導体パッケージが提供される。

【0077】

実施例36では、前記貫通ビアは、前記z方向において、実質的に一定の断面形状を有する、実施例22乃至35のいずれか一つに記載の半導体パッケージが提供される。

【0078】

実施例37では、さらに、前記貫通ビアに取り付けられたはんだボールを有する、実施例22乃至36のいずれか一つに記載の半導体パッケージが提供される。

【0079】

実施例38では、前記貫通ビアは、第1の貫通ビアであり、前記半導体パッチは、さらに、第2の貫通ビアを有する、実施例22乃至37のいずれか一つに記載の半導体パッケージが提供される。

【0080】

実施例39では、前記オーバーモールドは、前記ガラスコアを完全に覆う、実施例22乃至38のいずれか一つに記載の半導体パッケージが提供される。

【0081】

実施例40では、前記オーバーモールドは、誘電体材料を有する、実施例22乃至39のいずれか一つに記載の半導体パッケージが提供される。

【0082】

実施例41では、前記誘電体材料は、有機系ビルドアップ膜、ガラス強化エポキシ、ポリテトラフルオロエチレン、コットン紙強化エポキシ、フェノールガラス、紙フェノール、ポリエステル-ガラス、エポキシモールド化合物、またはこれらの混合物を有する、実施例44に記載の半導体パッケージが提供される。

【0083】

実施例42では、前記基板は、有機系ビルドアップ膜を有する、実施例22乃至41のいずれか一つに記載の半導体パッケージが提供される。

【0084】

実施例43では、前記第1および第2の電子部材は、独立に、マルチダイ部材パッケージ、シリコンダイ、レジスタ、キャパシタ、またはインダクタを有する、実施例22乃至42のいずれか一つに記載の半導体パッケージが提供される。

【0085】

実施例44では、前記マルチダイ部材パッケージは、NANDメモリストックである、実施例43に記載の半導体パッケージが提供される。

【0086】

10

20

30

40

50

実施例45では、前記シリコンダイは、中央処理ユニット、フラッシュメモリ、無線チャージャ、電力管理集積回路（PMIC）、Wi-Fiトランスミッタ、グローバル位置情報システム、アプリケーション専用集積回路、またはNANDメモリスタックを有する、実施例43または44に記載の半導体パッケージが提供される。

【0087】

実施例46では、前記基板の厚さは、前記x-y方向において、実質的に等しい、実施例22乃至45のいずれか一つに記載の半導体パッケージが提供される。

【0088】

実施例47では、前記埋設されたダイの厚さは、前記x-y方向において、実質的に等しい、実施例22乃至46のいずれか一つに記載の半導体パッケージが提供される。

【0089】

実施例48では、
半導体パッチを形成する方法であって、
x-y方向に延在するガラスコアをシード層に接触させるステップであって、前記シード層は、導電性材料を有する、ステップと、
前記シード層からz方向に貫通ビアを成長させるステップと、
前記ガラスコアをオーバーモールド材料で少なくとも部分的に覆うステップと、
を有する、方法が提供される。

【0090】

実施例49では、当該方法は、さらに、前記貫通ビアと電氣的に接触するブリッジダイを配置するステップを有する、実施例48に記載の半導体パッチを形成する方法が提供される。

【0091】

実施例50では、前記ガラスコアは、ソーダライムガラス、ボロシリケートガラス、アルミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス、アルカリアルミノシリケートガラス、またはこれらの混合物を有する、実施例48または49に記載の半導体パッチを形成する方法が提供される。

【0092】

実施例51では、前記ガラスコアは、モノリシックなガラスコアまたは積層ガラスコアを有する、実施例48乃至50のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0093】

実施例52では、前記ガラスコアの熱膨張係数（CTE）は、約3から約12の範囲である、実施例52乃至51のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0094】

実施例53では、前記z方向で測定される前記ガラスコアの厚さは、約300から約700 μ mの範囲である、実施例52に記載の半導体パッチを形成する方法が提供される。

【0095】

実施例54では、前記貫通ビアは、前記第1の主表面、前記第2の主表面、または両方を超えて延在する、実施例48乃至53のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0096】

実施例55では、前記貫通ビアは、前記オーバーモールドと実質的に同一平面にある、実施例48乃至54のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0097】

実施例56では、前記第1の主表面、前記第2の主表面、または両方は、実質的に平坦である、実施例48乃至55のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0098】

実施例57では、前記貫通ビアは、導電性材料を有する、実施例48乃至56のいずれか一

10

20

30

40

50

つに記載の半導体パッチを形成する方法が提供される。

【0099】

実施例58では、前記導電性材料は、銅を有する、実施例57に記載の半導体パッチを形成する方法が提供される。

【0100】

実施例59では、前記貫通ビアは、多角形状のプロファイル、または実質的に円形のプロファイルを有する、実施例48乃至58のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0101】

実施例60では、前記実質的に円形のプロファイルは、実質的に円、または実質的に楕円である、実施例59に記載の半導体パッチを形成する方法が提供される。

10

【0102】

実施例61では、前記多角形状のプロファイルは、実質的に四面体、実質的に五角形、実質的に六角形、または実質的に七角形である、実施例59に記載の半導体パッチを形成する方法が提供される。

【0103】

実施例62では、前記貫通ビアは、前記z方向にテーパ化されている、実施例48乃至61のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0104】

実施例63では、前記貫通ビアは、前記z方向において、実質的に一定の断面形状を有する、実施例48乃至62のいずれか一つに記載の半導体パッチを形成する方法が提供される。

20

【0105】

実施例64では、さらに、前記貫通ビアに取り付けられた貫通ビアを有する、実施例48乃至63のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0106】

実施例65では、前記貫通ビアは、第1の貫通ビアであり、前記半導体パッチは、さらに、第2の貫通ビアを有する、実施例48乃至64のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0107】

実施例66では、前記オーバーモールドは、前記ガラスコアを覆う、実施例48乃至65のいずれか一つに記載の半導体パッチを形成する方法が提供される。

30

【0108】

実施例67では、前記オーバーモールドは、誘電体材料を有する、実施例48乃至66のいずれか一つに記載の半導体パッチを形成する方法が提供される。

【0109】

実施例68では、前記誘電体材料は、有機系ビルドアップ膜、ガラス強化エポキシ、ポリテトラフルオロエチレン、コットン紙強化エポキシ、フェノールガラス、紙フェノール、ポリエステル-ガラス、エポキシモールド化合物、またはこれらの混合物を有する、実施例67に記載の半導体パッチを形成する方法が提供される。

【0110】

実施例69では、さらに、前記誘電体材料にブリッジダイを埋設し、前記貫通ビアと電氣的に連通させるステップを有する、実施例67または68に記載の半導体パッチを形成する方法が提供される。

40

【0111】

実施例70では、当該方法は、

x-y方向に延在する実質的に平坦な対向する主表面を有する基板から、z方向に延在する複数の貫通ビアを成長させるステップと、

前記基板を半導体パッチに接触させるステップであって、前記半導体パッチは、x-y方向に延在する第1および第2の対向する主表面を有するガラスコア、および前記第1の主表面から前記第2の主表面まで、実質的にz方向に延在する導電性ビアを有する、ステップと、

50

第1および第2の電子部材を前記ブリッジダイに接触させるステップと、
オーバーモールドで前記半導体パッケージの少なくとも一部を覆うステップと、
を有する、実施例48乃至69のいずれか一つに記載の半導体パッケージを形成する方法
が提供される。

【0112】

実施例71では、さらに、前記貫通ビアに結合された電源を有する、実施例70に記載の
半導体パッケージを形成する方法が提供される。

【0113】

実施例72では、前記ガラスコアは、ソーダライムガラス、ボロシリケートガラス、アル
ミノシリケートガラス、アルカリボロシリケートガラス、アルミノボロシリケートガラス
、アルカリアルミノシリケートガラス、またはこれらの混合物を含む、実施例70または7
1に記載の半導体パッケージを形成する方法が提供される。

10

【0114】

実施例73では、前記ガラスコアは、モノリシックなガラスコア、または積層ガラスコア
を有する、実施例70乃至72のいずれか一つに記載の半導体パッケージを形成する方法が
提供される。

【0115】

実施例74では、前記ガラスコアの熱膨張係数（CTE）は、約3から約12の範囲である、
実施例76乃至79のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【0116】

実施例75では、前記z方向において測定される前記ガラスコアの厚さは、約300から約7
00 μm の範囲である、実施例76乃至81のいずれか一つに記載の半導体パッケージを形成
する方法が提供される。

20

【0117】

実施例76では、前記貫通ビアは、前記第1の主表面、前記第2の主表面、またはその両
方を超えて延在する、実施例70乃至75のいずれか一つに記載の半導体パッケージを形成
する方法が提供される。

【0118】

実施例77では、前記貫通ビアは、前記オーバーモールドと実質的に同一にある、実施例
70乃至76のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

30

【0119】

実施例78では、前記第1の主表面、前記第2の主表面、またはその両方は、実質的に平
坦である、実施例70乃至77のいずれか一つに記載の半導体パッケージを形成する方法が
提供される。

【0120】

実施例79では、前記貫通ビアは、導電性材料を有する、実施例70乃至78のいずれか一
つに記載の半導体パッケージを形成する方法が提供される。

【0121】

実施例80では、前記導電性材料は、銅を含む、実施例79に記載の半導体パッケージを
形成する方法が提供される。

40

【0122】

実施例81では、前記貫通ビアは、多角形状プロファイルまたは実質的に円形のプロファ
イルを有する、実施例70乃至80のいずれか一つに記載の半導体パッケージを形成する方
法が提供される。

【0123】

実施例82では、前記実質的に円形のプロファイルは、実質的に円または実質的に楕円で
ある、実施例81に記載の半導体パッケージを形成する方法が提供される。

【0124】

実施例83では、前記多角形状プロファイルは、実質的に四面体、実質的に五角形、実質
的に六角形、または実質的に七角形である、実施例81に記載の半導体パッケージを形成す

50

る方法が提供される。

【0125】

実施例84では、前記貫通ビアは、前記z方向にテーパ化されている、実施例70乃至83のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【0126】

実施例85では、前記貫通ビアは、前記z方向において実質的に一定の断面形状を有する、実施例70乃至84のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【0127】

実施例86では、さらに、前記貫通ビアに取り付けられた貫通ビアを有する、実施例70乃至85のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

10

【0128】

実施例87では、前記貫通ビアは、第1の貫通ビアであり、前記半導体パッチは、さらに、第2の貫通ビアを有する、実施例70乃至86のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【0129】

実施例88では、前記オーバーモールドは、前記ガラスコアを完全に覆う、実施例70乃至88のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【0130】

実施例89では、前記オーバーモールドは、誘電体材料を有する、実施例70乃至88のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

20

【0131】

実施例90では、前記誘電体材料は、有機系ビルドアップ膜、ガラス強化エポキシ、ポリテトラフルオロエチレン、コットン紙強化エポキシ、フェノールガラス、紙フェノール、ポリエステル-ガラス、エポキシモールド化合物、またはこれらの混合物を有する、実施例89に記載の半導体パッケージを形成する方法が提供される。

【0132】

実施例91では、前記基板は、シリコン内に設置された導電層を有する、実施例70乃至90のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【0133】

実施例92では、前記第1および第2の電子部材は、独立に、マルチダイ部材パッケージ、シリコンダイ、レジスタ、キャパシタ、またはインダクタを有する、実施例70乃至91のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

30

【0134】

実施例93では、前記マルチダイ部材パッケージは、NANDメモリストックである、実施例92に記載の半導体パッケージを形成する方法が提供される。

【0135】

実施例94では、前記シリコンダイは、中央処理ユニット、フラッシュメモリ、無線チャージャ、電力管理集積回路(PMIC)、Wi-Fiトランスミッタ、グローバル位置情報システム、アプリケーション専用集積回路、またはNANDメモリストックを有する、実施例92乃至93のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

40

【0136】

実施例95では、前記x-y方向において、前記基板の厚さは、実質的に一定である、実施例70乃至94のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【0137】

実施例96では、前記x-y方向において、前記埋設されたダイの厚さは、実質的に一定である、実施例70乃至95のいずれか一つに記載の半導体パッケージを形成する方法が提供される。

【符号の説明】

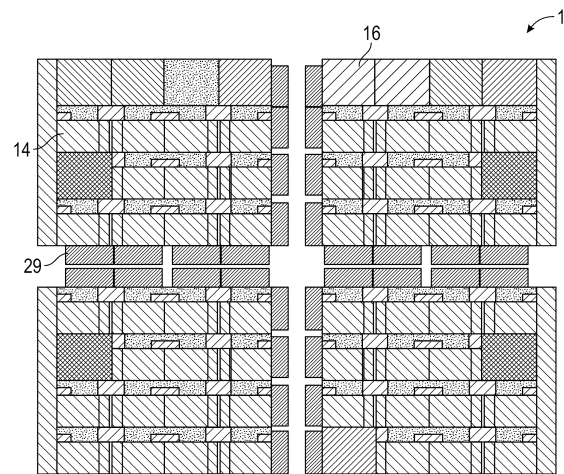
【0138】

50

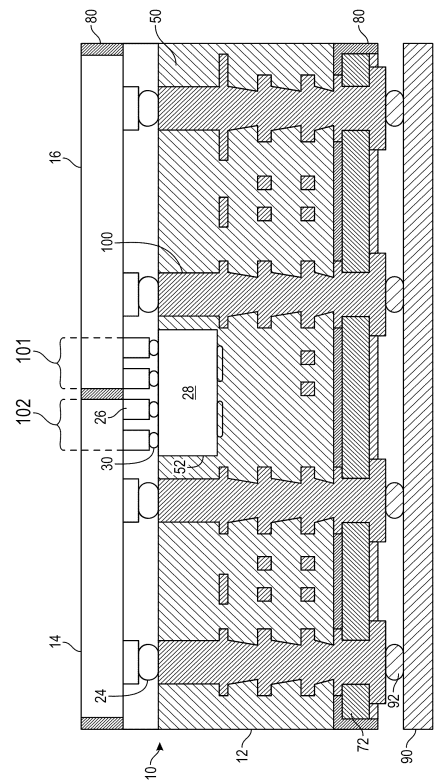
- 10 パッケージ
- 12 基板
- 14 ダイ
- 16 ダイ
- 50 誘電体層
- 52 界面
- 72 コア
- 80 オーバーモールド材料
- 90 インターポーザ
- 100 貫通コアビア
- 101 第1の相互接続領域
- 102 第2の相互接続領域

【図面】

【図 1】



【図 2】



10

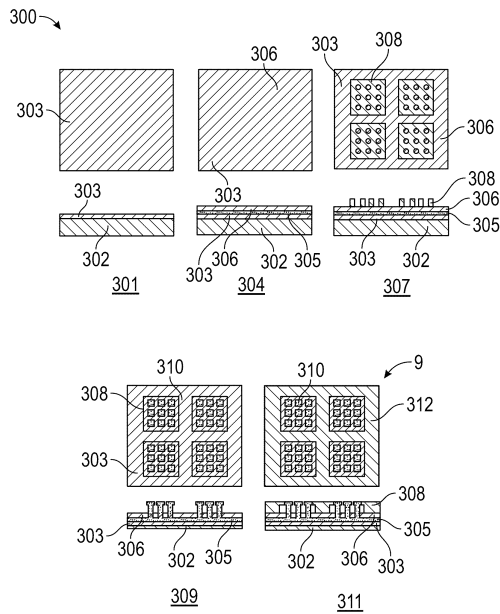
20

30

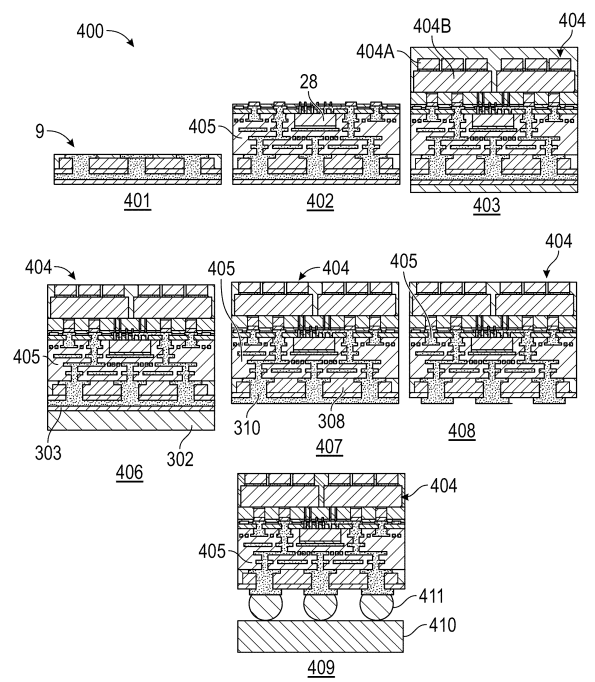
40

50

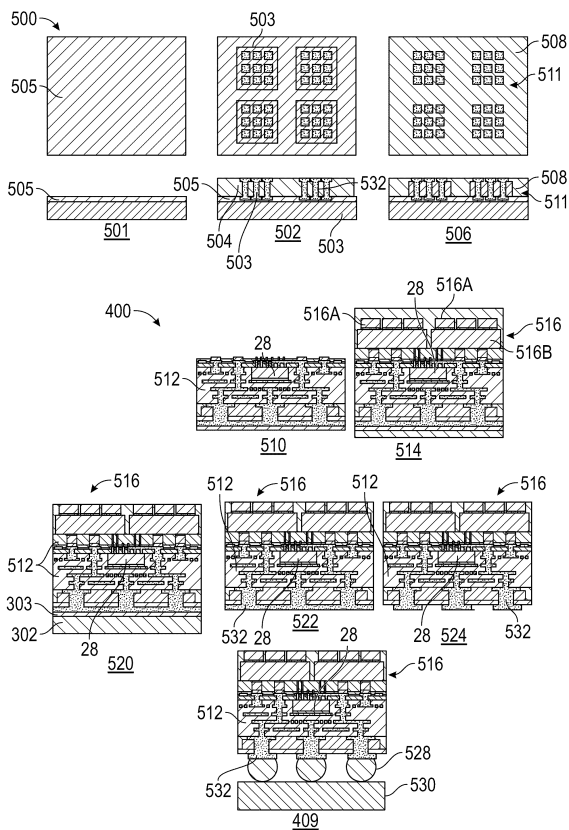
【図 3】



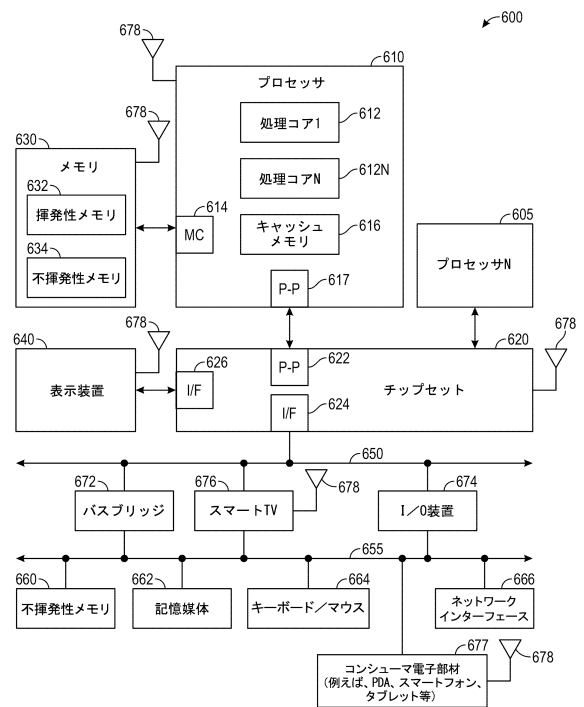
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)国際特許分類

F I
H 0 5 K 3/46 Q
H 0 5 K 3/46 T

- コーポレーション 内
- (72)発明者 ラフル エヌ. マネパリ
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州 サンタ クララ ミッション カレッジ ブールバー
 ド 2 2 0 0 インテル コーポレーション 内
- (72)発明者 ロバート アラン メイ
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州 サンタ クララ ミッション カレッジ ブールバー
 ド 2 2 0 0 インテル コーポレーション 内
- (72)発明者 スリニヴァス ヴェンカタ ラマヌジャ ピエタンバラム
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州 サンタ クララ ミッション カレッジ ブールバー
 ド 2 2 0 0 インテル コーポレーション 内
- (72)発明者 バラット ピー. ペンメチャ
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州 サンタ クララ ミッション カレッジ ブールバー
 ド 2 2 0 0 インテル コーポレーション 内

審査官 清水 稔

- (56)参考文献 米国特許出願公開第 2 0 1 8 / 0 0 4 0 5 4 8 (US, A 1)
 国際公開第 2 0 1 7 / 1 1 1 9 5 7 (WO, A 1)
 特開 2 0 1 7 - 0 7 3 5 3 4 (JP, A)
 特表 2 0 1 9 - 5 2 3 5 6 3 (JP, A)

- (58)調査した分野 (Int.Cl., DB名)
- H 0 1 L 2 3 / 1 2
H 0 1 L 2 3 / 1 5
H 0 1 L 2 5 / 0 4
H 0 5 K 3 / 4 6