



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년10월07일

(11) 등록번호 10-1447934

(24) 등록일자 2014년09월30일

(51) 국제특허분류(Int. Cl.)

H01L 21/20 (2006.01)

(21) 출원번호 10-2008-0026127

(22) 출원일자 2008년03월21일

심사청구일자 2013년03월14일

(65) 공개번호 10-2008-0095748

(43) 공개일자 2008년10월29일

(30) 우선권주장

JP-P-2007-00115993 2007년04월25일 일본(JP)

(56) 선행기술조사문헌

JP08255762 A\*

JP2000036583 A\*

JP2006324530 A\*

JP2007073878 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가  
이샤 한도오따이에네루기 켄큐쇼 나이

오누마 히데토

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가  
이샤 한도오따이에네루기 켄큐쇼 나이

(74) 대리인

이화의

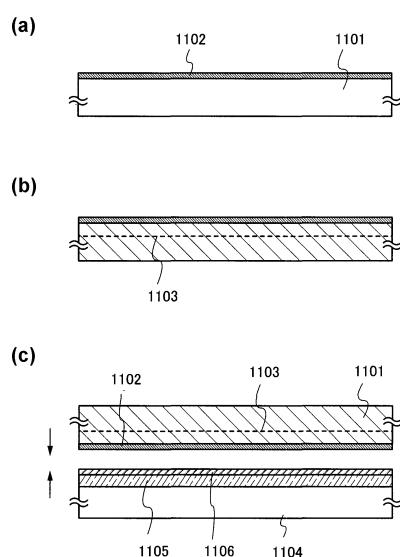
전체 청구항 수 : 총 17 항

심사관 : 강병섭

(54) 발명의 명칭 반도체 장치의 제조방법

**(57) 요약**

접합시에 고온의 열처리를 행하는 일없이, 밀착성이 좋은 SOI 기판을 제조하는 방법을 제안한다. 또한, SOI 기판을 이용한 반도체 장치 및 그 제조방법을 제공한다. 내부에 취화층이 형성되고, 또 표면에 제 1의 절연막이 형성된 단결정 실리콘 기판으로 구성되는 제 1의 기판을 준비하고, 제 2의 기판 표면에 제 2의 절연막을 형성하며, 제 1의 절연막 또는 상기 제 2의 절연막의 적어도 한편의 표면을 플라즈마 분위기 혹은 이온 분위기에 노출해 제 1의 절연막 또는 제 2의 절연막의 표면을 활성화하고, 제 1의 기판과 제 2의 기판을, 제 1의 절연막 및 제 2의 절연막을 개입시켜 접합시키며, 제 1의 기판의 취화층의 계면에 있어서, 단결정 실리콘막을 분리하고, 제 2의 기판상에 제 1의 절연막 및 제 2의 절연막을 개입시켜 박막의 단결정 실리콘막을 형성한다.

**대 표 도** - 도1

## 특허청구의 범위

### 청구항 1

단결정 반도체를 포함하는 제 1의 기판 위에 제 1의 절연막을 형성하는 스텝과,  
 상기 제 1의 기판의 내부에 수소를 도입해서 축화층을 형성하는 스텝과,  
 제 2의 기판 위에 제 2의 절연막과 제 3의 절연막의 순서로 형성하는 스텝과,  
 상기 제 1의 기판의 표면 및 상기 제 2의 기판의 표면 중 적어도 하나의 표면을 활성화하는 스텝과,  
 상기 활성화 후에 상기 제 1의 기판 위의 상기 제 1의 절연막과, 상기 제 2의 기판 위의 상기 제 3의 절연막을 접착시키는 스텝과,  
 상기 제 1의 기판의 상기 축화층의 계면에 있어서 단결정 반도체막을 상기 제 1의 기판으로부터 분리하여, 상기 제 2의 기판 위에 상기 단결정 반도체막을 형성하는 스텝을 포함하고,  
 상기 제 1의 절연막의 재료는 상기 제 3의 절연막과 동일하고,  
 상기 활성화 스텝은, 20eV 이상 200eV 미만의 에너지를 가지는 이온 분위기 중에 노출하는 것에 의해 실행되는, 반도체 장치의 제조방법.

### 청구항 2

단결정 반도체를 포함하는 제 1의 기판 위에 제 1의 절연막을 형성하는 스텝과,  
 상기 제 1의 기판의 내부에 수소를 도입해서 축화층을 형성하는 스텝과,  
 제 2의 기판 위에 제 2의 절연막을 형성하는 스텝과,  
 상기 제 1의 기판의 표면 및 상기 제 2의 기판의 표면 중 적어도 하나의 표면을 활성화하는 스텝과,  
 상기 활성화 후에 상기 제 1의 기판 위의 상기 제 1의 절연막과, 상기 제 2의 기판 위의 상기 제 2의 절연막을 접착시키는 스텝과,  
 상기 제 1의 기판의 상기 축화층의 계면에 있어서 단결정 반도체막을 상기 제 1의 기판으로부터 분리하여, 상기 제 2의 기판 위에 상기 단결정 반도체막을 형성하는 스텝을 포함하고,  
 상기 제 1의 절연막의 재료는 상기 제 2의 절연막과 동일하고,  
 상기 활성화 스텝은, 20eV 이상 200eV 미만의 에너지를 가지는 이온 분위기 중에 노출하는 것에 의해 실행되는, 반도체 장치의 제조방법.

### 청구항 3

단결정 반도체를 포함하는 제 1의 기판 위에 제 1의 절연막을 형성하는 스텝과,  
 상기 제 1의 기판의 내부에  $H_3^+$  이온을 포함한 이온들을 도입해서 축화층을 형성하는 스텝과,  
 제 2의 기판 위에 제 2의 절연막과 제 3의 절연막의 순서로 형성하는 스텝과,  
 상기 제 1의 기판의 표면 및 상기 제 2의 기판의 표면 중 적어도 하나의 표면을 활성화하는 스텝과,  
 상기 활성화 후에 상기 제 1의 기판 위의 상기 제 1의 절연막과, 상기 제 2의 기판 위의 상기 제 3의 절연막을 접착시키는 스텝과,  
 상기 제 1의 기판의 상기 축화층의 계면에 있어서 단결정 반도체막을 상기 제 1의 기판으로부터 분리하여, 상기 제 2의 기판 위에 상기 단결정 반도체막을 형성하는 스텝을 포함하고,  
 상기 제 1의 절연막의 재료는 상기 제 3의 절연막과 동일하고,  
 상기 이온은  $H^+$  이온 및  $H_2^+$  이온을 포함하고,

상기  $H^+$ ,  $H_2^+$ , 및  $H_3^+$  이온의 총량에서의 상기  $H_3^+$  이온의 백분율은, 80%이상인, 반도체 장치의 제조방법.

#### 청구항 4

단결정 반도체를 포함하는 제 1의 기판 위에 제 1의 절연막을 형성하는 스텝과,

상기 제 1의 기판의 내부에  $H_3^+$  이온을 포함한 이온들을 도입해서 취화층을 형성하는 스텝과,

제 2의 기판 위에 제 2의 절연막을 형성하는 스텝과,

상기 제 1의 기판의 표면 및 상기 제 2의 기판의 표면 중 적어도 하나의 표면을 활성화하는 스텝과,

상기 활성화 후에 상기 제 1의 기판 위의 상기 제 1의 절연막과, 상기 제 2의 기판 위의 상기 제 2의 절연막을 접착시키는 스텝과,

상기 제 1의 기판의 상기 취화층의 계면에 있어서 단결정 반도체막을 상기 제 1의 기판으로부터 분리하여, 상기 제 2의 기판 위에 상기 단결정 반도체막을 형성하는 스텝을 포함하고,

상기 제 1의 절연막의 재료는 상기 제 2의 절연막과 동일하고,

상기 이온은  $H^+$  이온 및  $H_2^+$  이온을 포함하고,

상기  $H^+$ ,  $H_2^+$ , 및  $H_3^+$  이온의 총량에서의 상기  $H_3^+$  이온의 백분율은, 80%이상인, 반도체 장치의 제조방법.

#### 청구항 5

단결정 반도체를 포함하는 제 1의 기판 위에 제 1의 절연막을 형성하는 스텝과,

상기 제 1의 기판의 내부에  $H_2^+$  이온을 포함한 이온들을 도입해서 취화층을 형성하는 스텝과,

제 2의 기판 위에 제 2의 절연막과 제 3의 절연막의 순서로 형성하는 스텝과,

상기 제 1의 기판의 표면 및 상기 제 2의 기판의 표면 중 적어도 하나의 표면을 활성화하는 스텝과,

상기 활성화 후에 상기 제 1의 기판 위의 상기 제 1의 절연막과, 상기 제 2의 기판 위의 상기 제 3의 절연막을 접착시키는 스텝과,

상기 제 1의 기판의 상기 취화층의 계면에 있어서 단결정 반도체막을 상기 제 1의 기판으로부터 분리하여, 상기 제 2의 기판 위에 상기 단결정 반도체막을 형성하는 스텝을 포함하고,

상기 제 1의 절연막의 재료는 상기 제 3의 절연막과 동일하고,

상기 이온은  $H^+$  이온 및  $H_3^+$  이온을 포함하고,

상기  $H^+$ ,  $H_2^+$ , 및  $H_3^+$  이온의 총량에서의 상기  $H_2^+$  이온의 백분율은, 56%이상인, 반도체 장치의 제조방법.

#### 청구항 6

단결정 반도체를 포함하는 제 1의 기판 위에 제 1의 절연막을 형성하는 스텝과,

상기 제 1의 기판의 내부에  $H_2^+$  이온을 포함한 이온들을 도입해서 취화층을 형성하는 스텝과,

제 2의 기판 위에 제 2의 절연막을 형성하는 스텝과,

상기 제 1의 기판의 표면 및 상기 제 2의 기판의 표면 중 적어도 하나의 표면을 활성화하는 스텝과,

상기 활성화 후에 상기 제 1의 기판 위의 상기 제 1의 절연막과, 상기 제 2의 기판 위의 상기 제 2의 절연막을 접착시키는 스텝과,

상기 제 1의 기판의 상기 취화층의 계면에 있어서 단결정 반도체막을 상기 제 1의 기판으로부터 분리하여, 상기

제 2의 기판 위에 상기 단결정 반도체막을 형성하는 스텝을 포함하고,

상기 제 1의 절연막의 재료는 상기 제 2의 절연막과 동일하고,

상기 이온은  $H^+$  이온 및  $H_3^+$  이온을 포함하고,

상기  $H^+$ ,  $H_2^+$ , 및  $H_3^+$  이온의 총량에서의 상기  $H_2^+$  이온의 백분율은, 56%이상인, 반도체 장치의 제조방법.

### 청구항 7

제 1 항, 제 3 항 또는 제 5 항 중 어느 한 항에 있어서,

상기 제 1의 절연막과 상기 제 3의 절연막 각각은 질소를 함유하는 산화 실리콘을 포함하고, 상기 제 2의 절연막은 산소를 함유하는 질화 실리콘을 포함하는, 반도체 장치의 제조방법.

### 청구항 8

제 2 항, 제 4 항 또는 제 6 항 중 어느 한 항에 있어서,

상기 제 1의 절연막과 상기 제 2의 절연막 각각은 질소를 함유하는 산화 실리콘을 포함하는, 반도체 장치의 제조방법.

### 청구항 9

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 2의 기판은 유리, 플라스틱, 합성수지, 석영 및 세라믹으로부터 선택된 재료를 포함하는, 반도체 장치의 제조방법.

### 청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 수소를  $1 \times 10^{16} \text{ ions/cm}^2 \sim 1 \times 10^{17} \text{ ions/cm}^2$  의 도우즈량으로 첨가하는, 반도체 장치의 제조방법.

### 청구항 11

삭제

### 청구항 12

삭제

### 청구항 13

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 활성화 스텝에서, 상기 제 1의 기판의 표면 및 상기 제 2의 기판의 표면을 모두 활성화하는, 반도체 장치의 제조방법.

### 청구항 14

제 3 항 내지 제 6 항 중 어느 한 항에 있어서,

플라즈마 분위기에 노출, 또는 이온 분위기에 노출, 또는 진공에서 아르곤 이온 빔으로 조사, 또는 진공에서 전자빔으로 조사함으로써, 상기 활성화 스텝을 실행하는, 반도체 장치의 제조방법.

### 청구항 15

제 14 항에 있어서,

상기 플라즈마 분위기에 노출할 때에 사용하는 가스는, 산소, 질소, 수소, 할로겐 가스, 희가스 및 이들 가스의 혼합 가스로부터 선택되는, 반도체 장치의 제조방법.

### 청구항 16

제 14 항에 있어서,

상기 이온 분위기는 20eV이상 200eV미만의 에너지를 갖는, 반도체 장치의 제조방법.

### 청구항 17

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1의 절연막은, CVD법, 저압 CVD법 또는 스퍼터링법에 의해 형성되는, 반도체 장치의 제조방법.

### 청구항 18

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 2의 절연막은, CVD법, 저압 CVD법 또는 스퍼터링법에 의해 형성되는, 반도체 장치의 제조방법.

### 청구항 19

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 단결정 반도체막 위에 게이트 절연막을 형성하는 스텝과,

상기 게이트 절연막 위에 게이트 전극을 형성하는 스텝과,

상기 게이트 전극을 마스크로서 사용하여 불순물원소를 상기 단결정 반도체막에 도입하는 스텝과,

상기 게이트 전극 위에 층간절연막을 형성하는 스텝과,

상기 단결정 반도체막에 도달하도록 상기 층간절연막에 콘택트 홀을 형성하는 스텝과,

상기 콘택트 홀을 통해 상기 단결정 반도체막에 전기적으로 접속되도록 상기 층간절연막 위에 도전막을 형성하는 스텝을 포함하는, 반도체 장치의 제조방법.

### 청구항 20

삭제

### 청구항 21

삭제

### 청구항 22

삭제

### 청구항 23

삭제

### 청구항 24

삭제

## 명세서

### 발명의 상세한 설명

### 기술분야

[0001] 본 발명은, SOI 기판의 제조방법, SOI 기판을 이용한 반도체 장치 및 그 제조방법에 관한 것이다. 덧붙여, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능을 할 수 있는 장치 전반을 나타낸다.

## 배경기술

- [0002] 절연 표면상에 단결정 실리콘막을 형성하는 SOI(Silicon On Insulator) 기판을 이용해 제조된 접적회로는, 별크 실리콘 기판을 이용해 제조된 접적회로에서는 얻을 수 없는 우위점을 갖기 때문에, SOI 기술에 관해서 여러 가지 연구가 이루어지고 있다.
- [0003] SOI 기술로서 예를 들면, 단결정 실리콘 기판 중에 산소를 이온 주입해 매립 산화층을 형성하는 SIMOX(Separation by Implanted Oxygen) 기술이나, 2매의 실리콘 기판을 실리콘 산화막을 개입시켜 접착시키는 접착 SOI 기술, 다공질 실리콘층의 선택성 에칭을 이용한 ELTRAN(등록상표) 기술 등이 보고되어 있다.
- [0004] 그 중에서, 접착 SOI 기술은, 양호한 결정성의 SOI층을 실리콘 기판 이외의 기판(예를 들면, 석영 기판, 세라믹스 기판 등) 위에도 간편하게 형성할 수 있기 때문에 주목받고 있다. 그렇지만, 접착 SOI 기판을 제조하는데 있어서, SOI층의 오염에 의한 품질 열화나 기판의 휘어짐 등이 생겨 디바이스 특성에 악영향을 미친다고 하는 문제가 있었다.
- [0005] 그래서, 그러한 문제를 해결하기 위해, 2매의 웨이퍼를 직접 접합함으로써 SOI 기판을 제조하는 기술이 제안되고 있다(예를 들면, 특허문현 1). 특허문현 1에는, 활성층이 되는 단결정층 상에 실리콘 산화층, 질화 규소층, 다결정 실리콘층을 순차 적층한 기판과, 별도로 준비한 지지기판을 용액에 의해 세정해 각 기판 표면을 활성화하고, 2매의 웨이퍼를 직접 접합해, 열 처리해서 접착시킨 후, 활성층이 되는 단결정 실리콘막을 연삭 연마함으로써 SOI 기판을 제조할 방법이 개시되어 있다.

[0006] [특허문현 1] 일본국 공개특허공보 특개 2004-320050호

## 발명의 내용

### 해결 하고자하는 과제

- [0007] 그렇지만, 종래의 방법에서는, 2매의 기판을 접합할 때에 800°C~1100°C의 고온의 열 처리를 행할 필요가 있고, 지지 기판으로서 실리콘 기판 등의 고내열성 기판을 이용하지 않으면 안 되어, 제조 비용이 증대한다고 하는 문제가 있다. 또, 종래의 방법에서는, 단결정 실리콘막을 연삭 연마해 박막의 단결정 실리콘막을 제조하기 위해, 막 두께의 제어나 막 두께의 균일성의 제어가 곤란이라고 하는 문제가 있다.
- [0008] 본원 발명은, 이러한 과제를 해결하기 위한 기술이며, 접합 시에 고온의 열처리를 행하는 일 없이, 밀착성이 좋은 SOI 기판을 제조하는 방법을 제안한다. 또, SOI 기판을 이용한 반도체 장치 및 그 제조방법을 제안하는 것을 목적으로 한다.

### 과제 해결手段

- [0009] 본 발명의 하나는, 내부에 취화(脆化)층이 형성되고, 또 표면에 제 1의 절연막이 형성된 단결정 실리콘 기판으로 구성되는 제 1의 기판을 준비하고, 제 2의 기판표면에 제 2의 절연막을 형성하며, 제 1의 절연막 또는 제 2의 절연막의 적어도 한쪽의 표면을 플라즈마 분위기 혹은 이온 분위기에 노출해 제 1의 절연막 또는 제 2의 절연막의 표면을 활성화하고, 제 1의 기판과 제 2의 기판을, 제 1의 절연막 및 제 2의 절연막을 거쳐서 접착시키며, 제 1의 기판의 취화층의 계면에 있어서, 단결정 실리콘막을 분리하여, 제 2의 기판상에 제 1의 절연막 및 제 2의 절연막을 거쳐서 박막의 단결정 실리콘막을 형성함으로서 제조할 수 있는 SOI 기판이다. 또한, 제 1의 절연막 또는 제 2의 절연막은 반드시 설치할 필요는 없다.
- [0010] 본 발명의 하나는, 내부에 취화층이 형성되고, 또 표면에 제 1의 절연막이 형성된 단결정 실리콘 기판으로 구성되는 제 1의 기판을 준비하고, 제 2의 기판표면에 제 2의 절연막을 형성하며, 제 1의 절연막 또는 제 2의 절연막의 적어도 한쪽의 표면을 플라즈마 분위기 혹은 이온 분위기에 노출해 제 1의 절연막 또는 제 2의 절연막의 표면을 활성화하고, 제 1의 기판과 제 2의 기판을, 제 1의 절연막 및 제 2의 절연막을 거쳐서 접착시키며, 제 1의 기판의 취화층의 계면에 있어서, 단결정 실리콘막을 분리하여, 제 2의 기판상에 제 1의 절연막 및 제 2의 절연막을 거쳐서 박막의 단결정 실리콘막을 형성하고, 박막의 단결정 실리콘막상에 제 3의 절연막을 형성하고, 제 3의 절연막상에 게이트 전극을 형성하며, 게이트 전극을 마스크로서 박막의 단결정 실리콘막에 불순물 원소를 도입하고, 게이트 전극상에 제 4의 절연막을 형성하며, 제 4의 절연막에 박막의 단결정 실리콘막에 달하는 콘택트 홀을 형성하고, 콘택트 홀을 통해서 제 4의 절연막상에 박막의 단결정 실리콘막과 전기적으로 접속하는 도전막을 형성함으로써 제조할 수 있는 반도체장치이다. 또한, 제 1의 절연막 또는 제 2의 절연막은

반드시 설치할 필요는 없다.

[0011] 덧붙여, 플라스마 분위기에 노출할 때 이용하는 가스는, 산소, 질소, 수소, 할로겐 가스, 희가스의 단원소계 가스, 실란계를 제외한 화합물 가스, 암모니아 등의 분자ガ스, 또는 이들의 혼합 가스를 이용하는 것이 가능하다.

[0012] 덧붙여, 이온 분위기에 노출할 때에 20eV이상 200eV미만의 에너지를 가지는 이온을 이용할 수가 있다.

## 효과

[0013] 본 발명에서는, 기판 표면에 접합하기 위한 결합력을 부여해 기판을 중첩하기 위해서, 고온의 열처리를 행하는 일없이 강고한 접합을 행하는 것이 가능하다. 따라서, 고가의 고내열성 기판을 이용할 필요가 없고, 염가의 유리 기판이나 플라스틱 기판 등을 이용하는 것이 가능해, 제조 비용의 절감을 꾀할 수가 있다. 또, 지지 기판과 단결정 실리콘층과의 사이의 절연막으로서 산소 또는 질소를 포함한 규소막을 이용하고 있기 때문에, 단결정 실리콘층으로의 기판으로부터의 오염물의 흡입을 막을 수가 있다.

### 발명의 실시를 위한 구체적인 내용

[0014] 본 발명의 실시의 형태에 대해, 도면을 이용해 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하는 일 없이 그 형태 및 상세를 여러 가지로 변경할 수 있는 것은 당업자이면 용이하게 이해된다. 따라서, 본 발명은 이하에 나타내는 실시의 형태의 기재 내용에 한정해 해석되는 것은 아니다. 덧붙여, 이하에 설명하는 본 발명의 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면 사이에서 공통되어 이용하는 경우가 있다.

[0015] (실시의 형태 1)

[0016] 본 실시의 형태에서는, 유리 기판상에 절연막을 개입시켜 단결정 반도체 박막을 제조하는 방법에 대해서 도 1을 이용해 설명한다.

[0017] 우선, 단결정 실리콘 기판(1101)을 준비한다(도 1a). 덧붙여, 단결정 실리콘기판에 한정하지 않고, 단결정 실리콘 게르마늄 기판 등을 이용해도 괜찮다.

[0018] 다음에, 단결정 실리콘 기판(1101) 표면에 질소를 포함한 산화 규소(산화질화 규소)막(1102)을 형성한다(도 1a). 막 두께는 실시자가 적당 결정하면 좋지만, 10~500nm(바람직하게는 20~100nm)이면 좋다. 산화질화 규소막(1102)은 후에 SOI 기판의 절연막의 일부로서 기능한다. 덧붙여, 산화질화 규소막(1102)은 플라스마 CVD법이나 저압 CVD법 등의 CVD법, 스퍼터링법 등의 방법을 이용해 형성할 수가 있다. 덧붙여, 산소를 포함한 가스 분위기 하에서의 플라스마 방전에 의해 생성된 산소 래디컬(OH 래디컬을 포함한 경우도 있다)에 의해 단결정 실리콘 기판의 표면을 처리한 후, 질소를 포함한 가스 분위기하에서의 플라스마 방전에 의해 생성된 질소 래디컬(NH 래디컬을 포함한 경우도 있다)에 의해 단결정 실리콘 기판의 표면을 처리함으로써, 단결정 실리콘 기판(1101) 표면에 산화질화 규소막(1102)을 형성할 수가 있다. 이것에 의해, 후에 지지 기판과 접합할 때의 접합 강도를 강하게 할 수가 있다.

[0019] 덧붙여, 산화질화 규소막(1102)은 반드시 설치할 필요는 없다. 산화질화 규소막 대신에 열산화법에 의한 산화 규소막을 설치해도 된다. 또한, TEOS 가스와 산소 가스와의 혼합 가스를 이용해 화학 기상 성장법(CVD법 : Chemical Vapor Deposition법), 특히 플라스마 화학 기상 성장법(플라스마 CVD법)에 의해 산화 규소막을 성막해도 좋다. 또, TEOS 가스와 산소 가스와의 혼합 가스를 이용한 CVD법에 의해서 산화 규소막을 성막하는 경우, 40nm 이상 80nm 이하의 막 두께로 성막하는 것이 바람직하다.

[0020] 또한, 여기에서 TEOS 가스란, 테트라 에틸 오르소 실리케이트(Tetra Ethyl Ortho Silicate) 가스를 의미한다. TEOS 가스와 산소 가스를 사용한 CVD법에 의해 성막된 산화 규소막을, 단결정 실리콘 기판과 지지기판과의 접착 계면에 설치함으로써, 기판의 밀착성을 보다 향상시킬 수 있다.

[0021] 또한, 단결정 실리콘 기판 표면에 산화질화 규소막(1102)을 형성하지 않은 경우, 단결정 실리콘 기판의 표면에, 자연 산화막, 케미컬 옥사이드, 또는 산소를 포함한 분위기에서 자외광을 조사하는 것에 의해 극박(極薄) 산화막을 형성해 두는 것이 바람직하다. 여기에서, 케미컬 옥사이드는, 오존수, 과산화 수소수, 황산 등의 산화제로 단결정 실리콘 기판 표면을 처리함으로써 형성할 수 있다. 단결정 실리콘 기판 표면에 산화막을 형성해 둠으로써, 후에 수소를 도입했을 때의 단결정 실리콘 기판 표면의 에칭을 막을 수 있다.

[0022] 다음에, 단결정 실리콘 기판(1101)에, 산화질화 규소막(1102)을 통해서 수소를 도입해서 취화층(1103)을 형성한다(도 1b). 또한, 취화층(1103)이 형성되는 깊이(단결정 실리콘 기판(1101)과 산화질화 규소막(1102)과의 계면과 취화층(1103)과의 사이의 거리)은, 후에 TFT를 형성할 때의 활성층으로서 기능하는 단결정 실리콘막의 막 두께가 된다. 예를 들면, 단결정 실리콘 기판(1101)의 표면과 취화층(1103)과의 사이에 50nm 두께의 단결정 실리콘막이 남도록, 이온 주입법을 사용해서 수소 이온을  $1 \times 10^{16} \sim 1 \times 10^{17}$  ions/cm<sup>2</sup>의 도우즈량으로 첨가할 수 있다. 또한, 비질량 분리 이온 도핑 장치를 사용해서 H<sub>3</sub><sup>+</sup> 이온을 주된 이온종으로서 수소 이온을 첨가해도 좋다. 수소 이온으로서 H<sub>3</sub><sup>+</sup>을 사용함으로써, 첨가에 필요로 하는 시간을 단축할 수 있다.

[0023] 또한, 취화층 형성의 타이밍은 절연막 형성 후에 한정되지 않는다. 예를 들면, 단결정 실리콘 기판 표면에 극박 산화막을 형성하고, 단결정 실리콘 기판에 수소를 도입해서 취화층을 형성한 후에, 산화질화 규소막, 질화산화 규소막, TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 성막된 산화 규소막을 순차 적층해도 좋다. 또한, 단결정 실리콘 기판 표면에 산화질화 규소막 및 질화산화 규소막을 순차 적층하고, 단결정 실리콘 기판에 수소를 도입해서 취화층을 형성한 후에, 질화산화 규소막 표면에 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 산화 규소막을 성막해도 좋다. 또한, 단결정 실리콘 기판 표면에 산화질화 규소막, 질화산화 규소막, TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 성막된 산화 규소막을 순차 적층하고, 단결정 실리콘 기판에 수소를 도입해서 취화층을 형성해도 좋다. 이와 같이, 취화층 형성의 타이밍은 절연막 형성 도중 및 형성후, 또는 극박 산화막 형성후 또 절연막 형성전의 어느 것이든 괜찮다.

[0024] 또한, 본 실시의 형태에 있어서 산화질화 규소막(1102)의 표면을 평탄화하는 처리를 행해 두어도 된다. 예를 들면, 화학적 기계연마(CMP : Chemical Mechanical polishing)라고 불리는 연마 처리에 의해 산화질화 규소막 표면을 평탄화할 수 있다. 산화질화 규소막 표면을 평탄화해 두는 것에 의해, 후에 접착시키는 지지기판과의 밀착성을 향상시킬 수 있다.

[0025] 다음에, 진공 중에서 단결정 실리콘 기판(1101)에 형성된 산화질화 규소막(1102)에 아르곤 이온 범을 조사하여, 표면의 원자를 화학 결합하기 쉬운 활성 상태로 한다. 여기에서, 아르곤 가스 분위기하에서의 플라즈마 방전에 의해 생성된 아르곤 이온을 산화질화 규소막(1102) 표면에 충돌시킴으로써 산화질화 규소막(1102)을 활성한 상태로 할 수 있다. 또한, 아르곤 이온 범에 한정하지 않고, 산화질화 규소막(1102) 표면을 플라즈마 분위기, X선, 전자선에 노출함으로써, 산화 질화 규소막(1102) 표면을 활성한 상태로 할 수 있다. 플라즈마 분위기에 노출할 때에 사용하는 가스는, 산소, 질소, 수소, 할로겐 가스, 아르곤이나 헬륨 등의 불활성 가스, 암모니아 등의 분자 가스, 실란계를 제외하는 화합물 가스, 또는 이것들의 혼합 가스 등을 사용할 수 있다. 또한, 그때에 기판에 조사하는 에너지는 DC 바이어스로 수 볼트~400볼트 정도의 범위에서 제어하는 것이 바람직하다. 또한, 20eV이상 200eV 미만의 에너지를 가지는 이온 분위기 중에 노출함으로써 표면을 활성한 상태로 해도 된다.

[0026] 예를 들면, 원료 가스에 산소를 이용해 RF(Radio Frequency: 고주파) 파워를 인가해서 플라즈마를 생성하고, 용량 결합 플라즈마를 사용한 RIE(Reactive Ion Etching: 반응성 이온 에칭) 모드에서 산화질화 규소막(1102) 표면을 플라즈마 처리함으로써 산화질화 규소막(1102) 표면을 활성한 상태로 하는 것이 가능하다. 또한, 본 발명에서는 원료 가스로서 산소를 사용하고 있고, 시료면은 산화 규소나 산화질화 규소나 질화산화 규소이므로, 에칭 작용은 적다. 시료는, 콘덴서를 거쳐서 고주파 전압이 인가되는 음극 전극 혹은 음극 전극 상의 스테이지에 설치한다. 고주파 전압을 인가해 플라즈마를 생성하면, 음극 전극에 부(-)의 자기 바이어스가 발생하고, 플라즈마 중의 정(+) 이온이 가속되어서 시료면에 도달한다. 또한, 플라스마 처리시, 주파수는 13.56~67.8MHz, 압력은 30~130Pa, 파워 밀도는 0.3~1.5W/cm<sup>2</sup>, 시간은 5~100초의 범위 내이면 좋고, 구체적으로는 13.56MHz, 67Pa, 0.617W/cm<sup>2</sup>, 30초다.

[0027] 다음에, 단결정 실리콘 기판(1101)과 별도 준비된 지지기판을 접착시킨다. 본 실시의 형태에서는 지지 기판으로서 유리 기판(1104)을 사용하여, 그 표면에 산소를 포함한 질화규소(질화산화규소)막(1105) 및 질소를 포함한 산화규소(산화질화규소)막(1106)을 순차 형성해 둔다(도 1c). 또한, 단결정 실리콘 기판(1101)에 형성된 산화질화 규소막(1102) 표면과 마찬가지로, 산화질화 규소막(1106)의 표면을 활성화해 두어도 된다. 또한, 반드시 유리 기판(1104) 표면에 질화산화 규소막(1105) 또는 산화질화 규소막(1106)을 설치할 필요는 없다. 예를 들면, 유리 기판 표면에, TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 산화 규소막이 성막된 지지기판을 사용해도 된다. 또한, 표면에 절연막이 형성되어 있지 않은 유리 기판을 사용해도 된다. 그 경우, 유리 기판 표면을 세정해 두는 것이 바람직하다.

- [0028] 본 실시의 형태에서는, 표면에 산화질화 규소막(1102)이 형성된 단결정 실리콘 기판(1101)과, 표면에 산화질화 규소막(1106)이 형성된 유리 기판(1104)을 접착시킴으로써, 산화질화 규소막(1102)과 산화질화 규소막(1106)과의 계면에서의 화학결합이 형성되고, 산화질화 규소막(1102)과 산화질화 규소막(1106)이 접합한 산화질화 규소막(1109)이 형성된다(도 2a).
- [0029] 본 실시의 형태에서는, 진공중에서 기판 표면에 아르곤 이온 빔 등을 조사함으로써, 기판 표면에 존재하는 흡착 가스나 자연 산화막 등을 제거하여, 기판표면에 접합하기 위한 결합력을 부여하는 표면 활성화를 행하고, 그 후 2매의 기판을 중첩시킴으로써 기판을 접착시키는 것이 가능하다. 이렇게 접착시킨 기판 계면에서는 원자간 결합이 형성되고, 가열처리를 행하지 않고 강고한 결합을 형성할 수 있다. 또한, 접착은, 표면 활성화 후에 대기애 노출하지 않고 행하면 적합하다.
- [0030] 또한, 유리 기판 대신에, 플라스틱 기판을 사용해도 되고, 필름과 같은 가요성 기판을 사용해도 된다. 플라스틱 기판으로서는 PET(폴리에틸렌테레프탈레이트), PEN(폴리에틸렌나프타레이트), PES(폴리에테르설휠)으로 구성되는 기판, 가요성 기판으로서는 아크릴 등의 합성 수지를 사용할 수 있다. 또한, 석영기판, 세라믹 기판, 결정화 유리 기판 등의 고내열성 기판을 사용해도 된다. 이들의 기판을 사용하는 경우, 외부에서 워터 제트(water jet), 블레이드(blade), 전동 등의 힘을 더해 박리하는 것이 바람직하다.
- [0031] 또한, 유리 기판(1104) 표면에 형성된 질화산화 규소막(1105) 및 산화질화 규소막(1106)은 블록킹층으로서 기능하고, 유리기판으로부터의 불순물의 확산을 막을 수 있다. 유리기판은, 이동하기 쉬운 가동 이온을 포함하기 때문에, 블록킹층을 설치하는 것은 특히 효과적이다. 또한, 질화산화 규소막(1105) 및 산화질화 규소막(1106)은, 플라즈마 CVD법이나 저압 CVD법, 스퍼터링법 등의 방법을 사용해서 형성할 수 있다.
- [0032] 여기에서 바람직하게는 산화질화 규소막(1106)의 표면을 평탄화하는 처리를 행해 두면 좋다. 예를 들면, CMP에 의해 산화질화 규소막 표면을 평탄화할 수 있다. 산화질화 규소막 표면을 평탄화해 둠으로써, 후에 접착시키는 지지기판과의 밀착성을 향상시킬 수 있다.
- [0033] 다음에, 400~600°C의 열처리(제 1 열처리)를 행한다. 이 열처리에 의해 취화층(1103)에서는 미소 공핍의 체적 변화가 발생하고, 취화층(1103)을 따라 과단면이 발생한다. 이것에 의해 단결정 실리콘 기판(1101)은 분리되고, 분리된 단결정 실리콘막(1107)을 제거함으로써 유리기판(1104) 위에는 질화산화 규소막(1105) 및 산화질화 규소막(1109)과 단결정 실리콘막(1108)이 남게 된다(도 2a).
- [0034] 다음에, 단결정 실리콘막(1108)의 표면을 평탄화하는 처리를 행해도 된다. 평탄화 처리는, CMP에 의해 행할 수 있다. 본 실시의 형태에 있어서, 최종적인 단결정 실리콘막(1108)의 막 두께는 10~200nm(바람직하게는 10~70nm, 더 바람직하게는 20~50nm)으로 하면 된다.
- [0035] 이상의 공정에 의해, 본 실시 예의 SOI 기판을 제조할 수 있다(도 2b). 본 실시 예에서는, 기판표면에 접합하기 위한 결합력을 부여해서 기판을 중첩하기 때문에, 고온의 열처리를 행하지 않고 강고한 접합을 행하는 것이 가능하다. 따라서, 고가의 고내열성 기판을 사용할 필요가 없고, 저렴한 유리 기판이나 플라스틱 기판 등을 사용할 수 있어, 제조 비용의 절감을 꾀할 수 있다. 또한, 고온처리에 견딜 수 없는 가요성의 기판을 사용할 수도 있어, SOI 기판의 이용 범위를 확대할 수 있다. 또한, 지지기판과 단결정 실리콘막과의 사이의 절연막으로서 산소 또는 질소를 포함한 규소막을 사용하고 있기 때문에, 단결정 실리콘막에 기판으로부터의 오염물의 혼입을 막을 수 있다.
- [0036] 또한, 본 실시의 형태에서는, 유리기판과 단결정 실리콘막과의 사이에 질소를 포함한 산화 규소막과 산소를 포함한 질화규소를 형성하는 예를 나타냈지만, 이것에 한정되는 것이 아니며, 산화 규소막, 질화 규소막, 산화질화 규소막, 질화산화 규소막의 어느 것인가 1층만을 사용하는 단층 구조로 해도 되고, 이것들을 적당하게 적층하는 구조로 해도 된다. 또한, 본 명세서 중에 있어서, 산화질화규소란 산소의 조성비가 질소의 조성비보다도 큰 물질을 가리킨다. 예를 들면, 산화질화규소는, 질소를 포함한 산화 규소라고 할 수도 있다. 또한, 본 명세서 중에 있어서, 질화산화규소란 질소의 조성비가 산소의 조성비보다도 큰 물질을 가리킨다. 예를 들면, 질화산화 규소는, 산소를 포함한 질화규소라고 할 수도 있다.
- [0037] 예를 들면, 단결정 실리콘 기판 표면에 산화질화 규소막을 형성하고, 유리 기판 표면에 질화산화 규소막을 형성하고, 단결정 실리콘 기판과 유리기판을 산화 질화 규소막 및 질화산화 규소막을 통해서 접착시켜도 좋다. 또한, 유리 기판 표면에 질화산화 규소막, 산화질화 규소막을 순차 형성하고, 단결정 실리콘 기판과 유리 기판을 산화질화 규소막 및 질화산화 규소막을 통해서 접착시켜도 좋다. 또한, 단결정 실리콘 기판 표면에 산화질화 규소막, 질화산화 규소막을 순차 형성하고, 단결정 실리콘 기판과 유리기판을 산화질화 규소막 및 질화산화 규

소막을 통해서 접착시켜도 된다. 그때, 유리기판 표면에는 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD 법에 의해 성막된 산화 규소막이 형성되어 있어도 된다. 또한, 단결정 실리콘 기판 표면에 산화질화 규소막을 형성하고, 유리 기판 표면에 질화산화 규소막, 산화질화 규소막을 순차 형성하고, 산화질화 규소막끼리를 접착 시킴으로써 단결정 실리콘 기판과 유리 기판을 접착시켜도 좋고, 산화질화 규소막과 질화산화 규소막과의 사이에 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 성막된 산화 규소막을 형성해도 좋다. 또한, 단결정 실리콘막 표면에 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 성막된 산화 규소막, 질화산화 규소막을 순차 형성하고, 유리 기판 표면에 TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 성막된 산화 규소막을 형성하고, 단결정 실리콘 기판과 유리 기판을 질화산화 규소막 및 산화 규소막을 통해서 접착시켜도 된다.

[0038] 또한, TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 성막된 산화 규소막을 단결정 실리콘 기판과 유리기판을 접합할 때의 계면에 설치해 두는 것은, 밀착성을 보다 향상시키기 위해서 바람직하다. 특히, 플라즈마 CVD법에 의해 성막된 산화 규소막을 접합 계면에 설치해 두는 것은, 플라즈마로 활성화 처리된 열산화막을 접합 계면에 사용하는 경우와 동등한 접합 강도를 얻을 수 있기 때문에 바람직하다. 예를 들면, 단결정 실리콘 기판 표면에 질화산화 규소 등의 절연막을 설치한 후, TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 산화 규소막을 성막하고, 해당 산화 규소막과 유리 기판을 접합해도 좋다. 또한, 유리 기판 표면에 질화산화 규소 등의 절연막을 설치한 후, TEOS 가스와 산소 가스와의 혼합 가스를 이용한 CVD법에 의해서 산화 규소막을 성막하고, 해당 산화 규소막과 단결정 실리콘 기판을 접합시켜도 좋다. 또한, TEOS 가스와 산소 가스와의 혼합 가스를 사용한 CVD법에 의해 성막된 산화 규소막 대신에, 스퍼터링법으로 형성된 산화 규소막 등을 사용해도 된다.

[0039] 또한, 유리로부터의 불순물 확산을 막는 블록킹 능력은 산화 규소막보다도 질화 규소막쪽이 높다. 한편, 단결정 실리콘막(1108)에 접하는 하지 절연막과의 계면에 발생하는 계면 준위는 질화규소막보다도 산화 규소막쪽이 낮다. 따라서, 하지 절연막의 구성에서는 기판측에 접하는 하지 절연막은 질화 규소막이 바람직하고, 반도체막측에 접하는 하지 절연막은 산화 규소막이 바람직하다. 왜냐하면, 질화 규소막이 반도체막에 접하면 계면 준위가 형성되고, TFT를 제조했을 경우에, 하지 절연막과 반도체막 간의 계면 준위에 전하가 트랩되고, 트랩된 전하에 의한 전계의 영향 때문에, 임계치 전압이 크게 변동하기 때문이다.

[0040] (실시의 형태 2)

[0041] 본 실시의 형태에서는, 실시의 형태 1에서 나타낸 SOI 기판을 사용한 반도체장치 및 그 제조 방법의 일례에 관하여 설명한다.

[0042] 본 실시의 형태에서 나타내는 반도체장치를 도 3에 나타낸다. 또한, 도 3a는 본 실시의 형태에서 나타내는 반도체장치의 평면도를 나타내고, 도 3a의 A<sub>1</sub>-B<sub>1</sub>에 있어서의 단면도를 도 3b에, A<sub>2</sub>-B<sub>2</sub>에 있어서의 단면도를 도 3c에, A<sub>3</sub>-B<sub>3</sub>에 있어서의 단면도를 도 3d에 나타내고 있다.

[0043] 본 실시의 형태에서 나타내는 반도체장치는, 유리기판(1104) 표면에 형성된 질화산화 규소막(1105)과, 질화산화 규소막(1105) 위에 형성된 산화질화 규소막(1109)과, 산화질화 규소막(1109) 위에 설치된 섬 형상의 단결정 실리콘막(103)과, 단결정 실리콘막(103) 위에 형성된 게이트 절연막(104)과, 게이트 절연막(104)을 통해서 단결정 실리콘막(103) 위에 형성된 게이트 전극으로서 기능하는 도전막(105)을 포함한 박막 트랜지스터(TFT; 401)와, 게이트 절연막(104)과 도전막(105)을 덮게 설치된 절연막(106)과, 절연막(106) 위에 설치된 소스 전극 또는 드레인 전극으로서 기능하는 도전막(107)을 가지고 있다(도 3a~3d).

[0044] 게이트 전극을 형성하는 도전막(105)은, 섬 형상의 단결정 실리콘막(103)을 횡단하도록 설치되어 있다. 또한, 여기에서는, 도전막(105)을 제 1의 도전막(105a)과 제 2의 도전막(105b)과의 적층구조로 설치했을 경우를 나타내고 있지만, 이것에 한정하지 않고 단층 또는 3층 이상의 적층구조로 형성해도 된다.

[0045] 또한, 섬 형상으로 설치된 단결정 실리콘막(103)은, 도전막(105)과 게이트 절연막(104)을 통해서 겹치는 영역에 설치된 채널 형성영역(103a)과, 도전막(105)과 겹치지 않는 영역이며 해당 채널 형성영역(103a)과 인접해서 설치된 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(103b)을 가지고 있다.

[0046] 또한, 소스 전극 또는 드레인 전극을 형성하는 도전막(107)은, 절연막(106)에 형성된 개구부를 통해서 불순물 영역(103b)과 전기적으로 접속하도록 설치된다.

[0047] 다음에, 도 3에 나타낸 반도체 장치의 제조방법의 일례에 관해서 도면을 참조해서 설명한다. 또한, 도 4는 도

3a의 A<sub>1</sub>-B<sub>1</sub>의 단면도를 나타내고 있다.

[0048] 우선, 실시의 형태 1과 마찬가지로, 단결정 실리콘 기판(1101) 표면에 산화 질화 규소막(1102)을 형성하고, 그 후 산화질화 규소막(1102)을 통해서 단결정 실리콘 기판(1101)에 수소를 도입해 취화층(1103)을 형성한다. 다음에, 산화질화 규소막(1102)을 플라즈마 분위기 또는 이온 분위기에 노출하고, 표면의 원자를 활성한 상태로 한다. 그리고, 표면에 산화질화 규소막(1102)을 형성한 단결정 실리콘 기판(1101)과, 표면에 질화산화 규소막(1105)과 산화질화 규소막(1106)을 형성한 유리기판(1104)을 접착시키고, 산화질화 규소막(1102)과 산화질화 규소막(1106)이 접합한 산화질화 규소막(1109)을 형성한다. 계속해서, 400~600°C의 열처리를 행하고, 취화층(1103)에 따라 단결정 실리콘 기판(1101)을 분리하고, 분리된 단결정 실리콘막(1107)을 제거한다. 이에 따라 질화산화 규소막(1105)과, 산화질화 규소막(1109)과, 단결정 실리콘막(1108)이 형성된 유리기판(1104)을 얻는다(도 4a).

[0049] 다음에, 단결정 실리콘막(1108) 위에 선택적으로 레지스트를 형성하고, 단결정 실리콘막(1108)을 예열해서 섬형상의 단결정 실리콘막(103)을 형성한다. 다음에, 단결정 실리콘막(103)을 덮어서 게이트 절연막(104)을 형성한다(도 4b).

[0050] 게이트 절연막(104)은, 산화 실리콘, 질화 실리콘, 산화질화 실리콘(SiO<sub>x</sub>N<sub>y</sub>) ( $x>y>0$ ), 질화산화 실리콘(SiN<sub>x</sub>O<sub>y</sub>) ( $x>y>0$ ) 등을 적용한다. 이러한 절연막은, 기상 성장법이나 스퍼터링법으로 형성한다. 또한, 단결정 실리콘막(103)에 대하여, 산소를 포함한 분위기하(예를 들면, 산소(O<sub>2</sub>)와 희가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함한다) 분위기 하, 또는 산소와 수소(H<sub>2</sub>)와 희가스 분위기 하), 또는 질소를 포함한 분위기 하(예를 들면, 질소(N<sub>2</sub>)와 희가스(He, Ne, Ar, Kr, Xe의 적어도 하나를 포함한다) 분위기 하, 또는 질소와 수소와 희가스 분위기 하 또는 NH<sub>3</sub>과 희가스 분위기 하)에서 고밀도 플라즈마 처리를 행해 단결정 실리콘막(103)의 표면을 산화 처리 또는 질화 처리함으로써, 게이트 절연막(104)을 형성할 수도 있다.

[0051] 고밀도 플라즈마처리는, 상기 가스의 분위기 중에 있어서, 전자밀도가  $1\times 10^{11}\text{ cm}^{-3}$  이상이며, 플라즈마의 전자온도가 1.5eV이하의 조건에서 행한다. 보다 자세하게는, 전자밀도가  $1\times 10^{11}\text{ cm}^{-3}$  이상  $1\times 10^{13}\text{ cm}^{-3}$  이하에서, 플라즈마의 전자온도가 0.5eV이상 1.5eV이하의 조건에서 행한다. 플라즈마의 전자밀도가 고밀도이며, 유리기판(1104) 위에 형성된 피처리물(여기에서는, 단결정 실리콘막(103)) 부근에서의 전자온도가 낮기 때문에, 피처리물에 대한 플라즈마에 의한 손상을 방지할 수 있다. 또한, 플라즈마의 전자밀도가  $1\times 10^{11}\text{ cm}^{-3}$  이상으로 고밀도이기 때문에, 플라즈마처리를 사용하여, 피조사물을 산화 또는 질화함으로써 형성되는 산화막 또는 질화막은, CVD법이나 스퍼터링법 등에 의해 형성된 막과 비교해서 막두께 등이 균일성에 뛰어나고, 또한 치밀한 막을 형성할 수 있다. 또한, 플라즈마의 전자온도가 1.5eV 이하로 낮기 때문에, 종래의 플라즈마처리나 열산화법과 비교해서 저온도에서 산화 또는 질화 처리를 행할 수 있다. 예를 들면, 유리기판의 왜(歪)점보다도 100도 이상 낮은 온도에서 플라즈마 처리를 행해도 충분하게 산화 또는 질화 처리를 행할 수 있다. 플라즈마를 형성하기 위한 주파수로서는, 마이크로파(2.45GHz) 등의 고주파를 사용할 수 있다. 고밀도 플라즈마 처리에 의해 단결정 실리콘막(103)의 표면을 산화 또는 질화함으로써 게이트 절연막(104)을 형성함에 의해, 전자나 훌의 트랩이 되는 결함 준위 밀도를 저감할 수 있다. 또한, 단결정 실리콘막(103)의 단부에 있어서도, 게이트 절연막(104)의 단절 등을 저감할 수 있다.

[0052] 또한, 단결정 실리콘막(103)의 임계치 등을 제어하기 위해서, 미리 저농도의 불순물 원소를 도입해도 된다. 이 경우에는, 단결정 실리콘막(103)에 있어서, 후에 채널형성영역이 되는 영역에도 불순물원소가 도입되게 된다. 불순물 원소로서는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용할 수 있다. n 형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는, 보론(B)이나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 여기에서는, 불순물 원소로서, 보론(B)을  $5\times 10^{15}\sim 5\times 10^{17}/\text{cm}^3$ 의 농도로 포함되도록 단결정 실리콘막(103)의 전체 면에 미리 도입한다.

[0053] 다음에, 게이트 절연막(104) 위에 도전막(125)을 형성한다. 여기에서는, 도전막(125)으로서, 제 1의 도전막(125a)과 제 2의 도전막(125b)을 적층해서 형성한 예를 나타내고 있다(도 4c). 물론, 도전막(125)은, 단층 또는 3층 이상의 적층구조로 형성해도 좋다.

[0054] 도전막(125)은, 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 동(Cu), 크롬(Cr), 니오브(Nb) 등으로부터 선택된 원소 또는 이것들의 원소를 주성분으로 하는 합금재료 혹은 화합물재료로 형성할 수 있

다. 또한, 인 등의 불순물 원소를 도핑한 다결정 규소에 대표되는 반도체 재료에 의해 형성할 수도 있다. 예를 들면, 질화 탄탈로 형성된 제 1의 도전막(125a)과, 텅스텐으로 형성된 제 2의 도전막(125b)과의 적층구조에서, 도전막(125)을 형성할 수 있다. 또한, 도전막(125)을 적층해서 형성하는 경우에는, 상기 재료를 자유롭게 조합해서 설치할 수 있다.

[0055] 다음에, 도전막(125)(여기에서는, 제 1의 도전막(125a)과 제 2의 도전막(125b)과의 적층구조)을 선택적으로 예 청함으로써, 게이트 전극으로서 기능하는 도전막(105)(여기에서는, 도전막 105a와 도전막 105b의 적층구조)을 형성하고, 그 후에, 해당 도전막(105)을 마스크로서 단결정 실리콘막(103)에 불순물 원소(121)를 도입함으로써, 단결정 실리콘막(103)에 불순물 영역(103b)을 형성한다(도 4d). 여기에서는, 도전막(105)을 섬 형상의 단결정 실리콘막(103)을 횡단하도록 형성한 후에 불순물 원소를 도입하기 때문에, 도전막(105)과 겹치지 않는 단결정 실리콘막(103)의 영역에 불순물 영역(103b)이 형성된다.

[0056] 불순물 원소(121)로서는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용할 수 있다. n형을 부여하는 불순물 원소로서는, 인(P)이나 비소(As) 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는, 보론(B)이나 알루미늄(Al)이나 갈륨(Ga) 등을 사용할 수 있다. 또한, 본 실시 예에서는, 불순물 원소(121)로서, 보론(B)을  $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 의 농도로 포함되도록 단결정 실리콘막(103)에 도입하고, p형을 나타내는 불순물 영역(103b)을 형성한다.

[0057] 다음에, 도전막(105), 게이트 절연막(104) 등을 덮도록 절연막(106)을 형성하고, 해당 절연막(106) 위에 소스 전극 또는 드레인 전극으로서 기능하는 도전막(107)을 선택적으로 형성한다(도 4e). 도전막(107)은, 단결정 실리콘막(103)의 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(103b)과 전기적으로 접속되도록 설치한다.

[0058] 절연막(106)은, CVD법이나 스퍼터링법 등으로 형성한, 산화 실리콘, 산화질화 실리콘(SiO<sub>x</sub>N<sub>y</sub>)( $x > y > 0$ ), 질화산화 실리콘(SiN<sub>x</sub>O<sub>y</sub>)( $x > y > 0$ ) 등을 사용할 수 있다. 또한, 폴리아미드, 폴리아미드, 폴리비닐 폐놀, 벤조사이클로부텐, 아크릴, 에폭시 등의 유기재료, 또는 실록산 수지 등의 실록산 재료, 옥사졸 수지 등으로 이루어지는 단층 또는 적층구조로 설치할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함한 재료에 해당한다. 실록산은, 실리콘(Si)과 산소(O)와의 결합으로 골격구조가 구성된다. 치환기로서, 적어도 수소를 포함한 유기기(예를 들면, 알킬기, 아릴기)를 사용할 수 있다. 치환기로서, 플루오르기를 사용할 수도 있다. 또는, 치환기로서, 적어도 수소를 포함한 유기기와, 플루오르기를 사용해도 된다. 옥사졸 수지는, 예를 들면, 감광성 폴리벤즈옥사졸 등이다. 감광성 폴리벤즈옥사졸은, 유전율이 낮고(상온 1MHz에서 유전율 2.9), 내열성이 높으며(시차 열분석(DTA:Differential Thermal Analysis)으로 상승 온도 5°C/min에서 열분해 온도 550°C), 흡수율이 낮은(상온 24시간에서 0.3%) 재료다. 옥사졸 수지는, 폴리아미드 등의 비유전률(3.2~3.4 정도)과 비교하면, 비유전률이 낮기 때문에(2.9정도), 기생 용량의 발생을 억제하고, 고속동작을 행할 수 있다. 여기에서는, 절연막(106)으로서, CVD법으로 형성한 산화 실리콘, 산화질화 실리콘(SiO<sub>x</sub>N<sub>y</sub>)( $x > y > 0$ ) 또는 질화산화 실리콘(SiN<sub>x</sub>O<sub>y</sub>)( $x > y > 0$ )을 단층 또는 적층해서 형성한다. 또한, 한층 더, 폴리아미드, 폴리아미드, 폴리비닐 폐놀, 벤조사이클로부텐, 아크릴, 에폭시 등의 유기재료, 실록산 수지 등의 실록산 재료, 또는 옥사졸 수지를 적층해서 형성해도 된다.

[0059] 도전막(107)은, 알루미늄, 텅스텐, 티타늄, 탄탈, 몰리브덴, 니켈, 네오디뮴으로부터 선택된 일종의 원소 또는 해당 원소를 복수 포함한 합금으로 이루어지는 단층구조 또는 적층구조를 사용할 수 있다. 예를 들면, 해당 원소를 복수 포함한 합금으로 이루어지는 도전막으로서, 티타늄을 함유한 알루미늄 합금, 네오디뮴을 함유한 알루미늄 합금 등으로 형성할 수 있다. 또한, 적층구조로 설치할 경우, 예를 들면, 알루미늄층 혹은 상기한 바와 같은 알루미늄 합금층을, 티타늄층 사이에 삽입해서 적층한 구조로 해도 된다.

[0060] 이상의 공정에 의해, TFT(401)를 포함한 반도체 장치를 제조할 수 있다. 본 실시의 형태에서는, 고온의 열처리를 행하지 않고 견고하게 접합된 SOI 기판을 사용하고 있다. 따라서, SOI 기판의 제조 비용을 삭감할 수 있고, 그것을 사용해서 제조된 반도체 장치의 비용을 삭감할 수 있다. 또한, TFT의 활성층으로서 단결정 실리콘막을 사용할 수 있기 때문에, 유리 기판이나 플라스틱 기판 위에 특성이 좋은 TFT를 제조할 수 있다. 고온처리에 견딜 수 없는 가요성의 기판을 사용할 수도 있어, 반도체 장치의 이용 범위를 확대할 수 있다. 또한, 기판과 단결정 실리콘막과의 사이의 절연막으로서 산소 또는 질소를 포함한 규소막을 사용하고 있기 때문에, 기판으로부터 단결정 실리콘막으로의 오염물의 혼입에 의한 반도체 장치의 특성에의 악영향을 저감할 수 있다.

[0061] (실시의 형태 3)

[0062] 본 실시의 형태에서는, 실시의 형태 2에서 제조한 반도체 장치를 사용해, EL 표시장치를 제조하는 방법에 대해서 도면을 참조해서 설명한다.

- [0063] 본 실시의 형태에서는, 일렉트로루미네센스 소자로부터의 빛을 제 1의 전극(512)측으로부터 추출하는 구조로 하기 때문에, 투광성을 가지는 막을 사용해서 제 1의 전극(512)을 형성한다. 본 실시의 형태에서는, 산화 규소를 포함한 인듐 주석 산화물(ITSO)을 제 1의 전극(512)으로서 사용한다.
- [0064] 우선, 실시의 형태 2와 마찬가지로, SOI 기판을 형성하고, SOI 기판 위에 TFT 501~503과, TFT 501~503을 덮는 제 1의 절연막(501)과, TFT 501~503의 소스영역 또는 드레인 영역과 전기적으로 접속하는 배선 504~509를 형성한다. 다음에, TFT 501~503, 제 1의 절연막(510) 및 배선 504~509를 덮도록 제 2의 절연막(511)을 형성하고, 제 2의 절연막(511) 위에 배선(509)과 전기적으로 접속하는 제 1의 전극(512)을 형성한다. 다음에, 제 1의 전극(512)의 단부 및 제 2의 절연막(511)을 덮도록 제 3의 절연막(513)(뱅크, 격벽, 장벽, 제방 등이라고도 불린다)을 형성한다(도 5).
- [0065] 제 3의 절연막(513)으로서는, 산화 규소, 질화규소, 산화질화규소, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄 그 외의 무기 절연성 재료, 또는 아크릴산, 메타크릴산 및 이것들의 유도체, 또는 폴리이미드, 방향족 폴리아이미드(polyimide), 폴리벤즈이미다졸(polybenzimidazole) 등의 내열성 고분자, 또는 규소, 산소, 수소로 이루어지는 화합물 중 Si-O-Si 결합을 포함한 무기 실록산, 규소에 결합되어 있는 수소가 메틸이나 페닐과 같은 유기기로 치환된 유기 실록산계의 절연성 재료를 사용하는 것이 가능하다. 아크릴, 폴리이미드 등의 감광성, 비감광성의 재료를 사용해서 형성해도 된다. 본 실시 예에서는, 감광성 폴리이미드를 사용하여, 평탄한 영역에서 막 두께가  $1.5\mu\text{m}$ 이 되도록 제 3의 절연막(513)을 형성한다.
- [0066] 또한, 제 3의 절연막(513)은 곡률반경이 연속적으로 변화하는 형상이 바람직하고, 제 3의 절연막(513) 위에 형성되는 전계 발광층(514)(유기 화합물을 포함한 층), 제 2의 전극(515)의 피복성을 향상시킬 수 있다.
- [0067] 또한, 신뢰성을 한층 더 향상시키기 위해서, 전계 발광층(514)을 형성하기 전에 제 1의 전극(512) 및 제 3의 절연막(513)에 대하여, 고밀도 플라스마 장치를 사용해서 질화처리 또는 산화처리를 행하면 된다. 제 1의 전극(512)을 고밀도 플라스마 장치를 사용해서 질화 또는 산화함으로써, 전극의 표면 개질 시의 플라즈마 데미지가 적고, 보다 결함이 적은 표면을 얻을 수 있기 때문에, 본 실시의 형태의 발광소자에 의한 표시는 고선명으로 표시 불균질이 작다. 한층 더, 제 3의 절연막(513)을 질화했을 경우, 제 3의 절연막(513)의 표면이 개질되고, 절연막 내부에의 수분의 흡수를 억제할 수 있다. 또한, 제 3의 절연막(513)을 산화한 경우, 막이 강고해져, 유기 가스의 방출을 누를 수 있다. 본 실시의 형태에서는, 고밀도 플라스마 장치를 사용함으로써 플라즈마 데미지가 적은 처리를 행하는 것이 가능하다. 여기에서, 제 3의 절연막(513) 표면에 대하여, 산화처리를 행할지, 질화처리를 행할지는 절연막의 재료 및 효과를 고려해서 적당히 선택하면 된다.
- [0068] 다음에, 제 1의 전극(512) 위에 전계 발광층(514)을 형성한다. 또한, 도 5에서는 1화소밖에 도시하고 있지 않지만, 본 실시의 형태에서는 적(R), 녹(G), 청(B)의 각 색에 대응한 전계 전극을 형성해 나눈다. 본 실시의 형태에서는 전계 발광층(514)으로서, 적(R), 녹(G), 청(B)의 발광을 나타내는 재료를, 증착 마스크를 사용한 증착법에 의해, 각각 선택적으로 형성한다. 적색(R), 녹색(G), 청색(B)의 발광을 나타내는 재료는, 증착 마스크를 사용한 증착법에 의해 각각 선택적으로 형성하는 방법이나, 액적 토출법에 의해 형성할 수 있다. 액적 토출법의 경우, 마스크를 사용하지 않고 RGB의 색의 분리를 행할 수 있다고 하는 이점이 있다. 본 실시의 형태에서는, 적(R), 녹(G), 청(B)의 발광을 나타내는 재료를 증착법에 의해 각각 형성한다.
- [0069] 또한, EL의 증착 전에, 불활성 가스를 주성분으로 해서, 산소의 농도가 5%이하 또는 수의 농도가 1%이하로 하는 분위기에서 가열처리를 행하여, 수분 등을 제거하는 것이 바람직하다. 본 실시의 형태에서는, 300°C에서 1시간 가열처리를 행한다.
- [0070] 다음에, 전계 발광층(514) 위에 도전막으로 이루어지는 제 2의 전극(515)을 형성한다. 제 2의 전극(515)으로서는, 일함수의 작은 재료(Al, Ag, Li, Ca, 또는 이들의 합금 MgAg, MgIn, AlLi, CaF<sub>2</sub> 등)을 사용하면 좋다. 이렇게 해서 제 1의 전극(512), 전계 발광층(514) 및 제 2의 전극(515)으로 이루어지는 발광소자가 형성된다.
- [0071] 도 5에 나타내는 표시장치에 있어서, 발광소자로부터 방출된 빛은, 기판(500)과 제 1의 전극(512)의 사이에 형성된 막을 투과해서 제 1의 전극(512)측에서 화살표의 방향으로 사출된다.
- [0072] 또한, 제 2의 전극(515)을 덮도록 패시베이션막을 설치하는 것은 유효하다. 패시베이션막으로서는, 질화규소, 산화규소, 산화질화규소, 질화산화규소, 질화 알루미늄, 산화질화 알루미늄, 질소 함유량이 산소 함유량보다도 많은 질화산화 알루미늄 또는 산화 알루미늄, 다이아몬드 라이크 카본(DLC), 질소 함유 탄소막(CN)을 포함한 절연막으로 이루어지고, 상기 절연막을 단층 혹은 조합한 적층을 사용할 수 있다. 또한, 실리콘(Si)과 산소(O)와의 결합으로 골격구조가 구성되는 실록산을 사용해도 된다. 실록산은, 치환기로서 적어도 수소를 포함한 유기기

(예를 들면 알킬기, 아릴기)를 사용할 수 있다. 또한, 치환기로서 플루오르기, 또는 적어도 수소를 포함한 유기기와 플루오르기를 사용해도 된다.

[0073] 이때, 커버리지(coverage)가 좋은 막을 패시베이션막으로서 사용하는 것이 바람직하고, 탄소막, 특히 DLC막을 사용하는 것은 유효하다. DLC막은 실온으로부터 100°C이하의 온도범위에서 성막 가능하기 때문에, 내열성이 낮은 전계 발광층(514)의 위쪽에도 용이하게 성막할 수 있다. 또한, DLC막은 산소에 대한 블록킹 효과가 높고, 전계 발광층(514)의 산화를 억제하는 것이 가능하다. 그 때문에, 이 후에 이어지는 밀봉공정을 행하는 사이에 전계 발광층(514)이 산화한다고 하는 문제를 방지할 수 있다.

[0074] 다음에, 발광소자가 형성된 기판(500)과, 밀봉기판을 씰재에 의해 고정하고, 발광소자를 밀봉한다. 단면으로부터의 수분의 침입이 씰재에 의해 차단되므로, 발광소자의 열화를 방지할 수 있어, 표시장치의 신뢰성이 향상된다. 또한, 씰재로 둘러싸인 영역에는 충전재를 충전해도 좋고, 질소 분위기 하에서 밀봉함으로써, 질소 등을 봉입해도 좋다. 또, 충전재는, 액상의 상태에서 적하하고, 표시장치 내에 충전할 수도 있다. 본 실시의 형태는, 하면 사출형이므로, 투광성을 가지는 충전재를 사용할 필요는 없지만, 충전재를 투과해서 빛을 추출하는 구조의 경우에는, 투광성을 가지는 재료를 사용해서 충전재를 형성할 필요가 있다. 충전재의 일례로서는, 가시광 경화, 자외선 경화 또는 열경화의 예폭시 수지를 들 수 있다. 이상의 공정에 있어서, 발광소자를 가지는 표시장치가 완성된다.

[0075] 또한, 소자의 수분에 의한 열화를 막기 위해서 EL 표시패널 내에 건조제를 설치하는 것이 바람직하다. 본 실시의 형태에서는, 화소영역을 둘러싸도록 밀봉기판에 형성된 오목부에 건조제를 설치하고, 박형화를 방해하지 않는 구성으로 한다. 또한, 게이트 배선층에 대응하는 영역에도 건조제를 설치함으로써 흡수면적을 넓게 하는 것이 가능하고, 흡수효과가 높다. 또한, 직접 발광하지 않는 게이트 배선층 위에 건조제를 형성하고 있기 때문에, 광 추출 효율을 저하시키는 일도 없다.

[0076] 또한, 발광소자를 밀봉하는 처리란, 발광소자를 수분으로부터 보호하기 위한 처리이며, 커버재로 기계적으로 밀봉하는 방법, 열경화성 수지 또는 자외광 경화성 수지로 밀봉하는 방법, 금속 산화물이나 질화물 등의 배리어 능력이 높은 박막에 의해 밀봉하는 방법 중 어느 하나를 사용한다. 밀봉기판 또는 커버재로서는, 유리, 세라믹, 플라스틱 혹은 금속을 사용할 수 있지만, 커버재측에 빛을 방사시키는 경우에는 투광성이 아니면 안 된다. 또한, 커버재와 상기 발광소자가 형성된 기판은 열경화성 수지 또는 자외광 경화성 수지 등의 씰재를 사용해서 접착시키고, 열처리 또는 자외광 조사처리에 의해 수지를 경화시켜서 밀폐 공간을 형성한다. 이 밀폐 공간 중에 산화 바륨에 대표되는 흡습재를 설치하는 것도 유효하다. 이 흡습재는, 씰재 위에 접해서 설치되어도 되고, 또는 발광소자로부터의 빛을 방해하지 않도록, 격벽 위나 주변부에 설치해도 된다. 한층 더, 커버재와 발광소자가 형성된 기판과의 공간을 열경화성 수지 혹은 자외광 경화성 수지로 충전하는 것도 가능하다. 이 경우, 열경화성 수지 혹은 자외광 경화성 수지 중에 산화 바륨에 대표되는 흡습재를 첨가해 두는 것이 유효하다.

[0077] 본 실시의 형태에서 나타내는 박막 트랜지스터 501~503은 실시의 형태 2에 나타내는 방법으로 제조되어 있고, 박막 트랜지스터 501~503의 활성층으로서 실시의 형태 1에 나타내는 방법으로 형성된 단결정 실리콘막을 사용하고 있다. 그 때문에, SOI 기판의 제조 비용을 삭감할 수 있고, 그것을 사용해서 제조된 반도체 장치의 비용의 저감을 꾀할 수 있다. 또한, TFT의 활성층으로서 단결정 실리콘막을 사용할 수 있기 때문에, 유리기판이나 플라스틱 기판 위에 특성이 좋은 TFT를 제조할 수 있다. 고온처리에 견딜 수 없는 가요성의 기판을 사용할 수도 있다. 또한, 기판과 단결정 실리콘막과의 사이의 절연막으로서 산소 또는 질소를 포함한 규소막을 사용하고 있기 때문에, 기판으로부터 단결정 실리콘막으로의 오염물의 혼입에 의한 반도체 장치의 특성에의 악영향을 저감할 수 있다. 따라서, 특성의 열화가 억제된, 특성이 좋은 EL 표시장치를 용이하게 제조할 수 있다.

[0078] (실시의 형태 4)

[0079] 본 실시의 형태에서는, 실시의 형태 2에서 제조한 반도체장치를 사용하여, 투과형 액정표시장치를 제조하는 방법에 대해서 도면을 참조해서 설명한다.

[0080] 우선, 실시의 형태 2와 같이, SOI 기판을 형성하고, SOI 기판 위에 TFT 601~603과, TFT 601~603을 덮는 제 1의 절연막(610)과, TFT 601~603의 소스 영역 또는 드레인 영역과 전기적으로 접속하는 배선 604~609를 형성한다. 다음에, TFT 601~603, 제 1의 절연막(610) 및 배선 604~609를 덮도록 제 2의 절연막(611)을 형성하고, 절연막(611) 상에 배선(609)과 전기적으로 접속하는 제 1의 전극(612)을 형성한다. 본 실시의 형태에서는, 제 1의 전극(612)의 재료로서, 산화 규소를 함유한 인듐 주석 산화물(ITSO)을 사용한다. 다음에, 제 2의 절연막(611) 및 제 1의 전극(612) 위에 배향막(613)을 형성한다. 본 실시의 형태에서는, 배향막(613)에 폴리이미드를 사용했다.

다음에, 대향기판(614)을 준비한다. 대향기판(614)은, 유리 기판(615), 투명 도전막으로 이루어지는 대향전극(616), 배향막(617)으로 구성된다(도 6).

[0081] 다음에, 상기 공정에 의해 얻은 TFT 기판(619)과 대향기판(614)을 셀재를 통해서 접착시킨다. 여기에서, 양쪽 기판의 간격을 일정하게 유지하기 위해, 배향막 613과 배향막 617과의 사이에 스페이서를 형성해도 된다. 그 후에, 양쪽 기판의 사이에 액정(618)을 주입하고, 밀봉재에 의해 밀봉함으로써 도 6에 나타나 있는 바와 같은 투과형 액정표시장치가 완성된다.

[0082] 또한, 본 실시의 형태에 있어서는 투과형의 액정표시장치에 관하여 설명했지만, 본 발명의 액정표시장치는 이것에 한정되지 않는다. 제 1의 전극(612)으로서 반사성을 가지는 전극을 사용한다. 또한, 제 1의 전극(612)의 상면 또는 하면에 반사막을 설치함으로써, 반사형 액정표시장치에 사용할 수 있다. 또한, 반투과형 액정표시장치에 사용해도 된다.

[0083] 본 실시의 형태에서 나타내는 박막 트랜지스터 601~603은 실시의 형태 2에 나타내는 방법으로 제조되어 있고, 박막 트랜지스터 601~603의 활성층으로서 실시의 형태 1에 나타내는 방법으로 형성된 단결정 실리콘막을 사용하고 있다. 그 때문에, SOI 기판의 제조 비용을 삭감할 수 있고, 그것을 사용해서 제조된 반도체 장치의 비용의 저감을 꾀할 수 있다. 또한, TFT의 활성층으로서 단결정 실리콘막을 사용할 수 있기 때문에, 유리 기판이나 플라스틱 기판 위에 특성이 좋은 TFT를 제조할 수 있다. 고온처리에 견딜 수 없는 가요성의 기판을 사용할 수도 있다. 또한, 기판과 단결정 실리콘막과의 사이의 절연막으로서 산소 또는 질소를 포함한 규소막을 사용하고 있기 때문에, 기판으로부터 단결정 실리콘막(222)으로의 오염물의 혼입에 의한 반도체 장치의 특성에의 악영향을 저감할 수 있다. 따라서, 특성의 열화를 억제할 수 있는, 특성이 좋은 액정표시장치를 용이하게 제조할 수 있다.

[0084] (실시의 형태 5)

[0085] 본 실시의 형태에서는, 박막 트랜지스터, 기억소자 및 안테나를 포함한 무선통신가능한 반도체장치의 제조 방법에 대해서, 도면을 참조해서 설명한다.

[0086] 본 실시의 형태에서 나타내는 반도체 장치를 도 7에 나타낸다. 또한, 도 7a는 본 실시의 형태에서 나타내는 반도체 장치의 상면 구조의 일례를 나타내고, 도 7a의 단면구조의 일부를 도 7b에 나타내고 있다.

[0087] 본 실시의 형태에 있어서, 반도체 장치(700)는 접적회로부(701), 메모리부(702), 안테나(703)를 가지고 있다(도 7a). 또한, 도 7b에 있어서, 영역 704는 도 7a의 접적회로부(701)의 단면구조의 일부에 대응하고, 영역 705는 도 7a의 메모리부(702)의 단면구조의 일부에 대응하며, 영역 706은 도 7a의 안테나(703)의 단면구조의 일부에 대응하고 있다.

[0088] 본 실시의 형태의 반도체 장치는, 도 7b에 나타나 있는 바와 같이 제 1의 기체(710) 위에 제 1의 절연막(711)을 거쳐서 설치된 박막 트랜지스터(TFT) 712~716과, 박막 트랜지스터 712~716 위에 설치된 제 2의 절연막(717)과, 제 2의 절연막(717) 위에 설치된 소스 전극 또는 드레인 전극으로서 기능하는 도전막 718~727를 갖는다. 또한, 본 실시의 형태의 반도체 장치는, 제 2의 절연막(717) 및 소스 전극 또는 드레인 전극으로서 기능하는 도전막 718~727 상에 설치된 제 3의 절연막(728)과, 제 3의 절연막(728) 위에 설치된 도전막 729~731과, 제 3의 절연막(728) 및 도전막 729~731의 일부를 덮도록 설치된 제 4의 절연막(732)과, 제 4의 절연막(732) 위에 설치된 기억소자부 733, 734와, 도전막(731) 위에 설치된 안테나로서 기능하는 도전막(735)과, 제 4의 절연막(732), 기억소자부 733, 734 및 안테나로서 기능하는 도전막(735)을 덮도록 설치된 제 5의 절연막(736)과, 제 5의 절연막(736) 위에 설치된 제 2의 기체(737)를 가지고 있다. 또한, 제 1의 기체(710) 및 제 2의 기체(737)에 의해, 반도체 장치의 접적회로부(701), 메모리부(702), 안테나(703)는 밀봉되어 있다.

[0089] 본 실시의 형태에서 나타내는 박막 트랜지스터 712~716은 실시의 형태 2에 나타내는 방법으로 제조되어 있고, 박막 트랜지스터 712~716의 활성층으로서 실시의 형태 1에 나타내는 방법으로 형성된 단결정 실리콘막을 사용하고 있다. 그 때문에, SOI 기판의 제조 비용을 삭감할 수 있고, 그것을 사용해서 제조된 반도체 장치의 비용의 저감을 꾀할 수 있다. 또한, TFT의 활성층으로서 단결정 실리콘막을 사용할 수 있기 때문에, 유리 기판이나 플라스틱 기판 위에 특성이 좋은 TFT를 제조할 수 있다. 고온처리에 견딜 수 없는 가요성의 기판을 사용할 수도 있다. 또한, 기판과 단결정 실리콘막과의 사이의 절연막으로서 산소 또는 질소를 포함한 규소막을 사용하고 있기 때문에, 기판으로부터 단결정 실리콘막으로의 오염물의 혼입에 의한 반도체장치의 특성에의 악영향을 저감할 수 있다. 따라서, 특성의 열화를 억제할 수 있는, 특성이 좋은 무선통신가능한 반도체장치를 용이하게 제조할 수 있다.

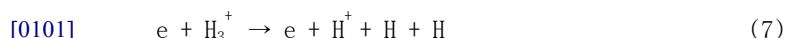
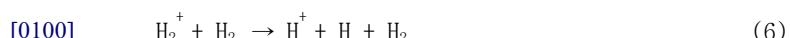
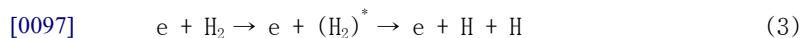
[0090] [실시 예 1]

[0091] 본 실시 예에서는, 취화층 형성에 있어서의 수소도입 방법에 대해서 고찰한다.

[0092] 상기의 실시의 형태에서는, 취화층 형성에 있어서, 수소(H)에 유래하는 이온(이하, 「수소 이온종」이라고 부른다)을 단결정 실리콘 기판에 대하여 조사하고 있다. 더 구체적으로는, 수소 가스 또는 수소를 조성에 포함한 가스를 원재료로서 사용하여, 수소 플라즈마를 발생시키고, 상기 수소 플라즈마 중의 수소 이온종을 단결정 실리콘 기판에 대하여 조사하고 있다.

[0093] (수소 플라즈마 중의 이온)

[0094] 상기와 같은 수소 플라즈마 중에는,  $H^+$ ,  $H_2^+$ ,  $H_3^+$ 의 수소 이온종이 존재한다. 여기에서, 각 수소 이온종의 반응과정(생성과정, 소멸과정)에 대해서, 이하에 반응식을 열거한다.



[0104] 도 8에, 상기의 반응의 일부를 모식적으로 나타낸 에너지 다이어그램을 나타낸다. 또한, 도 8에 나타내는 에너지 다이어그램은 모식도에 지나지 않고, 반응에 관련되는 에너지의 관계를 엄밀히 규정하는 것은 아닌 점에 주의한다.

[0105] ( $H_3^+$  이온의 생성과정)

[0106] 상기와 같이,  $H_3^+$ 은 주로 반응식(5)에 의해 표현되는 반응과정에 의해 생성된다. 한편, 반응식(5)과 경합하는 반응으로서, 반응식(6)에 의해 표현되는 반응과정이 존재한다.  $H_3^+$ 이 증가하기 위해서는, 적어도, 반응식(5)의 반응이, 반응식(6)의 반응보다도 더 자주 발생할 필요가 있다(또한,  $H_3^+$ 가 감소하는 반응으로서는 그 밖에도 (7), (8), (9)가 존재하기 때문에, (5)의 반응이 (6)의 반응보다 더 자주 발생하더라도, 반드시  $H_3^{\pm}$ 가 증가한다고는 한정되지 않는다). 반대로, 반응식(5)의 반응이 반응식(6)의 반응보다 작은 경우에는, 플라즈마 중에 있어서의  $H_3^+$ 의 비율은 감소한다.

[0107] 상기 반응식에 있어서의 우변(최우변)의 생성물의 증가량은, 반응식의 좌변(최좌변)에서 나타내는 원료의 밀도나, 그 반응에 관계되는 속도계수 등에 존재하고 있다. 여기에서,  $H_2^+$ 의 운동 에너지가 약 11eV보다 작은 경우에는 (5)의 반응이 주요해지고(즉, 반응식(5)에 관계되는 속도계수가, 반응식(6)에 관계되는 속도계수와 비교해서 충분히 커지고),  $H_2^+$ 의 운동 에너지가 약 11eV보다 큰 경우에는 (6)의 반응이 주요해지는 것이 실험적으로

확인되고 있다.

[0108] 하전입자는 전장으로부터 힘을 받아서 운동 에너지를 얻는다. 상기 운동 에너지는, 전장에 의한 포텐셜 에너지 (potential energy)의 감소량에 대응하고 있다. 예를 들면, 어떤 하전입자가 다른 입자와 충돌하기까지의 사이에 얻는 운동 에너지는, 그 이동에 의해 소실된 포텐셜 에너지와 같다. 즉, 전장 중에 있어서, 다른 입자와 충돌하는 일없이 긴 거리를 이동할 수 있는 상황에서는, 그렇지 않은 상황과 비교하여, 하전입자의 운동 에너지 (의 평균)는 커지는 경향이 있다. 이러한, 하전입자에 관계되는 운동 에너지의 증대 경향은, 입자의 평균 자유 행로가 큰 상황, 즉, 압력이 낮은 상황에서 생길 수 있다.

[0109] 또한, 평균 자유 행로가 작더라도, 그 동안에 큰 운동 에너지를 얻을 수 있는 상황이면, 하전입자의 운동 에너지는 커진다. 즉, 평균 자유 행로가 작더라도, 전위차가 큰 상황이면, 하전입자가 가지는 운동 에너지는 커진다고 말할 수가 있다

[0110] 이것을  $H_2^+$ 에 적용해 본다. 플라즈마의 생성에 관계되는 챔버 내와 같은 전장의 존재를 전제로 하면, 상기 챔버 내의 압력이 낮은 상황에서는  $H_2^+$ 의 운동 에너지는 커지고, 상기 챔버 내의 압력이 높은 상황에서는  $H_2^+$ 의 운동 에너지는 작아진다. 즉, 챔버 내의 압력이 낮은 상황에서는 (6)의 반응이 주요해지기 때문에,  $H_3^+$ 은 감소하는 경향이 있고, 챔버 내의 압력이 높은 상황에서는 (5)의 반응이 주요해지기 때문에,  $H_3^+$ 은 증가하는 경향이 있다. 또한, 플라즈마 생성영역에 있어서의 전장(또는 전계)이 강한 상황, 즉 어떤 2점 사이의 전위차가 큰 상황에서는  $H_2^+$ 의 운동 에너지는 커지고, 반대의 상황에서는  $H_2^+$ 의 운동 에너지는 작아진다. 즉, 전장이 강한 상황에서는 (6)의 반응이 주요해지기 때문에  $H_3^+$ 은 감소하는 경향이 있고, 전장이 약한 상황에서는 (5)의 반응이 주요해지기 때문에,  $H_3^+$ 은 증가하는 경향이 있다.

[0111] (이온원에 의한 차이)

[0112] 여기에서, 이온종의 비율(특히  $H_3^+$ 의 비율)이 다른 예를 나타낸다. 도 9는 100% 수소가스(이온원의 압력:  $4.7 \times 10^{-2}$  Pa)로부터 생성되는 이온의 질량분석결과를 나타내는 그래프이다. 또한, 상기 질량분석은, 이온원으로부터 인출된 이온을 측정하는 것에 의해 행했다. 횡축은 이온의 질량이다. 스펙트럼 중, 질량 1, 2, 3의 피크는 각각  $H^+$ ,  $H_2^+$ ,  $H_3^+$ 에 대응한다. 종축은, 스펙트럼의 강도이고, 이온의 수에 대응한다. 도 9에서는, 질량이 다른 이온의 수량을, 질량 3의 이온을 100으로 했을 경우의 상대비로 나타내고 있다. 도 9로부터, 상기 이온원에 의해 생성되는 이온의 비율은  $H^+ : H_2^+ : H_3^+ = 1:1:8$  정도가 된다는 것을 알 수 있다. 또한, 이와 같은 비율의 이온은 플라즈마를 생성하는 플라즈마 소스부(이온원)과, 해당 플라즈마로부터 이온 범을 인출하기 위한 인출 전극 등으로 구성되는 이온 도핑 장치에 의해서도 얻는 것이 가능하다.

[0113] 도 10은, 도 9와는 다른 이온원을 사용했을 경우이며, 이온원의 압력이 대략  $3 \times 10^{-3}$  Pa일 때에,  $PH_3$ 로부터 생성한 이온의 질량분석결과를 나타내는 그래프이다. 상기 질량분석결과는, 수소 이온종에 착안한 것이다. 또한, 질량분석은, 이온원으로부터 인출된 이온을 측정하는 것에 의해 행했다. 도 9와 같이, 횡축은 이온의 질량을 나타내고, 질량 1, 2, 3의 피크는 각각  $H^+$ ,  $H_2^+$ ,  $H_3^+$ 에 대응한다. 종축은 이온의 수량에 대응하는 스펙트럼의 강도이다. 도 10으로부터, 플라즈마 중의 이온의 비율은  $H^+ : H_2^+ : H_3^+ = 37:56:7$  정도라는 것을 알 수 있다. 또한, 도 10은 소스 가스가  $PH_3$ 의 경우의 데이터이지만, 소스 가스로서 100% 수소가스를 이용했을 때도, 수소 이온종의 비율은 같은 정도가 된다.

[0114] 도 10의 데이터를 얻은 이온원의 경우에는,  $H^+$ ,  $H_2^+$ ,  $H_3^+$  중,  $H_3^+$ 가 7% 정도밖에 생성되지 않는다. 다른 한편, 도 9의 데이터를 얻은 이온종의 경우에는  $H_3^+$ 의 비율을 50%이상(상기의 조건에서는 80% 정도)으로 하는 것이 가능하다. 이것은, 상기 고찰에 있어서 밝혀진 챔버 내의 압력 및 전장에 기인하는 것으로 생각된다.

[0115] ( $\text{H}_3^+$  이온의 조사 메카니즘)

[0116] 도 9와 같은 복수의 이온종을 포함한 플라즈마를 생성하고, 생성된 이온종을 질량 분리하지 않고 단결정 실리콘 기판에 조사하는 경우, 단결정 실리콘 기판의 표면에는  $\text{H}^+$ ,  $\text{H}_2^+$ ,  $\text{H}_3^+$ 의 각 이온이 조사된다. 이온의 조사로부터 이온 도입 영역 형성에 걸친 메카니즘을 재현하기 위해서, 이하의 5종류의 모델을 생각한다.

[0117] 1. 조사되는 이온종이  $\text{H}^+$ 로, 조사후에도  $\text{H}^+(\text{H})$ 인 경우

[0118] 2. 조사되는 이온종이  $\text{H}_2^+$ 로, 조사후에도 여전히  $\text{H}_2^+(\text{H}_2)$ 인 경우

[0119] 3. 조사되는 이온종이  $\text{H}_2^+$ 로, 조사후에 2개의  $\text{H}(\text{H}^+)$ 로 분열하는 경우

[0120] 4. 조사되는 이온종이  $\text{H}_3^+$ 로, 조사후에도 여전히  $\text{H}_3^+(\text{H}_3)$ 인 경우

[0121] 5. 조사되는 이온종이  $\text{H}_3^+$ 로, 조사후에 3개의  $\text{H}(\text{H}^+)$ 로 분열하는 경우.

[0122] (시뮬레이션 결과와 실측값과의 비교)

[0123] 상기의 모델을 기초로 하여, 수소 이온종을 Si 기판에 조사할 경우의 시뮬레이션을 행했다. 시뮬레이션용의 소프트웨어로서는, SRIM(the Stopping and Range of Ions in Matter: 몬테 칼로(Monte Carlo)법에 의한 이온 도입 과정의 시뮬레이션 소프트웨어, TRIM(the Transport of Ions in Matter)의 개량판)을 사용하고 있다. 또한, 계산의 관계상, 모델 2에서는  $\text{H}_2^+$ 를 질량 2배의  $\text{H}^+$ 로 치환해서 계산했다. 또한, 모델 4에서는  $\text{H}_3^+$ 를 질량 3배의  $\text{H}^+$ 로 치환해서 계산했다. 또, 모델 3에서는  $\text{H}_2^+$ 를 운동 에너지 1/2의  $\text{H}^+$ 로 치환하고, 모델 5에서는  $\text{H}_3^+$ 를 운동 에너지의 1/3의  $\text{H}^+$ 로 치환해서 계산을 행했다.

[0124] 또한, SRIM은 비정질 구조를 대상으로 하는 소프트웨어이지만, 고에너지, 고도우즈의 조건에서 수소 이온종을 조사하는 경우에는, SRIM을 적용가능하다. 수소 이온종과 Si 원자의 충돌에 의해, Si 기판의 결정구조가 비단결정 구조로 변화하기 위해서다.

[0125] 도 11에, 모델 1 내지 모델 5를 사용해서 수소 이온종을 조사했을 경우(H 환산으로 10만개 조사시)의 계산 결과를 나타낸다. 또한, 도 9의 수소 이온종을 조사한 Si 기판 중의 수소농도(SIMS(Secondary Ion Mass Spectroscopy)의 데이터)를 합쳐서 나타낸다. 모델 1 내지 모델 5를 사용해 행한 계산의 결과에 대해서는, 종축을 수소 원자의 수로 표현하고 있고(우축), SIMS 데이터에 대해서는, 종축을 수소 원자의 밀도로 표현하고 있다(좌축). 횡축은 Si 기판표면으로부터의 깊이다. 실측값인 SIMS 데이터와, 계산 결과를 비교했을 경우, 모델 2 및 모델 4는 분명하게 SIMS 데이터의 피크로부터 벗어나 있고, 또한 SIMS 데이터 중에는 모델 3에 대응하는 피크도 볼 수 없다. 이것으로부터, 모델 2 내지 모델 4의 기여는, 상대적으로 작다는 것을 안다. 이온의 운동 에너지가 수 keV 정도인 것에 대해서, H-H의 결합 에너지는 수 eV 정도에 지나지 않은 것을 생각하면, 모델 2 및 모델 4의 기여가 작은 것은, Si 원소와의 충돌에 의해, 대부분의  $\text{H}_2^+$ 나  $\text{H}_3^+$ 가  $\text{H}^+$ 나 H로 분리해 있기 때문이라고 생각된다.

[0126] 이상에서, 모델 2 내지 모델 4에 대해서는, 이하에서는 고려하지 않는다. 도 12 내지 도 14에, 모델 1 및 모델 5를 사용해서 수소 이온종을 조사했을 경우(H 환산으로 10만개 조사시)의 계산 결과를 나타낸다. 또한, 도 9의 수소 이온종을 조사한 Si 기판 중의 수소농도(SIMS 데이터) 및, 상기 시뮬레이션 결과를 SIMS 데이터에 피팅시킨 것(이하 피팅 함수라고 부른다)을 맞춰서 나타낸다. 여기에서, 도 12는 가속 전압을 80kV로 했을 경우를 나타내고, 도 13은 가속 전압을 60kV로 했을 경우를 나타내며, 도 14는 가속전압을 40kV로 했을 경우를 나타내고 있다. 또한, 모델 1 및 모델 5를 사용해 행한 계산의 결과에 대해서는, 종축을 수소 원자의 수로 표현하고 있고(우축), SIMS 데이터 및 피팅 함수에 대해서는, 종축을 수소 원자의 밀도로 표현하고 있다(좌축). 횡축은 Si 기판 표면으로부터의 깊이다.

[0127] 피팅 함수는 모델 1 및 모델 5를 고려해서 이하의 계산식에 의해서 구한 것으로 했다. 또한, 계산식 중, X, Y는 피팅에 관련되는 파라미터이며, V는 체적이다.

[0128] [피팅 함수] = X/V × [모델 1의 데이터] + Y/V × [모델 5의 데이터]

[0129] 실제로 조사되는 이온종의 비율( $H^+ : H_2^+ : H_3^+ = 1:1:8$  정도)을 고려하면  $H_2^+$ 의 기여(즉, 모델 3)에 관해서도 고려해야 하지만, 이하에 나타내는 이유에 의해, 여기에서는 제외해서 생각했다.

[0130] · 모델 3에 나타내는 조사 과정에 의해 도입되는 수소는, 모델 5의 조사과정과 비교해서 얼마 안 되기 때문에, 제외해서 생각해도 큰 영향은 없다(SIMS 데이터에 있어서도, 피크가 나타나지 않는다).

[0131] · 모델 5와 피크 위치의 가까운 모델 3은, 모델 5에 있어서 발생하는 채널링(결정의 격자구조에 기인하는 원소의 이동)에 의해 숨겨질 가능성이 높다. 즉, 모델 3의 피팅 파라미터를 추정하는 것은 곤란하다. 이것은, 본 시뮬레이션이 비정질 Si을 전제로 하고 있고, 결정성에 기인하는 영향을 고려하고 있지 않은 것에 의한 것이다.

[0132] 도 15에, 상기의 피팅 파라미터를 정리한다. 어느 쪽의 가속 전압에 있어서도, 도입되는 H의 수의 비는, [모델 1] : [모델 5] = 1:42~1:45 정도(모델 1에 있어서의 H의 수를 1로 했을 경우, 모델 5에 있어서의 H의 수는 42이상 45이하 정도)이며, 조사되는 이온종의 수의 비는, [ $H^+(모델 1)$ ] : [ $H_3^+(모델 5)$ ] = 1:14~1:15 정도(모델 1에 있어서의  $H^+$ 의 수를 1로 했을 경우, 모델 5에 있어서의  $H_3^+$ 의 수는 14이상 15이하 정도)이다. 모델 3을 고려하지 않고 있는 것이나 비정질 Si로 가정해서 계산하고 있는 것 등을 고려하면, 실제의 조사에 관계되는 이온종의 비( $H^+ : H_2^+ : H_3^+ = 1:1:8$  정도)에 가까운 값을 얻을 수 있다고 말할 수가 있다.

[0133] ( $H_3^+$  이온을 이용하는 효과)

[0134] 도 9에 나타낸 바와 같은  $H_3^+$ 의 비율을 높인 수소 이온종을 기판에 조사하는 것으로,  $H_3^+$ 에 기인하는 복수의 메리트를 향수하는 것이 가능하다. 예를 들면,  $H_3^+$ 는  $H^+$ 나 H 등으로 분리하여 기판 내에 도입되기 때문에, 주로  $H^+$ 나  $H_2^+$ 를 조사하는 경우와 비교해서, 이온의 도입효과를 향상시키는 것이 가능하다. 이에 따라, 실리콘 기판의 생산성 향상을 꾀할 수 있다. 또한, 마찬가지로,  $H_3^+$ 가 분리한 후의  $H^+$ 나 H의 운동 에너지는 작아지는 경향이 있기 때문에, 얇은 실리콘막의 제조에 적합하다.

[0135] 또한, 본 명세서에서는  $H_3^+$ 를 효과적으로 조사하기 위해서, 도 9에 나타낸 바와 같은 수소 이온종을 조사 가능한 이온 도핑장치를 사용하는 방법에 관하여 설명하고 있다. 이온 도핑장치는 염가여서, 대면적 처리에 뛰어나기 때문에, 이러한 이온 도핑장치를 사용해서  $H_3^+$ 를 조사하는 것으로, 대면적화, 저비용화, 생산성 향상 등의 현저한 효과를 얻는 것이 가능하다. 한편,  $H_3^+$ 의 조사를 제일로 생각한다면, 이온 도핑 장치를 이용하는 것에 한정해서 해석할 필요는 없다.

### 도면의 간단한 설명

[0136] 도 1은 본 발명의 SOI 기판의 제조 공정을 설명하는 도면.

[0137] 도 2는 본 발명의 SOI 기판의 제조 공정을 설명하는 도면.

[0138] 도 3은 본 발명의 박막 트랜지스터의 구성을 설명하는 도면.

[0139] 도 4는 본 발명의 박막 트랜지스터의 제조 공정을 설명하는 도면.

[0140] 도 5는 본 발명의 표시장치의 구성을 설명하는 도면.

[0141] 도 6은 본 발명의 표시장치의 구성을 설명하는 도면.

[0142] 도 7은 본 발명의 무선통신 가능한 반도체 장치의 구성을 설명하는 도면.

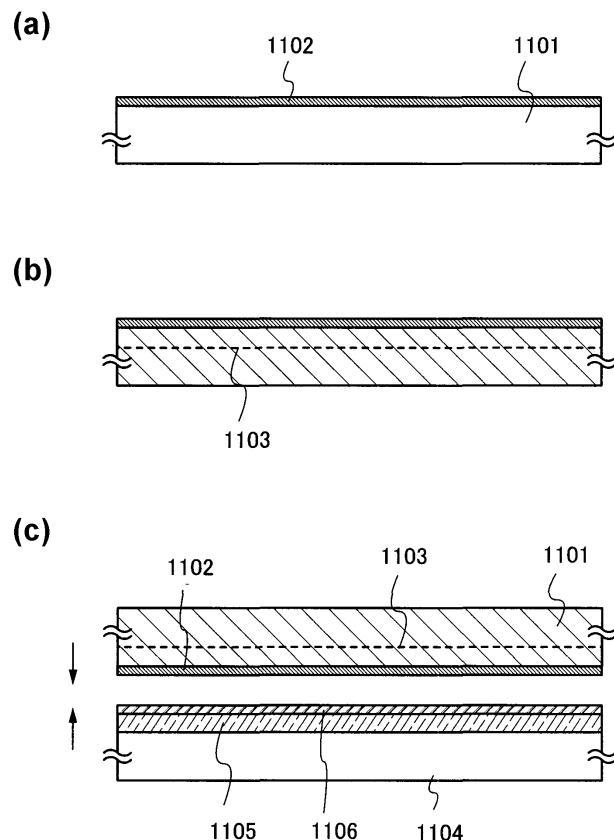
[0143] 도 8은 수소 이온 종의 에너지 다이어그램에 대해서 도시한 도면.

[0144] 도 9는 이온의 질량분석결과를 도시한 도면.

- [0145] 도 10은 이온의 질량분석결과를 도시한 도면.
- [0146] 도 11은 가속 전압을 80kV로 했을 경우의 수소원소의 깊이 방향의 프로파일(실측값 및 계산값)을 도시한 도면.
- [0147] 도 12는 가속 전압을 80kV로 했을 경우의 수소원소의 깊이 방향의 프로파일(실측값, 계산값, 및 피팅 함수)을 도시한 도면.
- [0148] 도 13은 가속 전압을 60kV로 했을 경우의 수소원소의 깊이 방향의 프로파일(실측값, 계산값, 및 피팅 함수)을 도시한 도면.
- [0149] 도 14는 가속 전압을 40kV로 했을 경우의 수소원소의 깊이 방향의 프로파일(실측값, 계산값, 및 피팅 함수)을 도시한 도면.
- [0150] 도 15는 피팅 파라미터의 비(수소 원소비 및 수소 이온종비)를 정리한 도면.

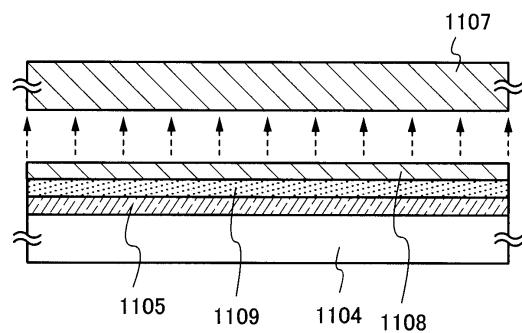
## 도면

### 도면1

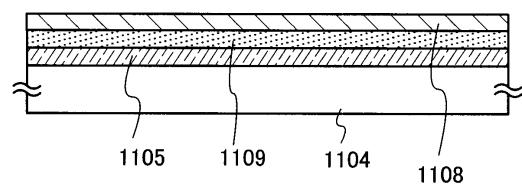


도면2

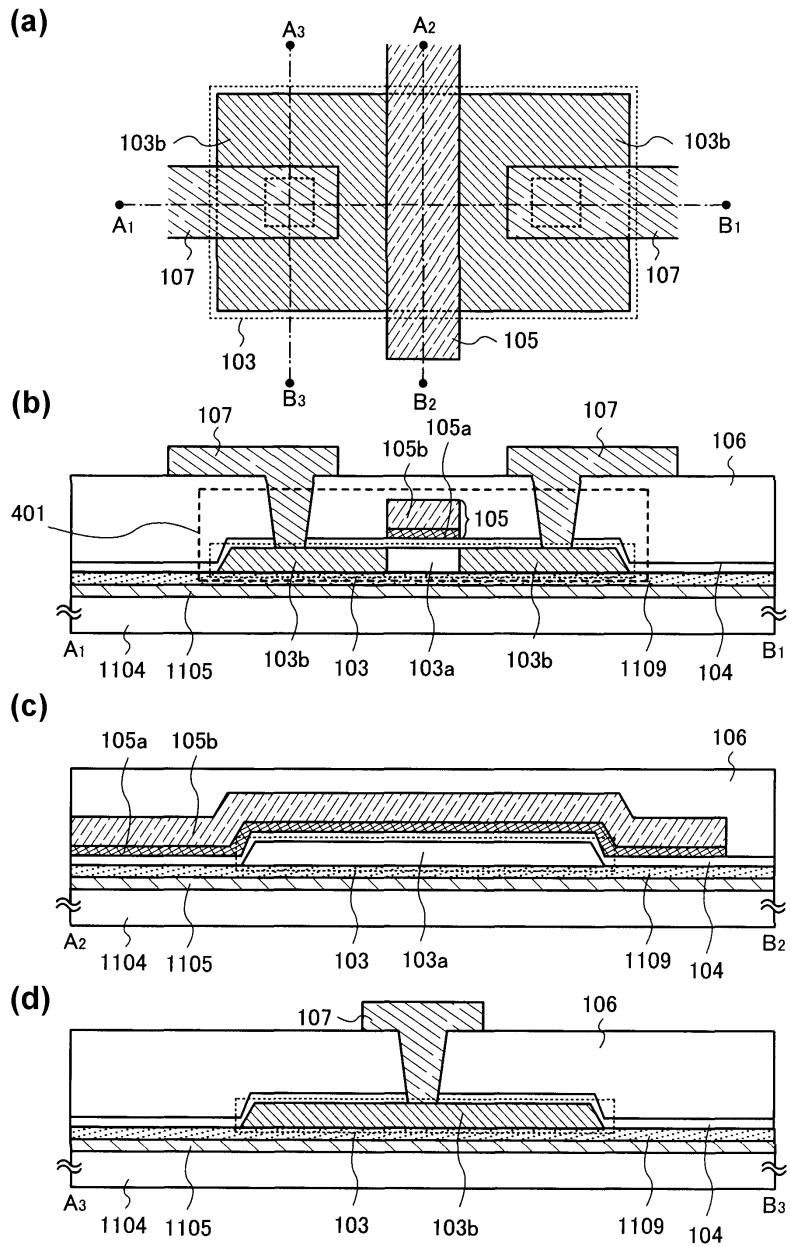
(a)



(b)

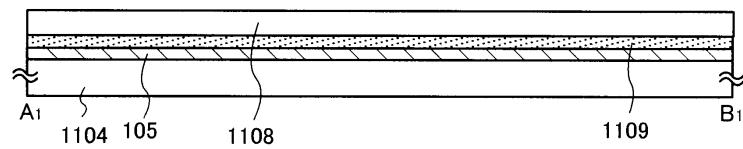


## 도면3

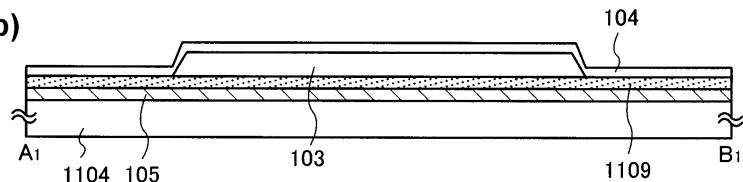


## 도면4

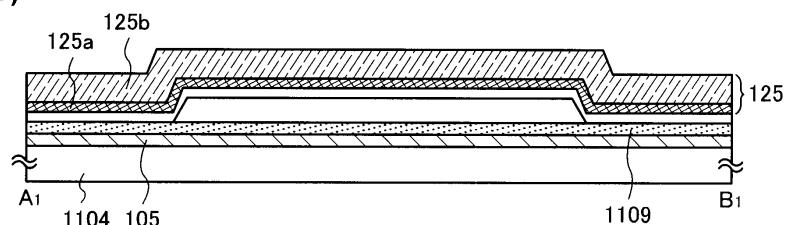
(a)



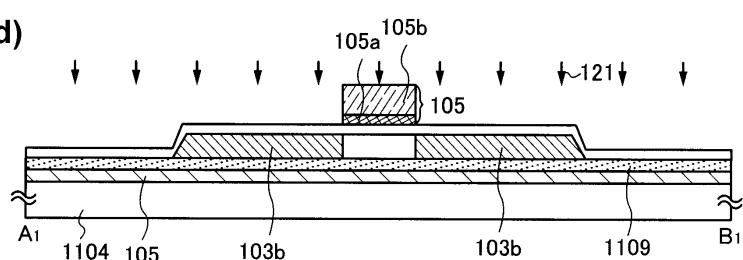
(b)



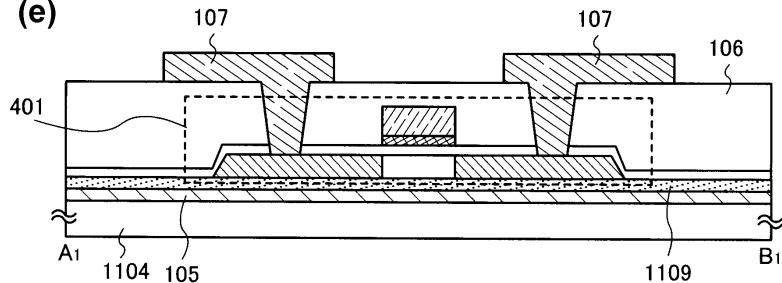
(c)



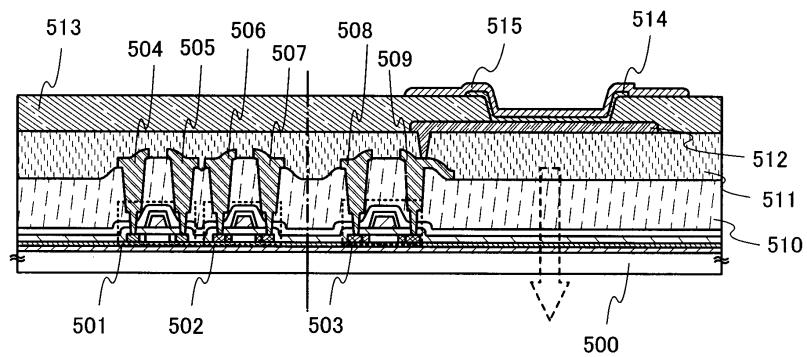
(d)



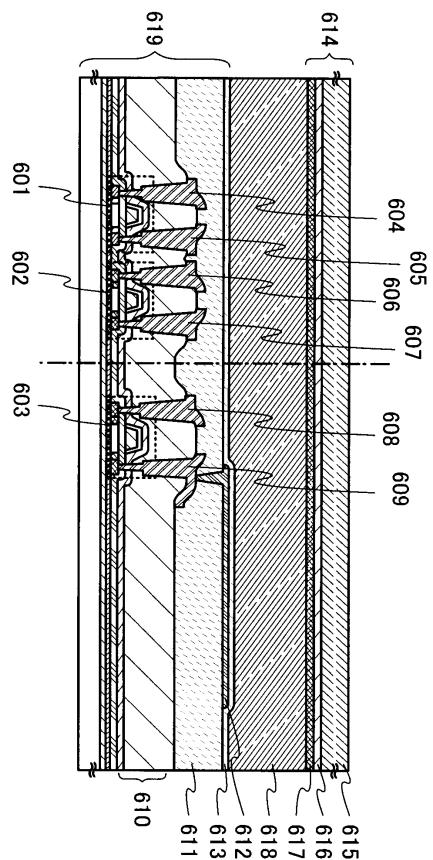
(e)



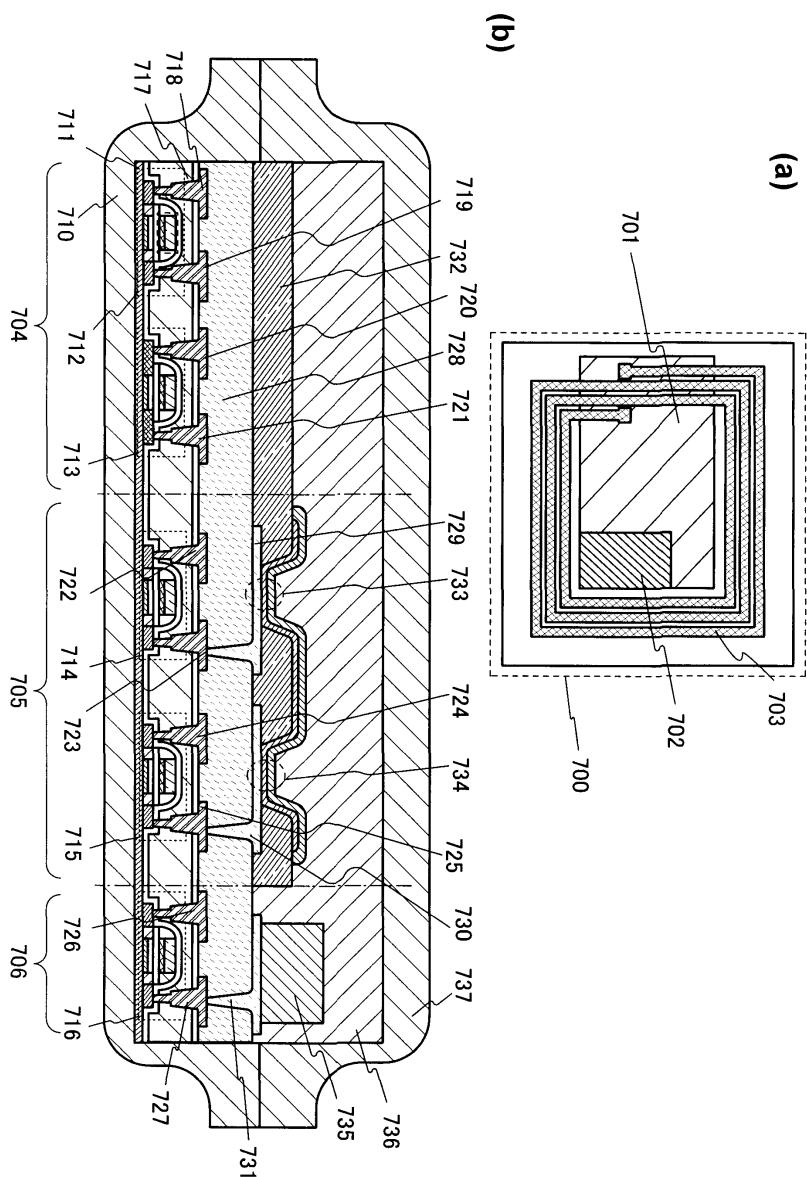
도면5



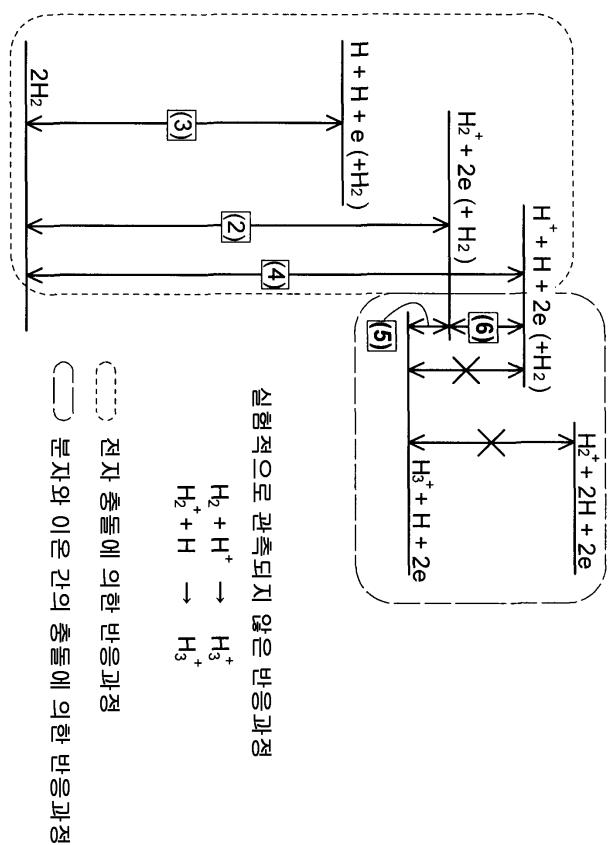
도면6



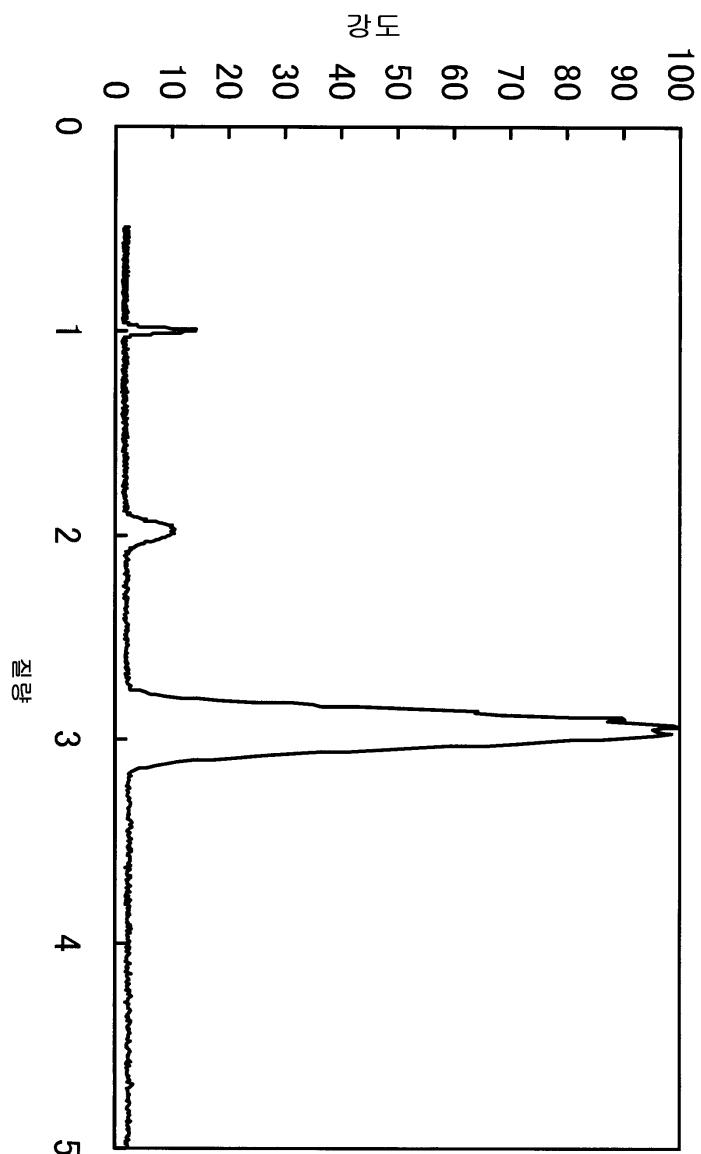
도면7



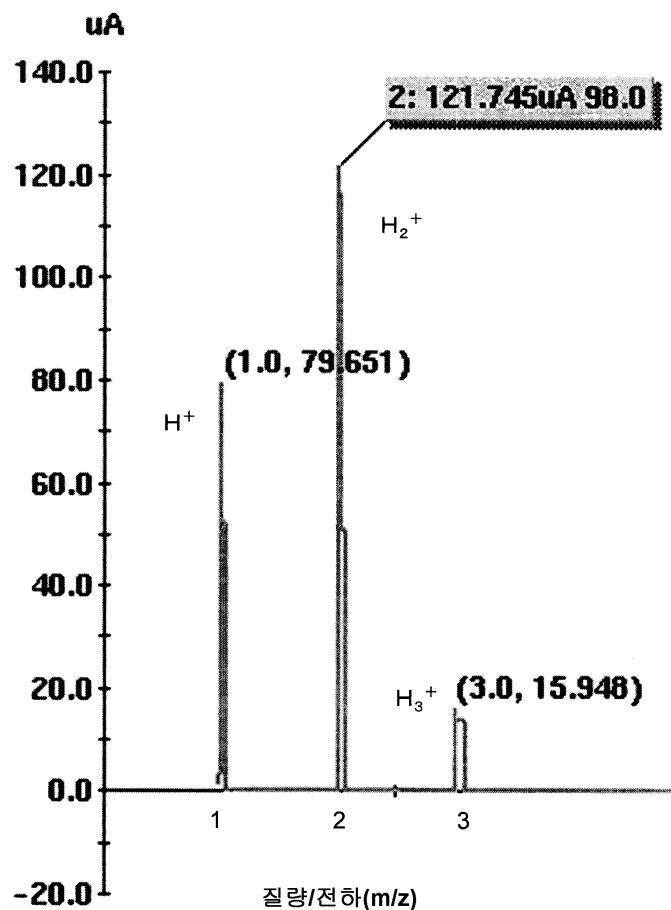
## 도면8



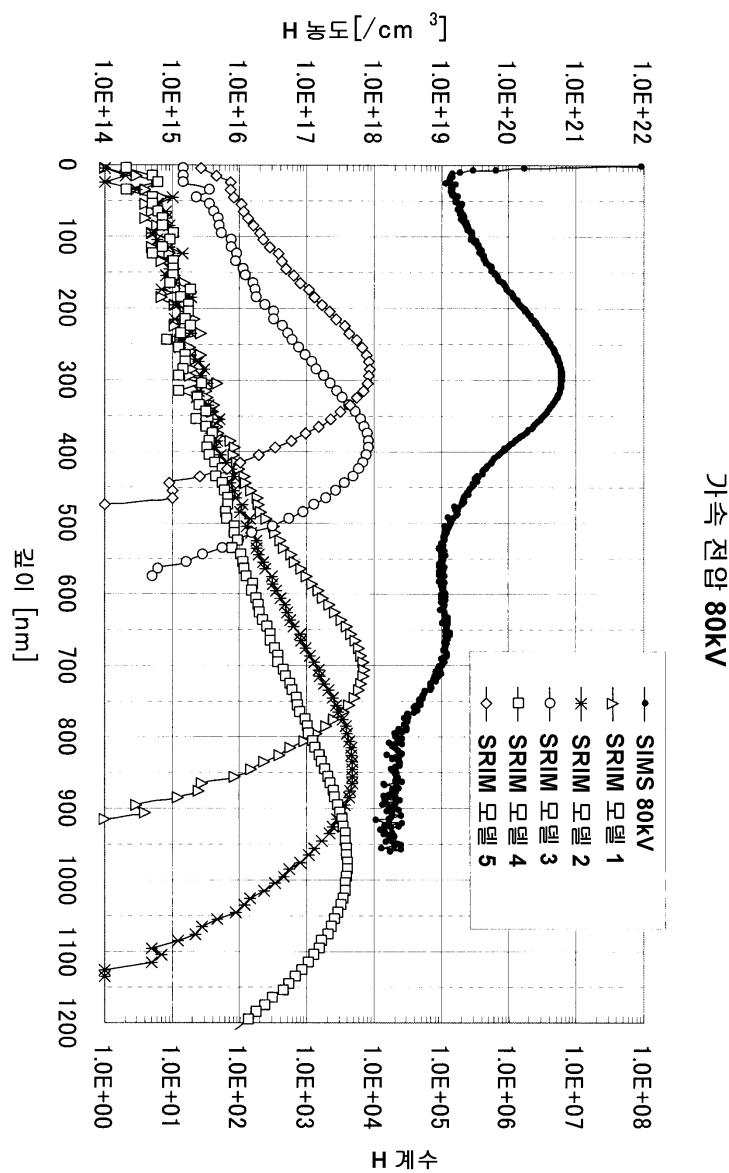
도면9



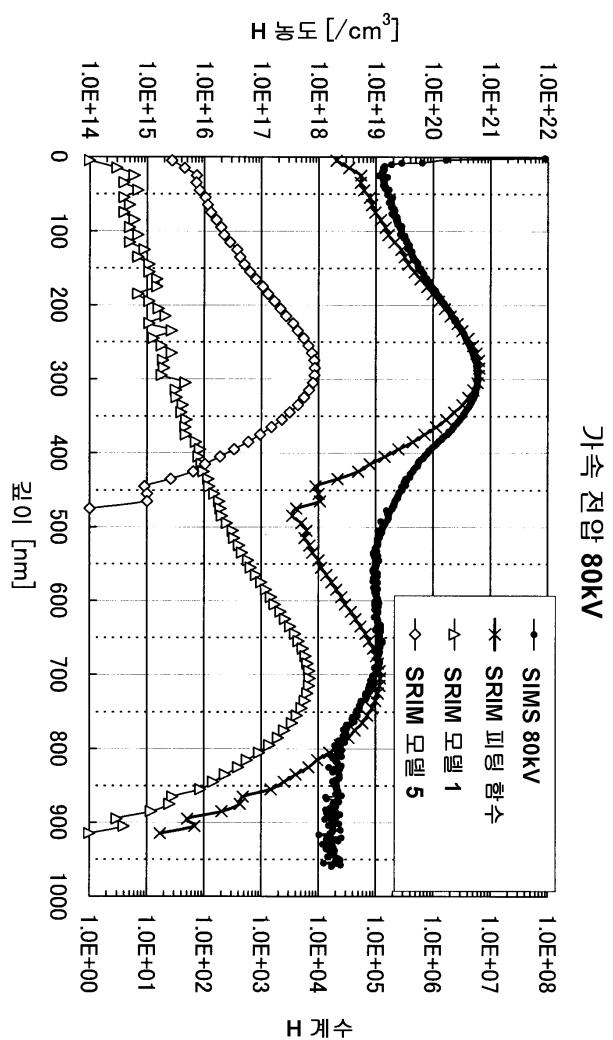
도면10



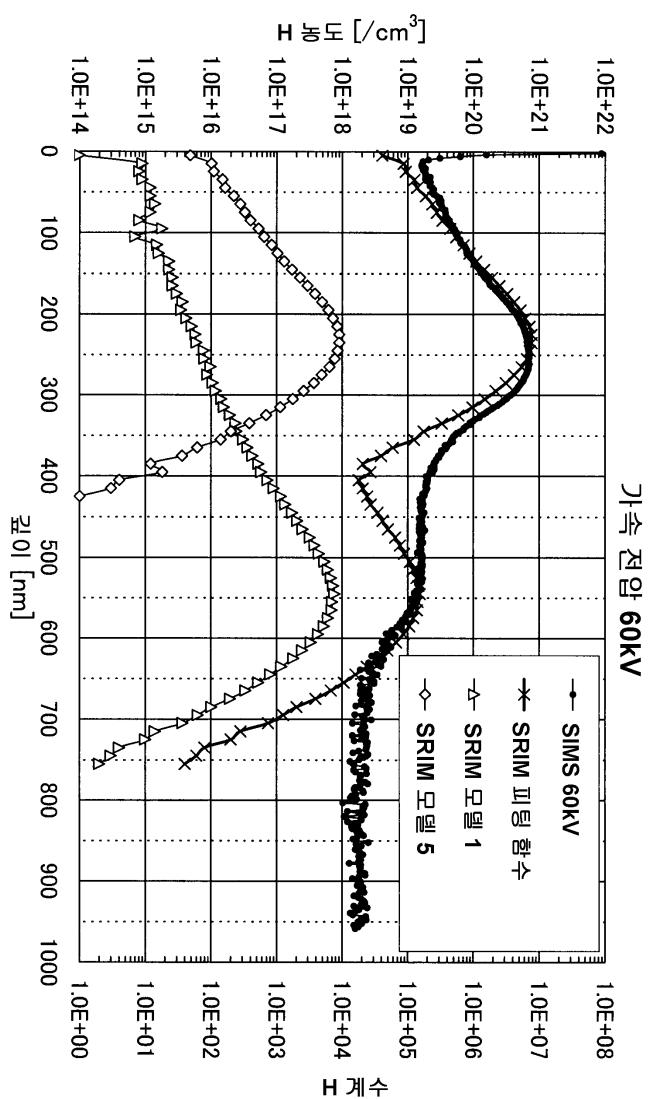
도면11



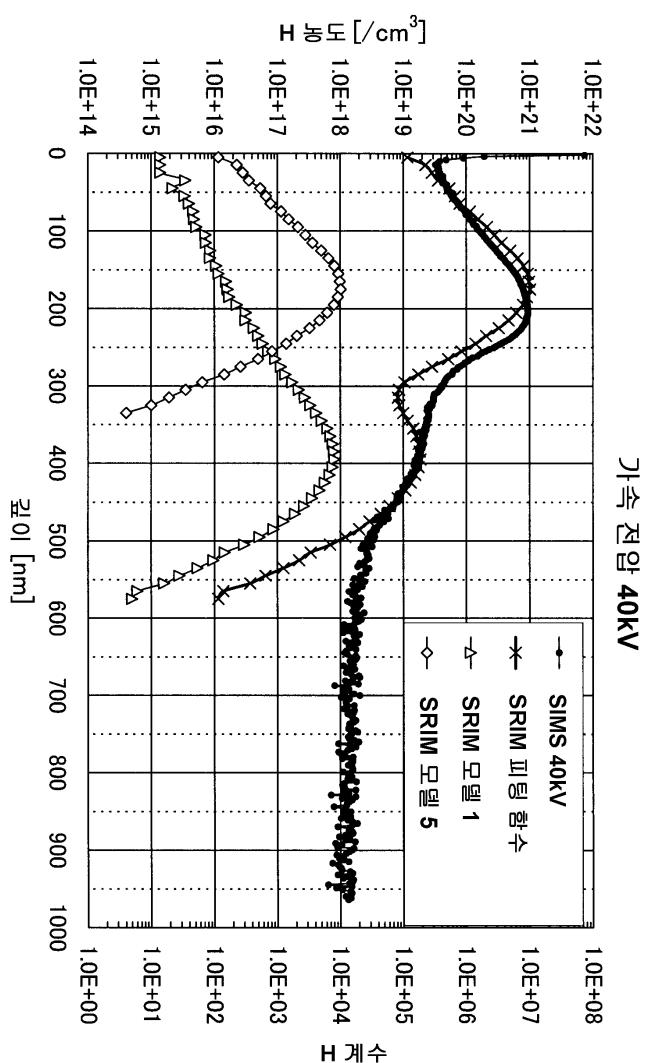
도면12



도면13



도면14



도면15

가속전압	수소 원자의 비 (X:Y)	수소 이온종의 비 (X:Y/3)
80kV	1:44. 1	1:14. 7
60kV	1:42. 5	1:14. 2
40kV	1:43. 5	1:14. 5