(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G09G 3/20

(45) 공고일자 2005년10월18일
(11) 등록번호 10-0522278
(24) 등록일자 2005년10월11일

(21) 출원번호 10-1999-0030770
(22) 출원일자 1999년07월28일

(65) 공개번호 10-2000-0012034
(43) 공개일자 2000년02월25일

(30) 우선권주장 98-214597 1998년07월29일 일본(JP)
98-339604 1998년11월30일 일본(JP)
99-171260 1999년06월17일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 이시이겐야
일본나가노켄스와시오와3초메3-5세이코엡슨가부시키가이샤내

우치다마사히데
일본나가노켄스와시오와3초메3-5세이코엡슨가부시키가이샤내

(74) 대리인 특허법인코리아나

심사관 : 박부식

(54) 전기 광학 장치의 구동 회로 및 전기 광학 장치

요약

구동 회로를 한쪽의 기판에 형성한 전기 광학 장치에 있어서, 비교적 간단한 구성을 사용하여 화소 피치의 미세화에 대응한다.

주사선 구동 회로(104)에 있어서는, 시프트 레지스터(500)에 의한 각 전송 신호를 3개로 분기함과 동시에 각 분기에 대응하여 인에이블 회로(502)를 설치한다. 그리고, 전송 신호의 펄스 기간에 있어서, 서로 위상을 순차 시프트시킨 인에이블 신호(ENB1y, ENB2y, ENB3y)에 의해, 1개의 전송 신호를 시간적으로 순차 시프트시켜 3개로 분할하여, 각각을 주사선 신호로서 출력한다. 데이터선 구동 회로에 대해서도 마찬가지로 한다.

대표도

도 2

색인어

전기 광학 장치, 액정 장치, 시프트 레지스터, 레벨 시프터

명세서

도면의 간단한 설명

도 1은 본 발명의 제 1 실시형태에 관계되는 액정 장치의 전체 구성을 도시하는 블록도.

도 2는 동 액정 장치에 있어서의 주사선 구동 회로의 구성을 도시하는 회로도.

도 3은 동 주사선 구동 회로의 동작을 설명하기 위한 타이밍 챠트.

도 4a는 클록된 인버터를 도시하는 도면이며, 도 4b는 그 실제의 구성을 도시하는 회로도.

도 5a는 주사선 구동 회로(또는, 데이터선 구동 회로)의 변형예를 도시하는 회로도이며, 도 5b는 그 전송 게이트의 실제적인 구성의 일례를 도시하는 회로도이고, 도 5c는 그 밖의 예를 도시하는 회로도.

도 6a는 주사선 구동 회로(또는, 데이터선 구동 회로)에 있어서 인에이블 회로의 배치의 일례를 도시하는 도면이며, 도 6b는 다른 배치를 도시하는 도면.

도 7은 동 액정 장치에 있어서의 데이터선 구동 회로의 구성을 도시하는 회로도.

도 8은 동 데이터선 구동 회로의 동작을 설명하기 위한 타이밍 챠트.

도 9는 본 발명의 제 2 실시형태에 관계되는 액정 장치의 전체 구성을 도시하는 블록도.

도 10은 동 액정 장치에 있어서의 데이터선 구동 회로의 동작을 설명하기 위한 타이밍 챠트.

도 11은 본 발명의 제 3 실시형태에 관계되는 액정 장치의 전체 구성을 도시하는 블록도.

도 12는 동 액정 장치의 데이터선 구동 회로에 있어서, 제 1 동작 모드인 경우의 동작을 설명하기 위한 타이밍 챠트.

도 13은 동 액정 장치의 데이터선 구동 회로에 있어서, 제 2 동작 모드인 경우의 동작을 설명하기 위한 타이밍 챠트.

도 14는 동 액정 장치를 포함하는 화상 신호 처리 회로의 구성의 일례를 도시하는 블록도.

도 15는 동 화상 신호 처리 회로의 구성의 다른 예를 도시하는 블록도.

도 16은 본 발명의 제 4 실시형태에 관계되는 액정 장치중, 데이터선 구동 회로의 주요부 구성을 도시하는 회로도.

도 17은 동 데이터선 구동 회로에서, 제 1 동작 모드인 경우의 동작을 설명하기 위한 타이밍 챠트.

도 18은 동 데이터선 구동 회로에서, 제 2 동작 모드인 경우의 동작을 설명하기 위한 타이밍 챠트.

도 19는 각 실시형태에 관계되는 액정 장치의 구성을 도시하는 평면도.

도 20은 도 19에 있어서의 H- H' 단면도.

도 21은 각 실시형태의 어느 것인가의 액정 장치를 사용한 액정 프로젝터의 구성을 도시하는 평면도.

* 도면의 주요 부분에 대한 부호의 설명 *

1a: 액정표시부 10: TFT 어레이 기판

11: 화소 전극 20: 대향 기판

30: TFT 31: 주사선

32: 용량선 35: 데이터선(소스 전극)

101: 데이터선 구동 회로 104: 주사선 구동 회로

200: 액정 장치 204: 신호 처리부

209: 입력부 211: 마이크로 컴퓨터

214: 동작 검출부 302: 샘플링 스위치

400 내지 402: 화상 신호선

500: (Y측의) 시프트 레지스터

502: (Y측의) 인에이블 회로

503: NAND 게이트 504: 인버터

505: 전송 게이트 507: TFT

600: (X측의) 시프트 레지스터 602: (X측의) 인에이블 회로

603: NAND 게이트 604: 인버터

612: 제 1 인에이블 회로 613: 제 1 NAND 게이트

614: 제 1 인버터 622: 제 2 인에이블 회로

623: 제 2 NAND 게이트 624: 제 2 인버터

Vi, VID1, VID2, VID3: 화상 신호

LY2～: (Y측의) 단위 회로

LX1～: (X측의) 단위 회로

A1～, B1～: 전송 신호

ENB1y, ENB2y, ENB3y …: (Y측의) 인에이블 신호

ENB1x, ENB2x, ENB3x …: (X측의) 인에이블 신호

ENB11x, ENB12x, ENB13x …: 제 1 군의 인에이블 신호

ENB21x, ENB22x, ENB23x …: 제 2 군의 인에이블 신호

Y1～: 주사 신호

S1～: 샘플링 제어 신호

Smv : 검출 신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액티브 매트릭스 방식의 전기 광학 장치를 구동하는 전기 광학 장치의 구동 회로 및 이러한 구동 회로에 의해서 구동되는 전기 광학 장치에 관한 것이다.

(종래의 기술)

일반적으로 액티브 매트릭스 방식에 의해서 구동되는 전기 광학 장치에 있어서는, 복수의 주사선 및 복수의 데이터선이 각각 종횡으로 배열함과 동시에, 이들 각 교차에 대응하여 화소 전극이 박막 다이오드(Thin Film Diode: 이하「TFD」라고 칭함)나, 박막 트랜지스터(Thin Film Transistor:이하「TFT」라고 칭함)등의 스위칭 소자를 끼워서 형성된다.

이 중, 각 주사선에는 주사 신호가 주사선 구동 회로에 의해서 순차 공급된다. 상세하게는, 주사선 구동 회로는 주사선의 배열 방향인 Y방향(세로방향)에 대하여 복수단의 단위 회로로 이루어지는 Y측 시프트 레지스터를 갖는다. 여기서, Y측 시프트 레지스터는 외부의 화상 신호 처리 회로에서 수직 주사 기간의 최초에 공급되는 시작 펄스를 첫째로 화상 신호 처리 회로에서 수직 주사의 기준이 되는 Y측 클록 신호(CLY)(및 그 반전 신호(CLY'))의 주기에 근거하여 순차 전송하며, 둘째로 각 단의 단위 회로에서의 전송 신호를 주사 신호로서, 대응하는 주사선에 공급하는 구성으로 이루어져 있다.

한편, 각 데이터선은 데이터선 구동 회로에 의해 구동된다. 즉, 데이터선 구동 회로는 화상 신호선에 공급되는 화상 신호를 데이터선마다 샘플링하는 샘플링 스위치에 대하여, 상기 주사 신호의 순차 공급 동작과 동기하여, 샘플링 제어 신호를 공급하도록 구성되어 있다. 상세하게는 우선, 데이터선 구동 회로는 데이터선의 배열 방향인 X방향(가로방향)에 대하여 복수단으로 이루어지는 X측 시프트 레지스터를 갖는다. 여기서, X측 시프트 레지스터는 첫째로 외부의 화상 신호 처리 회로에서 수평 주사 기간의 최초로 공급되는 시작 펄스를 화상 신호 처리 회로에서 수평 주사의 기준이 되는 X측 클록 신호(CLX)(및 그 반전 신호(CLX'))의 주기에 근거하여 순차 전송하며, 둘째로 각 단의 단위 회로에 의한 전송 신호를 샘플링 제어 신호로서, 대응하는 데이터선에 접속된 샘플링 스위치에 출력한다. 그리고, 이 샘플링 제어 신호에 의해서, 각 샘플링 스위치는 화상 신호선에 공급된 화상 신호를 샘플링 제어 신호에 따라서 샘플링하여, 대응하는 데이터선에 공급하는 구성으로 이루어져 있다.

이와 같이, 액티브 매트릭스 방식의 전기 광학 장치에 있어서는, 시프트 레지스터로부터 순차 출력되는 주사 신호나 샘플링 제어 신호에 근거하여, 필드 단위 또는 프레임 단위의 수직 주사, 즉 필드 주사나 프레임 주사등이 행하여지는 것이 일반적이다.

그런데, 이 종류의 전기 광학 장치에 있어서는, 상술한 주사선 구동 회로나 데이터선 구동 회로등이 해당 전기 광학 장치를 구성하는 한쌍의 기판중, 한쪽의 기판에 화소 전극에 접속된 스위칭 소자와 동시에 형성되는 구동 회로 내장형으로서 실용화되는 경우가 많다. 이 경우, 구동 회로를 포함시킨 주변 회로의 스페이스를 작게함으로서, 장치 전체의 소형화를 도모하는 것이 가능해지며, 또한 화소 전극을 구동하는 스위칭 소자와 동일 공정으로 주변 회로를 구성하는 능동 소자를 형성함으로서, 장치 전체의 제조 효율의 개선이나 저원가를 도모하는 것이 가능해진다.

단, 기판의 크기는 해당 전기 광학 장치 전체의 사이즈를 규정하는 요인이 된다. 이 때문에, 기판상의 주변 영역에서 주사선 구동 회로나 데이터선 구동 회로등을 형성하는 영역을 화면 표시 영역에 대하여 지나치게 크게하는 것은 전기 광학 장치 전체를 소형화하며, 또한 전기 광학 장치의 크기에 대하여 화면 표시 영역을 상대적으로 크게하려고 하는 해당 기술 분야에서의 기본적 요청에 어긋나는 결과를 초래한다.

따라서, 기판상에 구동 회로를 형성하기 위해서는, 우선 주사선 구동 회로의 Y측 시프트 레지스터에서, 각 단의 단위 회로에 있어서의 Y방향의 회로 피치(이하, 단지「Y측 시프트 레지스터의 회로 피치」라고 칭함)가 주사선의 피치에 맞추어진다. 이것에 의해, 주사선 구동 회로의 형성에 필요한 영역중, Y방향의 폭은 화면표시 영역의 Y방향의 폭과 같은 정도로 이루어진다. 마찬가지로, 데이터선 구동 회로의 X측 시프트 레지스터에서, 각 단의 단위 회로에 있어서의 X방향의 회로 피치(이하, 단지「X측 시프트 레지스터의 회로 피치」라고 칭함)와 샘플링 회로에서의 샘플링 스위치의 X방향의 피치(이하

단지「샘플링 스위치의 피치」라고 칭함)가 각각 데이터선의 피치에 맞추어진다. 이것에 의해, 데이터선 구동 회로의 형성에 필요한 영역중, X방향의 폭은 화면 표시 영역의 X방향의 폭과 같은 정도로 이루어진다. 따라서, 기판에 있어서, X방향 및 Y방향의 폭이 억제되어 기판의 대형화가 방지되는 것으로 된다.

그런데, 최근 전기 광학 장치에 있어서 고화질화의 요청은 강하다. 이 때문에, 고세밀한 화상을 실현해야 하며 화소 피치를 미세화함과 동시에, 보다 다수의 주사선이나 데이터선을 고주파수로 구동하는 것이 필요하게 된다.

발명이 이루고자 하는 기술적 과제

그러나 상술의 시프트 레지스터에는 각 단의 단위 회로마다 복수의 비교적 복잡한 능동 소자가 구비된다. 예를 들면, 각 단의 단위 회로에서는 4개의 TFT로 이루어지는 3개의 클록된 인버터와 이것들의 클록된 인버터 각각에 대하여 양음의 전원과 클록 신호와 그 반전 신호를 공급하기 위한 배선이 최소한으로 필요하게 된다. 이 때문에, 전기 광학 장치의 기판에 구동 회로등의 주변 회로를 형성하는 구성으로서는 화소 피치가 미세화함에 따라서, 전술한 Y측 및 X측 시프트 레지스터의 회로 피치를 각각 주사선 및 데이터선의 피치에 맞추는 것이 곤란하게 된다. 예를 들면, 현재의 상태에서 시프트 레지스터의 회로 피치의 한계는 실천적인 의미로 20μm 전후이기 때문에, 구동 회로를 구성하는 시프트 레지스터의 회로 피치가 화소 피치를 미세화할 때 병목 현상(bottle neck)이 된다는 문제점이 있다.

발명의 구성 및 작용

본 발명은 상술의 사정을 감안하여 이루어진 것으로, 그 목적으로 하는 것은 비교적 간단한 구성을 사용하여 화소 피치의 미세화에 대응할 수 있는 전기 광학 장치의 구동 회로 및 해당 구동 회로를 내장하는 전기 광학 장치를 제공하는 것에 있다.

(과제를 해결하기 위한 수단)

상기 목적을 달성하기 위해서, 본 발명에 있어서의 제 1 전기 광학 장치의 구동 회로는 복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로로서, 상기 주사선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터이고, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서의 전송 신호를 순차 출력하는 시프트 레지스터와 상기 각 단의 단위 회로에서 출력된 전송 신호를 시간축상에서 복수로 분할하여, 각각을 주사 신호로서 상기 주사선에 순차 출력하는 출력 수단을 구비하는 것을 특징으로 하고 있다.

본 발명에 있어서의 제 1 전기 광학 장치의 구동 회로로서는 우선, 전송 신호가 시프트 레지스터를 구성하는 각 단의 단위 회로에 의해서 순차 출력된다. 그렇게 하면, 상기 전송 신호는 출력 수단에 의해서 시간축상에서 복수로 분할되어, 주사 신호로서 복수의 주사선에 순차 출력된다. 이 때문에, 화소 피치가 미세화를 도모함에 있어서, 시프트 레지스터의 회로 피치를 주사선의 피치에 대하여, 출력 수단에 있어서의 분할수에 따라서 확대하는 것이 가능해진다.

예를 들면, 시프트 레지스터를 구성하는 단위 회로는 종래에서는 주사선의 총개수를 m(m은 2이상의 정수)으로 하면, 적어도 이것과 동수의 m단이 필요하게 된다. 이것에 대하여, 본 발명에서는 출력 수단에 있어서의 분할 수가 n(n은 2이상의 정수)으로 하면, 시프트 레지스터를 구성하는 단위 회로는 m/n단으로 되기 때문에, 종래와 비교하여 1/n으로 저감된다. 이 때문에, Y측 시프트 레지스터의 회로 피치를 n배로 확대하는 것이 가능해진다. 또한, 본 발명에서는 이 분할수 n에 따라서, 시프트 레지스터에서의 구동 주파수가 저감되기 때문에, 이것에 따라 소비되는 전력을 억제하는 것도 가능해진다.

한편, 출력 수단에 대해서는 전송 신호를 시간축상에서 분할하는 구성이면 충분하므로, 그 구성은 시프트 레지스터의 단위 회로와 비교하여 간략화된다. 이 때문에, 출력 수단을 형성하기 위해서 필요한 Y방향의 회로 피치에 대해서는 시프트 레지스터의 회로 피치보다도 좁은 피치로 구성하는 것이 용이해 진다.

그런데, 상기 제 1 전기 광학 장치의 구동 회로에서, 하나의 양태에 있어서는 상기 출력 수단은 상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에서 출력된 전송 신호를 복수개로 분기하는 분기 배선과, 상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와, 소정의 인에이블 신호와의 논리곱 신호를 주사 신호로서 출력하는 인에이블 회로를 구비하여, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 액티브 기간이 서로 중복하지 않은 인에이블 신호가 개별로 공급된다. 이 양태에 의하면, 시프트 레지스터로부터 출력된 전송 신호는 각각 복수의 분기 배선에 의해 분기된다. 그리고, 분기된 전송 신호와 인에이블용의

클록 신호와의 논리곱 신호가 인에이블 회로에 의해서 요청되어, 대응하는 주사선에 주사 신호로서 공급된다. 이 때문에, 출력 수단은 분기 배선과 인에이블 회로라는 비교적 간단한 회로 구성에 의해 실현되므로, 출력 수단에 있어서의 회로 피치는 용이하게 좁아진다. 따라서, 인에이블 회로의 회로 피치가 미세화할 때 병목 현상이 되는 사태를 방지하게 된다.

여기서, 출력 수단이 인에이블 회로를 구비하는 양태로서는, 인접하는 인에이블 회로 데이터선의 배열 방향에 따라, 서로 다르게 배치되어 있으면 좋다. 이와 같이 배치하면, 서로 인접하는 인에이블 회로는 데이터선의 배열 방향(즉, 주사선의 형성 방향과 직교하는 방향)에 대하여 서로 다르게 배치되기 때문에, 서로 인접하는 인에이블 회로를 데이터선의 배열 방향에 대해서 동일 위치에(즉, 데이터 선의 배열 방향에 따라 일직선상에) 모두 배치하는 경우와 비교하여, 각 인에이블 회로를 구성하는 회로 소자를 주사선의 배열 방향으로 폭 넓게 형성하는 것이 가능해진다. 이 결과, 인에이블 회로의 회로 피치를 한층더 좁게 하는 것이 가능해지며, 주사선 피치의 미세화가 도모된다.

또한, 출력 수단이 인에이블 회로를 구비하는 양태로서는 상기 인에이블 회로의 각각은 상기 전송 신호와 상기 소정의 인에이블 신호를 입력하는 NAND 게이트와, 그 출력을 반전하는 인버터와의 직렬 접속으로 이루어지는 구성이라도 좋다. 이와 같이 구성하면, NAND 게이트 및 인버터의 직렬 접속에 의해, 분기된 각 전송 신호와 인에이블 신호와의 논리곱 신호를 확실하고 또한 좋은 정밀도로 출력하는 것이 가능해진다. 또한, NAND 게이트 및 인버터는 시프트 레지스터의 각 단위 회로보다도 구성이 간이하기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해진다.

한편, 출력 수단이 인에이블 회로를 구비하는 양태로서는 상기 인에이블 회로의 각각은 상기 전송 신호가 입력되며 또한 상기 소정의 인에이블 신호가 입력되었을 때, 상기 주사 신호를 출력하는 전송 게이트인 구성이라도 좋다. 이와 같이 구성하면 전송 게이트는 비교적 간단한 회로이기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해지며 또한, 전송 신호로부터 주사 신호를 생성하는 처리에 필요한 지연 시간도 짧게 된다.

또는, 출력 수단이 인에이블 회로를 구비하는 양태로서는, 상기 인에이블 회로 각각은 상기 전송 신호가 입력되며 또한 상기 소정의 인에이블 신호가 입력되었을 때, 상기 주사 신호를 출력하는 박막 트랜지스터로서, P형 또는 N형중 어느 것인가 한쪽의 채널형으로 구성되어도 좋다. 이와 같이 구성하면, P형 또는 N채널형중, 한쪽의 채널형의 박막 트랜지스터에 의해서, 인에이블 회로를 구성하면, 그 사이즈가 비교적 작게 되기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해지며 또한 트랜지스터수가 비교적 적어지기 때문에, 전송 신호로부터 주사 신호를 생성하는 처리에 필요한 지연 시간도 짧게 된다.

그런데, 상기 제 1 전기 광학 장치의 구동 회로에서 다른 양태에 있어서는, 상기 구동 회로는 상기 화소 전극의 형성 영역을 끼워서 양측에 형성되며, 상기 양측 중, 한쪽에 형성된 구동 회로는 상기 복수의 주사선중 홀수번째의 주사선에 대하여 주사 신호를 출력하며, 다른쪽에 형성된 구동 회로는 짝수번째의 주사선에 대하여 주사 신호를 출력한다. 이 양태에 의하면, 분할된 구동 회로의 한쪽은 홀수번째의 주사선에, 다른쪽은 짝수번째의 주사선에, 각각 주사 신호를 공급하기 때문에 시프트 레지스터의 회로 피치가 배가 된다. 이 때문에, 출력 수단에 있어서의 분할수에 따라서, 시프트 레지스터의 회로 피치가 확대됨과 함께, 주사선의 피치를 보다 미세화하는 것이 가능해진다.

또한, 상기 목적은 상술한 제 1 전기 광학 장치의 구동 회로에 의해 구동되는 전기 광학 장치에 의해서도 달성된다. 이 전기 광학 장치에 의하면, 특히, 주사선 피치의 미세화가 비교적 간단한 회로 구성에 의해서 도모되게 된다. 또, 전기 광학 장치로서는 액정 장치나, EL(Electro Luminescence) 장치등, 기판간에 여러 가지의 전기 광학 재료를 사용한 것을 예로 들 수 있다.

다음에, 상기 목적을 달성하기 위해서, 본 발명에 있어서의 제 2 전기 광학 장치의 구동 회로는 복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로로서, 상기 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터이며, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와, 상기 각 단의 단위 회로에서 출력된 전송 신호를 시간축상에서 복수로 분할하여 샘플링 제어 신호로서 출력하는 출력 수단과, 상기 데이터선의 각각에 대응하여 설치되며, 각각은 상기 출력 수단에 의해 분할된 샘플링 제어 신호에 따라서, 화상 신호를 샘플링하여 대응하는 데이터선에 공급하는 샘플링 스위치를 구비하는 것을 특징으로 하고 있다.

본 발명에 있어서의 제 2 전기 광학 장치의 구동 회로에서는, 우선 전송 신호가 시프트 레지스터를 구성하는 각 단의 단위 회로에 의해서 순차 출력된다. 그렇게 하면, 이 전송 신호는 출력 수단에 의해서 시간축상에서 복수로 분할되어, 샘플링 제어 신호로서 샘플링 스위치에 순차 출력된다. 이 때문에, 화소 피치가 미세화를 도모함에 있어서, 시프트 레지스터의 회로 피치를 데이터선의 피치에 대하여 출력 수단에 있어서의 분할수에 따라서 확대하는 것이 가능해진다.

예를 들면, 시프트 레지스터를 구성하는 단위 회로는 종래로서는 데이터선의 총개수를 p(p는 2이상의 정수)로 하면, 적어도 이것과 동수의 p단이 필요하게 된다. 이것에 대하여, 본 발명에서는 출력 수단에 있어서의 분할수가 q(q는 2이상의 정수)라고 하면, 시프트 레지스터를 구성하는 단위 회로는 p/q단으로 되기 때문에, 종래와 비교하여 1/q로 저감된다. 이 때문에, X측 시프트 레지스터의 회로 피치를 q배로 확대하는 것이 가능해진다. 또한, 본 발명에서는 이 분할수 q에 따라서, 시프트 레지스터에 있어서의 구동 주파수가 저감되기 때문에, 이것에 따라 소비되는 전력을 억제하는 것도 가능해진다. 이 효과에 대해서는, 동작 주파수가 매우 높은 데이터선 구동 회로에서는 주사선 구동 회로보다도 현저하다. 한편, 출력 수단에 대해서는 전송 신호를 시간축상에서 분할하는 구성이면 충분하기 때문에, 그 구성은 시프트 레지스터의 단위 회로와 비교하여 간략화된다. 이 때문에, 출력 수단을 형성하기 위해서 필요한 X방향의 회로 피치에 대해서는 시프트 레지스터의 회로 피치보다도 좁은 피치로 구성하는 것이 용이하게 진다.

그런데, 상기 제 2 전기 광학 장치의 구동 회로에서, 하나의 양태에 있어서는, 상기 출력 수단은 상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에서 출력된 전송 신호를 복수개로 분기하는 분기 배선과, 상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와 소정의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 인에이블 회로를 구비하여, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 액티브 기간이 서로 중복하지 않은 인에이블 신호가 개별로 공급된다. 이 양태에 의하면, 시프트 레지스터로부터 출력된 전송 신호는 각각 복수의 분기 배선에 의해 분기된다. 그리고, 분기된 전송 신호와 인에이블용의 클록 신호와의 논리곱 신호가 인에이블 회로에 의해서 요청되어, 대응하는 샘플링 스위치에 샘플링 제어 신호로서 공급된다. 이 때문에, 출력 수단은 분기 배선과 인에이블 회로라는 비교적 간단한 회로 구성에 의해 실현되기 때문에, 출력 수단에 있어서의 회로 피치는 용이하게 좁아진다. 따라서, 이 회로 피치가 미세화할 때의 병목 현상으로 되는 사태는 방지하게 된다.

여기서, 출력 수단이 인에이블 회로를 구비하는 하나의 양태에서는 상기 인에이블 회로의 각각은 상기 전송 신호와 상기 소정의 인에이블 신호를 입력하는 NAND 게이트와, 그 출력을 반전하는 인버터와의 직렬 접속로 구성된다. 이와 같이 구성하면, NAND 게이트 및 인버터의 직렬 접속에 의해, 분기된 각 전송 신호와 인에이블 신호와의 논리곱 신호를 확실하고 또한 좋은 정밀도로 출력하는 것이 가능해진다. 또한, NAND 게이트 및 인버터는 시프트 레지스터의 각 단을 구성하는 회로부분보다도 간단한 회로이기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해진다.

한편, 출력 수단이 인에이블 회로를 구비하는 다른 양태에서는 상기 인에이블 회로의 각각은 상기 전송 신호가 입력되며 또한, 상기 소정의 인에이블 신호가 입력되었을 때, 상기 샘플링 제어 신호를 출력하는 전송 게이트인 구성이라도 좋다. 이와 같이 구성하면, 전송 게이트는 비교적 간단한 회로이기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해지며 또한 전송 신호로부터 샘플링 제어 신호를 생성하는 처리에 필요한 지연 시간도 짧게 된다.

또한, 상기 목적은 상술한 제 2 전기 광학 장치의 구동 회로에 의해 구동되는 전기 광학 장치에 의해서도 달성된다. 이러한 전기 광학 장치에 의하면, 특히, 데이터선 피치의 미세화가 비교적 간단한 회로 구성에 의해서 도모되는 것이 된다. 또, 전기 광학 장치로서는 액정 장치나, EL 장치등, 기판간에 여러 가지의 전기 광학 재료를 사용한 것을 예로 들 수 있다.

다음에, 상기 목적을 달성하기 위해서, 본 발명에 있어서의 제 3 전기 광학 장치의 구동 회로는 복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극을 가지며, 소정 개수의 데이터선마다, 직렬-병렬 변환된 화상 신호를 동시에 샘플링하는 전기 광학 장치의 구동 회로이며, 화상 신호가 동시에 샘플링되는 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터이고, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와, 상기 각 단의 단위 회로에서 출력된 전송 신호를 시간축상에서 복수로 분할하여 샘플링 제어 신호로서 출력하는 출력 수단과, 상기 데이터선의 각각에 대응하여 설치되며, 각각은 상기 샘플링 제어 신호에 따라서, 상기 화상 신호중 어느 것인가를 샘플링하여, 대응하는 데이터선에 공급하는 샘플링 스위치이고, 서로 인접하는 데이터선의 복수에 대응하여 설치된 것 끼리는, 동일의 샘플링 제어 신호에 의해서 동시에 다른 화상 신호를 샘플링하는 샘플링 스위치를 구비하는 것을 특징으로 하고 있다.

본 발명에 있어서의 제 3 전기 광학 장치의 구동 회로에서는, 우선 전송 신호가 시프트 레지스터에 있어서의 각 단의 단위 회로에 의해서 순차 출력된다. 그러면, 이 전송 신호는 출력 수단에 의해서 시간축상에서 복수로 분할되어, 샘플링 제어 신호로서 샘플링 스위치에 순차 출력된다. 이 때, 서로 인접하는 데이터선의 복수에 대응하여 설치된 샘플링 스위치끼리는 동일의 샘플링 제어 신호에 의해서 다른 화상 신호를 동시에 샘플링한다. 이 때문에, 화소 피치가 미세화를 도모하는 데에 있어서, 시프트 레지스터의 회로 피치를 데이터선의 피치에 대하여, 출력 수단에 있어서의 분할수와, 동시에 구동되는 샘플링 스위치의 개수과 따라서 확대하는 것이 가능해진다.

예를 들면, 시프트 레지스터를 구성하는 단위 회로는 종래로서는 데이터선의 총개수를 p(p는 2이상의 정수)로 하면, 적어도 이것과 동수의 p단이 필요하게 된다. 이것에 대하여, 본 발명에서는 출력 수단에 있어서의 분할수가 q(q는 2이상의 정수)이고, 동시에 구동되는 샘플링 스위치의 개수가 r(r은 2이상의 정수)이라고 하면, 시프트 레지스터를 구성하는 단위 회로는, p/(q×r)단으로 되기 때문에, 종래와 비교하여, 1/(q×r)로 저감된다. 이 때문에, X측 시프트 레지스터의 회로 피치를 q×r배로 확대하는 것이 가능해진다. 또한, 본 발명에서는 이 분할수 및 동시에 구동되는 샘플링 스위치의 개수에 따라서, 시프트 레지스터에 있어서의 구동주파수가 저감되기 때문에, 이것에 따라 소비되는 전력을 억제하며 또한 회로의 수명을 연장시키는 것도 가능해진다. 이 효과에 대해서는 동작 주파수가 매우 높은 데이터선 구동 회로에서는 주사선 구동 회로보다도 현저하다. 한편, 출력 수단에 대해서는 전송 신호를 시간축상에서 분할하는 구성이면 충분하기 때문에, 그 구성은 시프트 레지스터의 단위 회로와 비교하여 간략화된다. 이 때문에, 출력 수단을 형성하기 위해서 필요한 X방향의 회로 피치에 대해서는 시프트 레지스터의 회로 피치보다도 협소 피치로 구성하는 것이 용이하게 된다.

그런데, 상기 제 3 전기 광학 장치의 구동 회로에서, 하나의 양태에 있어서는 상기 출력 수단은 상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에서 출력된 전송 신호를 복수로 분기하는 분기 배선과, 상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와, 소정의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 인에이블 회로를 구비하여, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 액티브 기간이 서로 중복하지 않은 인에이블 신호가 개별적으로 공급된다. 이 양태에 의하면, 시프트 레지스터로부터 출력된 전송 신호는 각각 복수의 분기 배선에 의해 분기된다. 그리고, 분기된 전송 신호와 인에이블용의 클록 신호와의 논리곱 신호가 인에이블 회로에 의해서 요청되어, 대응하는 복수개의 샘플링 스위치에 샘플링 제어 신호로서 공급된다. 이 때문에, 출력 수단은 분기 배선과 인에이블 회로라는 비교적 간단한 회로 구성에 의해 실현할 수 있으므로 출력 수단에 있어서의 회로 피치는 용이하게 좁아진다. 따라서, 이 회로 피치가 미세화할 때 병목 형상으로 되는 사태는 방지하게 된다.

여기서, 출력 수단이 인에이블 회로를 구비하는 하나의 양태로서는 상기 인에이블 회로의 각각은 상기 전송 신호와 상기 소정의 인에이블 신호를 입력하는 NAND 게이트와, 그 출력을 반전하는 인버터와의 직렬 접속으로 구성된다. 이와 같이 구성하면, NAND 게이트 및 인버터의 직렬 접속에 의해, 분기된 각 전송 신호와 인에이블 신호와의 논리곱 신호를 확실하고 또한 좋은 정밀도로 출력하는 것이 가능해진다. 또한, NAND 게이트 및 인버터는 시프트 레지스터의 각 단을 구성하는 회로 부분보다도 간단한 회로이기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해진다.

한편, 출력 수단이 인에이블 회로를 구비하는 다른 양태로서는 상기 인에이블 회로 각각은 상기 전송 신호가 입력되며 또한, 상기 소정의 인에이블 신호가 입력되었을 때, 상기 샘플링 제어 신호를 출력하는 전송 게이트인 구성이라도 좋다. 이와 같이 구성하면, 전송 게이트는 비교적 간단한 회로이기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해지며 또한, 전송 신호로부터 샘플링 제어 신호를 생성하는 처리에 필요한 지연 시간도 짧게 된다.

또한, 상기 목적은 상술한 제 3 전기 광학 장치의 구동 회로에 의해 구동되는 전기 광학 장치에 의해서도 달성된다. 이러한 전기 광학 장치에 의하면, 특히 데이터선 피치의 미세화가 비교적 간단한 회로 구성에 의해서 도모되는 것이 된다. 또한, 전기 광학 장치로서는 액정 장치나, EL 장치등, 기판간에 여러 가지의 전기 광학 재료를 사용한 것을 예로 들 수 있다.

다음에, 상기 목적을 달성하기 위해서, 본 발명에 있어서의 제 4 전기 광학 장치의 구동 회로는 복수의 주사선과 복수의 데이터조와의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로이며, 상기 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터이고, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와, 상기 각 단의 단위 회로에서 출력된 전송 신호를 시간축상에서 복수로 분할 또는 동시에 복수로 분배하여 샘플링 제어 신호로서 출력하는 출력 수단과, 상기 데이터선의 각각에 대응하여 설치되며, 각각은 출력 수단에 의해 분할 또는 분배된 전송 신호에 따라서, 복수의 화상 신호선중, 어느 것인가 하나에 공급된 화상 신호를 샘플링하여, 대응하는 데이터선에 공급하는 샘플링 스위치를 구비하는 것을 특징으로 하고 있다.

본 발명에 있어서의 제 4 전기 광학 장치의 구동 회로에서는 우선, 전송 신호가 시프트 레지스터에 있어서의 각 단의 단위 회로에 의해서 순차 출력된다. 그러면, 이 전송 신호는 출력 수단에 의해서 시간축상에서 복수로 분할 또는 동시에 복수로 분배되어 샘플링 제어 신호로서 출력된다. 이 때, 출력 수단이 전송 신호를 시간축상에서 복수로 분할하면, 샘플링 스위치는 1개마다 순차로 샘플링을 실시하는 한편, 전송 신호를 동시에 분배하면 서로 인접하는 데이터선의 복수에 대응하여 설치된 샘플링 스위치끼리는 동시에 샘플링을 실시하게 된다. 이 때문에, 소위 순차 구동과 소위 복수개 동시 구동을 출력 수단에 의해 전환하여 사용할 수 있다. 또한, 본 발명에서는 시프트 레지스터의 회로 피치를 데이터선의 피치에 대하여, 출력 수단에 있어서의 분할수에 따라서 확대하는 것이 가능해진다. 첨가하여, 본 발명으로서는 출력 수단에 있어서의 분할수의

역수에까지 시프트 레지스터에 있어서의 구동 주파수를 저하시키는 것도 가능해진다. 한편, 출력 수단에 대해서는 전송 신호를 시간축상에서 분할 또는 동시에 분배하는 구성이면 충분하기 때문에, 그 구성은 시프트 레지스터의 단위 회로와 비교하여 간략화된다. 이 때문에, 출력 수단을 형성하기 위해서 필요한 X방향의 회로 피치에 대해서는 시프트 레지스터의 회로 피치보다도 협소 피치로 구성하는 것이 용이하게 된다.

여기서, 상기 제 4 전기 광학 장치의 구동 회로에서 하나의 양태에 있어서는, 상기 출력 수단이 전송 신호를 시간축상에서 복수로 분할하는 경우, 상기 복수개의 화상 신호선에는 같은 화상 신호가 공급되며, 샘플링 스위치의 각각은 해당 화상 신호를 순차 샘플링하는 한편, 상기 출력 수단이 전송 신호를 동시에 복수로 분배하는 경우, 상기 복수개의 화상 신호선에는 1계통의 화상 신호가 시간축에 해당 복수배로 신장됨과 동시에 분배되어, 상기 샘플링 스위치중 서로 인접하는 데이터선의 복수개에 대응하여 설치된 복수개는 해당 화상 신호를 동시에 샘플링하는 구성이 된다. 이 구성으로서는 전송 신호를 시간축상에서 복수로 분할하는 경우, 복수개의 화상 신호선에는 같은 화상 신호가 공급되기 때문에, 순차 구동이 가능하게 되는 한편, 전송 신호를 동시에 복수로 분배하는 경우, 복수개의 화상 신호선에는 1계통의 화상 신호가 시간축에 해당 복수배로 신장 분배된 화상 신호가 각각 공급되기 때문에 복수개 동시 구동이 가능해진다.

또한, 상기 제 4 전기 광학 장치의 구동 회로에서, 다른 양태에 있어서는 상기 출력 수단은 상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에 의해 출력된 전송 신호를 복수개로 분기하는 분기 배선과, 상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와, 소정의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 인에이블 회로를 구비하여, 전송 신호를 시간축상에서 복수로 분할하는 경우, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않은 인에이블 신호가 개별적으로 공급되는 한편, 전송 신호를 동시에 복수로 분배하는 경우, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 동일한 인에이블 신호가 개별적으로 공급된다. 이 양태에 의하면, 시프트 레지스터로부터 출력된 전송 신호는 각각 복수의 분기 배선에 의해 분기된다. 그리고, 분기된 전송 신호와 인에이블용의 클록 신호와의 논리곱 신호가 인에이블 회로에 의해서 요청되어, 대응하는 샘플링 스위치에 샘플링 제어 신호로서 공급된다. 이 때문에, 출력 수단은 분기 배선과 인에이블 회로라는 비교적 간단한 회로 구성에 의해 실현되기 때문에, 출력 수단에 있어서의 회로 피치는 용이하게 좁아진다. 따라서, 이 회로 피치가 미세화할 때의 병목 현상이 되는 사태는 방지하게 된다.

여기서, 출력 수단이 인에이블 회로를 구비하는 하나의 양태로서는 상기 인에이블 회로의 각각은 상기 전송 신호와 상기 소정의 인에이블 신호를 입력하는 NAND 게이트와 그 출력을 반전하는 인버터와의 직렬 접속으로 구성된다. 이와 같이 구성하면, NAND 게이트 및 인버터의 직렬 접속에 의해, 분기된 각 전송 신호와 인에이블 신호와의 논리곱 신호를 확실하고 또한 좋은 정밀도로 출력하는 것이 가능해진다. 또한, NAND 게이트 및 인버터는 시프트 레지스터의 각 단을 구성하는 단위 회로보다도 간단하기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해진다.

한편, 출력 수단이 인에이블 회로를 구비하는 다른 양태로서는 상기 인에이블 회로 각각은 상기 분기 배선에 의해 분기된 전송 신호가 입력되며, 또한, 상기 소정의 인에이블 신호가 입력되었을 때, 상기 샘플링 제어 신호를 출력하는 전송 게이트인 구성이라도 좋다. 이와 같이 구성하면, 전송 게이트는 비교적 간단한 회로이기 때문에, 해당 인에이블 회로의 회로 피치를 비교적 용이하게 좁히는 것이 가능해지며 또한, 전송 신호로부터 샘플링 제어 신호를 생성하는 처리에 필요한 지연 시간도 짧게 된다.

또한, 상기 목적은 상술한 제 4 전기 광학 장치의 구동 회로에 의해 구동되는 전기 광학 장치에 의해서도 달성된다. 이러한 전기 광학 장치에 의하면, 특히, 데이터선의 피치가 미세화가 비교적 간단한 회로 구성에 의해서 도모되는 것이 된다. 또, 전기 광학 장치로서는 액정 장치나, EL 장치등, 기판간에 여러 가지의 전기 광학 재료를 사용한 것을 예로 들 수 있다.

이러한 전기 광학 장치에 있어서, 하나의 양태로서는 상기 출력 수단에 있어서, 전송 신호를 시간축상에서 복수로 분할할지, 또는, 전송 신호를 동시에 복수로 분배할지에 대해서 판정하는 판정 수단과, 전송 신호를 시간축상에서 복수로 분할한다고 판정된 경우에는, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않은 인에이블 신호를 개별적으로 공급하는 한편, 전송 신호를 동시에 복수로 분배한다고 판정된 경우에는, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 동일한 인에이블 신호를 개별적으로 공급하는 공급 수단을 구비한다. 이 양태에 의하면, 판정 수단에 의해서 순차 구동 또는 복수개 동시 구동의 어느 것인가에 구동할지가 판정되고 판정된 구동에 필요한 인에이블 신호가 공급 수단에 의해서 인에이블 회로에 공급되는 것이 된다.

이와 같이 판정 수단 및 공급 수단을 구비하는 하나의 양태에서는 상기 판정 수단은 입력한 화상 신호의 종류에 근거하여 상기 판정을 실시한다. 예를 들면, 판정 수단은 화상 신호가 NTSC나, PAL, SECAM 등의 영상계 신호이면, 전송 신호를 시간축상에서 복수로 분할한다고 판정하여, 이것에 의해 순차 구동을 실시하는 한편, 화상 신호가 퍼스널 컴퓨터등의 데이터계 신호이면, 전송 신호를 동시에 복수로 분배한다고 판정하여, 이것에 의해 복수개 동시 구동을 실시하는 구성이 된다.

또한, 판정 수단 및 공급 수단을 구비하는 다른 양태로서는 입력한 화상 신호에 있어서의 동작을 검출하여, 그 검출 신호를 출력하는 동작 검출 수단을 또한 구비하며, 상기 판정 수단은 상기 검출 신호에 근거하여, 미리 설정된 시간내에 상기 동작이 있다고 판정한 경우에는, 전송 신호를 시간축상에서 복수로 분할한다고 판정하는 한편, 상기 시간내에 상기 동작이 없다고 판정한 경우에는, 전송 신호를 동시에 복수로 분배한다고 판정한다. 이러한 양태로서는 화상 신호에 있어서의 동작에 따라서 순차 구동과 복수개 동시 구동을 전환하여, 각 데이터선을 구동하는 것이 가능해진다. 결국, 동작이 많은 화상은 불균일이 없는 순차 구동으로 하는 한편, 동작이 없는(또는 적은) 화상은 고해상도 표시가 가능한 복수개 동시 구동으로 하는 것으로, 표시해야 할 화상의 특성에 알맞은 구동 방식을 선택하여 화상을 출력하는 것이 가능해진다.

다음에, 상기 목적을 달성하기 위해서, 본 발명에 있어서의 제 5 전기 광학 장치의 구동 회로는 복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로이며, 상기 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터이고, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와, 상기 각 단의 단위 회로에서 출력된 전송 신호를 시간축상에서 복수로 분할하는 제 1 출력 수단과, 상기 제 1 출력 수단에 의해 분할된 전송 신호를 또한, 시간축상에서 복수로 분할 또는 동시에 복수로 분배하여 샘플링 제어 신호로서 출력하는 제 2 출력 수단과, 상기 데이터선의 각각에 대응하여 설치되며, 각각은 상기 제 2 출력 수단에 의해 분할 또는 분배된 전송 신호에 따라서, 복수개의 화상 신호선중 어느 것인가 1개에 공급된 화상 신호를 샘플링하여, 대응하는 데이터 선에 공급하는 샘플링 스위치를 구비하는 것을 특징으로 하고 있다.

본 발명에 있어서의 제 5 전기 광학 장치의 구동 회로에서는, 우선 전송 신호가 시프트 레지스터에 있어서의 각 단의 단위 회로에 의해서 순차 출력된다. 그러면 이러한 전송 신호는 제 1 출력 수단에 의해서 시간축상에서 복수로 분할된다. 또한, 분할된 전송 신호는 제 2 출력 수단에 의해서 시간축상에서 복수로 분할 또는 동시에 분배되어 샘플링 제어 신호로서 출력된다. 이 때문에, 화소 피치가 미세화를 도모하며 또한, 시프트 레지스터의 회로 피치를 데이터선의 피치에 대하여, 제 1 출력 수단에 있어서의 분할수 및 제 2 출력 수단에 있어서의 분할수에 따라서 확대하는 것이 가능해진다.

예를 들면, 시프트 레지스터를 구성하는 단위 회로는 종래에서는 데이터선의 총개수를 p(p는 2이상의 정수)로 하면, 적어도 이것과 동수의 p단이 필요하게 된다. 이것에 대하여, 본 발명에서는 제 1 출력 수단에 있어서의 분할수가 q(q는 2이상의 정수)이고, 제 2 출력 수단에 있어서의 분할수가 s(s는 2이상의 정수)라고 하면, 시프트 레지스터를 구성하는 단위 회로는, p/(q×s)단으로 되므로, 종래와 비교하여 1/(q×s)로 저감된다. 이 때문에, X측 시프트 레지스터의 회로 피치를 q×s배로 확대하는 것이 가능해진다. 또한, 본 발명에서는 분할수의 곱에 따라서, 시프트 레지스터에 있어서의 구동 주파수를 저감하는 것도 가능해진다. 이 효과에 대해서는, 동작 주파수가 매우 높은 데이터선 구동 회로에서는 주사선 구동 회로보다도 현저하다.

한편, 제 1 출력 수단에 대해서는 전송 신호를 시간축상에서 분할하는 구성이면 충분하므로, 또한, 제 2 출력 수단에 대해서는 전송 신호를 시간축상에서 분할 또는 동시에 분배하는 구성이면 충분하므로, 그것들의 구성은 시프트 레지스터의 단위 회로와 비교하여 간략화된다. 이 때문에, 제 1 및 제 2 출력 수단을 형성하기 위해서 필요한 X방향의 회로 피치에 대해서는 특히, 주사선에 대응하는 후자에 대해서는 시프트 레지스터의 회로 피치보다도 협소 피치로 구성하는 것이 용이하게 된다.

또한, 본 발명에 있어, 제 2 출력 수단이 전송 신호를 시간축상에서 복수로 분할하면, 샘플링 스위치는 1개마다 순서적으로 샘플링을 실시하는 한편, 전송 신호를 동시에 분배하면, 서로 인접하는 데이터선의 복수에 대응하여 설치된 복수개의 샘플링 스위치는 동시에 샘플링을 실시하는 것이 된다. 이 때문에, 소위 순차 구동과 소위 복수개 동시 구동을 제 2 출력 수단에 의해 전환하여 사용할 수 있다.

그런데, 제 5 전기 광학 장치의 구동 회로에서, 하나의 양태에 있어서는, 상기 제 1 출력 수단은 상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에 의해 출력된 전송 신호를 복수개로 분기하는 제 1 분기 배선과, 상기 제 1 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 제 1 분기 배선에 의해 분기된 전송 신호와, 제 1 군의 인에이블 신호와의 논리곱 신호를 출력하는 제 1 인에이블 회로를 구비하여, 동일의 제 1 분기 배선에 의해서 분기된 전송 신호가 공급되는 제 1 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않은 제 1

군의 인에이블 신호가 개별적으로 공급되며, 상기 제 2 출력 수단은 상기 제 1 인에이블 회로에 각각 대응하여 설치되고, 각각은 대응하는 제 1 인에이블 회로에 의해 분할된 전송 신호를 복수개로 분기하는 제 2 분기 배선과, 상기 제 2 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 제 2 분기 배선에 의해 분기된 전송 신호와, 제 2 군의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 제 2 인에이블 회로를 구비하여, 전송 신호를 시간축상에서 복수로 분할하는 경우, 동일의 제 2 분기 배선에 의해서 분기된 전송 신호가 공급되는 제 2 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않은 제 2 군의 인에이블 신호가 개별적으로 공급되는 한편, 전송 신호를 동시에 복수로 분배하는 경우, 동일의 제 2 분기 배선에 의해서 분기된 전송 신호가 공급되는 제 2 인에이블 회로끼리에 있어서는 해당 전송 신호가 공급되는 기간에서 액티브 기간이 동일한 제 2 군의 인에이블 신호가 개별적으로 공급된다. 이 양태에 의하면, 시프트 레지스터로부터 출력된 전송 신호는 우선, 제 1 분기 배선 각가 복수의 분기 배선에 의해 분기되어, 해당 전송 신호와 제 1 군의 인에이블 신호와의 논리곱 신호가 제 1 인에이블 회로에 의해서 요청된다. 또한, 해당 논리곱 신호는 제 2 분기 배선 각각의 복수의 분기 배선에 의해 분기되어, 해당 논리곱 신호와 제 2 군의 인에이블 신호와의 논리곱 신호가 제 2 인에이블 회로에 의해서 요청되어, 대응하는 샘플링 스위치에 샘플링 제어 신호로서 공급된다. 이 때문에, 제 1 출력 수단은 제 1 분기 배선과 제 1 인에이블 회로라는 비교적 간단한 회로 구성에 의해서, 마찬가지로 제 2 출력 수단은 제 2 분기 배선과 제 2 인에이블 회로라는 비교적 간단한 회로 구성에 의해서, 각각 실현할 수 있으므로, 제 1 및 제 2 출력 수단에 있어서의 회로 피치는 용이하게 좁아진다. 따라서, 이것들의 회로 피치가 미세화할 때의 병목 현상이 되는 사태가 방지된다.

또한, 상기 목적은 상술한 제 5 전기 광학 장치의 구동 회로에 의해 구동되는 전기 광학 장치에 의해서도 달성된다. 이 전기 광학 장치에 의하면 특히, 데이터선의 피치의 미세화가 비교적 간단한 회로 구성에 의해서 도모되는 것이 된다. 또한, 전기 광학 장치로서는 액정 장치나, EL 장치등, 기판간에 여러 가지의 전기광학 재료를 사용한 것을 예로 들 수 있다.

이하, 본 발명의 실시 형태에 대해서 도면을 참조하여 설명한다. 또한, 이하에 설명하는 실시형태에 있어서는, 전기 광학 장치로서 전기 광학 재료에 액정을 사용한 액정 장치이며, TFT에 의해서 구동되는 액티브 매트릭스 방식의 액정 장치를 예로 들어 설명하지만, 본 발명을 이것에 한정하는 취지는 아니다.

(제 1 실시형태)

처음에 제 1 실시형태에 대해서 설명한다. 도 1은 본 실시형태에 관계되는 구동 회로를 기판상에 구비한 전기 광학 장치의 전체 구성을 나타내는 블록도이다. 상기 도면에 있어서, 액정 장치(200)는 액정 표시부(1a)나, 데이터선 구동 회로(101), 주사선 구동 회로(104), 샘플링 회로(301)등을 구비하는 것이다.

이것들 중, 데이터선 구동 회로(101)나, 주사선 구동 회로(104), 샘플링 회로(301)에 대해서는, 예를 들면, 석영 기판이나, 하드 글라스, 실리콘 기판등으로 이루어지는 TFT 어레이 기판(10)상의 영역으로서, 액정 표시부(1a)의 주변 영역에 설치되어 있다. 한편, TFT 어레이 기판(10)상의 액정 표시부(1a)에 있어서는 복수의 데이터선(35)이 도면에서 Y방향에 따라 평행하게 형성되는 한편, 복수의 주사선(31)이 도면에서 X방향에 따라 형성됨과 동시에, 화소 전극(11)이 데이터선(35) 및 주사선(31)의 각 교차에 대응하여 각각 형성되어 있다. 따라서, 화소 전극(11)은 X방향 및 Y방향에 대하여 매트릭스 형상으로 배열하는 것으로 이루어진다. 여기서, 화소 전극(11)의 각각에는 각각 TFT(30)가 접속되어, 화소 전극(11)및 데이터선(35) 사이에서의 도통 상태 또는 비도통 상태에 대해서, 주사선(31)을 통하여 공급되는 주사 신호에 따라서 제어되는 구성으로 이루어져 있다. 또한, TFT 어레이 기판(10)에는 용량선(축전 용량 전극)(32)이 주사선(31)에 대하여 평행하게 형성되어, 이 용량선(32)에 의해, 화소 전극(11)으로의 인가 전압을 장기간 축적하기 위한 축적 용량이 구성되어 있다.

그런데, 데이터선(35)측(X측)의 구동 회로인 데이터선 구동 회로(101)는 X측의 기준 클록 신호인 클록 신호(CLX)(및 그 반전 클록 CLX')에 근거하여, 샘플링 제어 신호를 순차 생성하여, 샘플링 제어 신호선(306)의 각각에 출력하는 것이다.

다음에 샘플링 회로(301)는 데이터선(35)마다 설치된 샘플링 스위치(302)로 이루어진다. 여기서, 각 샘플링 스위치(302)는 일단이 대응하는 데이터선(35)에 접속되는 한편, 타단이 화상 신호선(400)에 공통 접속되어, 그 양단이 대응하는 샘플링 제어 신호선(306)을 통하여 공급되는 샘플링 제어 신호에 따라서 폐쇄하는 구성으로 이루어져 있다. 이 때문에, 후술하는 바와 같이, 샘플링 제어 신호선(306)의 각각에 샘플링 제어 신호가 순차 배타적으로 공급되면, 각 샘플링 스위치(302)가 화상 신호선(401)에 공급되는 화상 신호(Vi)를 순서적으로 샘플링한 결과, 화상 신호(Vi)가 데이터선(35)의 각각에 순차 인가되는 것으로 된다.

한편, 주사선(31)측(Y측)의 구동 회로인 주사선 구동 회로(104)는 Y측의 기준 클록 신호인 클록 신호(CLY)(및 그 반전 클록(CLY'))에 근거하여, 주사 신호를 순차 생성하여 주사선(31)의 각각에 출력하는 것이다.

(주사선 구동 회로)

여기서, 상술한 주사선 구동 회로(104)에 대하여 상세하게 설명한다. 도 2는 상기 주사선 구동 회로(104)의 구성을 도시하는 블록도이다. 이 도면에 있어서, 시프트 레지스터(500)는 클록 신호(CLY) 및 그 반전 클록 신호(CLY')에 따라서 동작하는 단위 회로(LY1, LY2, …)를 복수단 세로로 연결시킨 구성으로 이루어져 있다. 여기서, 클록 신호(CLY)는 외부의 화상 신호 처리 회로에서 공급되는 신호로서, 그 주파수는 수평 주사 주파수와 일치한다. 또한, 반전 클록 신호(CLY')는 클록 신호(CLY)를 레벨 반전한 신호로서, 마찬가지로 외부의 화상 신호 처리 회로에서 공급된다. 또한, 처음 단의 단위 회로(LY1)에는 시작 펄스(DY)가 수직 주사 기간의 최초에 외부의 화상 신호 처리 회로에서 공급되는 구성으로 되어 있지만, 다른 단위 회로에 대해서는, 그 전단(도 2에 있어서 상측)의 단위 회로에 의한 전송 신호를 입력하는 구성으로 이루어져 있다.

그런데, 각 단위 회로중, 위에서부터 세어서 홀수단번째의 단위 회로(LYl, LY3, …)는 클록 신호(CLY)의 상승에 있어서 입력 신호를 받아들여 출력하는 한편, 짝수단번째의 단위 회로(LY2, LY4, …)는 반전 클록 신호(CLY')의 상승에 있어서 입력 신호를 받아들여 출력하는 것이다.

따라서, 각 단위 회로(LY1, LY2, ……)의 출력 신호(A1p, A2p, …)는 각각 도 3에 도시되는 대로 이루어진다. 즉, 처음단의 단위 회로(LY1)의 출력 신호(A1p)는 시작 펄스(DY)를 클록 신호(CLY)의 상승으로 받아들이는 것으로 되며, 계속되는 단위 회로(LY2, LY3, LY4, …)의 출력 신호(A2p, A3p, A4p, …)는 출력 신호(A1p)를 클록 신호(CLY)(반전 클록 신호(CLY'))의 반주기만 순차 지연시킨 신호로 된다.

또한, 도 2에 있어서, 각 단위 회로는 그 입력 신호를 반전하는 클록된 인버터(501a)와, 그 반전 신호를 재반전하는 인버터(501b)와, 그 재반전 신호를 인버터(501b)의 입력으로 귀환하는 클록된 인버터(501c)에 의해 구성되어 있다. 그리고, 홀수단번째의 단위 회로에서의 클록된 인버터(501a)는 클록 신호(CLY)가 H 레벨(반전 클록 신호(CLY')가 L 레벨)일 때, 입력 신호를 반전하여 동일 단의 단위 회로에서의 클록된 인버터(501c)는 클록 신호(CLY)가 L 레벨(반전 클록 신호(CLY')가 H 레벨)일 때, 입력 신호를 반전하는 것이다. 한편, 짝수단번째의 단위 회로의 클록된 인버터(501a, 501c)에서 입력 신호를 반전하는 클록 신호의 관계는 홀수단번째의 것과 교체한 관계에 있다.

이러한 클록된 인버터(501a, 501c)의 구체적 구성에 대해서, 도 2에 있어서의 표기를 도 4a에 도시하는 바와 같이 일반화하여 생각한 경우, 그 구성은 도 4b에 도시하는 대로 이루어진다. 즉, 도 4a에 도시하는 바와 같이, 클록 신호(CLY)가 공급되는 표기는 동 도 b에 도시하는 바와 같이, 고위측 전원(VDD)과 저위측 전원(VSS)과의 사이에, 게이트 전극에 반전 클록 신호(CLY')를 입력하는 P 채널(TFT)과 입력 신호를 게이트 전극에 각각 입력하는 상보형의 P 채널(TFT)·N 채널형(TFT)과, 게이트 전극에 클록 신호(CLY)를 입력하는 N 채널(TFT)을 직렬로 접속한 구성을 나타내고 있다. 한편, 도 4a의 괄호로 나타내는 바와 같이, 반전 클록 신호(CLY')가 공급되는 표기는 동 도 b의 괄호로 나타내는 바와 같이, 클록 신호(CLY)와 반전 클록 신호(CLY')를 교체한 구성을 나타내고 있다.

다시, 설명을 도 2로 되돌리면, 각 단위 회로(LY1, LY2, …)의 출력측에는 NAND 게이트(G1)와 인버터(G2)와의 직렬 접속이 설치되어 있다. 이 중, 1개의 NAND 게이트(G1)는 대응하는 단위 회로에 의한 전송 신호와, 그 후 단(도 2에 있어서 아래쪽)의 단위 회로에 의한 전송 신호와의 부정 논리곱 신호를 출력하여, 이 출력측에 위치하는 인버터(G2)는 해당 부정 논리곱 신호를 반전 출력한다.

따라서, 각 단의 인버터(G2)로부터 출력되는 전송 신호(A1, A2, …)는 각가 도 3에 도시하는 바와 같이 이루어진다. 즉, 전송 신호(A1, A2, …)는 대응하는 단위 회로에 의한 전송 신호와 그 후 단의 단위 회로에 의한 전송 신호와의 중복 기간에 있어서 H 레벨로 되기 때문에, 서로 배타적으로, 또한, 순서적으로 H 레벨이 되는 것이 판명된다.

재차, 설명을 도 2로 되돌리면, 각 단의 인버터(G2)로부터 출력되는 전송 신호(A1, A2, …)는 각각 복수(본 실시 형태에서는「3」)의 계통으로 분기된다. 그리고, 각 계통에는 NAND 게이트(503)의 및 인버터(504)의 직렬 접속으로 이루어지는 인에이블 회로(502)가 설치되어 있다. 이 인에이블 회로(502)는 주사선(31)(도 1참조)의 1개에 대응하여 설치되는 것으로, 이 출력 신호가 주사 신호로서 대응하는 주사선(31)에 공급되는 구성으로 되어 있다.

여기서, 인에이블 회로(502)를 구성하는 NAND 게이트(503)에 있으며, 그 한쪽의 입력단에는 분기된 전송 신호가 공급되고, 그 외의 단에는 인에이블 신호(ENB1y, ENB2y, ENB3y)의 어느 것인가가 공급되어 있다. 상세하게는 도면에 있어

서 위에서부터 세어서 j번째의 NAND 게이트(503)의 타단에는, j를 3으로 나누어 나머지가 1이면 인에이블 신호(ENB1y)가, j를 3으로 나누어 나머지가 2이면 인에이블 신호(ENB2y)가, j를 3으로 나누어 나머지가 0이면 인에이블 신호(ENB3y)가, 공급되어 있다.

이들 인에이블 신호(ENB1y, ENB2y, ENB3y)는 예를 들면, 외부의 화상 신호 처리 회로에서 공급되는 것으로, 각각 도 3에 도시되는 바와 같은 파형을 갖는 신호이다. 즉, 인에이블 신호(ENB1y, ENB2y, ENB3y)는 각각 클록 신호(CLY)(반전 클록 신호(CLY'))에 대하여 2배의 주파수를 갖는 신호로서, 그 펄스폭이 클록 신호(CLY)(반전 클록 신호(CLY'))의 약 1/3이며, 그 펄스폭 기간이 서로 중복하지 않고 순차적으로 시프트한 신호이다.

따라서, 각 인에이블 회로(502)로부터 출력되는 주사 신호(Y1, Y2, ……)는 도 3에 도시되는 바와 같이 이루어진다. 즉, 우선, 전송 신호(A1)가 인에이블 신호(ENB1y, ENB2y, ENB3y)에 의해서, 시간축에서 3개로 순차 분할되어 주사 신호(Y1, Y2, Y3)로 되며, 다음에, 전송 신호(A2)가 인에이블 신호(ENB1y, ENB2y, ENB3y)에 의해서, 마찬가지로 시간축에서 3개로 순차 분할되어 주사 신호(Y4, Y5, Y6)로 되어, 이하 마찬가지의 분할이 되풀이된다.

이 결과, 1수직 주사 기간에 있어서, 주사 신호(Y1, Y2, Y3, …)가 서로 배타적이고 또한 순서적으로 출력되기 때문에, 주사선(31)이 위에서부터 순서로 1개씩 선택됨과 동시에, 이 주사선(31)에 접속된 TFT(30)가 전부 온되는 것이 된다.

이러한 주사선 구동 회로(104)는 시프트 레지스터(500)의 단위 회로에 근거하는 전송 신호(A1, A2, A3, …)를 각각 시간축상에 3개로 순차 분할함으로써 주사 신호를 생성하기 때문에, 단위 회로의 단수는 주사선(31)의 총개수와 비교하여, 전송 신호의 분할수의 역수인 1/3으로 된다. 이 때문에, Y측에서 시프트 레지스터(5O0)를 구성하는 단위 회로에 대해서는, 주사선(31)의 3배 피치로 형성하면 충분한 것으로 된다.

한편, 인에이블 회로(502)가 주사선(31)의 1개마다 필요하게 되지만, 인에이블 회로(502) 자체는 NAND 게이트(503)와 인버터(504)와의 직렬 접속으로 되기 때문에, 인에이블 회로(502)를 협소 피치로 형성하는 것은 용이하다. 예를 들면, 시프트 레지스터(5O0)에 있어서의 단위 회로의 Y방향 피치의 한계가, 예컨대 약23μm인 경우에 있어서, 그것과 동등한 미세화 기술을 적용하여, NAND 게이트(503) 및 인버터(504)를 형성하면, 인에이블 회로(502)에 있어서의 Y방향 피치를 약 15~18μm정도로까지 좁힐 수 있다.

따라서, 주사선 구동 회로(104)에 의하면, 시프트 레지스터(500)를 구성하는 단위 회로의 Y방향 피치가 주사선의 피치를 미세화하는 데에 있어서의 병목 현상으로 되지 않는다. 이 때문에, 주사선의 피치를 해당 단위 회로의 Y방향의 피치 한계보다도 좁게 하는 것이 가능해진다.

또한, 시프트 레지스터(500)에 있어서의 동작 주파수가 인에이블 회로(502)에 있어서의 전송 신호의 분할수의 역수인 1/3으로 저하하기 때문에, 시프트 레지스터(500)의 구성 소자인 클록된 인버터(501a, 501c), 인버터(501b)에는 그 정도 양호한 특성이 요구되지 않는다. 그러므로, 시프트 레지스터(500)에 있어서는, 그 회로 정밀도나, 회로 규모, 배선 저항, 시정수, 용량, 지연 시간등 수단이 완화되는 것으로도 된다.

또, 도 2에 있어서는, 전송 신호(A1, A2, …)가 3개로 분할하는 구성으로 하였지만, 본 발명은 이것에 한정되지 않고, 2나 4이상으로 분할하는 구성으로 해도 좋다. 단지, 분할수가 적으면, 주사선의 피치가 단위 회로에서의 Y방향 피치에 의존하는 경향이 높아진다. 한편, 본 실시형태에서는 주사선의 피치는 인에이블 회로(502)에 있어서의 Y방향 피치의 한계보다 좁게 하는 것은 할 수 없기 때문에, 함부로 분할수를 많게 하더라도, 인에이블 신호를 공급하는 신호선이 증가하여 배선 공정이 복잡화될 뿐이다. 따라서, 실제적으로는 전송 신호의 분할수에 대해서는 여러 가지의 사정을 고려하여 설정하는 것이 바람직하다고 생각한다.

(인에이블 회로의 다른 예)

그런데, 도 2에 도시된 인에이블 회로(502)는 NAND 게이트(503) 및 인버터(504)의 직렬 접속으로 구성하였지만, 본 발명에서는 이것 이외에 여러 가지의 형태를 사용하는 것이 가능하다. 그래서 다음에, 인에이블 회로의 다른 구성예에 대해서 설명한다.

우선, 도 5a에 도시되는 인에이블 회로(502b)에 있어서는, NAND 게이트(503) 및 인버터(504)의 직렬 접속을 전송 게이트(505)로 변환한 것이다. 즉, 이 전송 게이트(505)는 분기된 전송 신호를 인에이블 신호(ENB1y, ENB2y, ENB3y)의 어느 것인가에 따라서 분할하여 주사 신호로서 공급하는 것이다. 따라서, 이 전송 게이트(505)에 대해서도, 상기 직렬 접속과 마찬가지로, 주사선(31)의 1개에 대응하여 각각 설치되는 것이 된다.

여기서, 전송 게이트(505)로서, 예를 들면, 도 5b에 도시되는 바와 같이, P 채널(TFT) 및 N 채널(TFT)을 상보적으로 접속한 구성을 채용하면, 양 TFT에 서로 레벨 반전한 관계를 갖는 2계통의 전송 신호를 공급할 필요가 있다. 이 때문에, 예컨대, 위에서부터 세어서 1 내지 3번째의 전송 게이트(505)에는 분기된 전송 신호(A1)외에 그 반전 전송 신호(A1')가 각각 공급되는 구성으로 된다. 이 점에 대해서는, 전송 신호(A2, A3, …)가 공급되는 전송 게이트(505)에 있어서도 마찬가지이다.

또한, 도 5b는 위에서부터 세어서 j번째의 전송 게이트(505)의 구성을 나타내는 도면이다. 이 전송 게이트(505)에 공급되는 전송 신호 및 인에이블 신호에 대해서는, NAND 게이트(503)(도 2참조)의 경우와 같다.

이와 같이, 인에이블 회로(502b)를 1개의 주사선(31)마다 설치되는 전송 게이트(505)에 의해 구성하면, 이 전송 게이트(505)의 구성 소자는 2개의 TFT로 되기 때문에, 인에이블 회로(502b)의 Y방향 피치를 더욱 좁히는 것이 가능해진다. 예컨대, 도 2에 도시되는 인에이블 회로(502)의 Y방향 피치가 약18μm정도라고 하면, 전송 게이트(505)를 사용한 인에이블 회로(502b)의 Y방향 피치는 약12~16μm 정도로 더욱 좁혀진다. 첨가하여, 전송 게이트(505)의 구성 소자수가 2개이므로, 인에이블 회로(502b)에서 분기한 전송 전호로부터 주사 신호를 생성하는 처리에 필요한 지연 시간도 짧게 되므로 유리하다.

그런데, 인에이블 회로(502b)에 있어서는, 도 5b에 도시된 전송 게이트(505)로 교환하여, 도 5c에 도시되는 바와 같은 N 채널(TFT) 즉, 전송 신호에 따라서 개폐하는 N 채널(TFT 507)을 사용해도 좋고, 반전 전송 신호에 따라서 개폐하는 P 채널(TFT)을 사용해도 좋다. 즉, 인에이블 회로를 상보적이 아니라, N 또는 P형의 어느 것인가 한쪽의 채널형에 의한 TFT를 사용하여 구성해도 좋다. 이와 같이, 어느 것인가의 채널형에 의한 TFT에 의해 인에이블 회로를 구성하면, 구성 소자수가 더욱 삭감됨(1개)과 동시에, 1계통의 전송 신호를 해당 TFT의 게이트에 공급하는 구성으로 되므로, 인에이블 회로의 Y방향 피치를 더욱 좁히는 것이 가능해진다. 또한, 분기한 전송 신호로부터 주사 신호를 생성하는 처리에 필요한 지연 시간도 더욱 짧게 되므로, 이 점에서도 유리하게 된다.

(인에이블 회로의 배치)

다음에, 인에이블 회로의 배치에 대해서 설명한다. 도 2나 도 5a에 도시되는 인에이블 회로에 있어서는, Y방향으로 정렬하여 배치되어 있지만, 이러한 배치는 실제로는 Y방향의 협소 피치화를 도모하는 점에서는 맞지 않다. 그래서, Y방향의 협소 피치화를 도모함에 있어서 조금이라도 유리한 실제적인 배치에 대해서 설명한다.

우선, 도 6a에 도시되는 예에 있어서는, 인에이블 회로(502c)가 서로 일정한 거리를 두고 X방향으로 순차 시프트하여 배치하고 있다. 상세하게는, 위에서부터 세어서 j번째의 인에이블 회로(502c)는 j를 3으로 나누어 나머지가 1이면 도면에 있어서 가장 왼쪽에 배치하며, j를 3으로 나누어 나머지가 0이면 도면에 있어서 가장 오른쪽에 배치하고, j를 3으로 나누어 나머지가 2이면 도면에 있어서, 양자의 중간에 배치하고 있다. 이와 같이, 서로 인접하는 인에이블 회로(502c)는 서로 X방향으로 상이한 위치에 배치되어 있기 때문에, 도 2에 도시되는 인에이블 회로(502)를 Y방향에서 동일열에 정렬 배치한 구성과 비교하여, 각 인에이블 회로(502c)를 구성하는 NAND 게이트(503) 및 인버터(504)를 Y방향으로 폭을 넓혀 형성하는 것이 가능해진다. 따라서, 인에이블 회로(502c)의 회로 피치를 더욱 한층더 좁게 하는 것이 가능해져, 주사선 피치가 미세화를 도모하는 것이 가능해진다.

다음에, 도 6b에 도시되는 예에 있어서는, 인에이블 회로(502d)가 서로 일정한 거리를 두고 X방향으로 시프트한 교대 배치(엇갈림)로 이루어져 있다. 이러한 배치에 의해서도, 도 2에 도시되는 인에이블 회로(502)를 Y방향으로 정렬 배치한 구성과 비교하여, NAND 게이트(503) 및 인버터(504)를 Y방향으로 폭을 넓혀 형성하는 것이 가능해진다.

또한, 여기서는 도 6a 또는 동 도 b에 있어서는, 인에이블 회로(502c 또는 502d)가 NAND 게이트(503) 및 인버터(504)의 직렬 접속으로 구성된다고 하여 설명하였지만, 상술한 전송 게이트(505 또는 507)로 치환한 구성을 사용해도 좋은 것은 물론이다.

(데이터선 구동 회로)

다음에 도 1에 있어서의 액정 장치의 데이터선 구동 회로(101)의 상세에 대해서 설명한다. 도 7은 그 데이터선 구동 회로(101)의 구성을 도시하는 회로도이다. 이 도면에 있어서, 시프트 레지스터(600)는 클록 신호(CLX) 및 그 반전 클록 신호(CLX')에 따라서 동작하는 단위 회로(LX1, LX2, …)를 복수단 세로로 연결시킨 구성으로 이루어져 있다. 여기서, 클록 신호(CLX)는 외부의 화상 신호 처리 회로에서 공급되는 신호로서, 그 주파수는 도트 주파수와 일치한다. 또한, 반전 클록 신

호(CLX')는 클록 신호(CLX)를 레벨 반전한 신호로서, 마찬가지로 외부의 화상 신호 처리 회로에서 공급된다. 또한, 처음 단의 단위 회로(LX1)에는 시작 펄스(DX)가 수평 주사 기간의 최초에 외부의 화상 신호 처리 회로에서 공급되는 구성으로 되어있지만, 다른 단위 회로에 대해서는 그 전단(도 7에 있어서 좌측)의 단위 회로에 의한 전송 신호를 입력하는 구성으로 되어 있다.

그런데, 각 단위 회로중, 왼쪽으로부터 세어서 홀수단번째의 단위 회로(LX1, LX3, …)는 클록 신호(CLX)의 상승에 있어서 입력 신호를 받아들여 출력하는 한편, 짝수단번째의 단위 회로(LX2, LX4, …)는 반전 클록 신호(CLX')의 상승에 있어서 입력 신호를 받아들여 출력하는 것이다.

따라서, 각 단위 회로(LX1, LX2, ……)의 출력 신호(B1p, B2p, …)는 각각 도 8에 도시되는 바와 같이 이루어진다. 즉, 처음 단의 단위 회로(LX1)의 출력 신호(B1p)는 시작 펄스(DX)를 클록 신호(CLX)의 상승으로 받아들인 것으로 되어, 계속되는 단위 회로(LX2, LX3, LX4, …)의 출력 신호(B2p, B3p, B3p, B4p, …)는 출력 신호(B1p)를 클록 신호(CLX)(반전 클록 신호(CLX'))의 반주기만 순차 지연시킨 신호로 된다.

또한, 도 7에 있어서, 각 단위 회로는 그 입력 신호를 반전하는 클록된 인버터(601a)와, 그 반전 신호를 재반전하는 인버터(601b)와, 그 재반전 신호를 인버터(601b)의 입력으로 귀환하는 클록된 인버터(601c)에 의해 구성되어 있다. 여기서, 클록된 인버터(601a, 601c)와 인버터(601b)는 주사선 구동 회로(104)(도 2참조)에 있어서의 클록된 인버터(501a, 501c)와 인버터(501b)와 동일하며, Y측의 클록 신호(CLY)(및 반전 클록 신호(CLY'))를 X측의 클록 신호(CLX)(및 반전 클록 신호(CLX'))로 치환한 것이다.

다시, 설명을 도 7에 되돌리면, 각 단위 회로(LX1, LX2, …)의 출력측에는, NAND 게이트(G3)와 인버터(G4)와의 직렬 접속이 각각 설치되어 있다. 이 중, 1개의 NAND 게이트(G3)는 대응하는 단위 회로에 의한 전송 신호와, 그 후단(도 7에 있어서 오른쪽)의 단위 회로에 의한 전송 신호와의 부정 논리곱 신호를 출력하여, 이 출력측에 위치하는 인버터(G4)는 해당 부정 논리곱 신호를 반전 출력한다.

따라서, 각 단의 인버터(G4)로부터 출력되는 전송 신호(B1, B2, …)는 각가 도 8에 도시되는 바와 같이 이루어진다. 즉, 전송 신호(B1, B2, …)는 대응하는 단위 회로에 의한 전송 신호와 그 후단의 단위 회로에 의한 전송 신호와의 중복 기간에 있어서 H 레벨이 되기 때문에, 서로 배타적으로 또한, 순서적으로 H 레벨이 되는 것이 판명된다.

재차, 설명을 도 7에 되돌리면, 각 단의 인버터(G4)로부터 출력되는 전송 신호(B1, B2, …)는 각각 복수(본 실시형태에서는「3」)의 계통으로 분기된다. 그리고, 각 계통에는 NAND 게이트(603) 및 인버터(604)의 직렬 접속으로 이루어지는 인에이블 회로(602)가 각각 설치되고 있다. 인에이블 회로(602)는 샘플링 제어선(306)(도 1참조)의 1개에 대응하여 설치되는 것이다. 그리고, 인에이블 회로(602)의 출력 신호가 샘플링 제어 신호로서 대응하는 샘플링 제어선(306)에 공급되는 구성으로 되어 있다.

여기서, 인에이블 회로(602)를 구성하는 NAND 게이트(603)에 있어서는, 그 한쪽의 입력단에 분기된 전송 신호가 공급되며, 그 외의 단에 인에이블 신호(ENB1x, ENB2x, ENB3x)의 어느 것인가가 공급되어 있다. 상세하게는 도면에서 왼쪽으로부터 세어서 i번째의 NAND 게이트(603)의 타단에는, i를 3으로 나눈 나머지가 1이면 인에이블 신호(ENB1x)가, i를 3으로 나눈 나머지가 2이면 인에이블 신호(ENB2x)가, i를 3으로 나눈 나머지가 0이면 인에이블 신호(ENB3x)가 각가 공급된다.

이들 인에이블 신호(ENB1x, ENB2x, ENB3x)는 예를 들면, 외부의 화상 신호 처리 회로에서 공급되는 것으로, 각각 도 8에 도시되는 바와 같은 파형을 갖는 신호이다. 즉, 인에이블 신호(ENB1x, ENB2x, ENB3x)는 각각 클록 신호(CLX)(반전 클록 신호(CLX'))에 대하여 2배의 주파수를 갖는 신호로서, 그 펄스폭이 클록 신호(CLX)(반전 클록 신호(CLX'))의 약 1/3보다도 짧고, 또한, 그 펄스폭 기간이 서로 시간 간격(△T)만큼 떨어져 순차 시프트한 신호이다.

따라서, 각 인에이블 회로(602)로부터 출력되는 샘플링 제어 신호(S1, S2, ……)는 도 8에 도시되는 바와 같이 이루어진다. 즉, 우선, 전송 신호(B1)가 인에이블 신호(ENB1x, ENB2x, ENB3x)에 의해서, 시간축에서 3개로 순차 분할되어, 또한, 시간 간격(△T)을 두고, 샘플링 제어 신호(S1, S2, S3)로 되며, 다음에 전송 신호(B2)가 인에이블 신호(ENB1x, ENB2x, ENB3x)에 의해서, 마찬가지로 시간축에서 3개로 순차 분할되며, 또한, 시간 간격(△T)을 두고, 샘플링 제어 신호(S4, S5, S6)로 되어, 이하, 마찬가지로 분할이 되풀이된다.

이 결과, 1수평 주사 기간에 있어서, 샘플링 제어 신호(S1, S2, S3, …)가 서로 배타적이고 또한 순서적으로 출력되기 때문에, 샘플링 스위치(302)가 도 1에서 왼쪽으로부터 순서적으로 1개씩 온된다. 이 결과, 화상 신호선(400)에 인가된 화상 신호(Vi)가 데이터선(35)에 순차 샘플링되어, 해당 수평 주사 기간에 있어서의 선택 주사선(31)에 접속된 TFT(30)를 끼워서, 순서적으에 기록하는 것이 된다.

이러한 데이터선 구동 회로(101)는 시프트 레지스터(600)의 단위 회로에 근거하는 전송 신호(B1, B2, B3, …)를 각각 시간축상에 3개로 순차 분할함으로써, 샘플링 제어 신호를 생성하기 때문에, 단위 회로의 단수는 데이터선(35)의 총개수와 비교하여, 전송 신호의 분할수의 역수인 1/3으로 된다. 이 때문에, X측에서도 시프트 레지스터(600)를 구성하는 단위 회로에 대해서, 데이터 선(35)의 3배 피치로 형성하면 충분한 것으로 된다. 한편, 인에이블 회로(602)가 데이터선(35)의 1개마다에 필요하게 되지만, 이 점에 대해서는 Y측의 인에이블 회로(502)와 같은 이유에 의해서, 인에이블 회로(602)를 협소 피치로 형성하는 것은 용이하다.

또한, 시프트 레지스터(600)에 있어서의 동작 주파수가 인에이블 회로(602)에 있어서의 전송 신호의 분할수의 역수인 1/3으로 저하하기 때문에, 시프트 레지스터(600)의 구성 소자인 클록된 인버터(601a, 601c), 인버터(601b)에는 고속인 응답 특성이 요구되지 않는다. 이 점에 대해서는, X측의 시프트 레지스터(500)와 비교하고 현저하다. 그러므로, 시프트 레지스터(600)에 있어서는, 그 회로 정밀도나, 회로 규모, 배선 저항, 시정수, 용량, 지연 시간등 수단이 완화되는 것으로도 된다.

그런데, X측의 인에이블 신호(ENB1x, ENB2x, ENB3x)에서는, Y측의 인에이블 신호(ENB1y, ENB2y, ENB3y)(도 3참조)와 비교하여, 펄스 사이가 시간 간격(△T)만큼 떨어져 있는 이유는 다음과 같다. 즉, X측의 클록 신호(CLX)(반전 클록 전호(CLX'))는 Y측의 클록 신호(CLY)(반전 클록 신호(CLY'))보다도 주파수가 압도적으로 높다. 이 때문에, 동작 지연등에 기인하여 샘플링 제어 신호(S1, S2, S3)중 서로 인접하는 것끼리의 H 레벨이 되는 기간이 얼마 안되더라도 중복하면, 누화나 고스트가 발생하기 때문에, 미리 이것을 방지해야 할, 펄스끼리에 시간 간격(△T)을 갖게 한 것이다.

다른 점에 대해서는 Y측과 같다. 즉, X측의 인에이블 회로를 도 5a 내지 동 도 c의 어느 것인가에 도시되는 전송 게이트나, 어느 것인가의 채널형의 TFT를 사용한 구성이라도 좋은 점이나, 인에이블 회로(602)를 Y방향으로 일정한 거리를 두고 순차 시프트하여 배치해도 좋고, Y방향으로 일정한 거리를 두고 시프트하여 교대로 배치해도 좋은 점등은 Y측과 같다.

이와 같이 제 1 실시형태에 관계되는 액정 장치에 의하면, 주사선 피치에 대해서도, 데이터선 피치에 대해서도, 각각 시프트 레지스터를 구성하는 단위 회로의 피치 한계보다도 좁게 형성할 수 있다. 이 때문에, 화소 피치를 매우 좁게 할 수 있어, 표시의 고세밀화에 크게 공헌하는 것이 된다.

(제 2 실시형태)

다음에 본 발명의 제 2 실시형태에 관계되는 액정 장치에 대해서 설명한다. 도 9는 이 액정 장치의 구성을 도시하는 전체 블록도이다. 이 도면에 도시되는 액정 장치에 있어서는, 직렬-병렬 변환된 화상 신호가 복수의 화상 신호선(401)을 통하여 공급되는 점과, 이것에 대응하여 1개의 샘플링 제어 신호가 복수(본 실시형태에서는「6」)의 샘플링 스위치(302)에 동시에 공급되는 점에 있어서, 제 1 실시형태에 관계되는 액정 장치(도 1참조)와 상위하다. 그 외에 대해서는 제 1 실시형태에 관계되는 액정 장치와 같다. 즉, 화상 신호(VID1 내지 VID6)의 각각은 외부의 화상 신호 처리 회로에 의해서, 도 10에 도시되는 바와 같이, 1계통의 화상 신호(Vi)가 시간축에 6배로 신장되어 6개의 화상 신호선(401)에 순차 분배된 신호이다. 또한, 데이터선 구동 회로(101)의 인에이블 회로(602)에 의해 시간축상에서 분할된 샘플링 제어 신호는 또한 6개로 분기하는 샘플링 제어 신호선(307)을 통하여, 6개의 서로 인접하는 샘플링 스위치(302)에 공급되는 구성으로 이루어져 있다. 따라서, 제 2 실시형태에 있어서, 데이터선 구동 회로(101)의 인에이블 회로(602)는 제 1 실시형태와 같이, 데이터선(35)의 1개마다에 대응하여 설치되는 것이 아니라, 데이터선(35)의 6개마다 대응하여 설치되는 것이 된다.

다음에, 제 2 실시형태에 관계되는 액정 장치의 동작에 대해서 설명하면, 도 10에 도시되는 바와 같이, 샘플링 제어 신호(S1, S2, S3, …)가 1수평 주사 기간에 있어서, 서로 배타적이고 또한 순서적으로 출력되는 점에서 제 1 실시형태와 같다. 여기서, 샘플링 제어 신호(S1)가 H 레벨이 되면, 이것에 의해 도 9에 있어서 왼쪽으로부터 세어서 1 내지 6번째의 샘플링 스위치(302)의 6개가 동시에 온되기 때문에, 1 내지 6번째의 데이터선(35)에 화상 신호(VID1 내지 6)가 각각 샘플링되어, 해당 수평 주사 기간에 있어서의 선택 주사선(31)에 접속된 TFT(30)를 통하여, 순서적으로 기록되게 된다. 다음에, 샘플링 제어 신호(S2)가 H 레벨이 되면, 이번은 7 내지 12번째의 샘플링 스위치(302)의 6개가 동시에 온되기 때문에, 7 내지 12번째의 데이터선(35)에 화상 신호(VID1 내지 6)가 각각 샘플링되어, 해당 수평 주사 기간에 있어서의 선택 주사선(31)에 접속된 TFT(30)를 통하여, 순서적으로 기록하는 것이 된다. 그리고, 이하에 같은 동작이 되풀이된다.

이와 같이 제 2 실시형태에 의하면, 데이터선 구동 회로(101)에 있어서의 단위 회로의 단수는 해당 전송 회로에 근거하는 전송 신호의 분할수와 동일한 샘플링 제어 신호에 의해서 동시에 구동되는 샘플링 스위치(302)의 개수와의 곱의 역수에까지 감소한다. 즉, 제 2 실시형태에서는 전송 신호의 분할수는 제 1 실시형태와 같으므로 「3」이고, 동시에 구동되는 샘플링 스위치(302)의 개수는「6」이므로, 데이터선 구동 회로(101)에 있어서의 단위 회로의 단수는 데이터선(35)의 총개수에 대하여 1/18에까지 삭감된다. 이 때문에, 시프트 레지스터, 특히 X측의 시프트 레지스터(600)(도 7참조)에 있어서의 단위 회로의 피치가 크게 완화되기 때문에, 데이터선(35)의 협소 피치화가 도모되는 것으로 된다. 또한, 단위 회로의 단수 삭감에 따라, 특히 X측의 시프트 레지스터(600)의 구동 주파수를 본 실시형태에 있어서는 1/18에까지 저하시키는 것도 가능하게 된다.

또한, 제 2 실시형태에서는 화상 신호의 변환(전개)수를 「6」으로 하고, 동시에「6」개의 샘플링 스위치(302)를 구동하는 구성으로 하였지만, 이 변환수(및 샘플링 스위치(302)의 동시 구동수)에 대해서는, 샘플링 스위치(302)의 성능에 따라서 결정되는 것이다. 예를 들면, 샘플링 스위치(302)에 있어서의 샘플링 능력이 높으면, 제 1 실시형태와 같이 1개의 데이터선(35)에 대하여 순차적으로, (직렬-병렬 변환되어 있지 않은)화상 신호(Vi)를 공급하도록 구성해도 좋고, 샘플링능력이 낮으면, 2개 이상의 데이터선(35)에 대하여, 화상 신호(Vi)를 2계통 이상으로 직렬-병렬 변환하여 공급하는 구성으로 해도 좋다. 여기서, 이 변환수로서는, 컬러 화상 신호가 3개의 색에 관계되는 신호로 이루어지는 것과의 관계이므로, 3의 배수인 것이 제어나 회로를 간이화하는 데에 있어서 바람직하다.

그 외의 점에 대해서는, 제 1 실시형태와 같다. 즉, 주사선 구동 회로(104)에 있어서(Y측의) 시프트 레지스터(500)를 구성하는 단위 회로의 협소 피치화나, X측이나 Y측의 인에이블 회로를 전송 게이트나, 한쪽의 채널형의 TFT를 사용한 구성으로 해도 좋은 점, 이들 인에이블 회로를 Y방향 또는 X방향으로 일정한 거리를 두고 순차적으로 시프트하여 배치해도 좋고, 교대로 배치해도 좋은 점등은 제 1 실시형태와 같다.

(제 3 실시형태)

다음에 본 발명의 제 3 실시형태에 관계되는 액정 장치에 대해서 설명한다. 도 11은 이 액정 장치의 구성을 도시하는 전체 블록도이다. 이 도면에 도시되는 액정 장치에 있어서는, 화상 신호(VID1 내지 VID3)가 복수의 화상 신호선(402)을 통하여 공급되는 점에 있어서, 제 2 실시형태에 관계되는 액정 장치(도 9참조)와 공통이지만, 1개의 샘플링 제어 신호가 1개의 샘플링 스위치(302)에 공급되는 점에 있어서, 제 2 실시형태에 관계되는 액정 장치와 상위하고 있다. 이 때문에, 샘플링 제어 신호선(308)은 제 2 실시형태와 같이 복수로 분기하는 것 없이, 대응하는 1개의 샘플링 스위치(302)에만 접속되어 있다. 이 때문에, 제 3 실시형태에 있어서, 데이터선 구동 회로(101)의 인에이블 회로(602)는 제 1 실시형태와 같이, 데이터선(35)의 1개마다 대응하여 설치되는 것이 된다. 그 외에 대해서는, 제 1 및 제 2 실시형태에 관계되는 액정 장치와 같다.

여기서, 제 3 실시형태에 관계되는 액정 장치는 다음 2개의 동작 모드중, 어느 것인가에서 표시 동작을 실시하는 것이다. 즉, 이 액정 장치는 화상 신호(Vi)가 직렬-병렬 변환되지 않고, 3개의 화상 신호선(402)에 공급되는 제 1 동작 모드(순차 구동), 또는, 화상 신호(Vi)가 3계통으로 직렬-병렬 변환되어, 3개의 화상 신호선으로 순차적으로 분배되는 제 2 동작 모드(복수개 동시 구동)의 어느 것인가에 표시 동작을 실시하는 것이다. 여기서, 주사선 구동 회로(104)의 동작에 대해서는, 제 1 동작 모드라도, 제 2 동작 모드라도, 제 1 또는 제 2 실시형태와 같다. 또한, 데이터선 구동 회로(101)의 동작에 대해서는, 전송 신호(B1, B2, …)가 X측의 클록 신호(CLX)(반전 클록 신호(CLX'))의 반주기마다 순차 시프트하여 출력되는 점까지는 제 1 및 제 2 실시형태와 같기 때문에, 이러한 점 이후의 동작의 상위를 중심으로 설명하는 것으로 한다.

그래서 우선, 제 1 동작 모드에 있어서의 표시 동작에 대해서 설명한다. 이 제 1 동작 모드에 있어서, 인에이블 회로(602)(도 7참조)에는 다음과 같은 인에이블 신호(ENB1x, ENB2x, ENB3x)가 공급된다. 즉, 인에이블 신호(ENB1x, ENB2x, ENB3)는 도 12에 도시되는 바와 같이, 클록 신호(CLX)(반전 클록 신호(CLX'))에 대하여 2배의 주파수를 갖는 신호로서, 그 펄스폭이 클록 신호(CLX)(반전 클록 신호(CLX'))의 약1/3보다도 짧고, 또한, 그 펄스폭 기간이 서로 시간 간격(△T)만 큼 떨어져 순차적으로 시프트하여 공급된다.

따라서, 제 1 실시형태와 마찬가지로, 처음 단의 인버터(G4)로부터 출력되는 전송 신호(B1)는 인에이블 신호(ENB1x, ENB2x, ENB3x)에 의해서, 시간축에서 3개로 순차 분할되며, 또한, 시간 간격(△T)을 두고, 샘플링 제어 신호(S1, S2, S3, …)로 되며, 다음에 전송 신호(B2)가 인에이블 신호(ENB1x, ENB2x, ENB3x)에 의해서, 마찬가지로 시간축에서 3개로 순차 분할되어, 샘플링 제어 신호(S4, S5, S6)가 되어, 이하에 마찬가지로 분할이 되풀이된다.

이 결과, 1수평 주사 기간에 있어서, 샘플링 제어 신호(S1, S2, S3, …)가 서로 배타적이고 또한 순서적으로 출력되기 때문에, 샘플링 스위치(302)가 도 11에 있어서 왼쪽으로부터 순서적으로 1개씩 온된다. 이 결과, 화상 신호선(402)에 인가된 화상 신호(VID1 내지 VID3), 즉 화상 신호(Vi) 그 자체는 데이터선(35)에 순차적으로 샘플링되어, 해당 수평 주사 기간에 있어서의 선택 주사선(31)에 접속된 TFT(30)를 통하여, 순서적으로 기록되게 된다.

이와 같이, 제 3 실시형태에 관계되는 액정 장치에 있어서, 제 1 동작 모드로서는 데이터선(35)의 1개씩에 화상 신호가 샘플링되어, 이것에 의해 대응하는 각 화소부가 순차 구동되는 것으로 된다.

다음에, 제 2 동작 모드에 있어서의 표시 동작에 대해서 설명한다. 이 제 2 동작 모드에 있어서, 인에이블 회로(602)(도 7 참조)에는 다음과 같은 인에이블 신호(ENB1x, ENB2x, ENB3x)가 공급된다. 즉, 인에이블 신호(ENB1x, ENB2x, ENB3x)는 도 13에 도시되는 바와 같이, 클록 신호(CLX)(반전 클록 신호(CLX'))에 대하여 2배의 주파수를 갖는 신호이지만, 그 펄스폭이 클록 신호(CLX)(반전 클록 신호(CLX'))의 펄스폭보다도 짧고, 또한, 그 펄스폭 기간이 서로 동위상에서 공급된다.

따라서, 처음 단의 인버터(G4)로부터 출력되는 전송 신호(B1)는 인에이블 신호(ENB1x, ENB2x, ENB3x)에 의해서 동시에 분배되는 결과, 샘플링 제어 신호(S1, S2, S3)는 서로 동일 신호로 된다. 이것에 의해, 도 11에 있어서 왼쪽으로부터 세어서 1 내지 3번째의 샘플링 스위치(302)가 동시에 온되기 때문에, 직렬-병렬 변환되어 화상 신호(VID1 내지 VID3)가 왼쪽으로부터 세어서 1 내지 3개번째의 데이터선(35)에 동시에 샘플링되어, 해당 수평 주사 기간에 있어서의 선택 주사선(31)에 접속된 TFT(30)를 통하여 기록되는 것이 된다.

다음에, 전송 신호(B2)가 인에이블 신호(ENB1x, ENB2x, ENB3x)에 의해서, 마찬가지로 동시에 분배되는 결과, 샘플링 제어 신호(S4, S5, S6)로 되어, 서로 동일한 신호로 된다. 이것에 의해, 도 11에 있어서 왼쪽으로부터 세어서 4 내지 6번째의 샘플링 스위치(302)가 동시에 온되기 때문에, 직렬-병렬 변환되어 화상 신호(VID1 내지 VID3)가 왼쪽으로부터 세기서 4～6개번째의 데이터 선(35)에 동시에 샘플링되어, 해당 수평 주사 기간에 있어서의 선택 주사선(31)에 접속된 TFT(30)를 통하여 기록되는 것이 되어, 이하에 같은 동작이 샘플링 스위치(302)의 3개마다(데이터선(35)의 3개마다)에 되풀이된다.

이와 같이, 제 3 실시형태에 관계되는 액정 장치에 있어서, 제 2 동작 모드로서는, 데이터선(35)의 3개씩, 직렬-병렬 변환된 화상 신호가 샘플링되어, 대응하는 각 화소부가 3개마다 동시에 구동되는 것이 된다. 따라서 결국, 제 3 실시형태에 관계되는 액정 장치에서는 순차 구동 및 복수개 동시 구동의 어느 쪽의 방식이라도 구동 가능하게 된다.

그 외의 점에 대해서는, 제 1 및 제 2 실시형태와 같다. 즉, 주사선 구동 회로(104)에 있어서(Y측의) 시프트 레지스터(500)를 구성하는 단위 회로의 협소 피치화나, X측이나 Y측의 인에이블 회로를 전송 게이트나, 한쪽의 채널형의 TFT를 사용한 구성으로 해도 좋은 점, 이들 인에이블 회로를 Y방향 또는 X방향으로 일정한 거리를 두고 순차적으로 시프트하여 배치해도 좋고, 교대로 배치해도 좋은 점등은 상기 각 실시형태와 같다.

(화상 신호 처리 회로의 구성)

다음에, 제 3 실시형태에 관계되는 액정 장치에 화상 신호(VID1 내지 VID3)외에, 제 1 또는 제 2 동작 모드에 따른 인에이블 신호(ENB1x, ENB2x, ENB3)등의 각종의 타이밍 신호를 공급하는 화상 신호 처리 회로의 구성에 대하여 설명한다. 도 14는 화상 신호 처리 회로(DPa)의 구성에 대해서, 액정 장치(200)를 포함해서 도시하는 블록도이다.

이 도면에 있어서, RGB 디코더(201)는 외부의 예를 들면 비디오 재생 장치등으로부터 입력되는 비디오 신호(Sv)에서, 소위 광의 삼원색에 상당하는 적신호, 녹 신호 및 청신호를 추출하여, 원색신호(Sdv)로서 셀렉터(202) 한쪽의 입력 단자에 공급함과 동시에, 해당 비디오 신호(Sv)에서 복합 동기 신호(Scs)를 추출하여 동기 신호 분리부(208) 한쪽의 입력 단자로 공급하는 것이다. 이러한 비디오 신호(Sv)는 예를 들면, NTSC나, PAL, SECAM 등의 영상계 신호이다.

한편, RGB 신호(Spc)는 외부의 예를 들면 컴퓨터로부터 입력되는 화상 신호이로서, 셀렉터(202)의 다른쪽의 입력 단자에 공급됨과 동시에, 동기 신호 분리부(208)의 다른쪽의 입력 단자에 공급된다. 또한, 이 RGB 신호(Spc)는 소위 데이터계 신호이다.

다음에, 셀렉터(202)는 마이크로 컴퓨터(211)로부터의 선택 신호(Sc)에 근거하여, 상기 원색신호(Sdv) 또는 상기 RGB 신호(Spc)의 어느 것인가 한쪽을 선택하여, 선택 화상 신호(Sga)로서 A/D 컨버터(203)에 출력하는 것이다. 계속해서, A/D 컨버터(203)는 선택 화상 신호(Sga)를 디지탈화하여, 디지털 화상 신호(Sdg)로서 신호 처리부(204)로 공급하는 것이다.

또한, 화상 신호 처리 회로(DPa)에서는, 원색 신호(Sdv) 및 RGB 신호(Spc)가 동시에 입력되어 있는 경우에, 셀렉터(202)가 그 어느 것인가 한쪽을 선택할 때와, 원색 신호(Sdv) 또는 RGB 신호(Spc)의 어느 것인가 한쪽만이 입력되어 있는 경우에, 셀렉터(202)가 해당 입력 신호를 선택하여 출력할 때와의 두종류가 있다.

그런데, 동기 신호 분리부(208)는 선택 신호(Sc)에 근거하여, 복합 동기 신호(Scs) 또는 RGB 신호(Spc)의 한쪽으로부터, 거기에 포함되는 동기 신호를 추출하고, 수평 동기 신호(Shd) 및 수직 동기 신호(Svd)를 생성하여, PLL 회로(207)와 신호 처리부(204)에 각각 공급하는 것이다. 계속해서, PLL(Phase Locked Loop) 회로(207)는 입력되는 수평 동기 신호(Shd)에 근거하여, 신호 처리부(204)에 있어서 신호 처리에 사용되는 클록 신호(Sclk)를 생성하여 공급하는 것이다.

한편, 입력부(209)는 사용자에 의해 조작되는 조작부(도시 생략)을 구비하여, 그 설정 내용을 나타내는 신호(Sin)을 출력하는 것이다. 본 실시 형태에 관계되는 입력부(209)는 특히, 액정 장치(200)에 있어서 제 1 동작 모드(순차 구동)로 할지 또는 제 2 동작 모드(복수개 동시 구동)으로 할지에 대해서의 설정 내용을 나타내는 신호(Sin)을 생성하여 인터페이스부(210)에 공급한다. 여기서, 사용자는 통상 입력부(209)에 대하여 비디오 신호(Sv)에 의한 화상을 표시하는 경우에는, 그 화상의 균일성을 유지하여 표시해야 하는, 제 1 동작 모드를 설정하는 취지의 조작을 실시하는 한편, RGB 신호(Spc)에 의한 화상을 표시하는 경우에는, 그 화상의 고속성을 담보하여 표시해야 하는, 제 2 동작 모드를 설정하는 취지의 조작을 실시한다.

다음에, 인터페이스부(210)는 입력부(209)에 의한 신호(Sin)을 마이크로 컴퓨터(211)가 처리하는 데 알맞은 신호로 변환하는 것이다. 그리고, 마이크로 컴퓨터(211)는 신호(Sin)가 제 1 동작 모드의 설정을 나타내는 경우에는, 비디오 신호(Sv)의 선택을 지시하는 선택 신호(Sc)와, 제 1 동작 모드로 제어해야 할 취지를 지시하는 제어 신호(Sch)를 출력하는 한편, 신호(Sin)가 제 2 동작 모드의 설정을 나타내는 경우에는, RGB 신호(Spc)의 선택을 지시하는 선택 신호(Sc)와, 제 2 동작 모드로 제어해야 할 취지를 지시하는 제어 신호(Sch)를 출력한다. 이 때, 마이크로 컴퓨터(211)는 EEPROM(Electrically Erasable and Programmable Read 0nly Memory)(212)와의 사이에서 필요한 정보(Sm)의 수수를 실시한다.

그런데, 신호 처리부(204)는 다음 처리를 실시하는 것이다. 즉, 신호 처리부(204)는 제 1에 입력된 디지털 화상 신호(Sdg)에 대하여 감마 보정등의 신호 처리를 실시하여 화상 신호(Svd)로서 출력하며, 제 2에 제어 신호(Sch)에서 도시되는 동작 모드에 있어서 필요한 타이밍 신호(Svt)를 수평 동기 신호(Shd), 수직 동기 신호(Svd) 및 클록 신호(Sclk)에 근거하여 생성하여, D/A 컨버터(205) 및 표본 유지부(206)에 각각 공급하여, 제 3에 액정 장치(200)에 있어서의 구동에 필요하고, 또한, 제어 신호(Sch)에 의해 도시되는 동작 모드에서 필요한 타이밍 신호(Sdt)를 수평 동기 신호(Shd), 수직 동기 신호(Svd) 및 클록 신호(Sclk)에 근거하여 생성하여, 레벨 시프터(213)에 공급한다. 여기서, 타이밍 신호(Sdt)는 X측의 클록 신호(CLX)(및 반전 클록 신호(CLX'))나, Y측의 클록 신호(CLY)(및 반전 클록 신호(CLY')), X측의 시작 펄스(DX), Y측의 시작 펄스(DY), X측의 인에이블 신호(ENB1x, ENB2x, ENB3x), Y측의 인에이블 신호(ENB1y, ENB2y, ENB3y)등 총칭한 신호이지만, 이들은 저논리 진폭의 신호이다. 이 중, 인에이블 신호(ENB1x, ENB2x, ENB3x)는 제 1 동작 모드로서는 도 12에 도시되는 파형으로, 또한, 제 2 동작 모드로서는 도 13에 도시되는 파형으로, 각각 저논리 진폭(논리적에 의해 얻어진 펄스폭이 짧은 신호)으로 출력된다.

그런데, D/A 컨버터(205)는 신호 처리부(204)에 의해 처리된 디지털 화상 신호(Svd)를 타이밍 신호(Svt)에 따라서 아날로그 신호(Savd)로 변환하는 것이며, 표본 유지부(206)는 타이밍 신호(Svt)에 따라서, 아날로그 화상 신호(Sadv)를 표본 및 유지하는 것이다. 특히, 표본 유지부(206)는 제 1 동작 모드이면 동일의 화상 신호(VID1 내지 VID3)로 분배하며, 또한, 제 2 동작 모드이면, 3계통의 화상 신호(VID1 내지 VID3)로 변환하여, 액정 장치(200)에 공급하는 것이다. 한편, 레벨 시프터(213)는 타이밍 신호(Sdt)에 포함되는 각 신호를 고논리 진폭(논리곱에 의해 얻어진 펄스폭이 긴 신호)으로 변환하여 액정 장치(200)에 공급하는 것이다.

이러한 화상 신호 처리 회로(DPa)에서는, 입력부(209)에 있어서 제 1 동작 모드가 설정되어 있는 경우, 마이크로 컴퓨터(211)로부터, 비디오 신호(Sv)의 선택을 지시하는 선택 신호(Sc)가 출력된다. 이 때문에, 셀렉터(202)로서는 비디오 신호(Sv)가 선택되어, A/D 컨버터(203)에 의한 디지털 변환을 통하여 신호 처리부(204)에 공급되며, 또한, 동기 신호 분리부(208)로서는 해당 비디오 신호(Sv)에서 추출된 복합 동기 신호(Scs)가 선택되어, 거기에 포함되는 동기 신호가 또한 추출

된다. 또한, 마이크로 컴퓨터(211)로부터는, 또한 제 1 동작 모드로 제어해야 할 취지를 지시하는 제어 신호(Sch)가 출력된다. 이 때문에, 신호 처리부(204)로서는 인에이블 신호(ENB1x, ENB2x, ENB3x)가 클록 신호(CLX)(및 반전 클록 신호(CLX'))의 반주기에서 펄스폭이 겹치지 않도록 순차 시프트하여 출력된다. 또한, 신호 처리부(204)로서는 제 1 동작 모드용 타이밍 제어 신호(Svt)가 출력되어, 이것에 의해, 표본 유지부(206)로서는 아날로그 화상 신호(Savd)가 직렬-병렬 변환되는 일없이, 동일의 화상 신호(VID1 내지 VID3)로서 공급되는 것이 된다.

한편, 입력부(209)에 있어서 제 2 동작 모드가 설정되어 있는 경우, 마이크로 컴퓨터(211)로부터, RGB 신호(Spc)의 선택을 지시하는 선택 신호(Sc)가 출력된다. 이 때문에, 셀렉터(202)로서는 RGB 신호(Spc)가 선택되어, A/D 컨버터(203)에 의한 디지털 변환을 통하여 신호 처리부(204)에 공급되며, 또한, 동기 신호 분리부(208)로서는, 해당 RGB 신호(Spc)가 선택되어 거기에 포함되는 동기 신호가 추출된다. 또한, 마이크로 컴퓨터(211)로부터는, 또한, 제 2 동작 모드로 제어해야 할 취지의를 지시하는 제어 신호(Sch)가 출력된다. 이 때문에, 신호 처리부(204)로서는 인에이블 신호(ENB1x, ENB2x, ENB3x)가 클록 신호(CLX)(및 반전 클록 신호(CLX'))의 반주기에서 동위상에서 출력된다. 또한, 신호 처리부(204)에서는 제 2 동작 모드용의 타이밍 제어 신호(Svt)가 출력되어, 이것에 의해 표본 유지부(206)에서는 아날로그 화상 신호(Savd)가 직렬-병렬 변환되며, 상세하게는 시간축에 3배로 신장됨과 동시에, 3개의 화상 신호선으로 분배되어 화상 신호(VID1 내지 VID3)로서 공급되는 것으로 된다.

따라서, 액정 장치(200)로서는 입력한 화상 신호가 비디오 신호(Sv)이면, 순차 구동이 행하여지는 한편, 입력한 화상 신호가 RGB 신호(Spc)이면 복수개 동시 구동이 행하여지는 것으로 된다. 일반적으로, 비디오 신호(Sv)와 같은 영상계 신호로서는 그 화상에 동작이 많기 때문에 순차 구동이 적합하며, 반대로 RGB 신호(Spc)와 같은 데이터계 신호로서는 그 화상에 동작이 적기(또는 전혀 없기) 때문에, 복수개 동시 구동이 적합하다고 한다. 이러한 화상 신호 처리 회로(DPa)에 의하면, 순차 구동 또는 복수개 동시 구동의 어느 것인가를 입력부(209)에 의한 동작 모드 설정에 따라서 전환할 수 있기 때문에, 액정 장치(200)에 있어서는, 비디오 신호(Sv)를 입력해도, RGB 신호(Sv)를 입력해도, 고품질인 표시가 가능하다.

(화상 신호 처리 회로의 응용예)

다음에 화상 신호 처리 회로의 응용예에 대해서 설명한다. 도 14에 도시한 화상 신호 처리 회로(DPa)에서는, 사용자에 의한 입력부(209)의 설정에 따라서, 제 1 동작 모드 순차 구동)과, 제 2 동작 모드(복수개 동시 구동)을 전환하는 구성으로 하였지만, 이 응용예에 관계되는 화상 신호 처리 회로는 표시해야 할 화상의 동작의 유무를 검출하여, 그 검출 결과에 따라서 동작 모드를 전환하는 것이다.

도 15는 이 응용예에 관계되는 화상 신호 처리 회로의 구성에 대해서, 액정장치(200)를 포함해서 도시하는 블록도이다. 이 도 15에 도시되는 화상 신호 처리 회로(DPb)에서, 도 14에 도시된 화상 신호 처리 회로(DPa)와 다른 부분은 신호 처리부(204)에, 표시해야 할 화상에 동작이 있는지의 여부를 검출하는 동작 검출부(214)가 구비되어 있는 점과, 이 동작 검출부(214)에 의한 검출 신호(Smv)에 따라서 마이크로 컴퓨터(211)가 동작 모드를 설정하는 점과, 입력부(209)에 있어서의 기능이 동작 모드를 설정하는 것이 아니라 단지, 비디오 신호(Sv)로서 입력되는 화상을 표시하는 것, 또는 RGB 신호(Spc)로서 입력되는 화상을 표시하는 것인지를 설정할 뿐인 점, 모두 세가지이다. 그 외에 대해서는 도 14에 도시되는 화상 신호 처리 회로(DPa)와 동일하기 때문에 그 설명에 대해서는 생략하는 것으로 한다.

그런데, 이 응용예로서는 입력부(209)에 있어서 비디오 신호(Sv)에 의한 화상을 표시하는 취지의 설정이 이루어져 있는 경우, 마이크로 컴퓨터(211)로부터 비디오 신호(Sv)의 선택을 지시하는 선택 신호(Sc)가 출력된다. 이 때문에, 셀렉터(202)에서는 비디오 신호(Sv)가 선택되어, A/D 컨버터(203)에 의한 디지털 변환을 통하여 신호 처리부(204)에 공급되며 또한, 동기 신호 분리부(208)에서는 해당 비디오 신호(Sv)로부터 추출된 복합 동기 신호(Scs)가 선택되어, 거기에 포함되는 동기 신호가 또한 추출된다.

한편, 입력부(209)에 있어서 RGB 신호(Spc)에 의한 화상을 표시하는 취지의의 설정이 이루어져 있는 경우, 마이크로 컴퓨터(211)로부터, RGB 신호(Spc)의 선택을 지시하는 선택 신호(Sc)가 출력된다. 이 때문에, 셀렉터(202)로서는 RGB 신호(Spc)가 선택되어, A/D 컨버터(203)에 의한 디지털 변환을 통하여 신호 처리부(204)에 공급되며, 또한, 동기 신호 분리부(208)에서는 해당 RGB 신호(Spc)가 선택되어 거기에 포함되는 동기 신호가 추출된다.

따라서, 어떻든간에 신호 처리부(204)에는 디지털 화상 신호(Sdg)가 공급되는 것이 된다. 여기서, 신호 처리부(204)에 있어서의 동작 검출부(214)는 해당 디지털 화상 신호(Sdg)에서의 동작의 유무를 검출하여, 그 검출 신호(Smv)를 생성하여 마이크로 컴퓨터(211)에 출력한다.

한편, 마이크로 컴퓨터(211)는 해당 동작 검출 신호(Smv)에 근거하여 다음과 같이 하여 동작 모드를 결정한다. 즉, 마이크로 컴퓨터(211)는 디지털 화상 신호(Sdg)에 의한 화상에 있어서, 미리 설정된 소정 시간(예를 들면, 1초간)내에 동작이 있으면, 동작 모드를 제 1 동작 모드(순차 구동)로 설정하는 취지의 제어 신호(Sch)를 생성하는 한편, 소정 시간내에 동작이 없으면 동작 모드를 제 2 동작 모드(복수개 동시 구동)로 설정하는 취지의 제어 신호(Sch)를 생성하여, 신호 처리부(204)에 공급한다.

이후, 신호 처리부(204)에서는, 같은 동작이 제어 신호(Sch)에 따라서 행하여진다. 즉, 제어 신호(Sch)가 제 1 동작 모드로 제어해야 할 취지를 지시하는 경우, 신호 처리부(204)에서는 인에이블 신호(ENB1x, ENB2x, ENB3x)가 클록 신호(CLX)(및 반전 클록 신호(CLX'))의 반주기에서 펄스폭이 겹치지 않도록 순차적으로 시프트하여 출력됨과 동시에, 제 1 동작 모드용의 타이밍 제어 신호(Svt))가 출력되어, 이것에 의해, 표본 유지부(206)에서는 아날로그 화상 신호(Savd)가 직렬-병렬 변환되는 일없이, 동일의 화상 신호(VID1 내지 VID3)로서 공급되는 것이 된다.

한편, 제어 신호(Sch)가 제 2 동작 모드로 제어해야 할 취지를 지시하는 경우, 신호 처리부(204)로서는 인에이블 신호(ENB1x, ENB2x, ENB3x)가 클록 신호(CLX)(및 반전 클록 신호(CLX'))의 반주기에서 동위상으로 출력됨과 동시에, 제 2 동작 모드용의 타이밍 제어 신호(Svt)가 출력되어, 이것에 의해 표본 유지부(206)에서는 아날로그 화상 신호(Savd)가 직렬-병렬 변환되어 화상 신호(VID1 내지 VID3)로서 공급되는 것이 된다.

따라서, 이러한 응용예에 관계되는 화상 신호 처리 회로(DPb)에 의하면, 입력된 비디오 신호(Sv) 또는 RGB 신호(Spc)에 의한 화상의 동작이 있으면(또는, 그 동작이 심하면), 순차 구동이 행하여지는 한편, 화상에 동작이 없으면(또는, 그 동작이 적으면), 복수개 동시 구동이 행하여지는 것으로 된다. 이 때문에, 응용예에 관계되는 화상 신호 처리 회로(DPb)를 사용하면, 화상에 동작이 있더라도 없더라도, 적절한 구동 방식으로 전환되므로, 액정 장치(200)에 있어서 고품질인 표시가 가능해진다.

(제 4 실시형태)

다음에 본 발명의 제 4 실시형태에 관계되는 액정 장치에 대해서 설명한다. 이 실시형태에 관계되는 액정 장치의 전체 구성은 상술한 제 3 실시형태(도 11참조)와 동일하다. 즉, 제 4 실시형태에 관계되는 액정 장치는 화상 신호(VID1 내지 VID3)가 3개의 화상 신호선(402)을 통하여 공급됨과 동시에, 1개의 샘플링 제어 신호가 1개의 샘플링 스위치(302)로 공급되는 구성으로 이루어져 있다. 또한, 제 4 실시형태에 관계되는 액정 장치는 제 1 동작 모드 순차 구동) 또는 제 2 동작 모드(복수개 동시 구동)중, 어느 것인가에 구동을 실시하는 점에서도 상술한 제 3 실시형태와 공통이다.

단지, 그 데이터선 구동 회로(101)는 도 16에 도시되는 구성으로 이루어져 있다. 즉, 제 4 실시형태에 관계되는 데이터선 구동 회로(101a)에서는, 시프트 레지터(600)을 구성하는 단위 회로의 출력 신호와, 그 후단에 위치하는 단위 회로의 출력 신호와의 논리곱 신호가 NAND 게이트(G3) 및 인버터(G4)의 직렬 접속에 의해 요청되어, 이것이 전송 신호로서 출력되는 점에서, 상술한 제 1 내지 제 3 실시형태에 관계되는 데이터선 구동 회로(101)(도 7참조)와 마찬가지이지만, 해당 전송 신호가 2개로 분기하여, 이 각각에 제 1 인에이블 회로(612)가 설치됨과 동시에, 이 제 1 인에이블 회로(612)의 출력 신호가 또한 3개로 분기하여, 이 각각에 제 2 인에이블 회로(622)가 설치되는 점에서, 상술한 제 1 내지 제 3 실시형태에 관계되는 데이터선 구동 회로(101)와 상위하다.

그런데, 제 1 인에이블 회로(612)는 2개로 분기된 전송 신호중 어느 것인가 한쪽과 제 1 군의 인에이블 신호(ENB11x, ENB12x)의 어느 것인가와의 부정 논리곱 신호를 출력하는 제 1 NAND 게이트(613)와, 해당 부정 논리곱 신호를 반전 출력하는 제 1 인버터(614)와의 직렬 접속으로 구성된다. 이 중, (분기원이) 동일의 전송 신호가 공급되는 2개의 제 1 NAND 게이트(613)중, 도 16에 있어서 있어서 왼쪽에 위치하는 것에는 제 1 군의 인에이블 신호에 속하는 ENB11x가 공급되는 한편, 오른쪽에 위치하는 것에는 제 1 군의 인에이블 신호에 속하는 ENB12x가 공급되어 있다.

여기서, 제 1 군의 인에이블 신호(ENB11x, ENB12x)는 동작 모드에 의해서 변경되지 않은 고정적인 신호이다. 상세하게는 제 1 군의 인에이블 신호(ENB11x, ENB12x)는 도 17 또는 도 18에 도시되는 바와 같이, 각각 X측의 클록 신호(CLX)(반전 클록 신호(CLX'))에 대하여 2배의 주파수를 갖는 신호이며, 그 펄스폭이 클록 신호(CLX)(반전 클록 신호(CLX'))의 약1/2이고, 그 펄스폭 기간이 서로 중복하지 않고서 순차적으로 시프트한 신호이다.

설명의 편의상, 제 1 인에이블 회로(612)의 각각에 의한 출력 신호를 도 16에 있어서 왼쪽으로부터 순서로 C1, C2, C3 …로 하면, 이들 출력 신호 C1, C2, C3 …는 도 17 또는 도 18에 도시되는 바와 같이 이루어진다. 즉, 우선 전송 신호(B1)

가 인에이블 신호(ENB11x, ENB12x)에 의해서 시간축에서 2개로 순차 분할되어, 출력 신호(C1, C2)로 되며, 다음에 전송 신호(B2)가 인에이블 신호(ENB11x, ENB12x)에 의해서, 마찬가지로 시간축에서 2개로 순차 분할되어, 출력 신호(C3, C4)가 되며, 이하 같은 분할이 동작 모드에 관계없이 되풀이된다.

이러한 제 1 인에이블 회로(612)의 1개에 의한 출력 신호는, 또한 3개로 분기되어, 이 분기의 각각에 대응하여 제 2 인에이블 회로(622)가 설치되어 있다. 상세하게는 제 2 인에이블 회로(622)는 3개로 분기된 출력 신호중, 어느 것인가와 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)의 어느 것인가와의 부정 논리곱 신호를 출력하는 제 2 NAND 게이트(623)와, 해당 부정 논리곱 신호를 반전 출력하는 제 2 인버터(624)와의 직렬 접속으로 이루어져, 이 제 2 인버터(624)에 의한 반전 출력 신호가 1개의 샘플링 제어 신호선(도 11참조)(308)을 통하여 샘플링 제어 신호로서 출력되는 구성으로 이루어져 있다. 이 중, (분기원이)동일의 신호가 공급되는 3개의 제 2 NAND 게이트(623)중, 도 16에 있어서 왼쪽에 위치하는 것에는 제 2 군의 인에이블 신호에 속하는 ENB21x가 공급되며, 중간에 위치하는 것에는 제 2 군의 인에이블 신호에 속하는 ENB22x가 공급되고, 오른쪽에 위치하는 것에는 제 2 군의 인에이블 신호에 속하는 ENB23x가 공급되어 있다.

여기서, 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)는 제 1 군의 인에이블 신호(ENB11x, ENB12x)와는 달리, 동작 모드에 의해서 변경되는 신호이다. 상세하게는 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)는 제 1 동작 모드 순차 구동)에서는 도 17에 도시되는 바와 같이, 각각 X측의 클록 신호(CLX)(반전 클록 신호(CLX'))에 대하여 4배의 주파수를 갖는 신호이며, 그 펄스폭이 제 1 군의 인에이블 신호(ENB11x, ENB12x)의 약1/3이고, 그 펄스폭 기간이 서로 중복하지 않고 순차 시프트한 신호가 되는 한편, 제 2 동작 모드(복수개 동시 구동)에서는, 도 18에 도시되는 바와 같이, 각각 X측의 클록 신호(CLX)(반전 클록 신호(CLX'))에 대하여 4배의 주파수를 갖는 신호이며, 그 펄스폭이 제 1 군의 인에이블 신호(ENB11x, ENB12x)의 펄스폭보다도 짧고, 또한, 그 펄스폭 기간이 서로 동위상인 신호로 된다.

따라서, 제 2 인에이블 회로(622)의 각각에 의한 샘플링 제어 신호(S1, S2, S3 …)는 제 1 동작 모드로서는 도 17에 도시되는 바와 같이 이루어진다. 즉, 우선, 도 16에 있어서 처음 왼쪽단에 위치하는 제 1 인에이블 회로(612)의 출력 신호(C1)가 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)에 의해서, 시간축에서 3개로 순차 분할되며, 샘플링 제어 신호(S1, S2, S3)로 되고, 다음에, 왼쪽으로부터 세어서 2번째에 위치하는 제 1 인에이블 회로(612)의 출력 신호(C2)가 마찬가지로, 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)에 의해서, 시간축에서 3개로 순차 분할되어, 샘플링 제어 신호(S4, S5, S6)가 되어, 이하 마찬가지로 분할이 되풀이된다. 이 때문에, 제 1 동작 모드에 있어서, 샘플링 제어 신호(S1, S2, S3, …)는 서로 그 펄스폭이 중복하는 일 없이 순차적으로 시프트하여 출력되는 것이 된다.

한편, 제 2 인에이블 회로(622)의 각각에 의한 샘플링 제어 신호(S1, S2, S3 …)는 제 2 동작 모드로서는 도 18에 도시되는 바와 같이 된다. 즉, 우선, 도 16에 있어서 처음 왼쪽단에 위치하는 제 1 인에이블 회로(612)의 출력 신호(C1)가 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)에 의해서, 동시에 3개로 분배되어 샘플링 제어 신호(S1, S2, S3)로 되어, 다음에 왼쪽으로부터 세기어 2번째에 위치하는 제 1 인에이블 회로(612)의 출력 신호(C2)가 마찬가지로 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)에 의해서, 동시에 3개로 분배되어 샘플링 제어 신호(S4, S5, S6)로 되어, 이하 같은 분배가 되풀이된다. 이 때문에, 제 2 동작 모드에 있어서, 샘플링 제어 신호(S1, S2, S3, …)는 3개마다 동일하게 되며, 또한 샘플링 제어 신호(S1 내지 S3, S4 내지 S6, S7 내지 S9, …)는 순차 시프트하여 출력되는 것으로 된다.

이와 같이 제 4 실시형태에 있어서는, 우선 X측의 시프트 레지스터(600)의 각 단위 회로에 대응하여 출력되는 전송 신호가 제 1 인에이블 회로(612)에 의해서 시간축에서 2개로 순차 분할되어, 이것에 의해, 서로 펄스폭이 겹치지 않은 2개의 신호가 얻어진다. 또한, 해당 2개의 신호중 한쪽의 신호가 제 1 동작 모드에 있어서는, 제 2 인에이블 회로(622)에 의해서 시간축에서 3개로 순차 분할되어, 이것에 의해 펄스폭이 서로 겹치지 않은 3개의 샘플링 신호가 얻어지는 한편, 제 2 동작 모드에 있어서는, 제 2 인에이블 회로(622)에 의해서 동시에 3개로 분배되어, 이것에 의해, 펄스폭이 서로 동일한 3개의 샘플링 신호가 얻어진다.

또한, 이러한 제 1 동작 모드에 있어서의 순차 구동의 기록 및 제 2 동작 모드에 있어서의 복수개 동시 구동의 기록은 제 3 실시형태로 상술한 바와 같기 때문에 여기서는 설명을 생략한다.

결국, 본 실시형태에 있어서는, X측의 시프트 레지스터(600)를 구성하는 단위 회로의 1단에 대하여, 6개의 샘플링 제어 신호가 생성되는 것으로 되기 때문에, 제 3 실시형태와 비교하여, 또한 시프트 레지스터(600)에 있어서의 단위 회로의 X방향 회로 피치를 더욱 완화시키는 것이 가능해진다. 구체적으로는 시프트 레지스터(600)에 있어서의 단위 회로의 구성 단수가 제 1 인에이블 회로(612)에 의한 분할수「2」와 제 2 인에이블 회로(622)에 의한 분할수「3」의 곱의 역수「1/6」로 저감되기 때문에, 제 1 실시형태에 있어서의 Y측의 협소 피치화와 더불어 화소 피치의 협소화에 매우 공헌하는 것이 된다. 또한, 시프트 레지스터에 있어서의 구동주파수를 1/6로 저감되기 때문에, 이것에 따라 소비 전력을 억제하는 것도 가능해진다.

그 외의 점에 대해서는, 제 1 내지 제 3 실시형태와 같다. 즉, 주사선 구동 회로(104)에 있어서(Y측의) 시프트 레지스터(500)를 구성하는 단위 회로의 협소 피치화나, X측이나 Y측의 인에이블 회로를, 전송 게이트나 한쪽의 채널형의 TFT를 사용한 구성해도 좋은 점, 이들 인에이블 회로를, Y방향 또는 X방향으로 일정한 거리를 두고 순차 시프트하여 배치해도 좋으며, 교대로 배치해도 좋은 점등은 상기 각 실시형태와 같다.

또, 제 1 군의 인에이블 신호(ENB11x, ENB12x)와 제 2 군의 인에이블 신호(ENB21x, ENB22x, ENB23x)는 예를 들면, 도 14나 도 15에 있어서의 신호 처리부(204)에 의해 타이밍 신호(Sdt)로서 입력부(209)에 의한 설정이나 화상의 동작에 따라서 생성되는 것이다.

또한, 이 제 4 실시형태에 있어서는, 제 1 인에이블 회로(612)에 의한 분할수를「2」로 하며, 제 2 인에이블 회로(612)에 의한 분할수를「3」으로 하였지만, 본 발명은 이것에 한정되지 않은 것은 말할 필요도 없다.

(액정장치의 전체구성)

다음에 상술한 각 실시형태에 관계되는 액정 장치의 전체 구성에 대해서, 도 19 및 도 20를 참조하여 설명한다. 여기서, 도 19는 액정 장치의 구성을 도시하는 평면도이며, 도 20은 도 19에 있어서의 H-H'선의 단면도이다.

이것들의 도면에 도시되는 바와 같이, 액정 장치(200)는 TFT(30)나 화소 전극등이 형성된 TFT 어레이 기판(10)과 대향 전극등이 형성된 대향 기판(20)이 서로 전극 형성면이 대향하도록 또한 일정한 틈을 유지하여 구호된 구성으로 이루어져 있다. 그리고, 액정 장치(200)는 TFT 어레이 기판(10) 및 대향 기판(20)과의 틈에 전기 광학 재료의 일례인 액정(50)을 밀봉재(52)에 의해서 봉입한 구조로 되어 있다. 여기서, 대향 기판(20)에 있어서의 대향면으로서, 밀봉재(52)의 내측에는 화면표시 영역과 주변 영역을 구분하기 위한 차광막(53)이 소위 액자로서 설치되어 있다. 한편, TFT 어레이 기판(10)의 대향면으로서, 밀봉재(52)의 외측 한변에는 데이터선 구동 회로(101)가 샘플링 회로(302)(도 19 또는 도 20에서는 도시 생략)와 동시에 형성되어, 데이터선을 구동하는 구성으로 이루어져 있다. 또한, 이 한변에는 복수의 접속 전극(102)이 형성되어, 화상 신호 처리 회로에서의 각종 타이밍 신호나 화상 신호등을 입력하는 구성으로 이루어져 있다. 또한, 이 한변에 인접하는 두변에는 각각 주사선 구동 회로(104)가 형성되어, 주사선을 각각 양측에서 구동하는 구성으로 이루어져 있다. 또한, 주사선에 공급되는 주사 신호의 지연이 문제로 되지 않으면, 주사선 구동 회로(104)를 한측 한개만으로 형성하는 구성이라도 좋다. 그 밖에, TFT 어레이 기판(10)에는 데이터선에 기록 부하를 저감하기 위해서, 화상 신호에 선행하는 타이밍에 있어서 각 데이터선 소정 전위에 프리챠지하는 프리챠지 회로를 형성해도 좋고 액정 장치의 품질이나 결함등을 검사하기 위한 검사 회로를 형성해도 좋다.

또한, TFT 어레이 기판(10)에 있어서, 남는 한변에는 화면 표시 영역의 양측에 설치된 주사선 구동 회로(104)의 사이를 접속하기 위한 복수의 배선(105)이 설치되어 있다. 또한, 대향 기판(20)의 네구석에서는 도통재(106)에 의해서, TFT 어레이 기판(10)과 대향 기판(20)의 사이에서 전기적 도통이 도모되고 있다.

그 밖에, 대향 기판(20)에는 액정 장치(200)의 용도나 필요에 따라서, 예를 들면, 제 1에 컬러 필터가 소정의 배열로 설치됨과 동시에, 이 컬러 필터의 간격 블랙 매트릭스가 설치되고, 제 2에 액정 장치(200)에 광을 조사하는 블랙 라이트가 설치된다. 특히 색광변조의 용도인 경우에는, 컬러 필터는 형성되지 않고 블랙 매트릭스가 대향 기판(20)에 설치된다.

첨가하여, TFT 소자 어레이 기판(10) 및 대향 기판(20)의 대향면에는 각각 소정의 방향으로 러빙 처리된 배향막(도시생략)등이 설치되는 한편, 그 각 배면측에는 액정의 배위(配位) 방향에 따른 편광학이나, 위상차판등(함께 도시 생략)이 각각 설치된다. 단지, 액정(50)으로서 고분자중에 미소립으로서 분산시킨 고분자 분산형 액정을 사용하면, 전술의 배향막이나 편광학, 위상차판등이 불필요하게 되는 결과, 광이용 효율이 높아지기 때문에, 고휘도화나 저소비 전력화등의 점에서 유리하다.

그런데, 각 실시형태에 있어서 이용되는 주사선 구동 회로(104)에 대해서는 도 19에 도시되는 바와 같이, 화면 표시 영역의 좌우양측에 2분할하여 설치함과 동시에 주사선(31)을 화면 표시 영역의 좌우 양측에서 교대로 배선한 구성으로 해도 좋다. 구체적으로는, 예를 들면 위에서부터 세어서, 홀수번째의 주사선(31)에 대해서는, 좌우 양측에 설치된 주사선 구동 회로(104)중, 어느 것인가 한쪽에서 짝수번째의 주사선(31)에 대해서는, 다른쪽의 주사선 구동 회로(104)로 각각 구동하는 구성으로 해도 좋다. 이와 같이 구성하면, 2분할된 주사선 구동 회로(104)에 의해, 주사선(31)이 화면 표시 영역의 좌우 양측에서 교대로 구동되기 때문에, 주사선 구동 회로(104)에 있어서, 시프트 레지스터(500)를 구성하는 단위 회로의 Y방향의 회로 피치를 배로 완화하는 것이 가능해진다. 단지, 주사선을 양측에서 동시에 구동하는 구성쪽이 주사 신호의 지연 시간을 저감하는 관점에서는 유리하다.

또한, 상술한 각 실시형태에 있어서는, TFT 어레이 기판(10)을 글라스등의 투명한 절연성 기판에 의해 구성하여, 해당 기판상에 화소부의 스위칭 소자(TFT116)나 구동 회로의 소자를 구성하는 것으로 하여 설명하였지만 본 발명은 이것에 한정되는 것이 아니다. 예를 들면, 기판(10)을 반도체 기판에 의해 구성하여, 해당 반도체 기판의 표면에 소스, 드레인, 채널이 형성된 절연 게이트형 전계 효과 트랜지스터에 의해서, 화소의 스위칭 소자나 구동 회로의 소자를 구성해도 좋다. 이와 같이 기판(10)을 반도체 기판에 의해 구성하는 경우에는 투과형으로서 사용할 수 없기 때문에 화소 전극(11)이 알루미늄등으로 형성되어, 반사형으로서 사용되는 것이 된다. 또한, 단지 기판(10)을 투명기판으로서, 화소 전극(11)을 반사형으로 해도 좋다.

또한, 상술한 각 실시형태에 있어서는, 화소부의 스위칭 소자를 TFT에서 대표되는 3단자 소자로서 설명하였지만, 다이오드등의 2단자 소자로 구성해도 좋다. 단지, 화소의 스위칭 소자로서 2단자 소자를 사용하는 경우에는, 주사선(31)을 한쪽의 기판에 형성하며, 데이터선(35)을 다른쪽의 기판에 형성함과 동시에, 2단자 소자를 주사선(31) 또는 데이터선(35)의 어느 것인가 한쪽과 화소 전극(11)과의 사이에 형성할 필요가 있다.

또한, 상술한 각 실시형태는 전기 광학 재료로서 액정을 사용한 액정 장치로서 설명하였지만, 본 발명은 이것에 한정되지 않는다. 예를 들면, 전기 광학 재료로서, 액정 이외에 일렉트로루미네선스 소자 등을 사용하여, 그 전기 광학 효과에 의해 표시를 하는 표시 장치에도 적용 가능하다. 즉, 본 발명은 상술한 액정 장치와 유사한 구성을 갖는 모든 전기 광학 장치에 적용 가능하다.

(액정장치의 응용: 액정 프로젝터)

다음에 상술한 각 실시형태에 관계되는 액정 장치를 사용한 전자 기기의 일례로서, 액정 프로젝터에 대해서 설명한다. 도 21은 액정 프로젝터의 구성예를 도시하는 평면도이다. 여기서, 액정 프로젝터(1100)란, 상술한 전기 광학 장치로서의 액정 장치를 포함하는 액정 모듈의 3세트를 각각 R(빨강), G(초록), B(파랑)색의 라이트 밸브(100E, 100G, 100B)로서 사용한 것이다.

그런데, 도 21에 도시되는 바와 같이, 액정 프로젝터(1100)에서는 메탈 하이라이드 램프등의 백색광원의 램프 유닛(1102)으로부터 발생한 광이 3개의 미러(1106) 및 2개의 다이클로익 미러(1108)에 의해서, RGB의 3원색에 대응하는 R광, G광, B광으로 분리되어, 각 색에 대응하는 라이트 밸브(100R, 100G, 100B)에 각각 이끌어진다. 여기서, 특히 B광은 긴 광로에 의한 광 손실을 막기 위해서, 입사 렌즈(1122), 릴레이 렌즈(1123) 및 출사 렌즈(1124)로 이루어지는 릴레이 렌즈계(1121)를 통하여 이끌어진다. 그리고, 라이트 밸브(100R, 100G, 100B)에 의해 각각 광 변조된 3원색에 대응하는 광성분은 다이클로익 프리즘(1112)에 의해 재차 합성된 후, 투사 렌즈(1114)에 의해 스크린(1120)에 컬러 화상으로서 투사되는 것이 된다.

또한, 라이트 밸브(100R, 100B, 100G)에는 다이클로익 미러(1108)에 의해서, R, G, B의 각 원색에 대응하는 광이 입사하므로, 컬러 필터를 설치할 필요는 없다.또한, 액정 프로젝터의 이외에도 전자 기기의 예로서는 액정 텔레비젼이나, 뷰 파인더형, 모니터 직시형의 비디오 테이프 리코더, 카 네비게이션 장치, 페이저, 전자 수첩, 전자 계산기, 워드 프로세서, 워크스테이션, 텔레비젼 전화, POS 단말, 터치 패널을 구비한 장치 등을 들 수 있다. 그리고, 이것들의 각종 전자 기기에 본 발명에 관계되는 전기 광학 장치가 적용 가능한 것은 말할 필요도 없다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, 비교적 간단한 회로 구성을 사용하여 화소 피치의 미세화에 대응하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로로서,

상기 주사선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터로서, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서의 전송 신호를 순차 출력하는 시프트 레지스터와,

상기 각 단의 단위 회로에서 출력된 전송 신호를 시간축상에서 복수로 분할하여, 각각을 주사 신호로서 상기 주사선에 순차 출력하는 출력 수단을 구비하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 2.

제 1 항에 있어서,

상기 출력 수단은,

상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에서 출력된 전송 신호를 복수개로 분기하는 분기 배선과,

상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와, 소정의 인에이블 신호와의 논리곱 신호를 주사 신호로서 출력하는 인에이블 회로를 구비하며,

동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 액티브 기간이 서로 중복하지 않는 인에이블 신호가 개별로 공급되는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 3.

제 2 항에 있어서,

인접하는 인에이블 회로는 데이터선의 배열 방향에 따라 서로 다르게 배치되어 있는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 4.

삭제

청구항 5.

제 2 항에 있어서,

상기 인에이블 회로 각각은,

상기 전송 신호가 입력되며, 또한, 상기 소정의 인에이블 신호가 입력되었을 때 상기 주사 신호를 출력하는 전송 게이트인 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 6.

제 2 항에 있어서,

상기 인에이블 회로 각각은,

상기 전송 신호가 입력되며, 또한, 상기 소정의 인에이블 신호가 입력되었을 때, 상기 주사 신호를 출력하는 박막 트랜지스터로서, P 형 또는 N 형 중 어느 한쪽의 채널형으로 이루어지는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 7.

제 1 항에 있어서,

상기 구동 회로는,

상기 화소 전극의 형성 영역을 끼워서 양측에 형성되어,

상기 양측중, 한쪽에 형성된 구동 회로는, 상기 복수의 주사선 중 홀수번째의 주사선에 대하여 주사 신호를 출력하며, 다른쪽에 형성된 구동 회로는, 짝수번째의 주사선에 대하여 주사 신호를 출력하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 8.

삭제

청구항 9.

복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로로서,

상기 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터로서, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와,

상기 각 단의 단위 회로에서 출력된 전송 신호를, 시간축상에서 복수로 분할하여 샘플링 제어 신호로서 출력하는 출력 수단과,

상기 데이터선의 각각에 대응하여 설치되며, 각각은 상기 출력 수단에 의해 분할된 샘플링 제어 신호에 따라서, 화상 신호를 샘플링하여 대응하는 데이터선에 공급하는 샘플링 스위치를 구비하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 10.

제 9 항에 있어서,

상기 출력 수단은,

상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에서 출력된 전송 신호를 복수개로 분기하는 분기 배선과,

상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와, 소정의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 인에이블 회로를 구비하며,

동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 액티브 기간이 서로 중복하지 않은 인에이블 신호가 개별로 공급되는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.

복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극을 가지며, 소정 개수의 데이터선마다에, 직렬-병렬 변환된 화상 신호를 동시에 샘플링하는 전기 광학 장치의 구동 회로로서,

화상 신호가 동시에 샘플링되는 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터로서, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와,

상기 각 단의 단위 회로에서 출력된 전송 신호를, 시간축상에서 복수로 분할하여 샘플링 제어 신호로서 출력하는 출력 수단과,

상기 데이터선의 각각에 대응하여 설치되며, 각각은 상기 샘플링 제어 신호에 따라서, 상기 화상 신호 중 어느 것인가를 샘플링하여, 대응하는 데이터선에 공급하는 샘플링 스위치로서, 서로 인접하는 데이터선의 복수개에 대응하여 설치된 것끼리는, 동일의 샘플링 제어 신호에 의해서 동시에 다른 화상 신호를 샘플링하는 샘플링 스위치를 구비하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 15.

제 14 항에 있어서,

상기 출력 수단은,

상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에 의해 출력된 전송 신호를 복수개로 분기하는 분기 배선과,

상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와, 소정의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 인에이블 회로를 구비하며,

동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 액티브 기간이 서로 중복하지 않은 인에이블 신호가 개별로 공급되는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.

복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로로서,

상기 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터로서, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와,

상기 각 단의 단위 회로에서 출력된 전송 신호를, 시간축상에서 복수로 분할 또는, 동시에 복수로 분배하여 샘플링 제어 신호로서 출력하는 출력 수단과,

상기 데이터선의 각각에 대응하여 설치되며, 각각은 출력 수단에 의해 분할 또는 분배된 전송 신호에 따라서, 복수개의 화상 신호선 중 어느 하나에 공급된 화상 신호를 샘플링하여, 대응하는 데이터선에 공급하는 샘플링 스위치를 구비하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 20.

제 19 항에 있어서,

상기 출력 수단이, 전송 신호를 시간축상에서 복수로 분할하는 경우, 상기 복수개의 화상 신호선에는, 같은 화상 신호가 공급되며, 샘플링 스위치 각각은, 해당 화상 신호를 순차 샘플링하는 한편,

상기 출력 수단이, 전송 신호를 동시에 복수로 분배하는 경우, 상기 복수개의 화상 신호선에는, 1 계통의 화상 신호가 시간축에 해당 복수배로 신장됨과 동시에 분배되며, 상기 샘플링 스위치 중 서로 인접하는 데이터선의 복수개에 대응하여 설치된 것끼리는, 다른 화상 신호를 동시에 샘플링하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 21.

제 20 항에 있어서,

상기 출력 수단은,

상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에 의해 출력된 전송 신호를 복수개로 분기하는 분기 배선과,

상기 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 분기 배선에 의해 분기된 전송 신호와, 소정의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 인에이블 회로를 구비하며,

전송 신호를 시간축상에서 복수로 분할하는 경우, 동일 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않은 인에이블 신호가 개별로 공급되는 한편,

전송 신호를 동시에 복수로 분배하는 경우, 동일 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 동일한 인에이블 신호가 개별로 공급되는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 22.

제 2 항, 제 10 항, 제 15 항, 제 21 항 중 어느 한 항에 있어서,

상기 인에이블 회로 각각은,

상기 전송 신호와 상기 소정의 인에이블 신호를 입력하는 NAND 게이트와, 그 출력을 반전하는 인버터와의 직렬 접속으로 이루어지는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 23.

제 10 항, 제 15 항, 제 21 항 중 어느 한 항에 있어서,

상기 인에이블 회로 각각은,

상기 전송 신호가 입력되며, 또한, 상기 소정의 인에이블 신호가 입력되었을 때, 상기 샘플링 제어 신호를 출력하는 전송 게이트인 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 24.

삭제

청구항 25.

제 19 항의 전기 광학 장치의 구동 회로를 구비하는 전기 광학 장치로서,

상기 출력 수단에 있어서, 전송 신호를 시간축상에서 복수로 분할할지 또는 전송 신호를 동시에 복수로 분배할지에 대해서 판정하는 판정 수단과,

전송 신호를 시간축상에서 복수로 분할한다고 판정된 경우에는, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않은 인에이블 신호를 개별로 공급하는 한편, 전송 신호를 동시에 복수로 분배한다고 판정된 경우에는, 동일의 분기 배선에 의해서 분기된 전송 신호가 공급되는 인에이블 회로끼리에, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 동일한 인에이블 신호를 개별로 공급하는 공급 수단을 구비하는 것을 특징으로 하는 전기 광학 장치.

청구항 26.

제 25 항에 있어서,

상기 판정 수단은, 입력한 화상 신호의 종류에 근거하여 상기 판정을 행하는 것을 특징으로 하는 전기 광학 장치.

청구항 27.

제 25 항에 있어서,

입력한 화상 신호에 있어서의 동작을 검출하여, 그 검출 신호를 출력하는 동작 검출 수단을 더 구비하며,

상기 판정 수단은 상기 검출 신호에 근거하여, 미리 설정된 시간내에 상기 동작이 있다고 판정한 경우에는, 전송 신호를 시간축상에서 복수로 분할한다고 판정하는 한편, 상기 시간내에 상기 동작이 없다고 판정한 경우에는, 전송 신호를 동시에 복수로 분배한다고 판정하는 것을 특징으로 하는 전기 광학 장치.

청구항 28.

복수의 주사선과 복수의 데이터선과의 교차에 대응하여 설치된 스위칭 소자와, 상기 스위칭 소자에 접속된 화소 전극으로 이루어지는 화소를 구동하는 전기 광학 장치의 구동 회로로서,

상기 데이터선의 개수보다도 적은 단수의 단위 회로로 이루어지는 시프트 레지스터로서, 소정 주기의 클록 신호에 근거하여 각 단의 단위 회로에서 전송 신호를 순차 출력하는 시프트 레지스터와,

상기 각 단의 단위 회로에서 출력된 전송 신호를, 시간축상에서 복수로 분할하는 제 1 출력 수단과,

상기 제 1 출력 수단에 의해 분할된 전송 신호를, 또한, 시간축상에서 복수로 분할, 또는, 동시에 복수로 분배하여 샘플링 제어 신호로서 출력하는 제 2 출력 수단과,

상기 데이터선의 각각에 대응하여 설치되며, 각각은 상기 제 2 출력 수단에 의해 분할 또는 분배된 전송 신호에 따라서, 복수개의 화상 신호선 중 어느 1개에 공급된 화상 신호를 샘플링하여, 대응하는 데이터선에 공급하는 샘플링 스위치를 구비하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 29.

제 28 항에 있어서,

상기 제 2 출력 수단이, 전송 신호를 시간축상에서 복수로 분할하는 경우, 상기 복수개의 화상 신호선에는, 같은 화상 신호가 공급되며, 샘플링 스위치 각각은, 해당 화상 신호를 순차 샘플링하는 한편,

상기 제 2 출력 수단이, 전송 신호를 동시에 복수로 분배하는 경우, 상기 복수개의 화상 신호선에는, 1 계통의 화상 신호가 시간축에 해당 복수배로 신장됨과 동시에 분배되고, 상기 샘플링 스위치 중 서로 인접하는 데이터선의 복수개에 대응하여 설치된 것끼리는, 해당 화상 신호를 동시에 샘플링하는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 30.

제 29 항에 있어서,

상기 제 1 출력 수단은,

상기 단위 회로에 각각 대응하여 설치되며, 각각은 대응하는 단위 회로에 의해 출력된 전송 신호를 복수개로 분기하는 제 1 분기 배선과,

상기 제 1 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 제 1 분기 배선에 의해 분기된 전송 신호와, 제 1 군의 인에이블 신호와의 논리곱 신호를 출력하는 제 1 인에이블 회로를 구비하며,

동일의 제 1 분기 배선에 의해서 분기된 전송 신호가 공급되는 제 1 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않는 제 1 군의 인에이블 신호가 개별로 공급되고,

상기 제 2 출력 수단은,

상기 제 1 인에이블 회로에 각각 대응하여 설치되며, 각각은 대응하는 제 1 인에이블 회로에 의해 분할된 전송 신호를 복수개로 분기하는 제 2 분기 배선과,

상기 제 2 분기 배선에 의한 분기에 대응하여 설치되며, 각각은 상기 제 2 분기 배선에 의해 분기된 전송 신호와, 제 2 군의 인에이블 신호와의 논리곱 신호를 샘플링 제어 신호로서 출력하는 제 2 인에이블 회로를 구비하며,

전송 신호를 시간축상에서 복수로 분할하는 경우, 동일의 제 2 분기 배선에 의해서 분기된 전송 신호가 공급되는 제 2 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 서로 중복하지 않은 제 2 군의 인에이블 신호가 개별로 공급되는 한편,

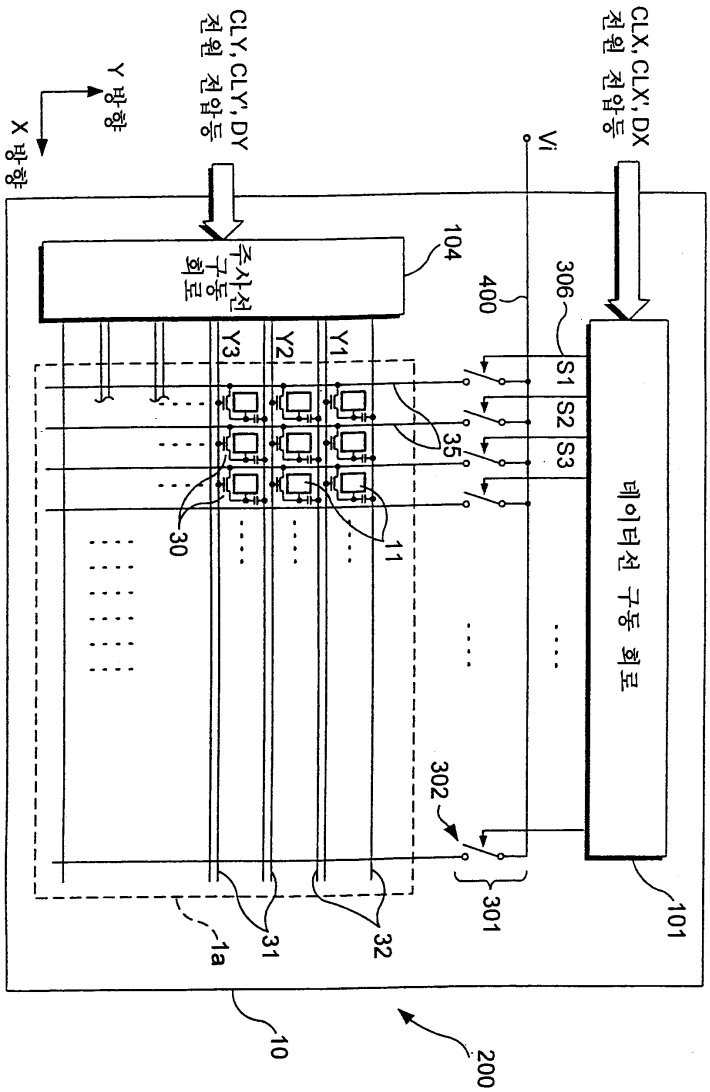
전송 신호를 동시에 복수로 분배하는 경우, 동일의 제 2 분기 배선에 의해서 분기된 전송 신호가 공급되는 제 2 인에이블 회로끼리에 있어서는, 해당 전송 신호가 공급되는 기간에서 액티브 기간이 동일한 제 2 군의 인에이블 신호가 개별로 공급되는 것을 특징으로 하는 전기 광학 장치의 구동 회로.

청구항 31.

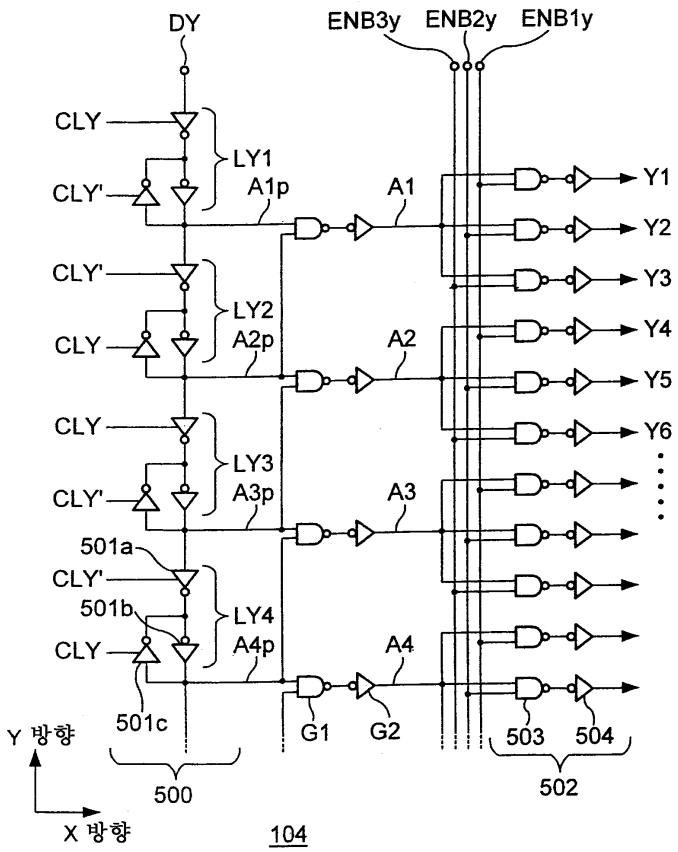
제 1 항, 제 9 항, 제 14 항, 제 19 항, 제 30 항 중 어느 한 항의 전기 광학 장치의 구동 회로를 구비한 것을 특징으로 하는 전기 광학 장치.

도면

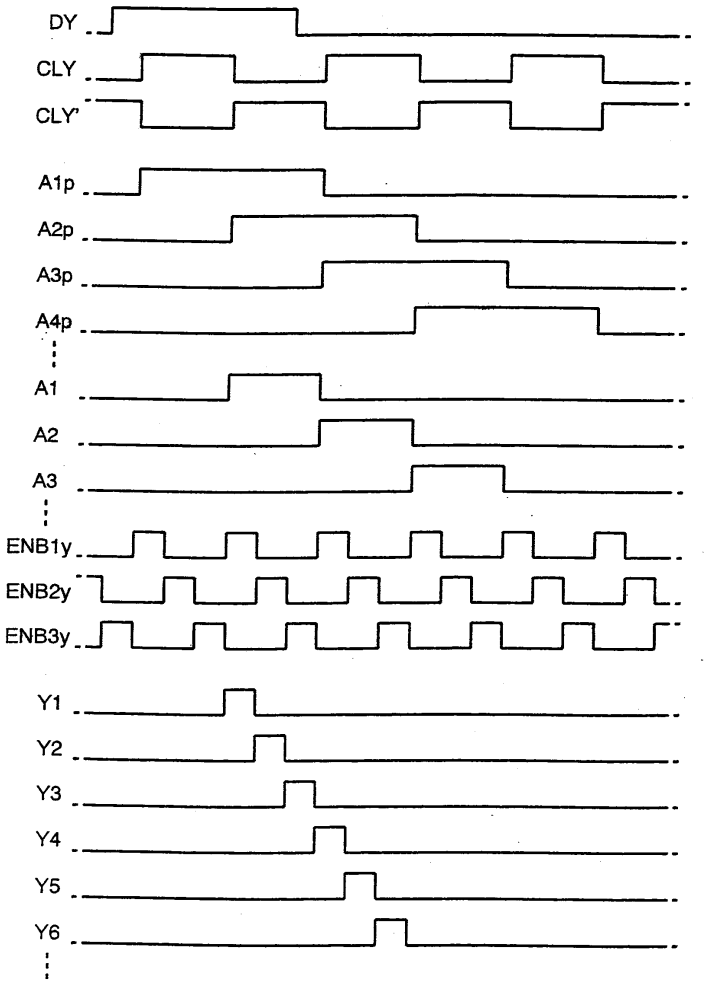
도면1



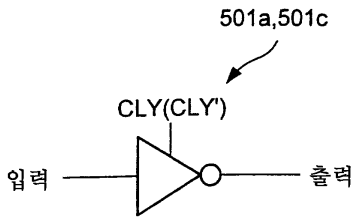
도면2


DY
ENB3y
ENB2y
ENB1y
CLY
CLY'
LY1
A1p
A1
Y1
Y2
Y3
LY2
A2p
A2
Y4
Y5
Y6
LY3
A3p
A3
501a
501b
LY4
A4p
A4
501c
G1
G2
503
504
Y 방향
X 방향
500
502
104

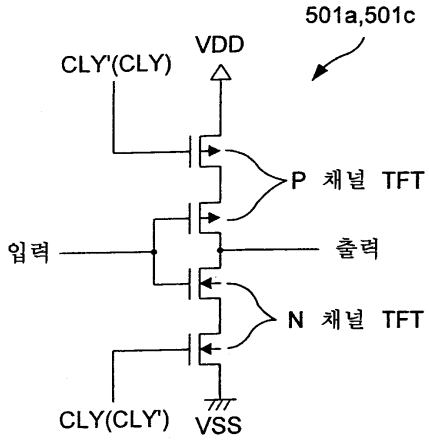
도면3


DY
CLY
CLY'
A1p
A2p
A3p
A4p
A1
A2
A3
ENB1y
ENB2y
ENB3y
Y1
Y2
Y3
Y4
Y5
Y6

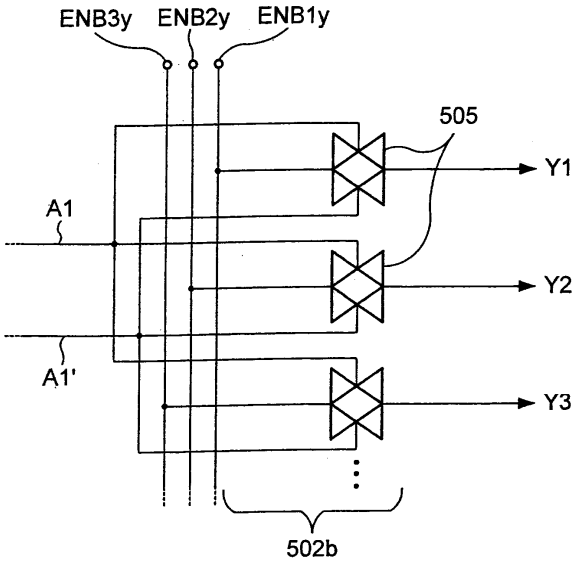
도면4a


501a,501c
CLY(CLY')
입력
출력

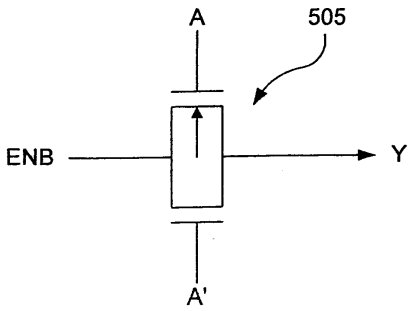
도면4b



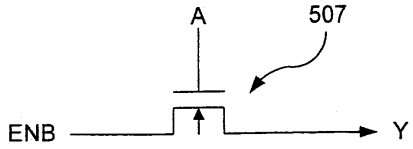
도면5a



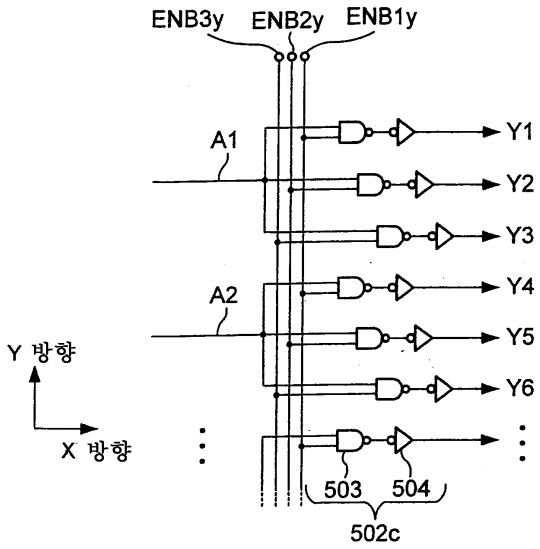
도면5b



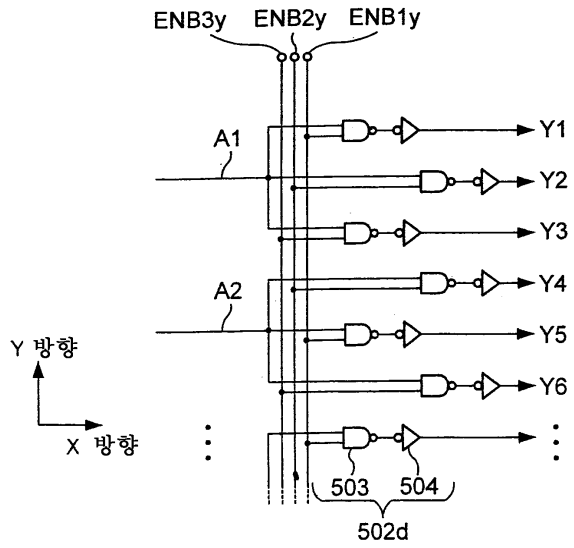
도면5c



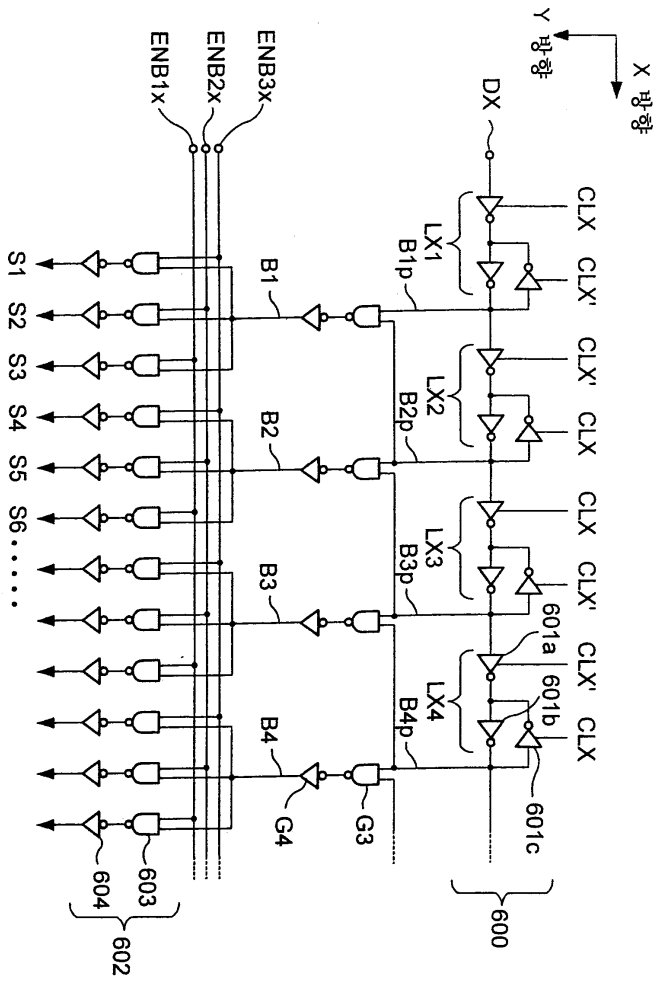
도면6a


ENB3y
ENB2y
ENB1y
A1
A2
Y1
Y2
Y3
Y4
Y5
Y6
Y 방향
X 방향
503
504
502c

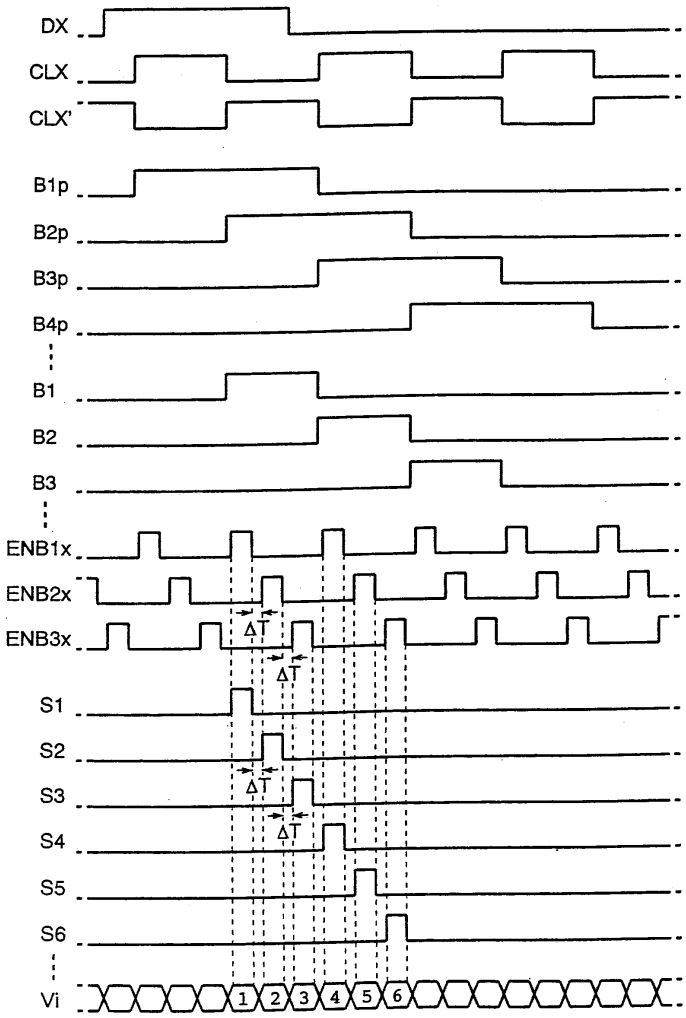
도면6b


ENB3y
ENB2y
ENB1y
A1
A2
Y1
Y2
Y3
Y4
Y5
Y6
Y 방향
X 방향
503
504
502d

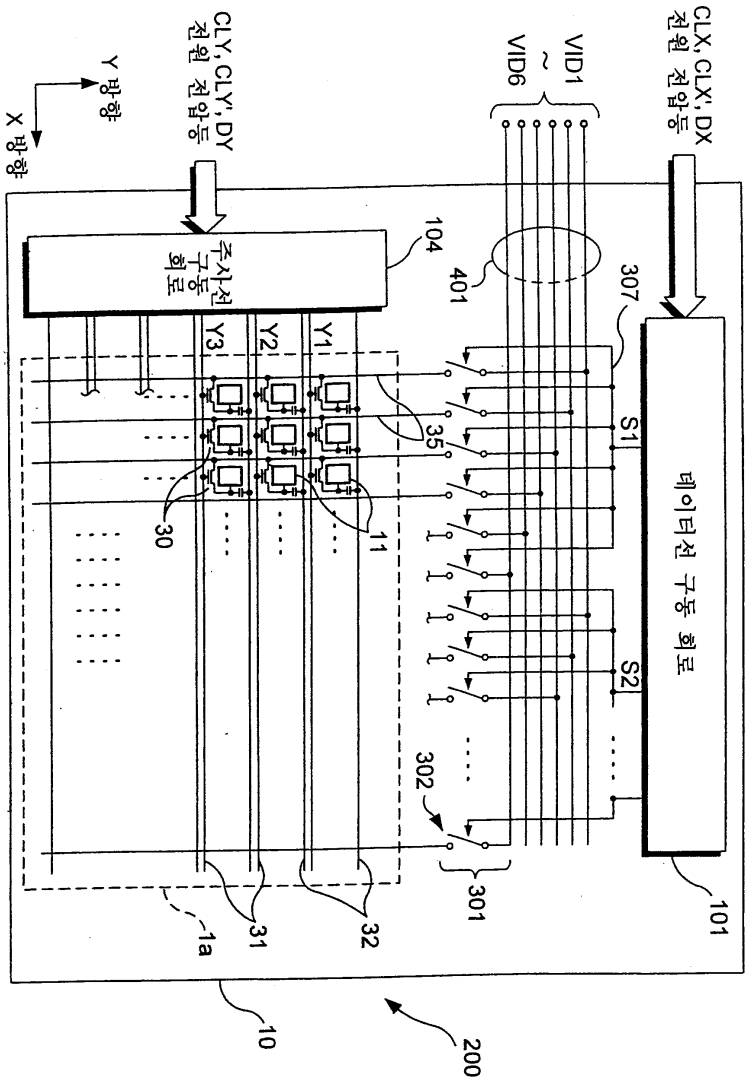
도면7


Y 방향
X 방향
DX
ENB1x
ENB2x
ENB3x
CLX
CLX'
LX1
B1p
LX2
B2p
LX3
B3p
LX4
B4p
601a
601b
601c
B1
B2
B3
B4
G3
G4
S1
S2
S3
S4
S5
S6
603
604
602
600

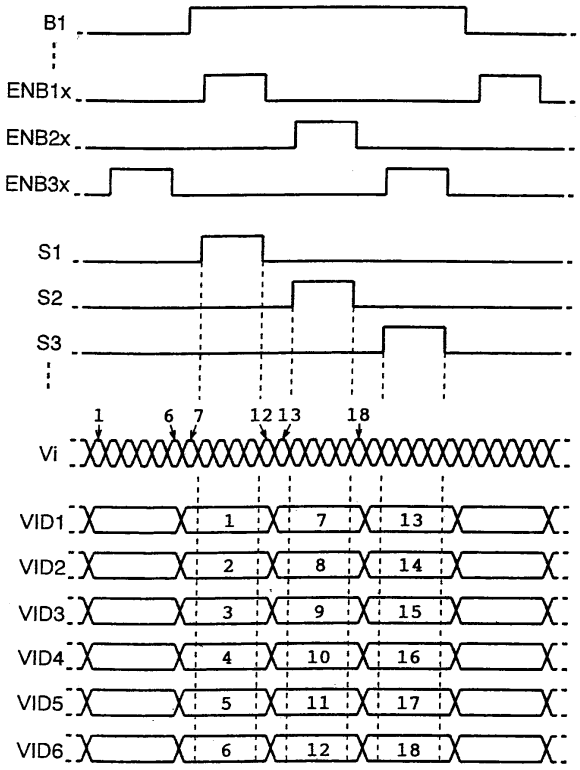
도면8


DX
CLX
CLX'
B1p
B2p
B3p
B4p
B1
B2
B3
ENB1x
ENB2x
ENB3x
ΔT
ΔT
ΔT
ΔT
S1
S2
S3
S4
S5
S6
Vi
1
2
3
4
5
6

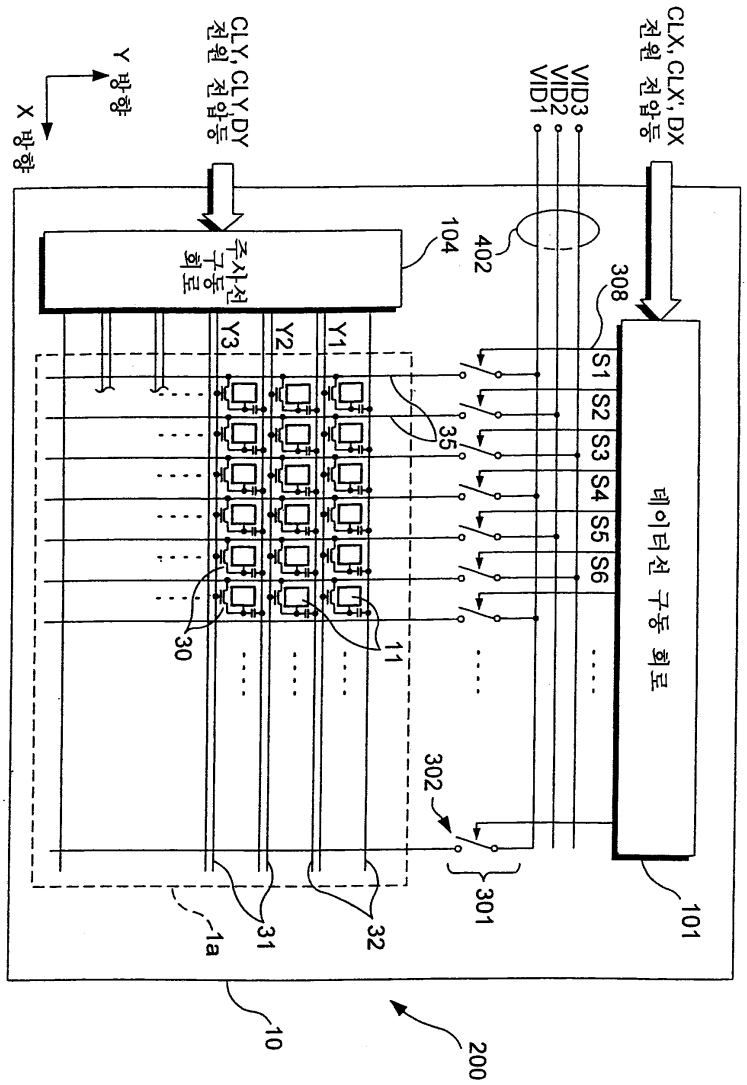
도면9


CLX, CLX', DX
전원 전압등
VID1
~
VID6
CLY, CLY', DY
전원 전압등
Y 방향
X 방향
주사선
구동
회로
104
401
307
S1
S2
데이터선 구동 회로
101
302
301
35
30
11
Y1
Y2
Y3
31
32
1a
10
200

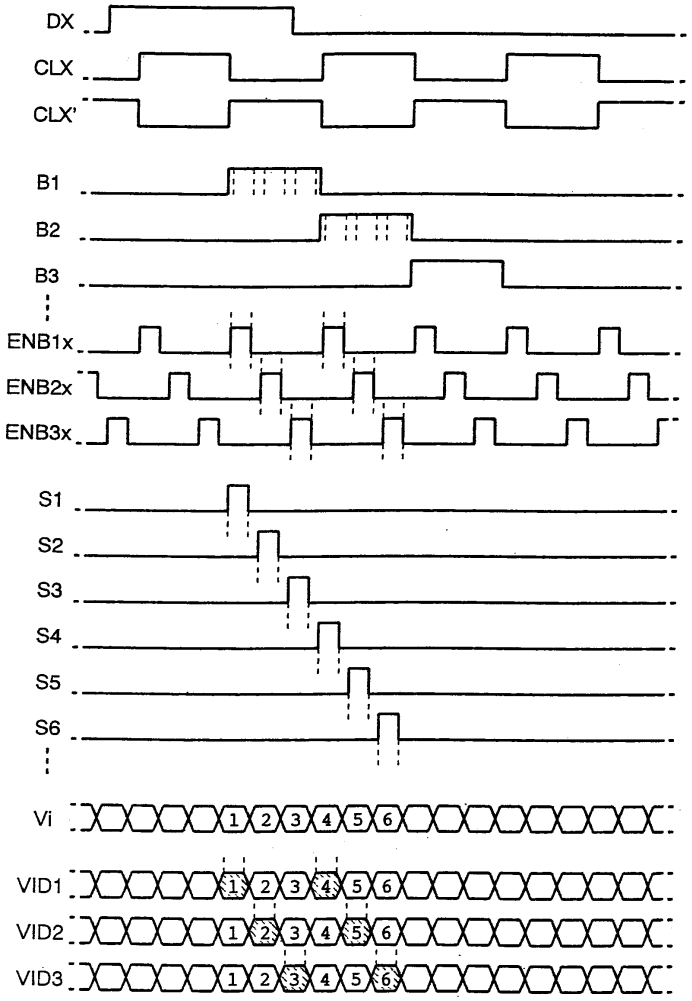
도면10


B1
ENB1x
ENB2x
ENB3x
S1
S2
S3
1
6
7
12
13
18
Vi
VID1
VID2
VID3
VID4
VID5
VID6
1
7
13
2
8
14
3
9
15
4
10
16
5
11
17
6
12
18

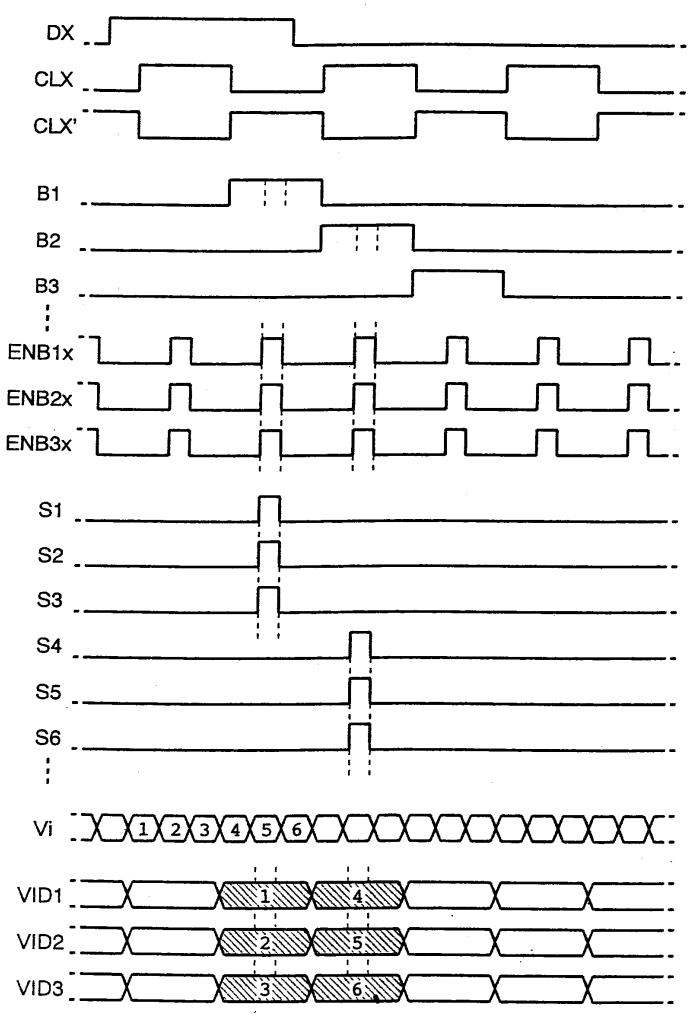
도면11


CLX, CLX', DX
전원 전압등
VID3
VID2
VID1
CLY, CLY, DY
전원 전압등
Y 방향
X 방향
주사선
구동
회로
104
402
308
S1
S2
S3
S4
S5
S6
데이터선 구동 회로
101
Y1
Y2
Y3
35
11
30
302
301
31
32
1a
10
200

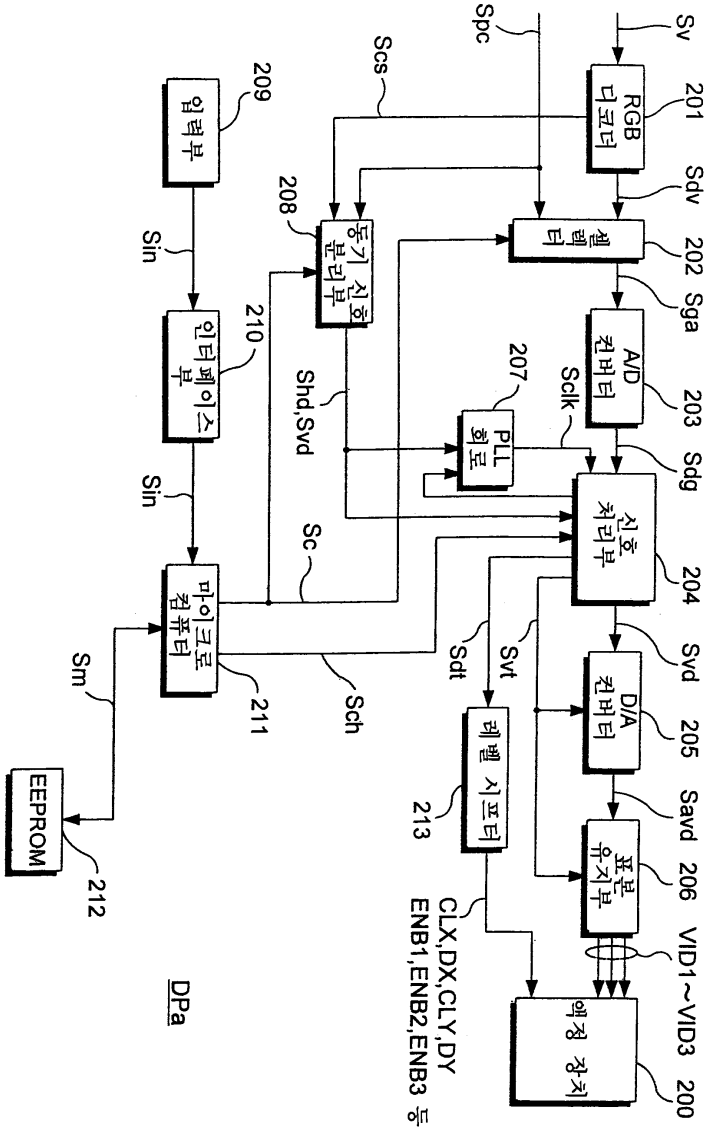
도면12


DX
CLX
CLX'
B1
B2
B3
ENB1x
ENB2x
ENB3x
S1
S2
S3
S4
S5
S6
Vi
VID1
VID2
VID3
1
2
3
4
5
6

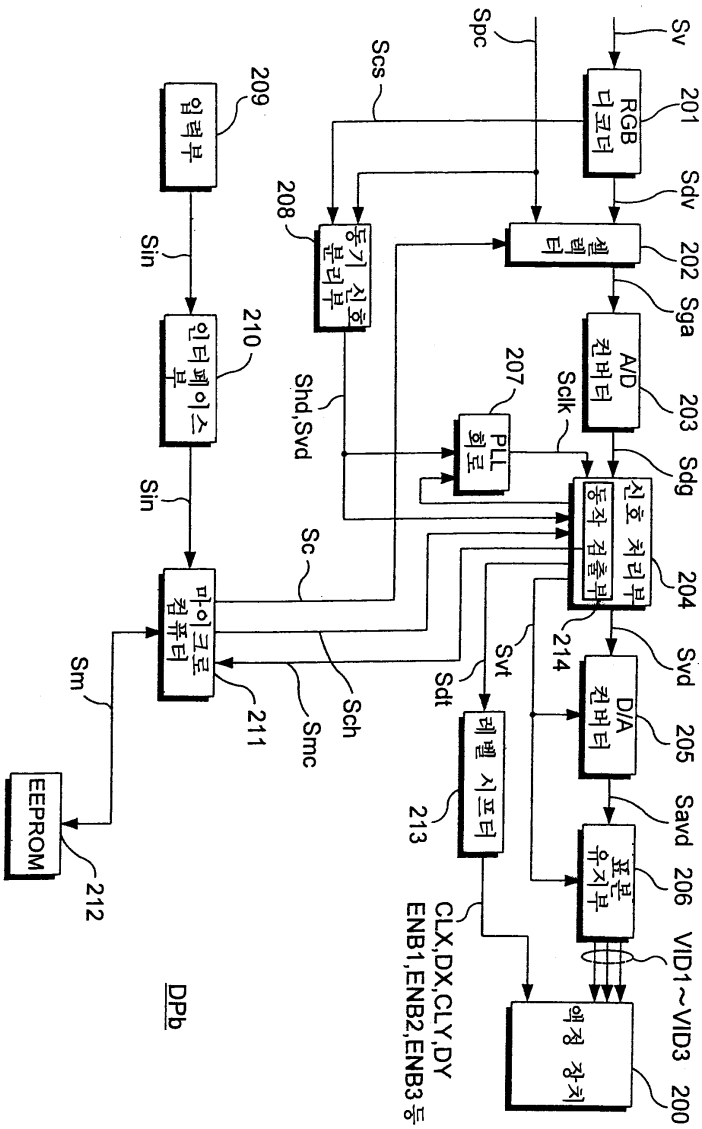
도면13


DX
CLX
CLX'
B1
B2
B3
ENB1x
ENB2x
ENB3x
S1
S2
S3
S4
S5
S6
Vi
1
2
3
4
5
6
VID1
VID2
VID3

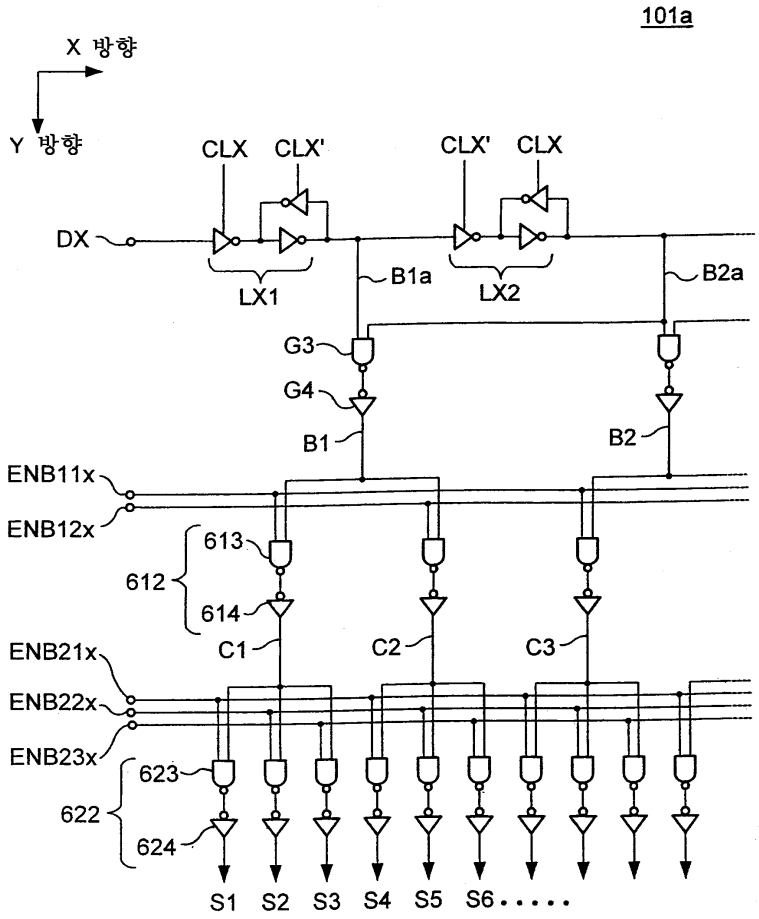
도면14


Sv
201
RGB 디코더
Spc
Scs
Sdv
202
셀렉터
208
동기 신호 분리부
209
입력부
Sga
203
A/D 컨버터
207
PLL 회로
Sclk
Sdg
204
신호 처리부
Sin
210
인터페이스부
Shd,Svd
Sc
Sin
마이크로 컴퓨터
Sdt
Svt
Svd
205
D/A 컨버터
Savd
206
포토 유지부
VID1~VID3
200
액정 장치
레벨 시프터
213
CLX,DX,CLY,DY
ENB1,ENB2,ENB3 등
Sm
211
Sch
EEPROM
212
DPa

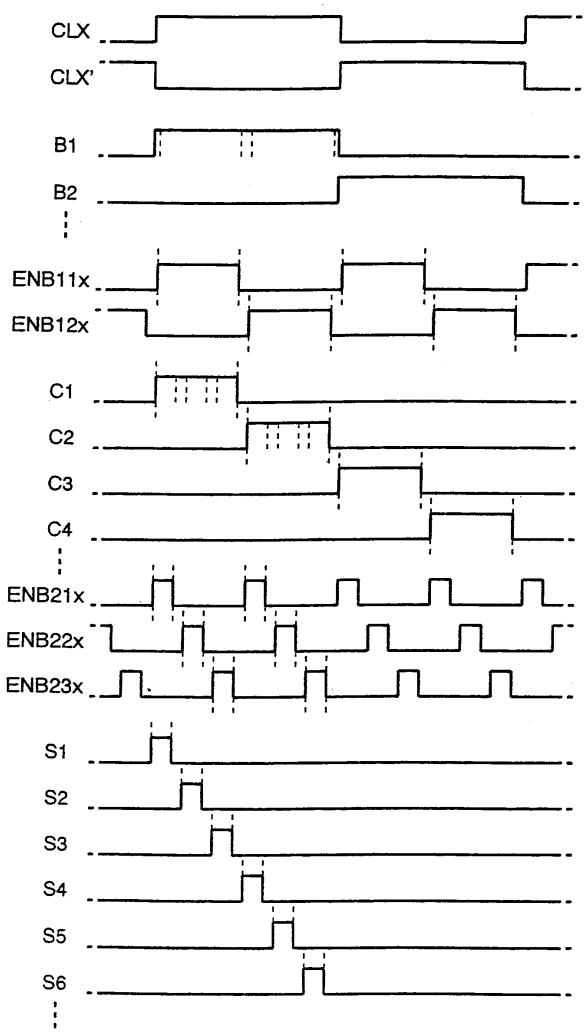
도면15


Sv
201
RGB 디코더
Sdv
셀렉터
202
Sga
A/D 컨버터
203
Sdg
신호 처리부
204
Svd
D/A 컨버터
205
Savd
표본 유지부
206
VID1~VID3
200
액정 장치
Spc
Scs
209
입력부
208
동기 신호 분리부
Sin
210
인터페이스부
Shd,Svd
207
PLL 회로
Sclk
Sc
Sin
마이크로 컴퓨터
211
Sch
Smc
Sm
EEPROM
212
Sdt
Svt
214
레벨 시프터
213
CLX,DX,CLY,DY
ENB1,ENB2,ENB3 등
DPb

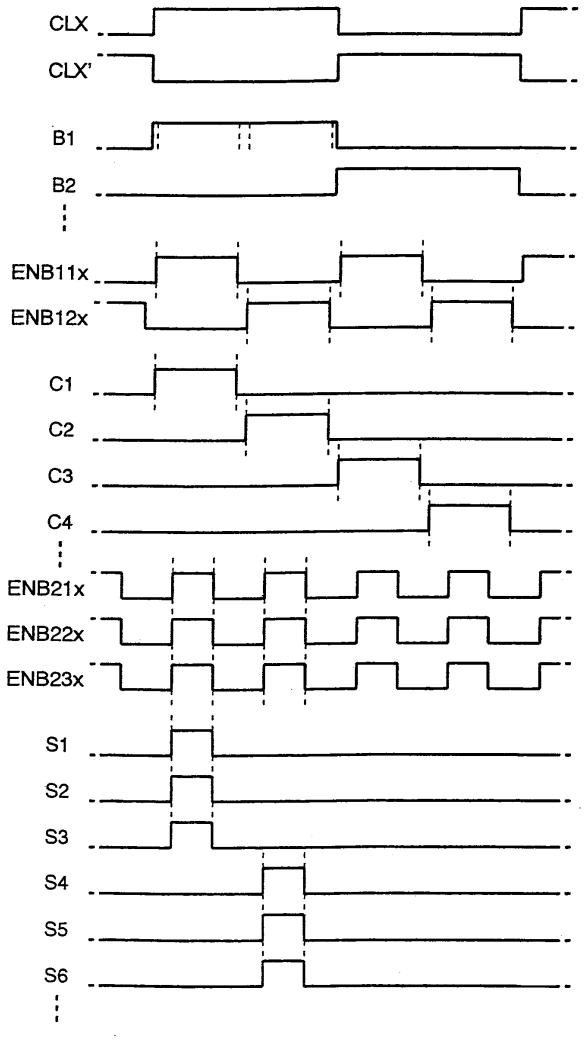
도면16


101a
X 방향
Y 방향
CLX
CLX'
CLX'
CLX
DX
LX1
B1a
LX2
B2a
G3
G4
B1
B2
ENB11x
ENB12x
613
612
614
C1
C2
C3
ENB21x
ENB22x
ENB23x
623
622
624
S1
S2
S3
S4
S5
S6

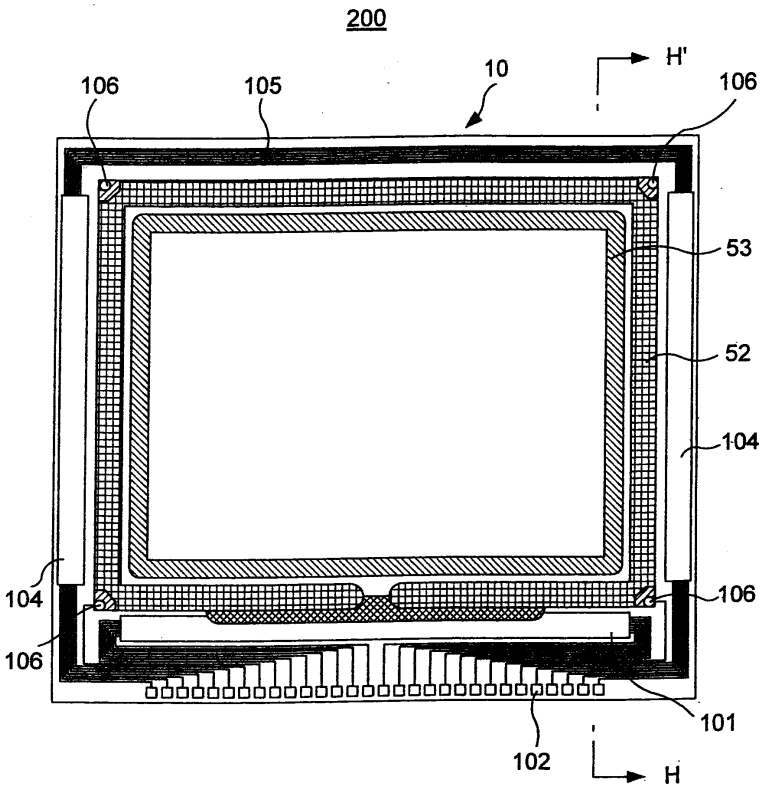
도면17


CLX
CLX'
B1
B2
ENB11x
ENB12x
C1
C2
C3
C4
ENB21x
ENB22x
ENB23x
S1
S2
S3
S4
S5
S6

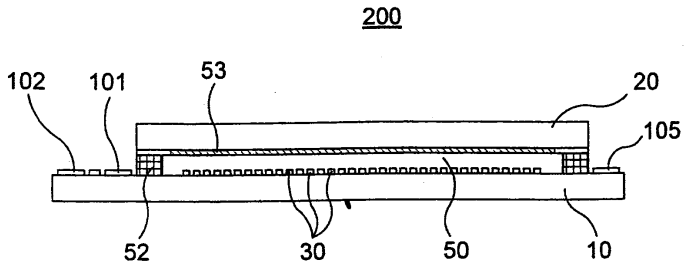
도면18


CLX
CLX'
B1
B2
ENB11x
ENB12x
C1
C2
C3
C4
ENB21x
ENB22x
ENB23x
S1
S2
S3
S4
S5
S6

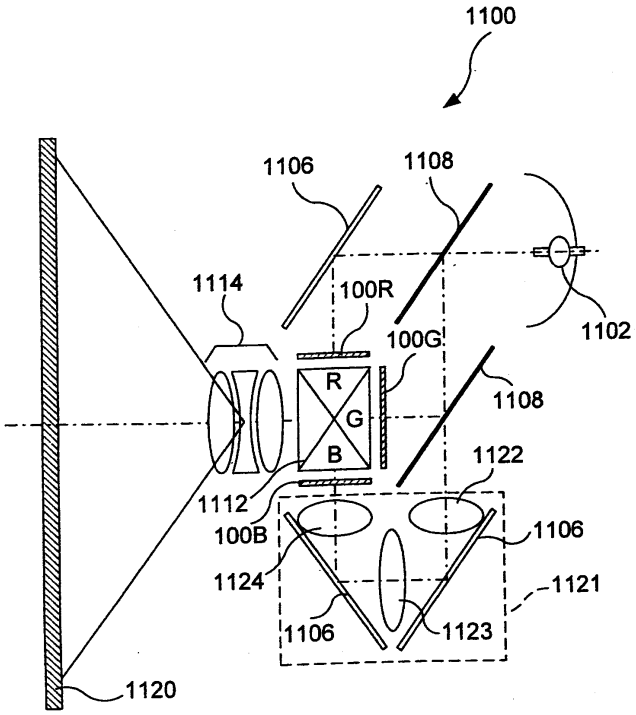
도면19


200
106
105
10
H'
106
53
52
104
104
106
106
101
102
H

도면20


200
102
101
53
20
105
52
30
50
10

도면21


1100
1106
1108
1114
100R
1102
100G
R
G
B
1108
1122
1112
100B
1106
1124
1121
1106
1123
1120