



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

(22) Prihlášené 07 07 82
(21) [PV 5172-82]

(40) Zverejnené 17 07 84

(45) Vydané 15 01 87

232774
(11) (B1)

[51] Int. Cl.³
H 03 K 19/01

[75]

Autor vynálezu

ŠTOFKA MARIAN ing., KYSAK

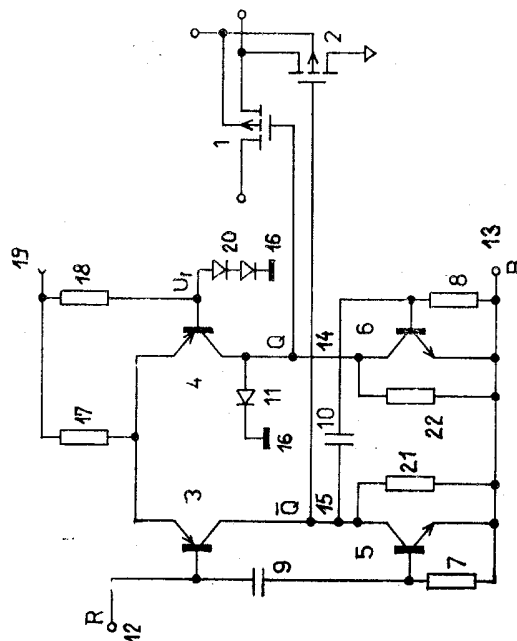
(54) Zapojenie prepínača s tranzistormi s malou dynamickou chybou

1

Vynález patrí do odboru elektroniky a rieši zapojenie prepínača s tranzistormi s malou dynamickou chybou.

Jeho podstata je v tom, že riadiace elektródy tranzistorov riadených polom sú spojené s výstupmi diferenciálneho stupňa s bipolárnymi tranzistormi. Jeden vstup diferenciálneho stupňa tvorí riadiaci vstup prepínača, druhý vstup je spojený so zdrojom referenčného napätia, tvoreným diódami a rezistorom. Na výstupy diferenciálneho stupňa sú pripojené kolektory bipolárnych tranzistorov s opačným typom vodivosti. Emistory týchto tranzistorov sú spojené s napájacím bodom. Medzi bázou a emitor týchto tranzistorov sú zapojené rezistory, báza tranzistora v invertujúcej vetve diferenciálneho stupňa je spojená cez kapacitor s riadiacim vstupom a báza tranzistora v neinvertujúcej vetve je spojená cez kapacitor s invertujúcim výstupom riadiaceho obvodu. Vynález je znázornený na priloženom výkrese.

2



Vynález sa týka zapojenia prepínača s tranzistormi s malou dynamickou chybou riadeného logickým signálom, pri ktorom sa rieši rýchlosť prepínania a zníženie parazitného prenosu náboja z riadiaceho obvodu na výstup prepínača.

V doteraz známych zapojeniach analógových prepínačov s tranzistormi riadenými poľom sú tranzistory riadené rovnakými prevodníkmi logickej úrovne, z ktorých jeden má vstup spojený priamo s logickým riadiacim vstupom a medzi vstup druhého prevodníka logickej úrovne a logický riadiaci vstup je zapojený negátor. Vzájomné oneskorenie riadiacich signálov poľom riadených tranzistorov nie je v tomto zapojení optimálne z hľadiska parazitného prenosu náboja z riadiacich elektród tranzistorov na výstup prepínača. Prevodníky logickej úrovne sú obvykle zapojené tak, že rýchlosť prechodu úrovne na ich výstupe je určená aktívnym prvkom len v jednom smere prechodu. Pri druhom smere prechodu je rýchlosť daná časovou konštantou $R_k \cdot C$; R_k je výstupný odpor prevodníka a C je celková parazitná kapacita na výstupe prevodníka. Rýchlosť tohto smeru prechodu je obvykle o jeden rád nižšia, než pri prechode určenom aktívnym prvkom.

Uvedené nedostatky sú odstránené zapojením prepínača s tranzistormi s malou dynamickou chybou podľa vynálezu, ktorého podstata je v tom, že riadiaca elektróda prvého tranzistora je spojená s prvým spoločným bodom a riadiaca elektróda druhého tranzistora je spojená s druhým spoločným bodom, ktorý je spojený jednak s kolektorom tretieho tranzistora, jednak cez piaty odpor s napájacou svorkou a jednak s kolektorom piateho tranzistora, ktorého emitor je spojený s napájacou svorkou a jeho báza je spojená buď cez prvý odpor s napájacou svorkou, alebo cez prvý kondenzátor s riadiacou vstupnou svorkou a s bázou tretieho tranzistora, ktorého emitor je spojený cez tretí odpor so svorkou a s emitorom štvrtého tranzistora, ktorého báza je spojená cez štvrtý odpor so svorkou a cez dvojicu diód s nulovým bodom a ktorého kolektor je spojený cez diódu s nulovým bodom a s prvým spoločným bodom, ktorý je ďalej spojený cez šiesty odpor a napájacou svorkou a s kolektorom šiesteho tranzistora, ktorého emitor je spojený s napájacou svorkou a ktorého báza je spojená cez druhý kondenzátor na druhý spoločný bod a cez druhý odpor s napájacou svorkou.

Spojením riadiacich elektród spínacích tranzistorov riadených poľom s výstupmi diferenciálneho stupňa s bipolárnymi tran-

zistormi, ktorý má výstupy pripojené na tranzistory s opačným typom vodivosti, sa dosahuje, že rýchlosť prechodov riadiaceho napätia tranzistorov riadených poľom je veľká pri oboch smeroch prechodov. Spojením bázy tranzistora v invertujúcej vetve diferenciálneho stupňa cez kapacitor s riadiacim vstupom a bázy tranzistora v neinvertujúcej vetve cez kapacitor s invertujúcim výstupom diferenciálneho stupňa sa dosahuje taký časový vzťah oneskorenia riadiacich signálov pri prepínaní, že prvý tranzistor riadený poľom sa uvedie do vodivého stavu pri vodivom druhom tranzistore riadenom poľom a prechod prvého tranzistora do nevodivého a druhého tranzistora do vodivého stavu je súčasný. Tým sa v značnej miere ruší účinok nábojov prenášaných pri prepínaní z riadiacich elektród spínacích tranzistorov na výstup prepínača.

Na pripojenom výkrese je schéma zapojenia prepínača s tranzistormi s malou dynamickou chybou.

Riadiaca elektróda prvého tranzistora 1 je spojená s prvým spoločným bodom 14 a riadiaca elektróda druhého tranzistora 2 je spojená s druhým spoločným bodom 15. Tento je spojený jednak s kolektorom tretieho tranzistora 3, jednak cez piaty odpor 21 s napájacou svorkou 13 a jednak s kolektorom piateho tranzistora 5. Jeho emitor je spojený s napájacou svorkou 13 a jeho báza je spojená buď cez prvý odpor 7 s napájacou svorkou 13, alebo cez prvý kondenzátor 9 s riadiacou vstupnou svorkou 12 a s bázou tretieho tranzistora 3. Jeho emitor je spojený cez tretí odpor 17 so svorkou 19 a s emitorom štvrtého tranzistora 4, ktorého báza je spojená cez štvrtý odpor 18 so svorkou 19 a cez dvojicu diód 20 s nulovým bodom 16. Kolektor tretieho tranzistora 3 je spojený cez diódu 11 s nulovým bodom 16 a s prvým spoločným bodom 14, ktorý je ďalej pripojený cez šiesty odpor 22 na napájaciu svorku 13 a s kolektorom šiesteho tranzistora 6. Jeho emitor je spojený s napájacou svorkou 13 a jeho báza je spojená cez druhý kondenzátor 10 na druhý spoločný bod 15 a cez druhý odpor 8 s napájacou svorkou 13.

Prepínač s tranzistormi riadenými poľom je určený pre rýchle a presné prepínania analógových signálov. Jeho použitie je najmä v tých obvodoch analógovej techniky, kde sa požaduje prepínanie s veľkou frekvenciou a malou dynamickou chybou medzi zdrojom vstupného signálu a referenčným bodom s nulovým potenciálom.

PREDMET VYNÁLEZU

Zapojenie prepínača s tranzistormi s malou dynamickou chybou vyznačené tým, že riadiaca elektróda prvého tranzistora (1) je spojená s prvým spoločným bodom (14) a riadiaca elektróda druhého tranzistora (2) je spojená s druhým spoločným bodom (15), ktorý je spojený jednak s kolektorom tretieho tranzistora (3), jednak cez piaty odpor (21) s napájacou svorkou (13) a jednak s kolektorom piateho tranzistora (5), ktorého emitor je spojený s napájacou svorkou (13) a jeho báza je spojená buď cez prvý odpor (7) s napájacou svorkou (13), alebo cez prvý kondenzátor (9) s riadiacou vstupnou svorkou (12) a s bázou tretieho

tranzistora (3), ktorého emitor je spojený cez tretí odpor (17) so svorkou (19) a s emitorom štvrtého tranzistora (4), ktorého báza je spojená cez štvrtý odpor (18) so svorkou (19) a cez dvojicu diód (20) s nulovým bodom (16) a ktorého kolektor je spojený cez diódu (11) s nulovým bodom (16) a s prvým spoločným bodom (14), ktorý je ďalej pripojený cez šiesty odpor (22) na napájaciu svorku (13) a s kolektorom šiesteho tranzistora (6), ktorého emitor je spojený s napájacou svorkou (13) a ktorého báza je spojená cez druhý kondenzátor (10) na druhý spoločný bod (15) a cez druhý odpor (8) s napájacou svorkou (13).

1 list výkresov

