(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3810160号
(P3810160)

(45)発行日　平成18年8月16日(2006.8.16)　(24)登録日　平成18年6月2日(2006.6.2)

| (51)Int.Cl. | | F I | | |
|---|---|---|---|---|
| G11C 11/409 | (2006.01) | G11C | 11/34 | 353E |
| H01L 21/8242 | (2006.01) | H01L | 27/10 | 681G |
| H01L 27/108 | (2006.01) | | | |

請求項の数 3　(全 13 頁)

(21)出願番号　特願平8-321223
(22)出願日　平成8年12月2日(1996.12.2)
(65)公開番号　特開平9-204777
(43)公開日　平成9年8月5日(1997.8.5)
審査請求日　平成14年7月19日(2002.7.19)
(31)優先権主張番号　60/009,984
(32)優先日　平成8年1月26日(1996.1.26)
(33)優先権主張国　米国(US)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(73)特許権者　590000879
テキサス　インスツルメンツ　インコーポレイテツド
アメリカ合衆国テキサス州ダラス，ノース　セントラルエクスプレスウエイ　１３５００
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　大鳥　浩
アメリカ合衆国、テキサス州　７５０２４、プレーノ、プレストン・ロード　６９００、＃２７２１

最終頁に続く

(54)【発明の名称】半導体回路

(57)【特許請求の範囲】

【請求項１】

ビット線対と、

複数のワード線と、

各々が前記ビット線対を構成するビット線の一方および前記複数のワード線の１つと結合された複数のダイナミックメモリセルと、

１対のＰＭＯＳトランジスタと１対のＮＭＯＳトランジスタとを含むセンスアンプであって、該ＰＭＯＳトランジスタの対および該ＮＭＯＳトランジスタの対の各々は、共通に結合されたソースと、前記ビット線対にそれぞれ結合されたドレインと、該ドレインに交差結合されたゲートとをそれぞれ有するものであるセンスアンプと、

第１の電源端子と、

第２の電源端子と、

前記第１の電源端子と前記ＰＭＯＳトランジスタの対の前記ソースとの間に結合された第１のスイッチトランジスタと、

前記第２の電源端子と前記ＰＭＯＳトランジスタの対の前記ソースとの間に結合された第２のスイッチトランジスタと、

前記第１の電源端子に、前記第２の電源端子に供給される第２の電圧より低い第１の電圧を供給するための電圧ジェネレータとを有する半導体回路であって、

前記電圧ジェネレータは、前記第１の電源端子が前記第１の電圧を上回ったことを検出して、前記第１の電源端子の電圧を下降させるための放電トランジスタを有し、

前記センスアンプは、前記複数のダイナミックメモリセルから選択されたメモリセルについての情報に基づいて、前記ビット線の対に対してハイ側の電圧とロウ側の電圧を有する相補的な信号の対を供給し、

第１の期間において、前記第２のスイッチトランジスタがイネーブルとされるのに応じて、前記ハイ側の電圧が前記第１の電圧よりも上に上昇させられ、

前記第１の期間に続く第２の期間において、前記第１のスイッチトランジスタがイネーブルとされるのに応じて、前記電圧ジェネレータは、前記ハイ側の電圧が前記第１の電圧を上回ったことを検出して、前記第１の電源端子の電圧を下降させるための放電トランジスタを動作させることによって、前記ハイ側の電圧が前記第１の電圧に設定されることを特徴とする半導体回路。

【請求項２】

請求項１記載の半導体回路であって、更に、

第３の電圧を受取るための第３の電源端子と、

前記第３の電源端子と前記ＮＭＯＳトランジスタの対の前記ソースとの間に結合された第３のスイッチトランジスタとを有し、

前記第１および第２の期間において、前記第３のスイッチトランジスタがイネーブルとされるのに応じて、前記ロウ側電圧が前記第３の電圧に設定されることを特徴とする半導体回路。

【請求項３】

第１および第２の電源端子と、

各々が前記第１および第２の電源端子に一方の端で結合され、各々が互いに同じ方向に伸びる第１および第２の電源線と、

第１および第２のメモリブロックの各々が、複数の対のビット線と、複数のワード線と、複数のダイナミックメモリセルと、該複数の対のビット線にそれぞれ結合された複数のセンスアンプとを有し、該複数のセンスアンプの各々は、１対のＰＭＯＳトランジスタと、１対のＮＭＯＳトランジスタとを有し、該ＰＭＯＳトランジスタおよびＮＭＯＳトランジスタの各対は、ソースが共通に結合され、ドレインがビット線の対応する対にそれぞれ結合され、ゲートが該ドレインにそれぞれ交差結合されているものである第１および第２のメモリブロックと、

前記第１の電源線の第１の部分と前記第１のメモリブロックの前記ＰＭＯＳトランジスタの対の前記ソースとの間に結合された第１のスイッチトランジスタと、

前記第２の電源線の第２の部分と前記第１のメモリブロックの前記ＰＭＯＳトランジスタの対の前記ソースとの間に結合された第２のスイッチトランジスタと、

前記第１の電源線の第３の部分と前記第２のメモリブロックの前記ＰＭＯＳトランジスタの対の前記ソースとの間に結合された第３のスイッチトランジスタと、

前記第２の電源線の第４の部分と前記第２のメモリブロックの前記ＰＭＯＳトランジスタの対の前記ソースとの間に結合された第４のスイッチトランジスタと、

前記第１の電源端子に対して、前記第２の電源端子に供給される第２の電圧より低い第１の電圧を提供するための電圧ジェネレータとを有する半導体回路であって、

前記電圧ジェネレータは、前記第１の電源端子が前記第１の電圧を上回ったことを検出して、前記第１の電源端子の電圧を下降させるための放電トランジスタを有し、

前記第１の電源線の前記第１の部分は、該第１の電源線の前記第３の部分と前記第１の電源端子との間に配置され、

前記第２の電源線の前記第２の部分は、該第２の電源線の前記第４の部分と前記第２の電源端子との間に配置され、

前記第１のメモリブロックにおける前記センスアンプの各々は、前記第１のメモリブロックにおける前記複数のダイナミックメモリセルから選択されたメモリセルに格納された情報に基づいて、対応するビット線の対に対してハイ側電圧およびロウ側電圧を有する１対の第１の相補的信号を供給し、

前記第２のスイッチトランジスタがイネーブルとされる第１のオーバードライブ期間と

、前記第１のスイッチトランジスタがイネーブルとされる第１の正規化期間とを有し、
前記第１の正規化期間は、前記第１のオーバードライブ期間に続く期間であり、
前記第１の相補的信号の対の前記ハイ側電圧は、前記第１のオーバードライブ期間において、前記第１の電圧より高い電圧に上昇させられ、
前記第１の正規化期間において、前記電圧ジェネレータ内の前記放電トランジスタを通して降圧され、もって前記第１の電圧に設定されることを特徴とする半導体回路。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は一般的に半導体回路設計に関し、特に、センスアンプ回路の制御されたオーバードライブのための方法および装置に関する。

【０００２】

【従来の技術】

ディジタル論理では、入出力データ信号が、“high”（以下、Ｈと略す）あるいは“low”（以下、Ｌと略す）のどちらかで定義される電圧レベルを満たす必要がある。しかし、ディジタル論理を利用する典型的な集積回路、即ち“チップ”は、様々な電圧レベルのデータ信号をも含んでいる。その結果、データ信号を解釈する、即ち“分別”するためにセンスアンプ回路が用いられ、データ信号をＨあるいはＬのターゲット電圧レベルへ駆動し、それによって、チップ上の他のディジタル回路のための適正電圧を生成している。例えば、ダイナミックランダムアクセスメモリ（“ＤＲＡＭ”）デバイスのためのキャパシタタイプのメモリセルは非常に小さなビット信号を用いている。ＤＲＡＭに設けられたセンスアンプ回路は、メモリセルのＨレベルとＬレベルとの間のレベルとして定義されたプリチャージレベルとビット信号とを比較することにより、そのビット信号を分別する。ビット信号のレベルがプリチャージレベルより高い場合には、センスアンプ回路はその信号をＨあるいは論理値１の信号として解釈し、そのビット信号をＨのターゲット電圧へ駆動する。一方、ビット信号のレベルがプリチャージレベルより低い場合には、センスアンプ回路はその信号をＬあるいは論理値０の信号として解釈し、そのビット信号をＬのターゲット電圧へ駆動する。

【０００３】

技術が進歩するにつれ、センスアンプ回路の速度および精度がより重要になってきている。このため、チップの設計者は信号分別の速度を上げる様々な方法を試みてきた。例えば、Dhong et al.の米国特許５，２５７，２３２号では、信号分別の速度を上げるために、センスアンプ回路をオーバードライブする方法を教示している。

【０００４】

【発明が解決しようとする課題】

ところが、前記米国特許の方法は信号をすばやく分別する点では成功しているが、次のような問題点を有している。そのような問題点の１つは、センスが完了するときに、ビット信号がＨあるいはＬのターゲット電圧レベルで終了しないので、このオーバードライブ処理は不正確であるということである。従って、等化期間にビット信号は所望のプリチャージレベルには戻らない。その代わり、センスの際に電圧を通常以上に上げる（オーバーシュート）ため、ビット信号は、ずれた（オフセット）レベルに戻る。その結果、プリチャージレベルが変化し、センスアンプ回路は次のビット信号を正しく解釈しなくなる。

【０００５】

そこで、本発明の目的は、センスアンプ動作の精度を維持しながら、信号をオーバードライブすることによりすばやく信号の分別を成し遂げる方法および装置を提供することにある。

【０００６】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００７】

【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。
【０００８】
すなわち、本発明は、センスアンプ回路により受取られる信号をオーバードライブするための方法および装置を提供する。この目的のために、オーバードライブ回路は、センスされる信号をある期間にわたって通常レベルより大きな電圧レベルへ駆動する。信号をオーバードライブする期間は、センスイネーブル回路に対するセンスアンプ回路の相対的な位置に対応している。オーバードライブが完了すると、センスされる信号を正規化回路が第２の時間間隔にわたって通常レベルへ駆動し、それによって次のメモリサイクルに備えさせ、信号は再び所望のプリチャージレベルに設定される。
【０００９】
前記した本発明によれば、センスアンプは精度を維持しながらビット線をすばやく分別することができる。
【００１０】
又、本発明によれば、信号をオーバードライブする時間の長さは、センスイネーブル回路に対するセンスアンプの相対的な位置に直接関係することになる。
【００１１】
【発明の実施の形態】
図１には、参照番号１０によって本発明の１つの実施形態であるメモリデバイスが示されている。本発明の好適な実施形態としてデバイス１０は２５６Ｍビットダイナミックランダムアクセスメモリ（“ＤＲＡＭ”）であるが、本発明はＤＲＡＭに対する適用に限定されるわけではなく、正確かつ高速な信号増幅が必要な任意の集積回路に適用できることを理解されたい。
【００１２】
デバイス１０は、幾つかの制御信号パッドおよび電源パッドを含んでいる。制御信号パッドにはアドレスパッド１２ａ，１２ｂが含まれており、その各々は外部コントローラ（図示されていない）に接続されている。電源パッドは正の電源（ＶDD）パッド１２ｃおよびグランド電位の電源（ＶSS）パッド１２ｄを含んでおり、その各々は外部の電源（図示されていない）に接続されている。デバイス１０は又、メモリセルのアレイブロック（例えば、アレイブロック１４）を１組と、１群のメインアドレスデコーダ（例えば、列デコーダ１６および行デコーダ１８）とを含んでいる。このアレイブロックはアドレスパッド１２ａ，１２ｂからの信号によりメインアドレスデコーダ１６，１８を介して選択される。アレイブロック１４を残りのアレイブロックの代表として取り上げると、それは更に、多くのサブアレイに分割されている。それらサブアレイの各々は全体として参照符号Ａにより示されており、後に図３との関連でより詳細に説明される。
【００１３】
図２を参照すると、デバイス１０は、電源ＶDDおよびＶSSに加えて、内部電圧Ｖ1 を生成する電圧回路２０を有している。電圧回路２０は、アレイ電源（ＶARY ）ジェネレータ２２、抵抗Ｒ１、トランジスタ２４、および、演算増幅器（ＯＰ　アンプ）ＯＡ１を含んでいる。ＶARY ジェネレータ２２は、ＶSS＜ＶARY ＜ＶDDとなる電圧ＶARY を生成するための従来の電圧ジェネレータである。
【００１４】
通常動作においては、電流は抵抗Ｒ１を流れないので、電圧Ｖ1 はＶARY に等しい。その結果、ＯＰアンプＯＡ１の出力はＶSSに等しいＶOPであり、トランジスタ２４はオフのままである。しかし、オーバードライブ動作の際には、外部電源（これについては後に説明する）がＶ1 をＶARY より上に引き上げる。それによって、ＯＰアンプの出力ＶOPはＶSSより大きくなり、トランジスタ２４はオンとされ、その結果、Ｖ1 はグランドに引き下げられる。Ｖ1 がトランジスタ２４により引き下げられてゆくとき、Ｖ1 がＶARY に等しい状態に到達する。このとき、ＯＰアンプの出力ＶOPは再びＶSSに等しくなり、トランジス

タ２４はオフとなる。

【００１５】

以下、アレイブロック１４について述べるが、その際、アレイブロック１４に付随する少数のサブアレイおよび回路と共に説明する。しかし、アレイブロック１４、アレイブロック１４の個々のサブアレイ、サブアレイの個々のビット、サブアレイの周辺の回路についての説明が少数でなされているのは、説明を容易にするためだけである。従って、以下の説明は好適な実施形態の単純化されたバージョンであって、本発明の例示を意図するものであり、限定を意図するものではない。

【００１６】

図３を参照すると、アレイブロック１４はｍ×ｎ個のサブアレイＡx,y（１≦ｘ≦ｍ，１≦ｙ≦ｎ）から構成されている。サブアレイは列、行の形式で参照され、サブアレイＡ1,1～Ａm,n が含まれている。サブアレイＡx,1 の行は、デバイス１０の中心に最も近いサブアレイで構成されており（図１）、サブアレイＡx,n の行はこのデバイスの中心から最も遠いサブアレイで構成されている。各サブアレイＡx,y にはセンスアンプ領域ＳＡx,y およびオーバードライブ制御回路ＯＶx,y が接続されている。例えば、センスアンプ領域ＳＡ1,1 およびオーバードライブ制御回路ＯＶ1,1 はサブアレイＡ1,1 に接続されている。更に、サブアレイＡx,y の各行にはセンスアンプ制御回路ＳＡＣy 、選択信号ＭＳy 、センス信号ＳＡＮy,ＳＡＰ１y およびＳＡＰ２y が接続されている。例えば、センスアンプ制御回路ＳＡＣ１ 、選択信号ＭＳ１ 、およびセンス信号ＳＡＮ1,ＳＡＰ１１,ＳＡＰ２１は、サブアレイＡ1,1,Ａ2,1,…，Ａm,1 に接続されている。

【００１７】

選択信号ＭＳ１ ～ＭＳn は行デコーダ１８（図１）の回路をセンスアンプ制御回路ＳＡＣ１ ～ＳＡＣn にそれぞれ電気的に接続する。同様に、センス信号ＳＡＮ１ ／ＳＡＰ１１ ／ＳＡＰ２１ ～ＳＡＮn ／ＳＡＰ１n ／ＳＡＰ２n は、センスアンプ制御回路ＳＡＣ１ ～ＳＡＣn をオーバードライブ制御回路の全行ＯＶx,１ ～ＯＶx,n にそれぞれ電気的に接続する。オーバードライブ制御回路ＯＶx,y は又、ＶSS電源線３０、ＶDD電源線３２、およびＶ１ 電源線３４に接続されている。センスアンプ制御回路ＳＡＣ１ ～ＳＡＣn は又、２本のセンスアンプイネーブル線ＳＡＥ１およびＳＡＥ２に接続されている。ＶSS電源線３０およびＶDD電源線３２はＶSSパッド１２ｄおよびＶDDパッド１２ｃ（図１）によりそれぞれ駆動され、Ｖ１ 電源線３４は電圧回路２０（図２）により駆動され、２本のセンスアンプイネーブル線ＳＡＥ１およびＳＡＥ２はセンスアンプ遅延（ＳＡＤ）回路３５により駆動されている。

【００１８】

図４を参照すると、ＳＡＤ回路３５は従来のセンスアンプイネーブル信号ＳＡＥＢを受取り、２本のセンスアンプイネーブル線ＳＡＥ１およびＳＡＥ２を駆動する。ＳＡＥ１信号は最小限の遅延だけでＳＡＥＢ信号に追従する。しかし、ＳＡＥ２信号は、一連の遅延ユニット３６によって引き起こされるかなりの遅延をおいてＳＡＥＢ信号に追従する。遅延ユニット３６の各々は、ＳＡＥＢ信号の伝搬を遅延させるために複数の容量性負荷およびインバータから構成されている。

【００１９】

図３に示された残りの回路、信号線、センスアンプ領域およびサブアレイの各々も同一である。従って、後に説明する図５、図６では、代表的なセンスアンプ制御回路、信号線、センスアンプ領域およびサブアレイだけを説明する。代表的なセンスアンプ制御回路、信号線、センスアンプ領域およびサブアレイについて説明するのは、やはり、説明を容易にするためだけの限定である。従って、以下の説明は好適な実施形態の更に単純化されたバージョンであって、その単純化は例示を意図するものであり、本発明の限定を意図するものではない。

【００２０】

図５を参照すると、ＳＡＣ回路は２本のセンスアンプイネーブル線ＳＡＥ１，ＳＡＥ２および信号ＭＳを入力とし、３つのセンス信号ＳＡＮ，ＳＡＰ１，ＳＡＰ２を駆動する。選

択信号ＭＳはメモリセルの選択のために用いられ、現在考慮している好適実施形態の簡略化バージョンでは、アクティブ（Ｈ）状態にしてある。ＳＡＮセンス信号はアクティブＨであり、センス信号ＳＡＰ１およびＳＡＰ２はアクティブＬである。ＳＡＮ信号はＳＡＥ１信号がアクティブにされるとすぐにアクティブにされる。同様に、ＳＡＰ１信号はＳＡＥ１信号がアクティブにされるとすぐにアクティブにされる。しかし、ＳＡＥ２信号がアクティブになると、ＳＡＰ１センス信号は非アクティブにされ、ＳＡＰ２センス信号はアクティブにされる。従って、ＳＡＰ１センス信号は、ＳＡＥ２信号がＳＡＥ１信号から遅延する時間の間だけアクティブとなる。

【００２１】

図６を参照すると、サブアレイＡは複数のメモリセルすなわち“ビット”を含んでおり、それらはＢ１～Ｂ９として示されている。ビットは行に整列されており、各行はワード線によりアクティブとされる。例えば、一番上の行はビットＢ１～Ｂ３を含んでおり、ワード線ＷＬ1 によりアクティブとされ、一番下の行はビットＢ７～Ｂ９を含んでおり、ワード線ＷＬ3 によりアクティブとされる。

【００２２】

ビットの各々はビット線にも接続されている。ビット線はサブアレイＡを垂直に伸びて、トランスファゲート４０，４４を通過し、センスアンプ領域ＳＡに配置された個々のセンスアンプ回路へ伸びている。例えば、ビット線ＢＬはビットＢ４およびＢ７に接続されており、トランスファゲート４０を通過してセンスアンプ回路４２へ達している。同様に、ビット線ＢＬＢはビットＢ１に接続されており、トランスファゲート４４を通過してセンスアンプ回路４２へ達している。センスアンプ回路４２は従来のラッチセクション４６および等化セクション４８を含んでいる。センスアンプ領域ＳＡのすべてのセンスアンプ回路のラッチセクションは２つのラッチ信号ＳＤＮおよびＳＤＰにより制御されている。同様に、すべての正規化セクションは信号ＢＬＥＱにより制御され、すべてのトランスファゲートは信号ＳＨＲにより制御されている。

【００２３】

ラッチ信号ＳＤＮおよびＳＤＰはソースが共通のスイッチトランジスタにより駆動され、それらスイッチトランジスタには２個のＰ型金属酸化物半導体（ＰＭＯＳ）トランジスタ５０，５２、１つのＮ型金属酸化物半導体（ＮＭＯＳ）トランジスタ５４が含まれており、オーバードライブ制御回路ＯＶに配置されている。ＰＭＯＳトランジスタ５０はＶ1 電源線３４とＳＤＰラッチ信号線との間に接続されており、その動作はＳＡＰ２信号線により制御されている。ＰＭＯＳトランジスタ５２はＶDD電源線３２とＳＤＰラッチ信号線との間に接続されており、その動作はＳＡＰ１信号線により制御されている。ＮＭＯＳトランジスタ５４はＶSS電源線３０とＳＤＮラッチ信号線との間に接続されており、その動作はＳＡＮ信号線により制御されている。

【００２４】

図５～図７を参照すると、センス動作はＳＡＥＢ信号をアクティブにすることにより開始される。ＳＡＥＢ信号がアクティブにされるとそれに続いて直ちにＳＡＤ回路３５がＳＡＥ１信号をアクティブとする。その結果、ＳＡＣ回路は信号ＳＡＮおよび信号ＳＡＰ１の両方をアクティブとし、オーバードライブ期間６０が開始される。ＰＭＯＳトランジスタ５２およびＮＭＯＳトランジスタ５４がイネーブルとされ、２つのラッチ信号ＳＤＰおよびＳＤＮがＶDDおよびＶSSにそれぞれ接続されてアクティブとされる。

【００２５】

ラッチ信号ＳＤＰおよびＳＤＮがアクティブとされるのに応じて、ビット線上のデータ信号の分別が開始される。しかし、ビット線自体の容量性負荷（ビット線の長さに応じた容量性負荷）のため、又、それに接続されたすべてのセルに起因する容量性負荷のために、ビット線のセンスアンプ領域ＳＡに位置する部分は、サブアレイＡに位置する部分とは異なる動作をする。例えば、２本のビット線ＢＬおよびＢＬＢを考慮すると、それらビット線のセンスアンプ領域ＳＡに位置する部分は、タイミング図ＢＬSAおよびＢＬＢSAにより示されている。ビット線ＢＬおよびＢＬＢのサブアレイＡに配置された部分は、タイミン

グ図ＢＬWLおよびＢＬＢWLにより示されている。ＢＬSAおよびＢＬＢSAで表されるビット線部分は電源（ＶDD，ＶSS）に近いので、前記容量性負荷による影響が比較的小さいので非常に速く分別される。しかし、ＢＬWLおよびＢＬWLで表されるビット線部分は前記容量性負荷による影響が比較的大きいので、分別は遅いものとなる。

【００２６】

オーバードライブ期間６０は、ＢＬWLおよびＢＬSAビット線がＶARY 電圧レベルに達し、ＢＬＢWLおよびＢＬＢSAビット線がＶSS電圧レベルに達するまで維持される。その時点では、ＳＡＣ回路は、ＰＭＯＳトランジスタ５２をディスエーブルとすることによりＳＡＰ１信号を非アクティブとし、ＰＭＯＳトランジスタ５０をイネーブルとすることによりＳＡＰ２信号をアクティブとする。その結果、正規化期間６２が開始される。正規化期間６２の間、ＰＭＯＳトランジスタ５０は、ラッチ信号ＳＤＰをＶ1 電源線に接続することにより信号ＳＤＰをアクティブとする。この正規化期間６２によって、ビット線上の信号は所望のＶARY 電圧レベルとされる。その後、等化期間６５において、ビット線上の信号は、ＢＬＥＱ信号に応答して、正確にプリチャージレベル（ＶARY とＶSSの丁度半分のレベル）６３に達する。同様に、ＢＬＥＱ信号は、ラッチ信号ＳＤＮおよびＳＤＰを等化し、等化期間６５においてそれらの信号がプリチャージレベル６３に達するようにする。

【００２７】

図２をも参照すると、正規化期間６２は電圧回路２０の動作により増強される。ＳＤＰラッチ信号線は先にＶDDに接続されていたので、Ｖ1 電圧をＶDD電圧レベルへ引き上げる。その結果、Ｖ1 電圧は、ＶARY ジェネレータ２２により生成される電圧ＶARY より上に上昇する。ＯＰアンプＯＡ１の入力における電圧の差に起因して、ＯＰアンプＯＡ１はトランジスタ２４をオンとし、Ｖ1 をＶSSへ短絡させる。これによって、Ｖ1 の容量性負荷が放電され、Ｖ1 が再びＶARY に等しくなる。更に、ＯＰアンプＯＡ１はトランジスタ２４を再びオフとし、Ｖ1 電圧レベルはＶARY 電圧レベルに安定する。

【００２８】

Ｖ1 がＶSSに引き下げられる効果は、センスアンプ領域に配置されたビット線部分における方がサブアレイに配置されたビット線部分における方よりも顕著である。例えば、ＢＬSA信号の電圧レベルは先にはＶDDに等しいかそれに近いレベルであったが、すぐにＶARY に引き下げられる。しかし、電圧レベルが先にＶARY のレベルに近かったＢＬWL信号の場合は、そのビット線に接続されたメモリセルの容量性負荷が高いため、実質的にその電圧レベルに留まる。

【００２９】

図７は代表的なサブアレイＡのタイミング図を示すものであるが、好適な実施形態では、各サブアレイのタイミング図はその位置に依存している。例えば、デバイス１０の中心に最も近いサブアレイの行（図１）としてサブアレイＡ1,1 を取り上げると、そのビット線の波形は、デバイスの中心から最も離れたサブアレイの行に属するサブアレイＡ1,n のビット線の波形とは異なる。これは、ＶDDおよびＶSS電源線の負荷抵抗および容量が、デバイスの中心から縁に向かうにつれて増大するからである。その結果、ＯＶ1,1 回路はＯＶ1,n 回路より大きなＶDDおよびＶSS電力を供給し、それによって、サブアレイＡ1,1 のビット線上の信号はサブアレイＡ1,n のビット線上の信号より速く分別される。

【００３０】

図８を参照すると、第１の実施形態において、オーバードライブ期間６４はサブアレイＡ1,1 に対して最適化されている。つまり、この実施形態において、オーバードライブ期間６４はサブアレイＡ1,1 のビット線ＢＬWLの信号のレベルが時点Ｐ１でＶARY のレベルに達する丁度十分な長さとされている。しかし、この実施形態において、サブアレイＡ1,n のビット線ＢＬWLの信号のレベルは時点Ｐ２までＶARY のレベルに達しない。その結果、この実施形態はサブアレイＡ1,1 についてはうまく機能するが、サブアレイＡ1,n についてはオーバードライブの便益を十分に提供していない。

【００３１】

図９を参照すると、第２の実施形態では、オーバードライブ期間６６がサブアレイＡ1,n

に対して最適化されている。この実施形態では、遅延はサブアレイＡ1,n のビット線ＢＬWLの信号のレベルが時点Ｐ３でＶARY のレベルに達する丁度十分な長さとされている。更に、この実施形態において、サブアレイＡ1,ｉ のビット線ＢＬWLの信号のレベルも、時点Ｐ４で示されるように、すぐにＶARY のレベルに達する。しかし、サブアレイＡ1,1 のビット線ＢＬSAの信号のオーバーシュートは極端に高く、サブアレイＡ1,1 のビット線ＢＬWLの信号のオーバーシュートはＶ1 のレベルよりも高い。その結果、正規化の期間（図７）にＳＡＰ２１ 信号がサブアレイＡ1,1 のビット線ＢＬSAおよびＢＬWLの信号のレベルを引き下げることは困難になる。ただし、図３に示すようにＶ1 電源線にキャパシタＣを積極的に結合させＶ1 電源線の電圧レベルを安定化させれば、ビット線ＢＬSAおよびＢＬWLの信号のレベルを所望の期間内に急速に引き下げることは可能である。

【００３２】

好適な実施形態に関して、図１０、特に、実線の波形を参照すると、先の２つの実施形態の幾つかの益が設計上の考慮によって実現されている。第１に、図３および図４をも参照すると、ＳＡＥ１ドライバのサイズはＳＡＥ２ドライバのサイズよりも大きくされている。それに加えて、図１１に示すようにＳＡＥ１信号線の幅Ｌ1 はＳＡＥ２信号線の幅Ｌ2 よりも大きくされている。このようにして、ＳＡＥ２信号線の抵抗はＳＡＥ１信号線の抵抗よりも大きくされている。その結果、ＳＡＥ２信号線に対するＲ－Ｃ時定数（$t^{RC}$）はＳＡＥ１信号線に比べて大きい。よって、サブアレイＡ1,1 において、ＳＡＥ１信号がすばやく遷移し、そして、ＳＡＥ２信号がすばやく遷移する。その結果、サブアレイＡ1,1 に対するオーバードライブ期間６８は、図８のオーバードライブ期間６４と同様、比較的短くなる。しかし、ＳＡＥ２ドライバはＳＡＥ１ドライバより小さく、ＳＡＥ２信号線のＲＣ定数はＳＡＥ１信号線のＲＣ定数より大きいため、サブアレイＡ1,n におけるＳＡＥ２信号はＳＡＥ１信号より遅く遷移する。その結果、サブアレイＡ1,n に対するオーバードライブ期間７０は、図９のオーバードライブ期間６６と同様、比較的長くなる。

【００３３】

図３をまた参照すると、オーバードライブの期間を調整するために他の実施形態を用いることもできる。例えば、ＳＡＥ２信号の線部分ＬＰ1,ＬＰ2,…, ＬＰn-1 において、図１２に示すように遅延回路ｄｌ1,ｄｌ2,…, ｄｌn-1 が各ＳＡＣ回路の間に配置されている。その結果、サブアレイＡ1,n でのＳＡＥ２信号はサブアレイＡ1,1 でのＳＡＥ２信号より遅く遷移し、サブアレイＡ1,n に対するオーバードライブ期間７０は、サブアレイＡ1,1 に対するオーバードライブ期間６８より比較的長くなる。又、遅延回路を先述の実施形態と組み合わせて用いることもできる。また、ビット線の電圧をモニタする回路を設け、各サブアレイに対応したオーバードライブ時間を調整することもできる。

【００３４】

再び図１０を参照すると、異なる長さのオーバードライブ期間６８および７０の改善が、実線の波形および破線の波形によって示されている。破線７２および７４は、図９のＢＬSA（Ａ1,1)およびＢＬWL（Ａ1,1)に対応する波形を示している。実線７３および７５は好適な実施形態における実際の波形であるが、図８のＢＬSA（Ａ1,1)およびＢＬWL（Ａ1,1)に対応する波形に類似している。これは、オーバードライブ期間６８が図８のオーバードライブ期間６４にほぼ等しいため、オーバードライブ期間をサブアレイＡ1,1 に対して最適化することの益がすべて維持されるからである。それに加えて、破線７６および７８は、図８のＢＬSA（Ａ1,n)およびＢＬWL（Ａ1,n)に対応する波形を示している。実線７７および７９は好適な実施形態における実際の波形であるが、図９のＢＬSA（Ａ1,n)およびＢＬWL（Ａ1,n)に対応する波形に類似している。これは、オーバードライブ期間７０が図９のオーバードライブ期間６６にほぼ等しいため、オーバードライブ期間をサブアレイＡ1,n に対して最適化することの益がすべて維持されるからである。

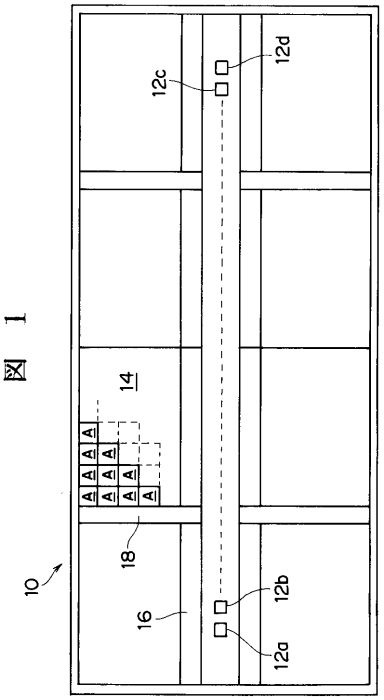
【００３５】

以上、本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００３６】
例えば、本発明のある特徴を用い、他の特徴を用いないこともできる。例えば、ＶSSをマイナス方向に越えた電圧を備えた低電圧（low-going)ビット線を、制御された仕方でオーバードライブするために、別の実施形態を実現することもできる。更に、本発明の範囲を逸脱することなく、付加的なバッファ、ドライバ、遅延回路、および、他の回路を例示的な実施形態に追加することもできる。従って、本特許請求の範囲は、発明の範囲を逸脱しない仕方で広く解釈することが適切である。
【００３７】
【発明の効果】
本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。
【００３８】
すなわち、センスアンプ動作の精度を維持しながら、信号をオーバードライブすることによりすばやく信号の分別を成し遂げることができる。
【図面の簡単な説明】
【図１】本発明の一実施形態である２５６ＭビットＤＲＡＭのブロック図である。
【図２】電圧源の回路図である。
【図３】図１の２５６ＭビットＤＲＡＭのアレイブロックのブロック図である。
【図４】図３のセンスアンプ遅延ユニットの回路図である。
【図５】図３の１つのセンスアンプ制御ユニットの回路図である。
【図６】図３の１つのサブアレイの回路図である。
【図７】図４～図６の回路のタイミング図である。
【図８】本発明によるオーバードライブ回路の第１の実施形態のタイミング図である。
【図９】本発明によるオーバードライブ回路の第２の実施形態のタイミング図である。
【図１０】本発明のオーバードライブ回路の好適な実施形態のタイミング図である。
【図１１】本発明のオーバードライブ回路の好適な実施形態の一例を示す図である。
【図１２】本発明のオーバードライブ回路の好適な実施形態の他の例を示す図である。
【符号の説明】
１０　ＤＲＡＭ（デバイス）
１２ａ，１２ｂ　アドレスパッド
１２ｃ，１２ｄ　電源パッド
１４　アレイブロック
１６　列デコーダ
１８　行デコーダ
２０　電圧回路
２２　VARY ジェネレータ
２４　トランジスタ
Ａ　サブアレイ
Ｂ　メモリセル（ビット）
ＢＬ，ＢＬＢ　ビット線
ＳＡ　センスアンプ領域
ＳＡＣ　センスアンプ制御回路
ＳＡＤ　センスアンプ遅延回路
ＯＶ　オーバードライブ制御回路
ＷＬ　ワード線

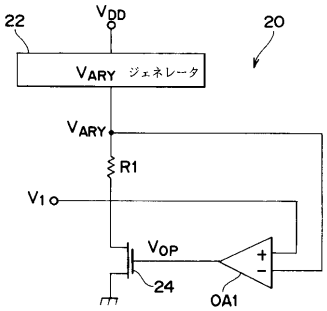
【図１】

図 1



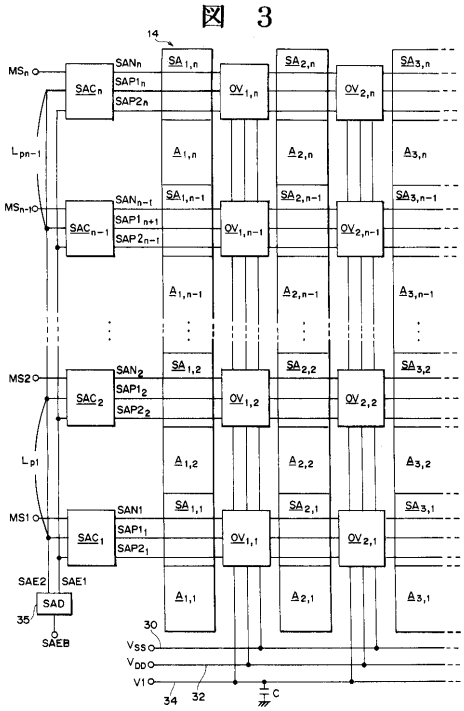

【図２】

図 2



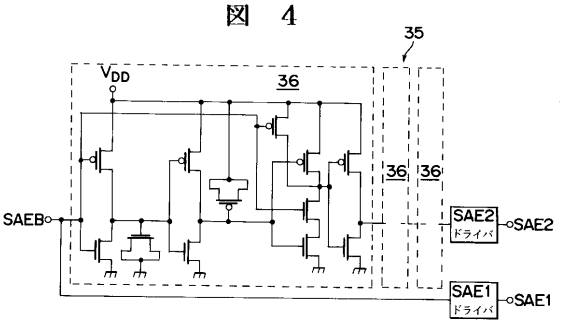

【図３】

図 3



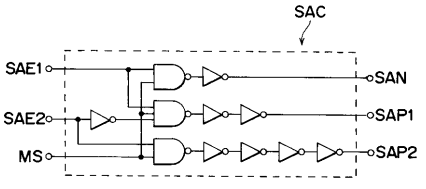

【図４】

図 4



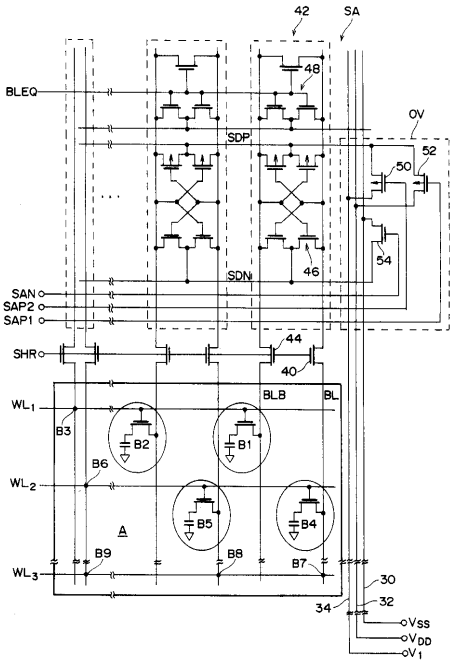

【図５】

図 5



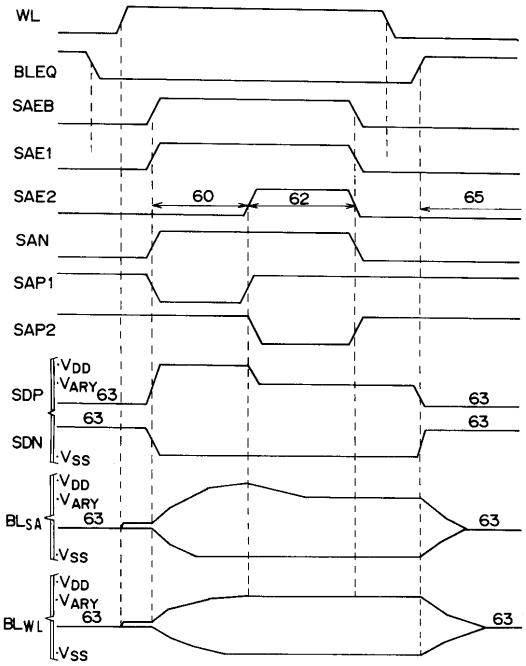
【図６】

図 6



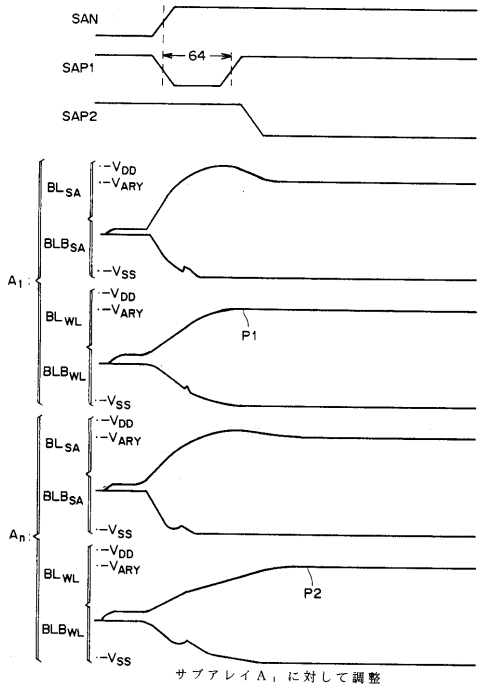

【図７】

図 7




【図８】

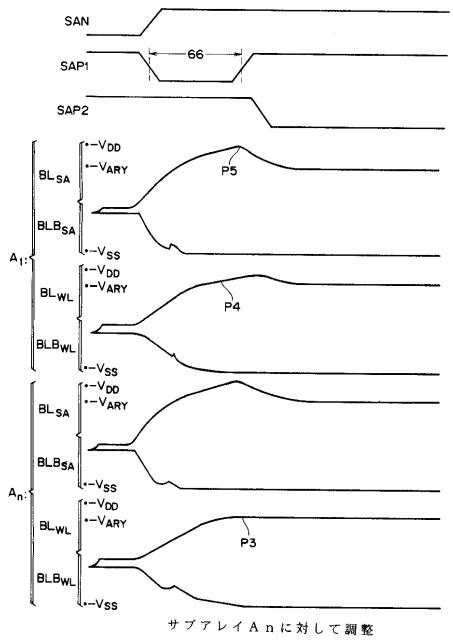
図 8




サブアレイＡ１に対して調整

【図９】

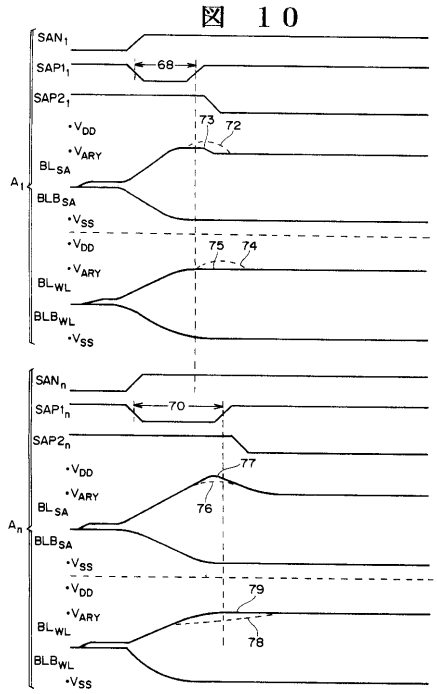
図 9




サブアレイＡｎに対して調整

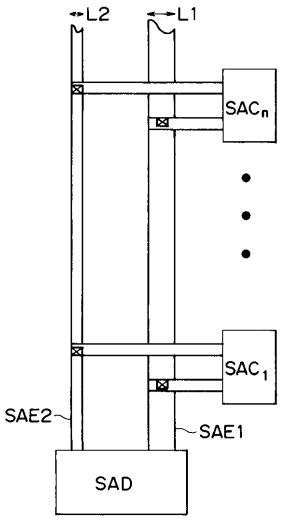
【図１０】

図 １０



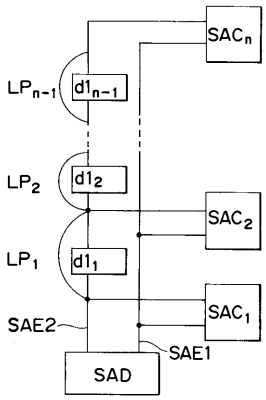

【図１１】

図 １１




【図１２】

図 １２



フロントページの続き

(72)発明者　秋葉　武定
アメリカ合衆国、テキサス州　７５０２４、プレーノ、プレストン・ロード　６９００、＃３９２２
(72)発明者　橘川　五郎
アメリカ合衆国、テキサス州　７５０２４、プレーノ、プレストン・ロード　６９００、＃３０２３
(72)発明者　ヒュー・マッカダムス
アメリカ合衆国、テキサス州　７５０７０、マッキニー、アールティー４・ボックス５５

審査官　堀田　和義

(56)参考文献　特開平０５－０６２４６７（ＪＰ，Ａ）
特開平０６－０２１３７７（ＪＰ，Ａ）
特開平０９－０６３２７１（ＪＰ，Ａ）
特開平０９－２１３０７８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/4091