(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年9月19日(19.09.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/176580 A1

(51) 国際特許分類:
G06F 13/36 (2006.01)　*G06F 13/42* (2006.01)
G06F 13/00 (2006.01)　*H04L 12/40* (2006.01)
G06F 13/38 (2006.01)

(21) 国際出願番号：　PCT/JP2019/008004

(22) 国際出願日：　2019年3月1日(01.03.2019)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2018-046981　2018年3月14日(14.03.2018)　JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

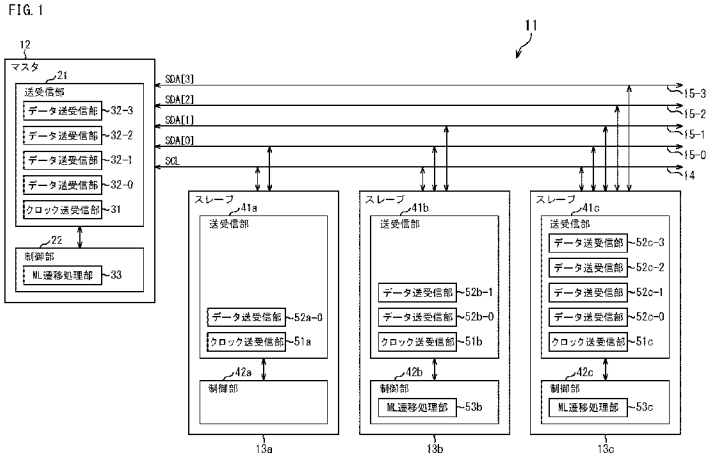
(72) 発明者: 高橋　宏雄 (**TAKAHASHI Hiroo**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 越坂 直弘(**KOSHISAKA Naohiro**); 〒2430021 神奈川県厚木市岡田四丁目１６番１号 ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 百代 俊久(**HYAKUDAI Toshihisa**); 〒2430014 神奈川県厚木市旭町四丁目１４番１号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 西川　孝，外 (**NISHIKAWA Takashi** et al.); 〒1600023 東京都新宿区西新宿７丁

(54) **Title:** COMMUNICATION DEVICE, COMMUNICATION METHOD, PROGRAM, AND COMMUNICATION SYSTEM

(54) 発明の名称： 通信装置、通信方法、プログラム、および、通信システム

FIG. 1



12	Master
13a, 13b, 13c	Slave
21, 41a, 41b, 41c	Transmitting/receiving unit
22, 42a, 42b, 42c	Control unit
33, 53b, 53c	ML transition processing unit
31, 51a, 51b, 51c	Clock transmitting/receiving unit

32-0, 32-1, 32-2, 32-3, 52a-0, 52b-0, 52b-1, 52c-0, 52c-1, 52c-2, 52c-3　Data transmitting/receiving unit

(57) **Abstract:** The present disclosure relates to a communication device, a communication method, a program, and a communication system, with which communication using a plurality of data signal lines can be carried out reliably. A master confirms the receipt of ACKs transmitted following a broadcast address used when a command is transmitted simultaneously via all of the data signal lines used for communication with slaves, and confirms the receipt of ACKs transmitted following a slave address specified by each slave on all of the data signal lines used by the slaves, and when

WO 2019/176580 A1

［続葉有］

目５番２５号 西新宿プライムスクエア９階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

those ACKs have been received a successful transition from single-lane mode to multi-lane mode communication is recognized. The present technology can be applied to an I3C bus, for example.

(57) 要約: 本開示は、複数本のデータ信号線を使用した通信を確実に行うことができるようにする通信装置、通信方法、プログラム、および、通信システムに関する。 マスタでは、スレーブとの通信で使用される全てのデータ信号線を介して、一斉にコマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくるACKを受信したことの確認と、スレーブが使用中の全てのデータ信号線で、各個のスレーブを指定するスレーブアドレスに続いて送信されてくるACKを受信したことの確認が行われ、それらのACKを受信した場合、シングルレーンモードからマルチレーンモードへの通信の遷移に成功したと認識される。本技術は、例えば、I3Cバスに適用できる。

明　細　書

発明の名称 ：

通信装置、通信方法、プログラム、および、通信システム

技術分野

[0001] 本開示は、通信装置、通信方法、プログラム、および、通信システムに関し、特に、複数本のデータ信号線を使用した通信を確実に行うことができるようにした通信装置、通信方法、プログラム、および、通信システムに関する。

背景技術

[0002] 従来、各種のデバイスにおけるレジスタを制御するためのバスＩＦ（Interface）としてCCI（Camera Control Interface）が広く使用されており、CCIでは、物理層にI2C（Inter-Integrated Circuit）規格が採用されている。また、近年、I2Cの高速化を実現することが求められており、次世代の規格としてI3C（Improved Inter Integrated Circuit）の規定が策定され、その改定が進められている。

[0003] 例えば、I2CおよびI3Cは、バスＩＦを介した通信の主導権を有するマスタによる制御に従って、バスＩＦに接続されているスレーブと通信を行うことができるように構成される。さらに、I3Cでは、I2Cのデバイスと通信を行うことができるように互換性を維持する機能や、バスＩＦに途中からスレーブが参加することを可能とするホットジョインと称される機能、複数のマスタどうしでマスタ権限を譲渡する機能などが提供される。

[0004] 例えば、特許文献１には、I3Cの規格に準拠した通信方法において、マスタが、データに含まれている２ビットのパリティのうち、一方を偶数パリティとし、他方を奇数パリティとしてパリティエラーを検出する通信方法が開示されている。

先行技術文献

特許文献

[0005] 特許文献1：特開２０１７－２０８７１０号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、I3Cにおいて、転送データレートのさらなる向上が求められており、例えば、複数本のデータ信号線を使用して通信を行う新たな仕様が検討されているが、その為には、より確実に通信を行えるようにすることが必要となる。

[0007] 本開示は、このような状況に鑑みてなされたものであり、複数本のデータ信号線を使用した通信を確実に行うことができるようにするものである。

課題を解決するための手段

[0008] 本開示の一側面の通信装置は、１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部とを備え、前記マルチレーンモード遷移処理部は、前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することとのうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する。

[0009] 本開示の一側面の通信方法は、１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部とを備える通信装置の通信方法であって、前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することとのうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識することを含む。

[0010] 本開示の一側面のプログラムは、１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部とを備える通信装置のコンピ

ュータに、前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することとのうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識することを含む通信処理を実行させる。

[0011] 本開示の一側面の通信システムは、バスにおける制御の主導権を有する第１の通信装置と、前記第１の通信装置による制御に従って通信を行う第２の通信装置とを備え、前記第１の通信装置が、１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、前記第２の通信装置と信号の送受信を行う送受信部と、前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部とを有し、前記マルチレーンモード遷移処理部は、前記第２の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、前記第２の通信装置が使用中の全ての前記データ信号線で、各個の前記第２の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することとのうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する。

[0012] 本開示の一側面においては、他の通信装置（第２の通信装置）が使用中の全てのデータ信号線で、一斉にコマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、他の通信装置（第２の通信装置）が使用中の全てのデータ信号線で、各個の他の通信装置（第２の通信装置）を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することとのうちの、少なくとも一方の確認が行われ、その一方の肯定応答の受信が確認された場合、シングルレーンモードからマルチレーンモードへの通信の遷移に成功したと認識される。

発明の効果

[0013] 本開示の一側面によれば、複数本のデータ信号線を使用した通信を確実に行うことができる。

[0014] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0015] [図1]本技術を適用したバスＩＦの一実施の形態の構成例を示すブロック図である。

[図2]マスタの構成例を示すブロック図である。

[図3]スレーブの構成例を示すブロック図である。

[図4]マルチレーンモードの通信におけるSDRモードでエラー対策が施されたデータフォーマットを説明する図である。

[図5]マルチレーンモードの通信におけるSDRモードについて検討される他のデータフォーマットの一例を示す図である。

[図6]マルチレーンモードの通信におけるDDRモード（Read時）でエラー対策が施されたデータフォーマットを説明する図である。

[図7]マルチレーンモードの通信におけるDDRモード（Read時）について検討される他のデータフォーマットの一例を示す図である。

[図8]マルチレーンモードの通信におけるDDRモード（Write時）でエラー対策が施されたデータフォーマットを説明する図である。

[図9]マルチレーンモードの通信におけるDDRモード（Write時）について検討される他のデータフォーマットの一例を示す図である。

[図10]マルチレーン設定コマンド（SETML）の一例を示す図である。

[図11]マルチレーン確認コマンド（GETML）の一例を示す図である。

[図12]マルチレーンモードの通信におけるSDRモードでエラー対策が施されたデータフォーマットを説明する図である。

[図13]マルチレーンモードの通信におけるSDRモードについて検討される、さらに他のデータフォーマットの一例を示す図である。

[図14]マルチレーンモードの通信におけるDDRモードでエラー対策が施されたデータフォーマットを説明する図である。

[図15]マルチレーンモードの通信におけるDDRモードについて検討される、さらに他のデータフォーマットの一例を示す図である。

[図16]データ信号線に断線が発生した箇所の推定について説明する図である。

[図17]マスタ側のマルチレーンモード遷移処理を説明するフローチャートである。

[図18]スレーブ側のマルチレーンモード遷移処理を説明するフローチャートである。

[図19]マスタ側のデータ受信処理を説明するフローチャートである。

[図20]スレーブ側のデータ受信処理を説明するフローチャートである。

[図21]断線検出処理を説明するフローチャートである。

[図22]断線検出処理を説明するフローチャートである。

[図23]マスタのDDRモードでの通信処理を説明するフローチャートである。

[図24]本技術を適用したコンピュータの一実施の形態の構成例を示すブロック図である。

発明を実施するための形態

[0016] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0017] ＜バスＩＦの第１の構成例＞

図１は、本技術を適用したバスＩＦの一実施の形態の構成例を示すブロック図である。

[0018] 図１に示す構成例では、バスＩＦ１１は、１台のマスタ１２と、３台のスレーブ１３ａ乃至１３ｃとを備えて構成されている。なお、バスＩＦ１１は、図１に示すような構成例に限定されることなく、例えば、スレーブ１３を追加または削減したり、マスタ１２からマスタ権限が譲渡されたスレーブ１３がマスタとして動作したりすることができる。

[0019] また、バスＩＦ１１では、１本のクロック信号線１４と、４本のデータ信号線１５－０乃至１５－３とがマスタ１２に接続されている。そして、スレーブ１３ａは、クロック信号線１４およびデータ信号線１５－０を介してマスタ１２に接続されており、スレーブ１３ｂは、クロック信号線１４並びにデータ信号線１５－０および１５－１を介してマスタ１２に接続されている。また、スレーブ１３ｃは、クロック信号線１４およびデータ信号線１５－０乃至１５－３を介してマスタ１２に接続されている。

[0020] マスタ１２は、バスＩＦ１１における通信の主導権を有しており、クロック信号線１４およびデータ信号線１５－０乃至１５－３を介して、スレーブ１３ａ乃至１３ｃとの通信を制御する。また、マスタ１２は、スレーブ１３ａ乃至１３ｃと通信を行う通信モードをシングルレーンモードおよびマルチレーンモードのいずれかに遷移して、それぞれの通信モードで通信を行うことができる。シングルレーンモードでは、１本のクロック信号線１４と１本のデータ信号線１５－０とを使用して通信が行われ、マルチレーンモードでは、１本のクロック信号線１４と２本以上の所定本数のデータ信号線１５とを使用して通信が行われる。

[0021] スレーブ１３ａ乃至１３ｃは、マスタ１２による制御に従って通信を行うことができる。図１に示す構成例では、スレーブ１３ａは、シングルレーンモードのみで通信を行うことができる。また、スレーブ１３ｂは、シングルレーンモード、並びに、１本のクロック信号線１４と２本のデータ信号線１

５－０および１５－１とを使用するマルチレーンモードで通信を行うことができる。スレーブ１３ｃは、シングルレーンモード、１本のクロック信号線１４と２本のデータ信号線１５－０および１５－１とを使用するマルチレーンモード、並びに、１本のクロック信号線１４と４本のデータ信号線１５－０乃至１５－３とを使用するマルチレーンモードで通信を行うことができる。

[0022] クロック信号線１４およびデータ信号線１５－０乃至１５－３は、マスタ１２およびスレーブ１３の間で信号を伝送するのに用いられる。例えば、バスＩＦ１１では、クロック信号線１４を介して、所定の周波数のシリアルクロック（SCL：Serial Clock）が伝送され、データ信号線１５－０乃至１５－３を介して、１ビットずつ逐次的にシリアルデータ（SDA：Serial Data）が伝送される。

[0023] マスタ１２は、クロック信号線１４およびデータ信号線１５－０乃至１５－３を介した信号の送受信を行う送受信部２１、および、送受信部２１が受信した信号や図示しない上位のシステムからの指示などに従った制御を行う制御部２２を備えて構成される。例えば、送受信部２１は、少なくともクロック送受信部３１およびデータ送受信部３２－０乃至３２－３を有しており、制御部２２は、少なくともＭＬ遷移処理部３３を有している。なお、マスタ１２の詳細な構成例は、図２を参照して後述する。

[0024] クロック送受信部３１は、クロック信号線１４を介して伝送されるシリアルクロックSCLの送受信を行う。なお、マスタ１２が、例えば、他のマスタ１２による制御に従った通信を行う機能を備えていない場合、クロック送受信部３１はシリアルクロックSCLの送信のみを行うように構成してもよい。

[0025] データ送受信部３２－０乃至３２－３は、クロック送受信部３１を介して伝送されるシリアルクロックSCLのタイミングに基づいて、それぞれデータ信号線１５－０乃至１５－３を介して伝送されるシリアルデータSDA[0]乃至SDA[3]の送受信を行う。

[0026] ＭＬ遷移処理部３３は、マルチレーンモードで通信を行うことができるス

レーブ１３ｂおよび１３ｃとの通信を、シングルレーンモードからマルチレーンモードへ遷移するためのマルチレーンモード遷移処理（後述する図１７のフローチャート参照）を行う。

[0027] スレーブ１３ａ乃至１３ｃは、マスタ１２との間で信号の送受信を行う送受信部４１ａ乃至４１ｃ、および、送受信部４１ａ乃至４１ｃが受信した信号や図示しない上位のシステムからの指示などに従った制御を行う制御部４２ａ乃至４２ｃを、それぞれ備えて構成される。なお、スレーブ１３ａ乃至１３ｃの詳細な構成例は、図３を参照して後述する。

[0028] ここで、スレーブ１３ａは、シングルレーンモードのみで通信を行うことができ、送受信部４１ａが、クロック送受信部５１ａおよびデータ送受信部５２ａ－０を有し、制御部４２ａが、ＭＬ遷移処理部を有さない構成となっている。

[0029] これに対し、スレーブ１３ｂは、シングルレーンモードおよびマルチレーンモードの両方で通信を行うことができ、送受信部４１ｂが、クロック送受信部５１ｂ並びににデータ送受信部５２ｂ－０および５２ｂ－１を有し、制御部４２ｂが、ＭＬ遷移処理部５３ｂを有する構成となっている。同様に、スレーブ１３ｃは、シングルレーンモードおよびマルチレーンモードの両方で通信を行うことができ、送受信部４１ｃが、クロック送受信部５１ｃおよびデータ送受信部５２ｃ－０乃至５２ｃ－３を有し、制御部４２ｃが、ＭＬ遷移処理部５３ｃを有する構成となっている。

[0030] クロック送受信部５１ａ乃至５１ｃは、クロック信号線１４を介して伝送されるシリアルクロックSCLの送受信を行う。なお、スレーブ１３ａ乃至１３ｃが、例えば、マスタ１２による制御に従った通信のみを行う（セカンダリマスタとしての機能を備えていない）場合、クロック送受信部５１ａ乃至５１ｃはシリアルクロックSCLの受信のみを行うように構成してもよい。

[0031] データ送受信部５２ａ－０乃至５２ｃ－０は、クロック送受信部３１を介して伝送されるシリアルクロックSCLのタイミングに基づいて、データ信号線１５－０を介して伝送されるシリアルデータSDA[0]の送受信を行う。同様に

、データ送受信部５２ｂ－１および５２ｃ－１は、データ信号線１５－１を介して伝送されるシリアルデータSDA[1]の送受信を行う。また、データ送受信部５２ｃ－２は、データ信号線１５－２を介して伝送されるシリアルデータSDA[2]の送受信を行い、データ送受信部５２ｃ－３は、データ信号線１５－３を介して伝送されるシリアルデータSDA[3]の送受信を行う。

[0032] ＭＬ遷移処理部５３ｂおよび５３ｃは、マスタ１２との通信を、シングルレーンモードからマルチレーンモードへ遷移するためのマルチレーンモード遷移処理（後述する図１８のフローチャート参照）を行う。

[0033] このようにバスＩＦ１１は構成されており、マスタ１２は、シングルレーンモードで通信を行うだけでなく、マルチレーンモードで通信を行うことによって、通信の高速化を図ることができる。そして、バスＩＦ１１では、シングルレーンモードからマルチレーンモードへ遷移する際に、ＭＬ遷移処理部３３がマルチレーンモード遷移処理を行い、それに応じたマルチレーンモード遷移処理をＭＬ遷移処理部５３ｂおよび５３ｃが行うことで、より確実に、マルチレーンモードでの通信を行うことができる。

[0034] また、バスＩＦ１１では、I3Cの規格に準じて、通信速度が異なる複数の伝送方式が規定されており、マスタ１２は、それらの伝送方式を切り替えることができる。例えば、バスＩＦ１１では、データの転送レートに応じて、通常の転送レートでデータ通信を行うSDR（Single Data Rate）モード、および、SDRモードよりも高い転送レートでデータ通信を行うHDR（High Data Rate）モードが規定されている。また、HDRモードでは、DDR（Double Data Rate）モード、TSP(Ternary Symbol Pure-Bus)モード、および、TSL(Ternary Symbol Legacy-inclusive-Bus)モードの３つのモードが規格で定義されている。なお、バスＩＦ１１では、通信を開始するときにはSDRモードで通信を行うことが規定されている。

[0035] ここで、バスＩＦ１１では、シングルレーンモードのみで通信を行うスレーブ１３ａと、マルチレーンモードでも通信を行うことができるスレーブ１３ｂおよび１３ｃとが共存することが必須である。このため、バスＩＦ１１

では、I3Cプロトコル（例えば、Start, STOP, デバイスアドレス, ACK/NACK, CCCなど）の全ては、クロック信号線１４およびデータ信号線１５－０を介したシングルレーンモードで伝送される。

[0036] また、バスＩＦ１１では、データ信号線１５－１を介して伝送されるシリアルデータSDA[1]を、データ信号線１５－０を介して伝送されるシリアルデータSDA[0]の反転値とすることで、エラー耐性の向上を図ることができる。さらに、バスＩＦ１１では、マルチレーンモードにおいてデータ伝送のみが行われ（I3Cプロトコルの伝送は行われず）、マルチレーンモードは、SDRモードおよびHDR-DDRモードでの通信で用いることができる。以下、適宜、マルチレーンモードの通信におけるSDRモードをSDR/MLとし、マルチレーンモードの通信におけるHDR-DDRモードをDDR/MLとして説明を行う。

[0037] 図２には、マスタ１２の詳細な構成例が示されている。

[0038] 図１を参照して説明したようにマスタ１２は、送受信部２１および制御部２２を備えて構成されている。

[0039] 送受信部２１は、図１に示したクロック送受信部３１およびデータ送受信部３２－０乃至３２－３の他、レーン分配部（Lane Distribution）６１およびレーン併合部（Lane Merge）６２を有して構成される。

[0040] クロック送受信部３１は、出力アンプ７１、入力アンプ７２、およびSCL制御部７３を有して構成される。

[0041] データ送受信部３２－０は、出力アンプ７１－０、入力アンプ７２－０、Ｈレベル維持部７４－０、シリアル変換部７５－０、パラレル変換部７６－０、および、パリティ計算部７７－０を有して構成される。また、データ送受信部３２－１乃至３２－３は、データ送受信部３２－０と同様に構成される。従って、データ送受信部３２－０乃至３２－３は、それぞれシリアルデータSDA[0]乃至SDA[3]ごとに、パリティ計算部７７－０乃至７７－３によってパリティを計算して付与するように構成される。

[0042] レーン分配部６１は、シングルレーンモードのときは、FSM８４から供給されるパラレルデータをデータ送受信部３２－０に供給する。一方、レーン分

配部６１は、マルチレーンモードのときは、FSM８４から供給されるパラレルデータをデータ送受信部３２－０乃至３２－３に分配して供給する。これにより、マルチレーンモードでは、データ信号線１５－０乃至１５－３を利用して並列的にデータを送信すること、即ち、シングルレーンモードよりも高速化を図ることができる。

[0043] レーン併合部６２は、シングルレーンモードのときは、データ送受信部３２－０から供給されるパラレルデータをFSM８４に供給する。一方、レーン分配部６１は、マルチレーンモードのときは、データ送受信部３２－０乃至３２－３から供給されるパラレルデータを併合してFSM８４に供給する。これにより、マルチレーンモードでは、データ信号線１５－０乃至１５－３を利用して並列的にデータを受信すること、即ち、シングルレーンモードよりも高速化を図ることができる。

[0044] 制御部２２は、ＭＬ制御部８１、シリアルエラー検出部８２、パラレルエラー検出部８３、およびFSM (Finite State Machine) ８４を備えて構成される。

[0045] ＭＬ制御部８１は、ＭＬ遷移処理部３３がマルチレーンモード遷移処理を行ってマルチレーンモードへの通信の遷移に成功した場合、クロック送受信部３１のSCL制御部７３、データ送受信部３２－０乃至３２－３、レーン分配部６１、レーン併合部６２、およびシリアルエラー検出部８２に対し、マルチレーンモードで駆動するように制御を行う。

[0046] シリアルエラー検出部８２は、データ送受信部３２－０乃至３２－３が受信したシリアルデータ（is0,is1,is2,is3）、および、データ送受信部３２－０乃至３２－３が送信するシリアルデータ（op0,op1,op2,op3）に発生するエラーを検出する。

[0047] 図２に示す構成例では、シリアルエラー検出部８２は、CRC (Cyclic Redundancy Check) に基づくエラーを検出するCRCエラー検出器９１、bit反転エラーを検出するbit反転エラー検出器９２、および、コンフリクトエラーを検出するコンフリクトエラー検出器９３を有する。CRCエラー検出器９１、bit反

転エラー検出器９２、およびコンフリクトエラー検出器９３は、それぞれ検出対象のエラーを検出すると、エラーを検出したことを示す検出結果をFSM８４に供給する。

[0048] パラレルエラー検出部８３は、データ送受信部３２－０乃至３２－３が受信したシリアルデータをパラレル変換したパラレルデータに発生するエラーを検出する。

[0049] 図２に示す構成例では、パラレルエラー検出部８３は、プリアンブルに発生するエラーを検出するプリアンブルエラー検出器９４、データ信号線１５－０乃至１５－３ごとにパリティに発生するエラーを検出するパリティエラー検出器９５、および、ACK/NACKを検出するACK/NACK検出器９６を有する。プリアンブルエラー検出器９４、パリティエラー検出器９５、およびACK/NACK検出器９６は、それぞれ検出対象のエラーを検出すると、エラーを検出したことを示す検出結果をFSM８４に供給する。

[0050] FSM８４は、状態に応じて処理が遷移するように設計されたデジタル回路であり、図１に示したＭＬ遷移処理部３３の他、復帰処理部１０１および断線検出処理部１０２を備えて構成される。

[0051] ＭＬ遷移処理部３３は、上述したように、シングルレーンモードからマルチレーンモードへ遷移するためのマルチレーンモード遷移処理（後述する図１７のフローチャート参照）を行う。

[0052] 復帰処理部１０１は、例えば、ＭＬ遷移処理部３３によるマルチレーンモード遷移処理において、通信対象のスレーブ１３からのACKを受信することができなかった場合、そのスレーブ１３を復帰させる復帰処理を行う。後述するように、復帰処理部１０１は、データ信号線１５－０乃至１５－３のうちの断線が検出されたデータ信号線１５に応じて、または、エラーが高頻度で検出されたデータ信号線１５に応じて、復帰処理を行うことができる。

[0053] 断線検出処理部１０２は、クロック信号線１４およびデータ信号線１５－０乃至１５－３の断線を検出するための断線検出処理（後述する図２１および図２２のフローチャート参照）を行う。例えば、断線検出処理部１０２は

、スレーブ１３ｃからデータ信号線１５－０乃至１５－３を介して、少なくともスレーブアドレスに対して送信されてくるACK/NACKに基づいて、データ信号線１５－０乃至１５－３の断線を検出することができる。さらに、スレーブアドレスの他、断線検出処理部１０２は、スレーブ１３ｃからデータ信号線１５－０乃至１５－３を介して、ACK/NACKを送信すべき全ての箇所に対して送信されてくるACK/NACKに基づいて、データ信号線１５－０乃至１５－３の断線を検出してもよい。

[0054] 図３には、スレーブ１３の詳細な構成例が示されている。

[0055] 図１を参照して説明したようにスレーブ１３は、送受信部４１および制御部４２を備えて構成されている。

[0056] ここで、図３には、４本のデータ信号線１５－０乃至１５－３を使用したマルチレーンモードで通信を行うことができるとともに、マスタ１２からマスタ権限が譲渡されるとマスタとして動作することができるセカンダリマスタ機能を有しているスレーブ１３の構成例が示されている。従って、以下では、スレーブ１３の構成のうち、マスタ１２と異なる構成に関する説明を行い、マスタ１２と共通する構成に関する説明は省略する。

[0057] 即ち、送受信部４１は、図１に示したクロック送受信部３１およびデータ送受信部３２－０乃至３２－３の他、マスタ１２の送受信部２１と同様に、レーン分配部６１およびレーン併合部６２を有して構成される。制御部４２は、マスタ１２の制御部２２と同様に、ＭＬ制御部８１、シリアルエラー検出部８２、パラレルエラー検出部８３Ｓ、およびFSM８４を有して構成される。

[0058] 図３に示すように、スレーブ１３は、制御部４２のパラレルエラー検出部８３Ｓが、プリアンブルエラー検出器９４、パリティエラー検出器９５、およびACK/NACK検出器９６に加えて、I3C規格エラー検出器９７を備えている点で、マスタ１２と異なる構成となっている。

[0059] I3C規格エラー検出器９７は、スレーブ１３側においてI3Cの規格に基づいて検出される特定のエラー（例えば、通信のスタートまたはリスタートに続

いて送信されてくる１ワード目が禁止アドレスであることを検出するS0エラー、ダイナミックアドレスの割り当てを指示するCCC（ENTDAA）のうちの7E/R以外のアドレスヘッダを受信したことを検出するS4エラー、コモンコマンドコード（GETBCR CCC）を送信するトランザクションが確定した後に送信されてくるデータにエラーが発生していることを検出するS5エラー）の検出を行う。

[0060] ここで、シングルレーンモードのみで通信を行うスレーブ１３ａは、図３に示す構成例のうち、クロック送受信部３１、データ送受信部３２－０、シリアルエラー検出部８２、パラレルエラー検出部８３、およびFSM８４を備えて構成される。そして、スレーブ１３ａのFSM８４は、ＭＬ遷移処理部３３、復帰処理部１０１、および断線検出処理部１０２を備えずに、シングルレーンモードの通信で必要な処理部のみを備えて構成される。

[0061] なお、マスタ１２を構成する送受信部２１および制御部２２、並びに、スレーブ１３を構成する送受信部４１および制御部４２は、半導体回路によって構成され、制御部２２および制御部４２の一部または全部を、ソフトウエアによって実現してもよい。また、マスタ１２およびスレーブ１３は、図２および図３に示した機能ブロックからなる構成に限定されることはない。例えば、マスタ権限を譲渡することにより、マスタ１２がスレーブ１３として機能し、スレーブ１３がマスタ１２として機能することができることより、マスタ１２およびスレーブ１３は、それぞれ両方の機能ブロックを備えた構成とすることができる。

[0062] ＜マルチレーンモードの通信におけるエラー対策＞

図４乃至図９を参照して、マルチレーンモードの通信においてバスＩＦ１１が採用するエラー対策が施されたデータフォーマットについて、検討される他のデータフォーマットと比較して説明する。

[0063] 図４には、マルチレーンモードの通信におけるSDRモードにおいて、バスＩＦ１１が採用するエラー対策が施されたデータフォーマットの一例が示されており、図５には、マルチレーンモードの通信におけるSDRモードについて検

討される他のデータフォーマットの一例が示されている。

[0064] 図４に示すように、バスＩＦ１１では、例えば、２本のデータ信号線１５－０および１５－１を使用するスレーブ１３ｂは、未使用のデータ信号線１５－２および１５－３に対してACKは返さない。また、スレーブ１３ｂは、データ信号線１５－０および１５－１それぞれで、パリティを計算して付与する。なお、シリアルデータSDA[0]の9bitの最終ビットは、既存規格と同様にRead時にはTビットとする一方、Write時にはパリティとし、シリアルデータSDA[1]の9bitの最終ビットは、Read時およびWrite時ともパリティとする。

[0065] また、図４に示すように、４本のデータ信号線１５－０乃至１５－３を使用するスレーブ１３ｃは、使用するデータ信号線１５－２および１５－３に対してACKを返す。即ち、スレーブ１３ｃは、データ信号線１５－２および１５－３を使用してデータ伝送だけを行うのではなく、データ信号線１５－２および１５－３を使用してACK/NACKの転送も行うように構成される。また、スレーブ１３ｃは、データ信号線１５－０乃至１５－３ごとに、パリティを計算して付与する。

[0066] これに対し、マルチレーンモードの通信におけるSDRモードについて、図５に示すようなフォーマットも検討される。即ち、２本のデータ信号線１５－０および１５－１を使用するスレーブ１３ｂとの通信において、未使用のデータ信号線１５－２および１５－３はアイドル状態（常にHまたはL）とする。そして、データ信号線１５－０を介して伝送されるシリアルデータSDA[0]においてWrite時のパリティを計算して付与し、データ信号線１５－１を介して伝送されるシリアルデータSDA[1]においてRead時のパリティを計算して付与する。また、シリアルデータSDA[0]の9bitの最終ビットは、既存規格と同様にRead時にはTビットとする一方、Write時にはパリティとし、シリアルデータSDA[1]の9bitの最終ビットは、Read時にはパリティとし、Write時にはOptional（未定義）とする。

[0067] さらに、４本のデータ信号線１５－０乃至１５－３を使用するスレーブ１３ｃとの通信において、データ信号線１５－２および１５－３は、データの

伝送（Write時にはマスタ１２からスレーブ１３ｃへ、Read時にはスレーブ１３ｃからマスタ１２へ）のみが行われ、データの伝送後にはアイドル状態に戻る。

[0068] 図４および図５を比較して分かるように、図４に示すようなフォーマットのエラー対策をバスＩＦ１１が採用することにより、後述するように断線やデータ信号線１５ごとのエラー頻度などを検出することができるため、図５に示すようなフォーマットよりも、より確実に通信を行うことができる。

[0069] 図６には、マルチレーンモードの通信におけるDDRモード（Read時）において、バスＩＦ１１が採用するエラー対策が施されたデータフォーマットの一例が示されており、図７には、マルチレーンモードの通信におけるDDRモード（Read時）について検討される他のデータフォーマットの一例が示されている。

[0070] 図６に示すように、バスＩＦ１１では、データ信号線１５－２および１５－３を使用してデータ伝送だけでなく、ACK/NACKの転送を行い、かつ、データ信号線１５ごとにパリティを計算し付与している。

[0071] これに対し、マルチレーンモードの通信におけるDDRモード（Read時）について、図７に示すようなフォーマットも検討される。即ち、データのみをマルチレーンで転送すること、データ信号線１５－０乃至１５－３にまたがって16bitごとに２bitのパリティを付けることが検討される。なお、データ信号線１５－１で伝送されるシリアルデータSDA[1]は、データ信号線１５－０で伝送されるシリアルデータSDA[0]の反転した信号とされる。

[0072] 図６および図７を比較して分かるように、図６に示すようなフォーマットのエラー対策をバスＩＦ１１が採用することにより、後述するように断線やデータ信号線１５ごとのエラー頻度などを検出することができるため、図７に示すようなフォーマットよりも、より確実に通信を行うことができる。

[0073] 図８には、マルチレーンモードの通信におけるDDRモード（Write時）において、バスＩＦ１１が採用するエラー対策が施されたデータフォーマットの一例が示されており、図９には、マルチレーンモードの通信におけるDDRモー

ド（Write時）について検討される他のデータフォーマットの一例が示されている。

[0074] 図８に示すように、バスＩＦ１１では、データ信号線１５ごとにパリティを伝送できるように、DDRモード（Read時）と同様に、データの後ろにパリティを置くフォーマットとなっている。さらに、データ信号線１５ごとにパリティを計算し付与している。

[0075] これに対し、マルチレーンモードの通信におけるDDRモード（Read時）ついて、図９示すようなフォーマットも検討される。即ち、パリティは、データ信号線１５にまたがって16bitごとに2bit付け、Read時と異なって、パリティが送信データの前に伝送されている。また、データ信号線１５－２および１５－３は、データの伝送にのみ用いられている。

[0076] 図８および図９を比較して分かるように、図８に示すようなフォーマットのエラー対策をバスＩＦ１１が採用することにより、後述するように断線やデータ信号線１５ごとのエラー頻度などを検出することができるため、図９に示すようなフォーマットよりも、より確実に通信を行うことができる。

[0077] ＜マルチレーン設定コマンドおよびマルチレーン確認コマンド＞

図１０には、マルチレーン設定コマンド（SETML）の一例が示されており、図１１には、マルチレーン確認コマンド（GETML）の一例が示されている。

[0078] 図１０に示すように、マルチレーン設定コマンドでは、スタート（S）に続いて、ブロードキャストアドレス（7'h7E）と書き込みを示すビット（W）とがマスタ１２から送信され、それに対するACKがスレーブ１３から返される。このとき、ブロードキャストアドレスを受信したスレーブ１３は、４本のデータ信号線１５－０乃至１５－３のうち、自身が使用中のレーン（データ信号線１５）でACKを返す。

[0079] そして、マルチレーン設定コマンドでは、コモンコマンドコード（CCC：Common Command Code）によってマルチレーンを設定することを示すマルチレーン設定コマンド（SETML CCC）と、１ビットのパリティ（T）とがマスタ１２から送信される。

[0080] その後、マルチレーン設定コマンドでは、リスタート（Sr）に続いて、ACKを返してきた各個のスレーブ１３を指定するスレーブアドレスと書き込みを示すビット（W）とがマスタ１２から送信され、そのスレーブアドレスで指定されたスレーブ１３からACKが返される。このとき、スレーブ１３は、４本のデータ信号線１５－０乃至１５－３のうち、自身が使用中のレーン（データ信号線１５）でACKを返す。

[0081] さらに、マルチレーン設定コマンドでは、マルチレーンモードで使用するレーンを指定するマルチレーンナンバー（Number of ML）が格納されたマルチレーン設定バイト（SETML Byte）と、１ビットのパリティ（T）とがマスタ１２から送信される。図１０には、マルチレーン設定バイトの０ビット目および１ビット目に格納されるマルチレーンナンバーの一例が示されている。

[0082] そして、リスタート（Sr）に続くブロードキャストアドレス（7'h7E）、または、マルチレーン設定コマンドの終了（P）がマスタ１２から送信される。例えば、マスタ１２は、マルチレーンモードに対応する全てのスレーブ１３に対して順次、個別のスレーブ１３ごとにマルチレーン設定バイトを送信し終わると、終了（P）を送信する。スレーブ１３は、マルチレーン設定コマンドを正常に受信し、次のリスタートまたはストップを受信したタイミングで、マルチレーンナンバーで指定されたレーンを使用するマルチレーンモードに移行することができる。

[0083] 図１１に示すように、マルチレーン確認コマンドでは、スタート（S）に続いて、ブロードキャストアドレス（7'h7E）と書き込みを示すビット（W）とがマスタ１２から送信され、それに対するACKがスレーブ１３から返される。このとき、ブロードキャストアドレスを受信したスレーブ１３は、４本のデータ信号線１５－０乃至１５－３のうち、自身が使用中のレーン（データ信号線１５）でACKを返す。

[0084] そして、マルチレーン確認コマンドでは、コモンコマンドコードによってマルチレーンを確認することを示すマルチレーン確認コマンド（GETML CCC）と、１ビットのパリティ（T）とがマスタ１２から送信される。

[0085] その後、マルチレーン確認コマンドでは、リスタート（Sr）に続いて、ACKを返してきた各個のスレーブ１３を指定するスレーブアドレスと読み出しを示すビット（R）とがマスタ１２から送信され、そのスレーブアドレスで指定されたスレーブ１３からACKが返される。このとき、スレーブ１３は、４本のデータ信号線１５－０乃至１５－３のうち、自身が使用中のレーン（データ信号線１５）でACKを返す。

[0086] さらに、マルチレーン確認コマンドでは、マルチレーンモードで使用するレーンを確認するマルチレーンナンバー（Number of ML）が格納されたマルチレーン確認バイト（GETML Byte）と、１ビットのパリティ（T）とがスレーブ１３から送信される。即ち、スレーブ１３は、マルチレーン設定コマンドで設定されたマルチレーンナンバーを、マルチレーン確認コマンドでスレーブ１３に送信することで、その設定の確認が行われる。図１１には、図１０と同様に、マルチレーン確認バイトの０および１ビット目に格納されるマルチレーンナンバーの一例が示されている。

[0087] そして、リスタート（Sr）に続くブロードキャストアドレス（7'h7E）、または、マルチレーン確認コマンドの終了（P）がマスタ１２から送信される。例えば、マスタ１２は、マルチレーンモードに対応する全てのスレーブ１３から順次、個別のスレーブ１３ごとにマルチレーン確認バイトを受信し終わると、終了（P）を送信する。

[0088] ＜マルチレーンモードの通信におけるエラー対策＞

図１２乃至図１５を参照して、マルチレーンモードの通信においてバスＩＦ１１が採用するエラー対策が施されたデータフォーマットについて検討される、さらに他のデータフォーマットと比較して説明する。

[0089] 図１２には、マルチレーンモードの通信におけるSDRモードにおいて、バスＩＦ１１が採用するエラー対策が施されたデータフォーマットの一例が示されており、図１３には、マルチレーンモードの通信におけるSDRモードについて検討される、さらに他のデータフォーマットの一例が示されている。

[0090] 図１２に示すように、データ信号線１５－２および１５－３を使用して、

データ伝送だけでなくACK/NACKの転送を行い、かつ、データ信号線１５ごとにパリティを計算し付与している。

[0091] これに対し、マルチレーンモードの通信におけるSDRモードについて、図１３に示すようなフォーマットも検討される。

[0092] 図１２および図１３を比較して分かるように、図１２に示すようなフォーマットのエラー対策をバスＩＦ１１が採用することにより、後述するように断線やデータ信号線１５ごとのエラー頻度などを検出することができるため、図１３に示すようなフォーマットよりも、より確実に通信を行うことができる。

[0093] 図１４には、マルチレーンモードの通信におけるDDRモードにおいて、バスＩＦ１１が採用するエラー対策が施されたデータフォーマットの一例が示されており、図１５には、マルチレーンモードの通信におけるDDRモードについて検討される、さらに他のデータフォーマットの一例が示されている。

[0094] 図１４に示すように、データ信号線１５ごとにパリティを計算し付与しており、データ信号線１５－０ではデータの後ろにパリティが配置されており、データ信号線１５－１乃至１５－３ではデータの前にパリティが配置されている。

[0095] これに対し、マルチレーンモードの通信におけるDDRモードについて、図１５に示すようなフォーマットも検討される。即ち、データ信号線１５－０乃至１５－３にまたがって16bitごとに２bitのパリティを付けることが検討される。

[0096] 図１４および図１５を比較して分かるように、図１４に示すようなフォーマットのエラー対策をバスＩＦ１１が採用することにより、後述するように断線やデータ信号線１５ごとのエラー頻度などを検出することができるため、図１５に示すようなフォーマットよりも、より確実に通信を行うことができる。

[0097] ＜断線箇所の推定＞

図１６を参照して、断線検出処理部１０２によりデータ信号線に断線が発

生したと推定される箇所について説明する。

[0098] バスＩＦ１１では、最低限、スレーブ１３ａ乃至１３ｃは、SDRモードにおけるスレーブアドレスのリードまたはライトでは、データ信号線１５－０乃至１５－３のうちの、使用中のデータ信号線１５を介してACKを返すことが必要とされる。また、データ信号線１５－０乃至１５－３は、マスタ１２の端子近傍で断線が発生したのか、または、特定のスレーブ１３の端子近傍で断線したのかを判別するため、ブロードキャストアドレス（0x7E）やスレーブアドレスに対しても、データ信号線１５－０乃至１５－３のうちの、使用中のデータ信号線１５を介してACKを返すことが望ましい。

[0099] 例えば、スレーブ１３ｂのSDA[1]出力端子の近傍で断線が発生した場合、即ち、図１６に示すように、バス分岐後からスレーブの端子までの間で断線が発生した場合について説明する。

[0100] この場合、マスタ１２の断線検出処理部１０２は、スレーブ１３ｂに対してスレーブアドレスを指定したリードまたはライトで、シリアルデータSDA[1]によるACKが返ってこないので断線を検出することができる。また、スレーブ１３ｃに対してスレーブアドレスを指定したリードまたはライトで、シリアルデータSDA[1]によるACKが返ってくるので、マスタ１２およびスレーブ１３ｃの間のデータ信号線１５－１には断線が発生していないと推定することができる。即ち、この場合、図１６に示すように、バス分岐前の共通部分で断線が発生していないと推定することができる。

[0101] 一方、マスタ１２のSDA[1]端子の近傍で断線が発生した場合、即ち、図１６に示すように、バス分岐前の共通部分で断線が発生した場合について説明する。

[0102] 例えば、この場合、ブロードキャストアドレス（0x7E）などに対しても、シリアルデータSDA[1]による応答がないので、マスタ１２の断線検出処理部１０２は、それぞれのスレーブ１３に分岐する前でデータ信号線１５－１に断線が発生したと推定することができる。なお、この場合、全てのスレーブ１３のSDA[1]出力端子の近傍で同時に断線が発生した可能性もある。

[0103] また、その他、バスＩＦ１１では、DDRのリードコマンドの後は、スレーブ１３ａ乃至１３ｃは、データ信号線１５－０乃至１５－３のうちの、使用中のデータ信号線１５を介してACKを返すことが必要とされる。マスタ１２の断線検出処理部１０２は、DDRのリードコマンドに対するACKを受信することができなかった場合、断線の可能性があると推定することができ、断線エラーを検出する。なお、マスタ１２の断線検出処理部１０２は、予め設定された設定値以上連続で、ACKを受信することができなかった場合に、断線エラーを検出するようにしてもよい。

[0104] そして、バスＩＦ１１では、予め設定された設定値以上連続で、ACKを受信することができなかった場合、マスタ１２の復帰処理部１０１は、ACKが返ってこないレーン（データ信号線１５）に応じて、どのレーンが断線したかを推定して、以下で説明するような復帰処理を行う。

[0105] 例えば、シリアルデータSDA[0]でACKが返ってこない場合、クロック信号線１４およびデータ信号線１５－０の一方、または、それらの２本を含む全てのデータ信号線１５が断線したと推定される。従って、この場合、復帰処理部１０１は、断線に備え予備系統のデータ信号線１５が用意されていれば、その予備のデータ信号線１５に切替えて通信を継続する。

[0106] また、シリアルデータSDA[1]~SDA[3]のいずれかでACKが返ってこない場合、復帰処理部１０１は、データ信号線１５－１乃至１５－３のうち、ACKが返ってこなかったデータ信号線１５の使用を停止する。また、復帰処理部１０１は、必要であれば、LaneSWAPを行ってレーンの入れ替えを行ってもよい。例えば、復帰処理部１０１は、データ信号線１５－１がマスタ１２の近傍（図１６に示すバス分岐前の共通部分）で断線が発生したと推定される場合、スレーブ１３ｂに対してシングルレーンモードに再設定して通信を継続する。また、復帰処理部１０１は、スレーブ１３ｃに対しては、データ信号線１５－１とデータ信号線１５－２とを入れ替えて（LaneSWAP）、データ信号線１５－０とデータ信号線１５－２とを使用するマルチレーンモードに再設定して通信を継続する。

[0107] さらに、バスＩＦ１１では、シリアルエラー検出部８２およびパラレルエラー検出部８３によりエラー頻度の高いレーン（データ信号線１５）を検出することで、そのレーンの使用を回避することができる。

[0108] 例えば、マスタ１２は、SDRモードのwrite時には、レーンごとにパリティを付与する。また、SDRモードのread時には、シリアルデータSDA[1]乃至SDA[3]は、レーンごとにパリティを付与し、シリアルデータSDA[0]のエラー頻度はwrite時にのみ測定する

[0109] また、マスタ１２は、DDRモードのwrite時には、DDRモードのRead時とフォーマットを合わせてパリティはデータの後に配置し、レーンごとに2bit（偶奇）parityを付与する。DDRモードのRead時には、レーンごとに2bit（偶奇）parityを付与する。

[0110] そして、マスタ１２の復帰処理部１０１は、既存のparity error検出と同じ復帰動作を行うことができる。このとき、スレーブ１３は、どのレーンのエラーかを保持するレジスタを備える。また、マスタ１２は、ステータスを取得するコマンド（GET STATUS）などでエラーを確認した後、どのレーンにエラーが発生したかを確認し、予め設定された設定値以上連続でエラーの発生を検出すると、そのレーンをエラー頻度が高いと判断することができる。

[0111] 従って、マスタ１２は、シリアルエラー検出部８２およびパラレルエラー検出部８３によりエラー頻度の高いレーンが検出された後、復帰処理部１０１による復帰処理により上述したように、エラー頻度の高いレーンの使用を中止することができる。

[0112] また、バスＩＦ１１では、２レーン以上を使用するマルチレーンモードにおけるエラー耐性の向上を図ることができる。

[0113] 即ち、２レーン以上を使用するマルチレーンモードでは、データ信号線１５－１を介して伝送されるシリアルデータSDA[1]には、リードデータまたはライトデータ以外は基本的に、データ信号線１５－０を介して伝送されるシリアルデータSDA[0]の反転bitが伝送される。ここで、何らかのエラーで、シリアルデータSDA[1]において、シリアルデータSDA[0]の反転bitが伝送されて

いない場合には、エラーとすることで信頼性を向上させることができる。

[0114] このエラーは、SDRでは、例えば、0x7E：S0 Error、CCC：S1 Error、Illegal CCC format： S5 Errorに適用される。また、このエラーは、DDRでは、例えば、CRC5 errorに適用される。

[0115] このように、マスタ１２は、断線検出処理部１０２により、データ信号線１５－１乃至１５－３のうちの、いずれで断線が発生したかを検出することができる。また、マスタ１２は、断線検出処理部１０２により、データ信号線１５－０乃至１５－３の全てでACKが返ってこない場合、クロック信号線１４およびデータ信号線１５－０のいずれか一方で断線が発生したか、または、それらを含む全てで断線が発生したことを検出することができる。さらに、マスタ１２は、シリアルエラー検出部８２およびパラレルエラー検出部８３により、データ信号線１５－０乃至１５－３のうちの、エラー頻度の高いデータ信号線１５を検出することができ、そのデータ信号線１５の使用を停止する。

[0116] 従って、バスＩＦ１１では、データ信号線１５－０乃至１５－３のうちの、エラー頻度の高いデータ信号線１５を検出し、そのデータ信号線１５の使用を停止することで、不確実な状態で通信が継続されることを回避することができる。

[0117] ＜バスＩＦにおける通信処理＞

図１７乃至図２３を参照して、バスＩＦ１１において実行される通信処理について説明する。

[0118] 図１７は、マスタ１２側で実行されるマルチレーンモード遷移処理を説明するフローチャートである。

[0119] 例えば、図示しない上位のシステムからマスタ１２に対して、マルチレーンモードへ遷移することが指示されると処理が開始される。ステップＳ１１において、ＭＬ遷移処理部３３は、バスＩＦ１１に接続されている全てのスレーブ１３に対して一斉に送信するコモンコマンドコードによって、それらのスレーブ１３が備える能力を確認する能力確認コマンド（GETCAP CCC）を

、送受信部２１より送信させる。このとき、シングルレーンモードで通信が行われており、送受信部２１では、クロック送受信部３１およびデータ送受信部３２－０を使用して、能力確認コマンドが送信される。

[0120] ステップＳ１２において、データ送受信部３２－０は、ステップＳ１１で送信された能力確認コマンドに対し、バスＩＦ１１に接続されている全てのスレーブ１３からデータ信号線１５－０を使用して順次送信されてくる応答を受信する。そして、ＭＬ遷移処理部３３は、データ送受信部３２－０が受信した能力確認コマンドに対する応答に基づいて、バスＩＦ１１に接続されている全てのスレーブ１３の能力を確認する。

[0121] ステップＳ１３において、ＭＬ遷移処理部３３は、ステップＳ１２における確認の結果、マルチレーンモードに対応しているスレーブ１３があるか否かを判定する。ステップＳ１３において、ＭＬ遷移処理部３３が、マルチレーンモードに対応しているスレーブ１３があると判定した場合、処理はステップＳ１４に進む。

[0122] ステップＳ１４において、ＭＬ遷移処理部３３は、マルチレーンモードに対応しているスレーブ１３（以下では、図１のスレーブ１３ｃとして説明を行う）に対して、コモンコマンドコードによってマルチレーン設定コマンド（SETML CCC）を、送受信部２１より送信させる。これにより、スレーブ１３ｃでは、図１０を参照して説明したようなマルチレーンナンバーで指定されたレーンを使用するマルチレーンモードが有効化される。

[0123] ステップＳ１５において、ＭＬ遷移処理部３３は、スレーブ１３ｃのマルチレーンモードの現状設定を確認するために、コモンコマンドコードによってマルチレーン確認コマンド（GETML CCC）を、送受信部２１より送信させる。このマルチレーン確認コマンドに対し、スレーブ１３ｃは、マルチレーンモードで使用するデータ信号線１５－０乃至１５－３を介してACKを送信（後述する図１８のステップＳ３７およびＳ３８）する。

[0124] ステップＳ１６において、ＭＬ遷移処理部３３は、ACK/NACK検出器９６による検出結果に従って、通信対象のスレーブ１３ｃによって使用中のデータ

信号線１５－０乃至１５－３の全てで、ブロードキャストアドレスに続くACKを受信したか否かを判定する。ステップＳ１６において、ＭＬ遷移処理部３３が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、ブロードキャストアドレスに続くACKを受信したと判定した場合、処理はステップＳ１７に進む。

[0125] ステップＳ１７において、ＭＬ遷移処理部３３は、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、スレーブアドレスに続くACKを受信したか否かを判定する。ステップＳ１６において、ＭＬ遷移処理部３３が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、スレーブアドレスに続くACKを受信したと判定した場合、処理はステップＳ１８に進む。

[0126] ステップＳ１８において、ＭＬ遷移処理部３３は、ステップＳ１５で送信されたマルチレーン確認コマンドに応じてスレーブ１３ｃから（後述する図１８のステップＳ３９で）送信されてくるマルチレーンナンバーのビット値が正しいか否かを判定する。即ち、ステップＳ１４で送信したマルチレーン設定コマンドのマルチレーン設定バイトに格納したマルチレーンナンバーのビット値と同一のビット値が、マルチレーン確認コマンドのマルチレーン設定バイトに格納されているか否かが判定される。

[0127] ステップＳ１８において、ＭＬ遷移処理部３３が、マルチレーンナンバーのビット値が正しくない（間違っている）と判定した場合、処理はステップＳ１９に進む。また、ステップＳ１６において、ＭＬ遷移処理部３３が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、ブロードキャストアドレスに続くACKを受信していないと判定した場合も、処理はステップＳ１９に進む。同様に、ステップＳ１７において、ＭＬ遷移処理部３３が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、スレーブアドレスに続くACKを受信していないと判定した場合も、処理はステップＳ１９に進む。

[0128] 即ち、この場合、ＭＬ遷移処理部３３は、マルチレーンモードの設定に失

敗したと認識し、マルチレーン設定コマンドの送信（ステップＳ１４）から処理のやり直しを行う。

[0129] ステップＳ１９において、ＭＬ遷移処理部３３は、やり直し回数として予め設定された設定値以上連続で、マルチレーン設定コマンドの送信から処理をやり直したか否かを判定する。

[0130] ステップＳ１９において、ＭＬ遷移処理部３３が、設定値以上連続で、マルチレーン設定コマンドの送信から処理をやり直していないと判定した場合、即ち、連続した処理のやり直し回数が設定値未満である場合、処理はステップＳ１４に戻る。そして、マルチレーン設定コマンドの送信から処理がやり直される。

[0131] 一方、ステップＳ１９において、ＭＬ遷移処理部３３が、設定値以上連続で、マルチレーン設定コマンドの送信から処理をやり直したと判定した場合、処理はステップＳ２０に進む。

[0132] ステップＳ２０において、シリアルエラー検出部８２およびパラレルエラー検出部８３によるエラー検出処理、並びに、復帰処理部１０１による復帰処理が行われる。即ち、上述したように、シリアルエラー検出部８２およびパラレルエラー検出部８３によるエラーの検出結果に従って、エラー頻度の高いレーン（データ信号線１５）を検出し、復帰処理部１０１により、どのレーンが断線したかに応じた復帰処理が行われる。

[0133] ステップＳ２１において、ＭＬ遷移処理部３３は、上述した設定値以上連続で、ステップＳ２０における復帰処理が行われたか否かを判定する。

[0134] ステップＳ２１において、ＭＬ遷移処理部３３が、設定値以上連続で、ステップＳ２０における復帰処理が行われていないと判定した場合、即ち、連続して復帰処理が行われた回数が設定値未満である場合、処理はステップＳ１４に戻る。そして、マルチレーン設定コマンドの送信から処理がやり直される。

[0135] 一方、ステップＳ２１において、ＭＬ遷移処理部３３が、設定値以上連続で、ステップＳ２０における復帰処理が行われたと判定した場合、処理はス

テップＳ２２に進む。

[0136] ステップＳ２２において、断線検出処理部１０２は、クロック信号線１４およびデータ信号線１５－０乃至１５－３の断線を検出する断線検出処理（後述する図２１および図２２のフローチャートの処理）を行う。そして、ステップＳ２２の断線検出処理の処理後、処理はステップＳ１４に戻り、マルチレーン設定コマンドの送信から処理がやり直される。

[0137] 一方、ＭＬ遷移処理部３３が、ステップＳ１３において、マルチレーンモードに対応しているスレーブ１３がないと判定した場合、処理は終了される。または、ステップＳ１８において、マルチレーンナンバーのビット値が正しいと判定した場合、ＭＬ遷移処理部３３は、マルチレーンモードの設定に成功したと認識し、この処理が終了した後、マルチレーンモードによるデータの転送（図１９のフローチャートの処理）が開始される。

[0138] 図１８は、スレーブ１３側で実行されるマルチレーンモード遷移処理を説明するフローチャートである。なお、ここでは、マルチレーンモードに対応している図１のスレーブ１３ｃにおけるマルチレーンモード遷移処理について説明する。

[0139] 例えば、マスタ１２から能力確認コマンドが送信（図１７のステップＳ１１）されると処理が開始され、ステップＳ３１において、送受信部４１ｃは能力確認コマンドを受信してＭＬ遷移処理部５３ｃに供給する。

[0140] ステップＳ３２において、ＭＬ遷移処理部５３ｃは、スレーブ１３ｃ自身が備える能力を応答するように、送受信部４１ｃから応答を送信させる。

[0141] ステップＳ３３において、送受信部４１ｃは、図１７のステップＳ１４においてマスタ１２から送信されてくるマルチレーン設定コマンドの受信を開始する。そして、ステップＳ３４において、送受信部４１ｃは、マルチレーン設定コマンドに格納されているマルチレーンナンバー（図１０参照）を取得すると、ＭＬ遷移処理部５３ｃに供給する。

[0142] ステップＳ３５において、送受信部４１ｃがマルチレーン設定コマンドの受信を完了した後、ＭＬ遷移処理部５３ｃは、ステップＳ３４で取得したマ

ルチレーンナンバーに従って、通信に使用するデータ信号線１５が設定されたマルチレーンモードへ遷移する処理を行う。

[0143] ステップＳ３６において、送受信部４１ｃは、図１７のステップＳ１５においてマスタ１２から送信されてくるマルチレーン確認コマンドを受信して、ＭＬ遷移処理部５３ｃに供給する。

[0144] ステップＳ３７において、ＭＬ遷移処理部５３ｃは、使用中のデータ信号線１５の全てで、ブロードキャストアドレスに続けてACKを送信する。例えば、マルチレーンナンバーに従って４本のデータ信号線１５－０乃至１５－３を使用することが設定（2'b11）されている場合には、４本のデータ信号線１５－０乃至１５－３の全てでブロードキャストアドレスに続けてACKが送信される。これにより、例えば、断線が発生していなければ、マスタ１２では、使用中のデータ信号線１５の全てでブロードキャストアドレスに続くACKが受信される。

[0145] ステップＳ３８において、ＭＬ遷移処理部５３ｃは、使用中のデータ信号線１５の全てで、スレーブアドレスに続けてACKを送信する。例えば、マルチレーンナンバーに従って４本のデータ信号線１５－０乃至１５－３を使用することが設定（2'b11）されている場合には、４本のデータ信号線１５－０乃至１５－３の全てでスレーブアドレスに続けてACKが送信される。これにより、例えば、断線が発生していなければ、マスタ１２では、使用中のデータ信号線１５の全てでスレーブアドレスに続くACKが受信される。

[0146] ステップＳ３９において、ＭＬ遷移処理部５３ｃは、ステップＳ３５で設定されたマルチレーンナンバーをマスタ１２へ送信し、処理は終了される。

[0147] 図１９は、マスタ１２側で実行されるマルチレーンモードに遷移後のデータ受信処理を説明するフローチャートである。なお、ここでは、スレーブ１３ｃと４本のデータ信号線１５－０乃至１５－３を使用してマルチレーンモードの通信を行うように設定されたものとして説明を行う。

[0148] ステップＳ４１において、制御部２２は、送受信部２１により、コモンコマンドコードの送信、または、通信対象のスレーブ１３ｃとのデータ転送（R

ead/Write）を開始させる。なお、このとき送信されるコモンコマンドコードからは、マルチレーン設定コマンド（SETML）は除かれたものとする。

[0149] ステップＳ４２において、制御部２２は、ACK/NACK検出器９６による検出結果に従って、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、ブロードキャストアドレス（0x7E）に続くACKを受信したか否かを判定する。ステップＳ４２において、制御部２２が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、ブロードキャストアドレス（0x7E）に続くACKを受信したと判定した場合、処理はステップＳ４３に進む。

[0150] ステップＳ４３において、制御部２２は、ACK/NACK検出器９６による検出結果に従って、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、そのスレーブ１３ｃを指定するスレーブアドレスに続くACKを受信したか否かを判定する。

[0151] ステップＳ４３において、制御部２２が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、そのスレーブ１３ｃを指定するスレーブアドレスに続くACKを受信していないと判定された場合、処理はステップＳ４４に進む。また、ステップＳ４２において、制御部２２が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、ブロードキャストアドレス（0x7E）に続くACKを受信していないと判定された場合も、処理はステップＳ４４に進む。

[0152] ステップＳ４４乃至Ｓ４６において、上述した図１７のステップＳ２０乃至Ｓ２２と同様に、エラー検出処理および復帰処理が行われ、設定値以上連続で復帰処理が行われた場合には断線検出処理が行われる。そして、ステップＳ４５において設定値以上連続で復帰処理が行われていないと判定された場合、または、ステップＳ４６において断線検出処理が行われた後、処理はステップＳ４１に戻り、以下、同様の処理が繰り返される。

[0153] 一方、ステップＳ４３において、制御部２２が、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てで、そのスレ

ーブ１３ｃを指定するスレーブアドレスに続くACKを受信したと判定された場合、処理はステップＳ４７に進む。

[0154] ステップＳ４７において、ステップＳ４１で開始した、コモンコマンドコードの送信、または、通信対象のスレーブ１３ｃとのデータ転送が終了された後、処理は終了される。

[0155] ここで、上述したように、ステップＳ４１で送信されるコモンコマンドコードからは、マルチレーン設定コマンド（SETML）は除かれる。従って、制御部２２が、マルチレーン設定コマンドに対しては、通信対象のスレーブ１３ｃによって使用中のデータ信号線１５－０乃至１５－３の全てでACKの受信の確認（ステップＳ４２またはＳ４３）が行われることは回避される。

[0156] 即ち、制御部２２は、マルチレーン設定コマンドに対しては、データ信号線１５－０を介して伝送されるシリアルデータSDA[0]のみでACKの受信の確認を行うことで、無限ループを回避することができる。

[0157] 例えば、スレーブ１３ｃが、４本のデータ信号線１５－０乃至１５－３を使用するマルチレーンモードで稼働しているときに、データ信号線１５－１に断線が発生したとする。このとき、マスタ１２は、データ信号線１５－１の断線を検出し、シングルレーンモードに戻すために、図１０に示したように、マルチレーン設定コマンド（SETML）でマルチレーンナンバー（2'b00）を送信する。この場合、マスタ１２は、スレーブ１３ｃが使用中のレーンは現時点では、データ信号線１５－０乃至１５－３であるため、データ信号線１５－１を介してACKを受信することができず、再度、断線検出を行ってしまい、マルチレーン設定コマンドを終了させることができずに、無限ループとなる。

[0158] 従って、制御部２２は、マルチレーン設定コマンドに対するACKだけは、シリアルデータSDA[0]のみを確認し、それ以外のレーンでのACKの確認を禁止することにより、無限ループから出られなくなることを回避することができる。

[0159] 図２０は、スレーブ１３側で実行されるマルチレーンモードに遷移後のデ

ータ受信処理を説明するフローチャートである。なお、ここでは、図１８と同様に、図１のスレーブ１３ｃにおけるデータ受信処理について説明する。

[0160] 例えば、マスタ１２からコモンコマンドコードの送信、または、通信対象のスレーブ１３ｃとのデータ転送が開始（図１９のステップＳ４１）されると処理が開始される。ステップＳ５１において、送受信部４１ｃは、マスタ１２からコモンコマンドコードが送信されてくる場合には、そのコモンコマンドコードの受信を開始し、マスタ１２とのデータ転送（Read/Write）が行われる場合には、そのデータ転送を開始する。

[0161] ステップＳ５２において、送受信部４１ｃは、例えば、マスタ１２がコモンコマンドコードを送信する際に送られてくるブロードキャストアドレスを受信して、制御部４２ｃへ供給する。

[0162] ステップＳ５２において、送受信部４１ｃは、制御部４２ｃによる制御に従って、４本のデータ信号線１５－０乃至１５－３のうち、自身が使用中のレーン（データ信号線）の全てでACKを返す。

[0163] なお、ステップＳ５２およびＳ５３の処理は、マスタ１２からブロードキャストアドレスが送信されてくるときのみ行われ、マスタ１２からスレーブアドレスが送信されてくるときには、ステップＳ５２およびＳ５３の処理はスキップされる。

[0164] ステップＳ５４において、送受信部４１ｃは、スレーブ１３ｃのスレーブアドレスを受信して、制御部４２ｃへ供給する。

[0165] ステップＳ５５において、送受信部４１ｃは、制御部４２ｃによる制御に従って、４本のデータ信号線１５－０乃至１５－３のうち、自身が使用中のレーン（データ信号線）の全てでACKを返す。

[0166] ステップＳ５６において、送受信部４１ｃは、コモンコマンドコードの受信を行っていた場合には、そのコモンコマンドコードの受信を終了し、マスタ１２とデータ転送を行っていた場合には、そのデータ転送を終了する。その後、処理は終了される。

[0167] 図２１および図２２は、図１７のステップＳ２２または図１９のステップ

Ｓ４６において、マスタ１２の断線検出処理部１０２が実行する断線検出処理を説明するフローチャートである。

[0168] ステップＳ６１において、断線検出処理部１０２は、データ信号線１５－０（即ち、データ信号線１５－０乃至１５－３のうちの、シングルレーンモードでも使用されるデータ信号線）で、ブロードキャストアドレスに続くACKが受信不可であるか否かを判定する。

[0169] ステップＳ６１において、断線検出処理部１０２が、データ信号線１５－０でブロードキャストアドレスに続くACKが受信不可であると判定した場合、処理はステップＳ６２に進む。

[0170] ステップＳ６２において、断線検出処理部１０２は、クロック信号線１４またはデータ信号線１５－０が、バス分岐前の共通部分で断線（図１６参照）していると推定する。

[0171] 従って、この場合、ステップＳ６３において、復帰処理部１０１は、バスＩＦ１１全体の使用を停止し、その旨を上位のシステムに通知した後、処理は終了される。

[0172] 一方、ステップＳ６１において、断線検出処理部１０２が、データ信号線１５－０でブロードキャストアドレスに続くACKが受信不可でない（ACKが受信可能である）と判定した場合、処理はステップＳ６４に進む。

[0173] ステップＳ６４において、断線検出処理部１０２は、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３（ステップＳ６１で確認したデータ信号線１５－０以外）で、ブロードキャストアドレスに続くACKが受信不可であるか否かを判定する。

[0174] ステップＳ６４において、断線検出処理部１０２が、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３でブロードキャストアドレスに続くACKが受信不可であると判定した場合、処理はステップＳ６５に進む。

[0175] ステップＳ６５において、断線検出処理部１０２は、データ信号線１５－１乃至１５－３のうちの、ACKを未受信のデータ信号線１５が、バス分岐前の共通部分で断線（図１６参照）していると推定する。

[0176] 従って、この場合、ステップＳ６６において、復帰処理部１０１は、ACKを未受信のデータ信号線１５に応じて通信モードを遷移させる。例えば、復帰処理部１０１は、データ信号線１５－１が断線していると推定されるとき、全てのスレーブ１３に対してシングルレーンモードへ遷移させる。また、復帰処理部１０１は、例えば、データ信号線１５－２または１５－３が断線していると推定されるとき、４本のデータ信号線１５－０乃至１５－３を使用してマルチレーンモードで通信しているスレーブ１３に対して、データ信号線１５－０および１５－２を使用したマルチレーンモードへ遷移させる。その後、処理は終了される。

[0177] 一方、ステップＳ６４において、断線検出処理部１０２が、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３でブロードキャストアドレスに続くACKが受信不可でない（ACKが受信可能である）と判定した場合、処理はステップＳ６７に進む。

[0178] ステップＳ６７において、断線検出処理部１０２は、データ信号線１５－０（即ち、データ信号線１５－０乃至１５－３のうちの、シングルレーンモードでも使用されるデータ信号線）で、スレーブアドレスに続くACKが受信不可であるか否かを判定する。

[0179] ステップＳ６７において、断線検出処理部１０２が、データ信号線１５－０で、スレーブアドレスに続くACKが受信不可であると判定した場合、処理はステップＳ６８に進む。

[0180] ステップＳ６８において、断線検出処理部１０２は、クロック信号線１４またはデータ信号線１５－０が、バス分岐後からスレーブ端子までの間で断線（図１６参照）していると推定する。

[0181] ステップＳ６９において、復帰処理部１０１は、バス分岐後からスレーブ端子までの間で断線していると推定された対象のスレーブ１３の使用を停止し、処理は終了される。

[0182] 一方、ステップＳ６７において、断線検出処理部１０２が、データ信号線１５－０で、スレーブアドレスに続くACKが受信不可でない（ACKが受信可能

である）と判定した場合、処理はステップＳ７０に進む。

[0183] ステップＳ７０において、断線検出処理部１０２は、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３（ステップＳ６７で確認したデータ信号線１５－０以外）で、スレーブアドレスに続くACKが受信不可であるか否かを判定する。

[0184] ステップＳ７０において、断線検出処理部１０２が、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３で、スレーブアドレスに続くACKが受信不可であると判定した場合、処理はステップＳ７１に進む。

[0185] ステップＳ７１において、断線検出処理部１０２は、ACKを未受信のデータ信号線１５が、バス分岐後からスレーブ端子までの間で断線（図１６参照）していると推定する。

[0186] ステップＳ７２において、復帰処理部１０１は、ACKを未受信のデータ信号線１５に応じて通信モードを遷移させる。例えば、復帰処理部１０１は、データ信号線１５－１が断線していると推定されるとき、そのスレーブ１３のみに対してシングルレーンモードへ遷移させる。また、復帰処理部１０１は、例えば、データ信号線１５－２または１５－３が断線していると推定されるとき、４本のデータ信号線１５－０乃至１５－３を使用してマルチレーンモードで通信しているスレーブ１３に対して、データ信号線１５－０および１５－２を使用したマルチレーンモードへ遷移させる。その後、処理は終了される。

[0187] 一方、ステップＳ７０において、断線検出処理部１０２が、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３で、スレーブアドレスに続くACKが受信不可でない（ACKが受信可能である）と判定した場合、処理はステップＳ７３に進む。

[0188] ステップＳ７３において、断線検出処理部１０２は、データ信号線１５－０（即ち、データ信号線１５－０乃至１５－３のうちの、シングルレーンモードでも使用されるデータ信号線）で、パリティエラーなどのエラーが検出されたか否かを判定する。

[0189] ステップＳ７３において、断線検出処理部１０２が、データ信号線１５－０で、パリティエラーなどのエラーが検出されたと判定した場合、処理はステップＳ７４に進む。

[0190] ステップＳ７４において、断線検出処理部１０２は、データ信号線１５－０（即ち、データ信号線１５－０乃至１５－３のうちの、シングルレーンモードでも使用されるデータ信号線）が断線寸前であるか、ノイズの影響を連続的に受けていると推定する。ステップＳ７４の処理後、処理はステップＳ６９に進み、上述したように、そのスレーブ１３の使用を停止し、処理は終了される。

[0191] 一方、ステップＳ７３において、断線検出処理部１０２が、データ信号線１５－０で、パリティエラーなどのエラーが検出されないと判定した場合、処理はステップＳ７５に進む。

[0192] ステップＳ７５において、断線検出処理部１０２は、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３（ステップＳ７３で確認したデータ信号線１５－０以外）で、パリティエラーなどのエラーが検出されたか否かを判定する。

[0193] ステップＳ７５において、断線検出処理部１０２が、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３で、パリティエラーなどのエラーが検出されたと判定した場合、処理はステップＳ７６に進む。

[0194] ステップＳ７６において、断線検出処理部１０２は、エラーが検出されたデータ信号線１５が断線寸前であるか、ノイズの影響を連続的に受けていると推定する。ステップＳ７６の処理後、処理はステップＳ７２に進み、上述したように、ACKを未受信のデータ信号線１５に応じて通信モードを遷移させる。

[0195] そして、ステップＳ７５において、断線検出処理部１０２が、マルチレーンモードで使用中のデータ信号線１５－１乃至１５－３で、パリティエラーなどのエラーが検出されていないと判定した場合、処理は終了される。

[0196] ＜パリティチェックを正常に行う通信方法＞

図２３は、マスタ１２が、HDRモードのひとつであるDDRモードでスレーブ１３からデータを読み出す通信処理（DDR Read）を説明するフローチャートである。この通信処理（DDR Read）は、まずSDRモードにおいてコモンコマンドコードを使用して、上述のマルチレーンモード遷移処理が行われてマルチレーンモードに遷移した後に実行される。

[0197] ステップＳ８１において、マスタ１２は、通信をSDRモードからHDRモードに切り替える処理を行う。具体的には、マスタ１２では、送受信部２１が、クロック信号線１４およびデータ信号線１５－０を駆動して、SDRモードにおいて、バスＩＦ１１を構成する全てのスレーブ１３を対象として一斉にコマンドを送信することを通知するブロードキャストコマンド（0×7E+R/W=0）を送信する。その後、マスタ１２では、ブロードキャストコマンドの受信が成功したことを確認するためにスレーブ１３から送信されてくるACKを受信すると、送受信部２１が、HDRモードに入るためのコモンコマンドコード（ENTHDR CCC(0×20)）を送信する。

[0198] ステップＳ８２において、マスタ１２の送受信部２１は、クロック信号線１４およびデータ信号線１５－０を駆動して、リードコマンドを送信する。

[0199] ステップＳ８３において、制御部２２は、ACK/NACK検出器９６による検出結果に従って、リードコマンドを送信した後のプリアンブルの２ビット目の値を検出し、スレーブ１３からACKおよびNACKのどちらが送信されてきかを判定する。即ち、制御部２２は、リードコマンドを送信した後のプリアンブルの２ビット目が０であることを検出した場合、スレーブ１３からACKが送信されてきたと判定する。一方、制御部２２は、リードコマンドを送信した後のプリアンブルの２ビット目が１であることを検出した場合、スレーブ１３からNACKが送信されてきたと判定する。

[0200] ステップＳ８３において、制御部２２が、スレーブ１３からACKが送信されてきたと判定した場合、処理はステップＳ８４に進む。

[0201] ステップＳ８４において、送受信部２１は、スレーブ１３から送信されてくるリードデータを受信する。

[0202] ステップＳ８５において、制御部２２は、パリティエラー検出器９５による検出結果に従って、使用中のいずれかのデータ信号線１５でパリティエラーが発生しているか否かを判定する。このとき、上述の特許文献１の図４に示したように、バリティビットＰ１は、データの奇数番目のビットの論理和が偶数のとき０を取り、バリティビットＰ１は、データの偶数番目のビットの論理和が奇数のとき０を取る。

[0203] ステップＳ８５において、制御部２２が、使用中の全てのデータ信号線１５でパリティエラーが発生していない、即ち、データが正常であると判定した場合、処理はステップＳ８６に進む。ステップＳ８６において、送受信部２１は、データに続いて送信されてくるプリアンブルを受信する。

[0204] ステップＳ８７において、制御部２２は、ステップＳ８６で受信したプリアンブルにより次に送信されることが指定されているのは、データおよびCRCワードのどちらであるかを判定する。

[0205] ステップＳ８７において、制御部２２が、次に送信されてくるのはデータであると判定した場合、処理はステップＳ８８に進み、送受信部２１はリードデータを受信した後、処理はステップＳ８５に戻って、以下、同様の処理が繰り返される。

[0206] 一方、ステップＳ８７において、制御部２２が、次に送信されてくるのはCRCワードであると判定した場合、処理はステップＳ８９に進み、送受信部２１はCRCワードを受信する。

[0207] ステップＳ８９の処理後、処理はステップＳ９１に進む。または、ステップＳ８５でパリティエラーがあったと判定された場合、処理はステップＳ９１に進む。また、ステップＳ８３でNACKが送信されてきたと判定された場合、処理はステップＳ９１に進み、所定のビット数のコンフリクト防止クロック期間の経過後、クロック信号を送信して、処理はステップＳ９１に進む。

[0208] ステップＳ９１において、送受信部２１はHDR終了コマンドを送信し、これにより、マスタ１２がDDRモードでスレーブ１３からデータを読み出す通信処理（DDR Read）は終了される。

[0209] 以上のように、バスＩＦ１１では、例えば、マスタ１２がACKを受信したと判定したとき、そのACKがNACKの１ビットエラーであってデータ信号線１５－０乃至１５－３に対する駆動が行われない状態が発生したとしても、制御部２２がパリティエラー検出器９５による検出結果に従って、受信したデータが正しいものではないことを検出することができる。これにより、マスタ１２は、受信したデータが正しいものであるのか、データ信号線１５－０乃至１５－３に対する駆動が行われない状態によるものであるのかを正確に判断して、より確実に通信を行うことができる。

[0210] ここで、本実施の形態のバスＩＦ１１におけるパリティエラーの検出方法は、例えば、上述の特許文献１の図４または図７に示した方法と同様に行われ、パリティエラー検出器９５は、上述の特許文献１の図５または図８と同様に構成される。このとき、例えば、使わないbitは0で埋めてDATA[15:0]で出力される。これは、例えば、16bitで送ると仮定すると、４レーンモードのときには、シリアルデータSDAは、１レーンあたり、4bitしか送信せず、パリティも4bitで計算することが必要となる。このため、D0~D3だけ送信データを設定し、その他は0埋めでパリティが計算される。

[0211] ＜コンピュータの構成例＞

なお、上述のフローチャートを参照して説明した各処理は、必ずしもフローチャートとして記載された順序に沿って時系列に処理する必要はなく、並列的あるいは個別に実行される処理（例えば、並列処理あるいはオブジェクトによる処理）も含むものである。また、プログラムは、１のCPUにより処理されるものであっても良いし、複数のCPUによって分散処理されるものであっても良い。

[0212] また、上述した一連の処理（通信方法）は、ハードウエアにより実行することもできるし、ソフトウエアにより実行することもできる。一連の処理をソフトウエアにより実行する場合には、そのソフトウエアを構成するプログラムが、専用のハードウエアに組み込まれているコンピュータ、または、各種のプログラムをインストールすることで、各種の機能を実行することが可

能な、例えば汎用のパーソナルコンピュータなどに、プログラムが記録されたプログラム記録媒体からインストールされる。

[0213] 図２４は、上述した一連の処理をプログラムにより実行するコンピュータのハードウエアの構成例を示すブロック図である。

[0214] コンピュータにおいて、CPU (Central Processing Unit) ２０１, ROM (Read Only Memory) ２０２, RAM (Random Access Memory) ２０３、およびEEPROM (Electronically Erasable and Programmable Read Only Memory) ２０４は、バス２０５により相互に接続されている。バス２０５には、さらに、入出力インタフェース２０６が接続されており、入出力インタフェース２０６が外部に接続される。

[0215] 以上のように構成されるコンピュータでは、CPU２０１が、例えば、ROM２０２およびEEPROM２０４に記憶されているプログラムを、バス２０５を介してRAM２０３にロードして実行することにより、上述した一連の処理が行われる。また、コンピュータ（CPU２０１）が実行するプログラムは、ROM２０２に予め書き込んでおく他、入出力インタフェース２０６を介して外部からEEPROM２０４にインストールしたり、更新したりすることができる。

[0216] なお、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

[0217] ＜構成の組み合わせ例＞

なお、本技術は以下のような構成も取ることができる。

（１）

１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定

を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部と

を備え、

前記マルチレーンモード遷移処理部は、

前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

通信装置。

（２）

前記マルチレーンモード遷移処理部は、

前記ブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

の両方を行い、それらの両方の肯定応答を受信した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

上記（１）に記載の通信装置。

（３）

前記マルチレーンモードでの通信に対応している前記他の通信装置から前記マルチレーンモードにおいて使用される前記データ信号線を介して、少な

くとも前記個別アドレスに対して送信されてくる肯定応答または否定応答に基づいて、前記マルチレーンモードにおいて使用される前記データ信号線の断線を検出する断線検出部

上記（１）または（２）に記載の通信装置。

（４）

前記断線検出部は、前記マルチレーンモードでの通信に対応している前記他の通信装置から前記マルチレーンモードにおいて使用される前記データ信号線を介して、前記ブロードキャストアドレスに対して送信されてくる肯定応答または否定応答に基づいて、前記マルチレーンモードにおいて使用される前記データ信号線の断線を検出する

上記（３）に記載の通信装置。

（５）

前記断線検出部は、前記マルチレーンモードでの通信に対応している前記他の通信装置から前記マルチレーンモードにおいて使用される前記データ信号線を介して、肯定応答または否定応答すべき全ての箇所に対して送信されてくる肯定応答または否定応答に基づいて、前記マルチレーンモードにおいて使用される前記データ信号線の断線を検出する

上記（３）または（４）に記載の通信装置。

（６）

所定本数の前記データ信号線ごとに、それぞれの前記データ信号線を介して伝送されるデータのパリティを計算して付与することで、前記データ信号線ごとのデータに発生したエラーを検出するエラー検出部

をさらに備える上記（３）から（５）までのいずれかに記載の通信装置。

（７）

前記断線検出部により断線が検出され、または、前記エラー検出部によりエラーが高頻度で検出された場合、通信中の前記他の通信装置との通信を復帰させる処理を行う復帰処理部

をさらに備える上記（６）に記載の通信装置。

（８）

前記断線検出部は、前記他の通信装置からの肯定応答または否定応答に基づいて、前記データ信号線に断線が発生した断線箇所を推定する

上記（７）に記載の通信装置。

（９）

前記マルチレーンモード遷移処理部は、前記マルチレーン設定コマンドに対して送信されてくる肯定応答の確認を、前記シングルレーンモードで使用される前記データ信号線のみで行う

上記（１）から（８）までのいずれかに記載の通信装置。

（１０）

前記エラー検出部は、前記マルチレーンモードにおける１本の前記クロック信号線と２本の前記データ信号線とを使用した通信で、２本の前記データ信号線どうしで反転したビットが伝送されていない場合、エラーが発生したことを検出する

上記（６）に記載の通信装置。

（１１）

１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部と

を備える通信装置の通信方法であって、

前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマ

ンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

ことを含む通信方法。

（１２）

１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部と

を備える通信装置のコンピュータに、

前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確

認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

ことを含む通信処理を実行させるためのプログラム。

（１３）

バスにおける制御の主導権を有する第１の通信装置と、

前記第１の通信装置による制御に従って通信を行う第２の通信装置と

を備え、

前記第１の通信装置が、

１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、前記第２の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部と

を有し、

前記マルチレーンモード遷移処理部は、

前記第２の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記第２の通信装置が使用中の全ての前記データ信号線で、各個の前記第２の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの

通信の遷移に成功したと認識する

通信システム。

[0218] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0219] １１　バスＩＦ，　１２　マスタ，　１３　スレーブ，　１４　クロック信号線，　１５　データ信号線，　２１　送受信部，　２２　制御部，　３１　クロック送受信部，　３２　データ送受信部，　３３　ＭＬ遷移処理部，　４１　送受信部，　４２　制御部，　５１　クロック送受信部，　５２　データ送受信部，　５３　ＭＬ遷移処理部，　６１　レーン分配部，　６２　レーン併合部，　７１　出力アンプ，　７２　入力アンプ，　７３　SCL制御部，　７４　Ｈレベル維持部，　７５　シリアル変換部，　７６　パラレル変換部，　７７　パリティ計算部，　８１　ＭＬ制御部，　８２　シリアルエラー検出部，　８３　パラレルエラー検出部，　８４　FSM，　９１　CRCエラー検出器，　９２　bit反転エラー検出器，　９３　コンフリクトエラー検出器，　９４　プリアンブルエラー検出器，　９５　パリティエラー検出器，　９６　ACK/NACK検出器，　９７　I3C規格エラー検出器，　１０１　復帰処理部，　１０２　断線検出処理部

請求の範囲

[請求項1] １本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部と

を備え、

前記マルチレーンモード遷移処理部は、

前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

通信装置。

[請求項2] 前記マルチレーンモード遷移処理部は、

前記ブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記個別アドレスに続いて送信されてくる肯定応答の受信を確認

することと

の両方を行い、それらの両方の肯定応答を受信した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

請求項１に記載の通信装置。

[請求項3] 前記マルチレーンモードでの通信に対応している前記他の通信装置から前記マルチレーンモードにおいて使用される前記データ信号線を介して、少なくとも前記個別アドレスに対して送信されてくる肯定応答または否定応答に基づいて、前記マルチレーンモードにおいて使用される前記データ信号線の断線を検出する断線検出部

をさらに備える請求項１に記載の通信装置。

[請求項4] 前記断線検出部は、前記マルチレーンモードでの通信に対応している前記他の通信装置から前記マルチレーンモードにおいて使用される前記データ信号線を介して、前記ブロードキャストアドレスに対して送信されてくる肯定応答または否定応答に基づいて、前記マルチレーンモードにおいて使用される前記データ信号線の断線を検出する

請求項３に記載の通信装置。

[請求項5] 前記断線検出部は、前記マルチレーンモードでの通信に対応している前記他の通信装置から前記マルチレーンモードにおいて使用される前記データ信号線を介して、肯定応答または否定応答すべき全ての箇所に対して送信されてくる肯定応答または否定応答に基づいて、前記マルチレーンモードにおいて使用される前記データ信号線の断線を検出する

請求項３に記載の通信装置。

[請求項6] 所定本数の前記データ信号線ごとに、それぞれの前記データ信号線を介して伝送されるデータのパリティを計算して付与することで、前記データ信号線ごとのデータに発生したエラーを検出するエラー検出部

をさらに備える請求項３に記載の通信装置。

[請求項7] 前記断線検出部により断線が検出され、または、前記エラー検出部によりエラーが高頻度で検出された場合、通信中の前記他の通信装置との通信を復帰させる処理を行う復帰処理部

をさらに備える請求項６に記載の通信装置。

[請求項8] 前記断線検出部は、前記他の通信装置からの肯定応答または否定応答に基づいて、前記データ信号線に断線が発生した断線箇所を推定する

請求項７に記載の通信装置。

[請求項9] 前記マルチレーンモード遷移処理部は、前記マルチレーン設定コマンドに対して送信されてくる肯定応答の確認を、前記シングルレーンモードで使用される前記データ信号線のみで行う

請求項１に記載の通信装置。

[請求項10] 前記エラー検出部は、前記マルチレーンモードにおける１本の前記クロック信号線と２本の前記データ信号線とを使用した通信で、２本の前記データ信号線どうしで反転したビットが伝送されていない場合、エラーが発生したことを検出する

請求項６に記載の通信装置。

[請求項11] １本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード

遷移処理部と

を備える通信装置の通信方法であって、

前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記他の通信装置が使用中の全ての前記データ信号線で、各個の前記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

ことを含む通信方法。

[請求項12] １本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、他の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部と

を備える通信装置のコンピュータに、

前記他の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記他の通信装置が使用中の全ての前記データ信号線で、各個の前

記他の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

ことを含む通信処理を実行させるためのプログラム。

[請求項13] バスにおける制御の主導権を有する第１の通信装置と、

前記第１の通信装置による制御に従って通信を行う第２の通信装置と

を備え、

前記第１の通信装置が、

１本のクロック信号線と１本のデータ信号線とを使用して通信を行う通信モードであるシングルレーンモード、および、１本の前記クロック信号線と２本以上の所定本数の前記データ信号線とを使用して通信を行う通信モードであるマルチレーンモードのうちの、いずれかの通信モードで、前記第２の通信装置と信号の送受信を行う送受信部と、

前記マルチレーンモードの設定を指示するコマンドであるマルチレーン設定コマンドを前記送受信部から送信し、前記マルチレーンモードの現状設定を確認するコマンドであるマルチレーン確認コマンドを前記送受信部から送信して、前記シングルレーンモードから前記マルチレーンモードへの通信を遷移させる処理を行うマルチレーンモード遷移処理部と

を有し、

前記マルチレーンモード遷移処理部は、

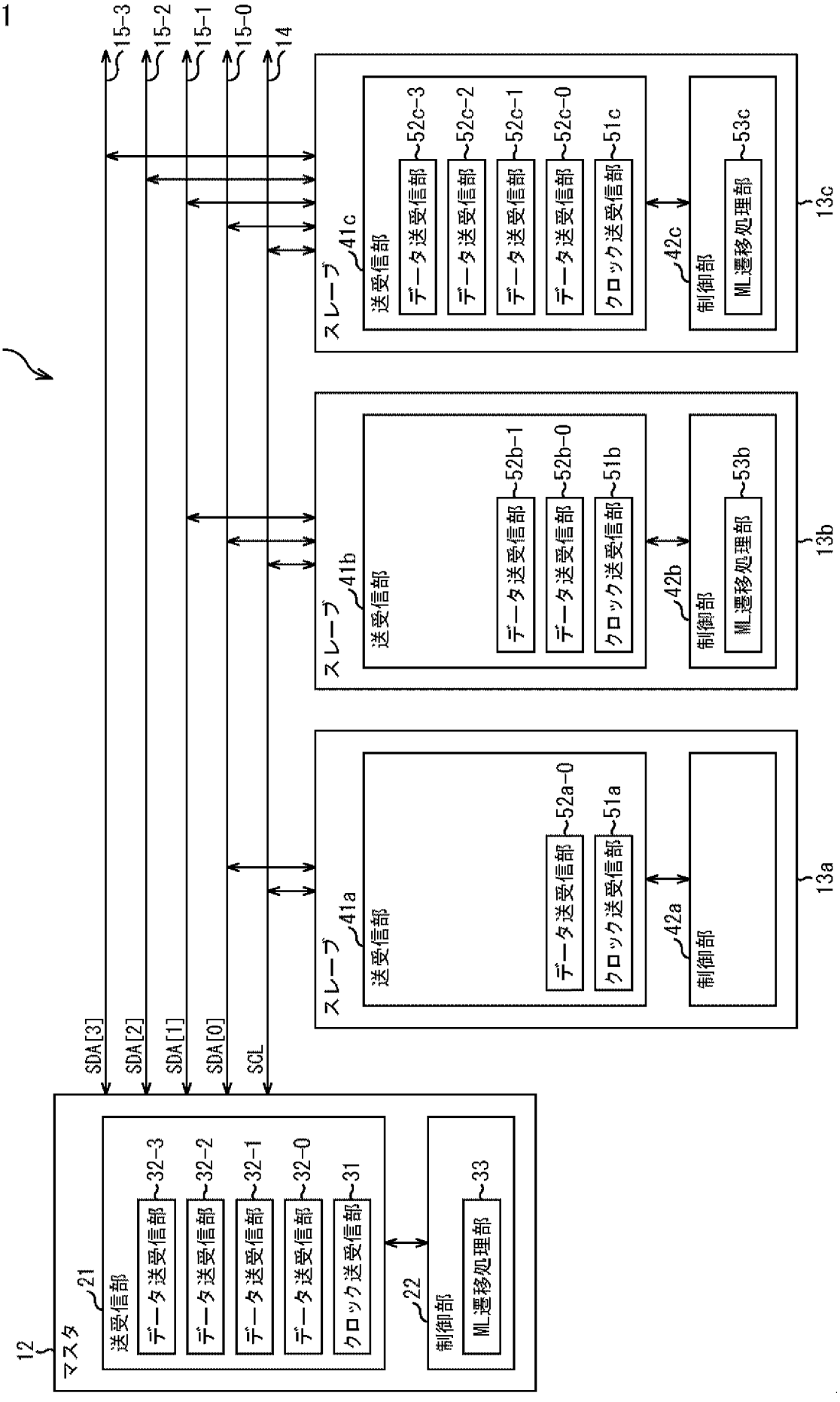
前記第２の通信装置が使用中の全ての前記データ信号線で、一斉に前記コマンドを送信する際に使用するブロードキャストアドレスに続いて送信されてくる肯定応答の受信を確認することと、

前記第２の通信装置が使用中の全ての前記データ信号線で、各個の前記第２の通信装置を指定する個別アドレスに続いて送信されてくる肯定応答の受信を確認することと

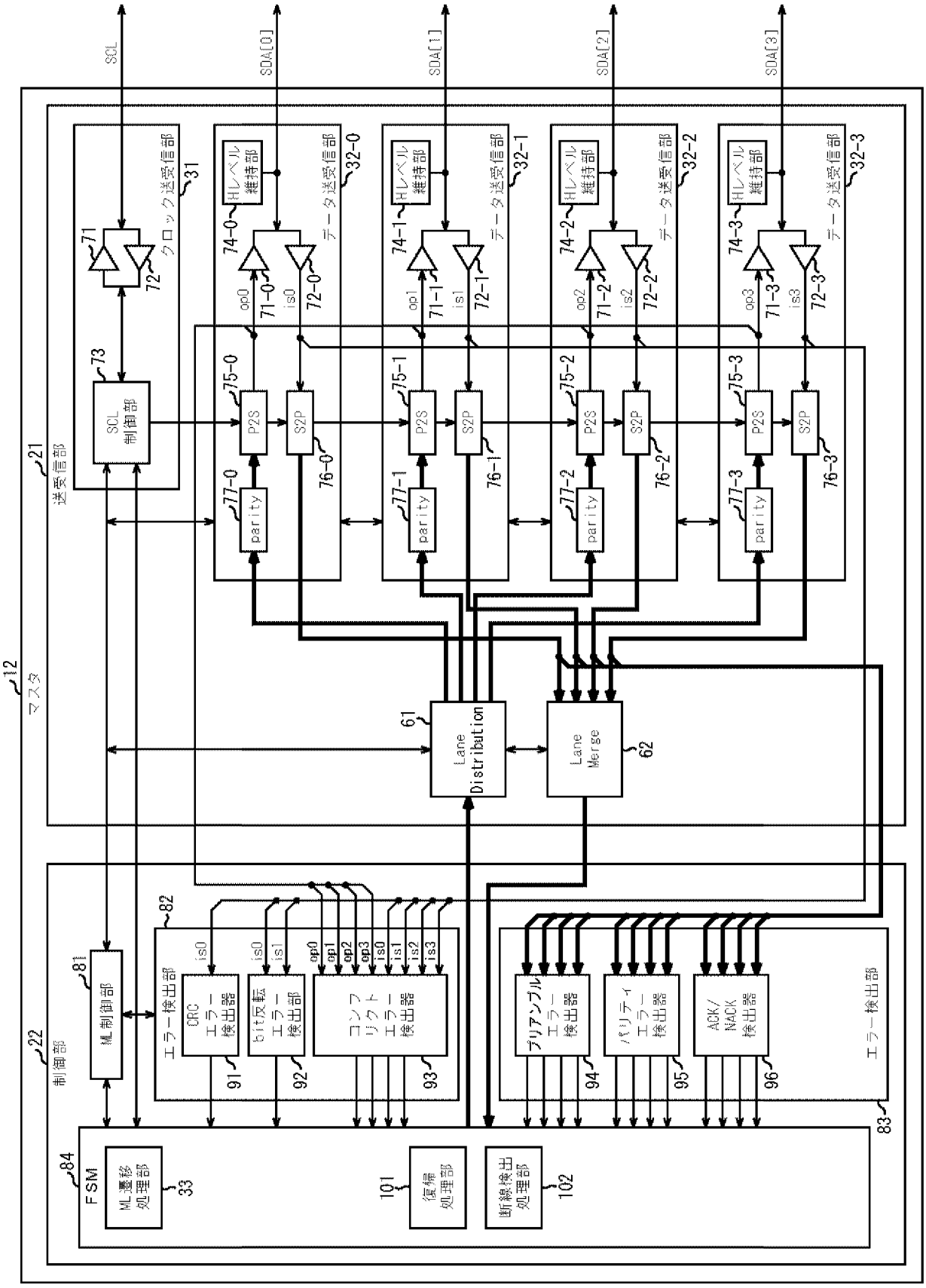
のうちの、少なくとも一方の確認を行い、その一方の肯定応答の受信を確認した場合、前記シングルレーンモードから前記マルチレーンモードへの通信の遷移に成功したと認識する

通信システム。

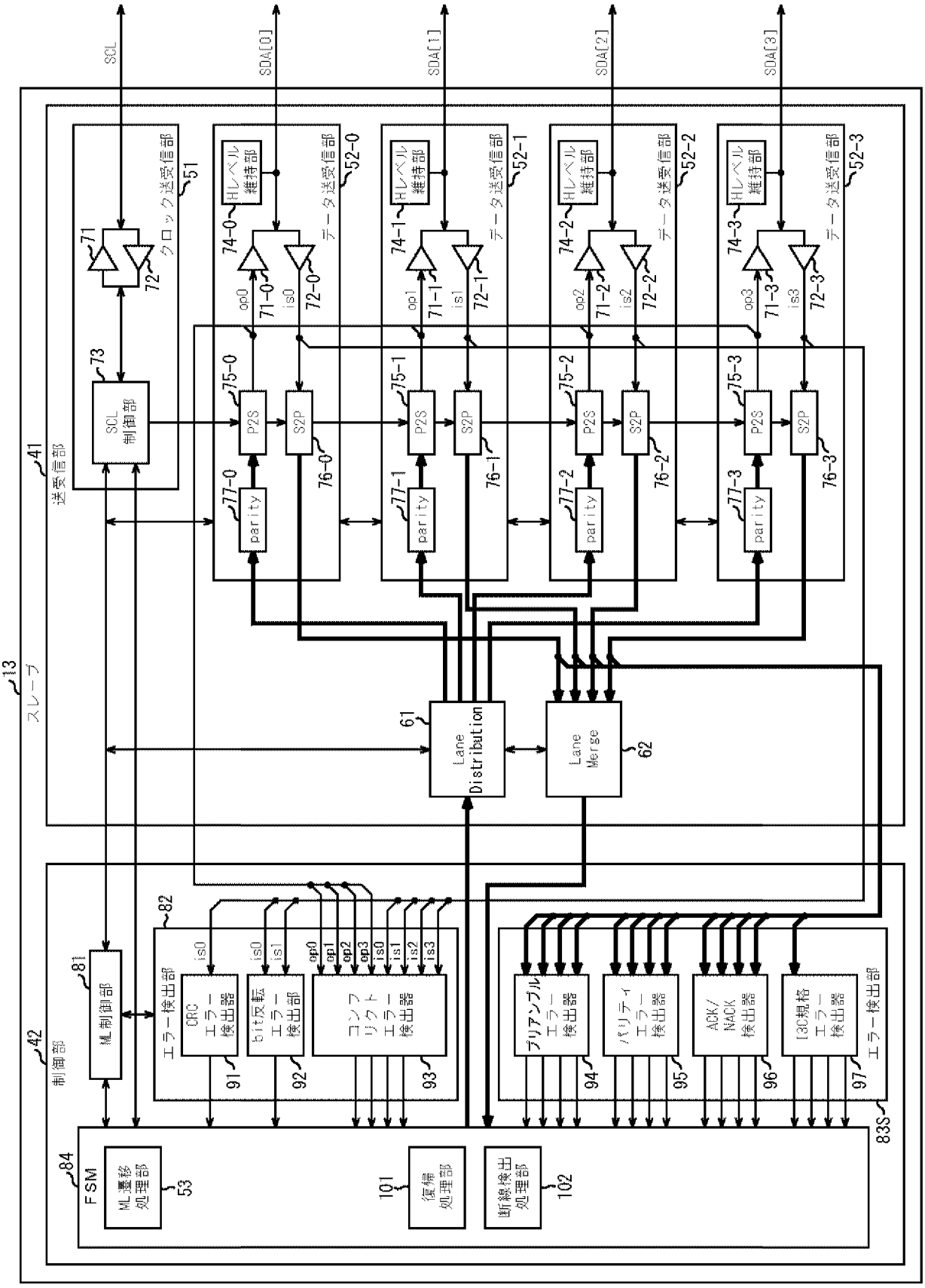
[図1]
FIG. 1


11
12
マスタ
21
送受信部
データ送受信部
32-3
データ送受信部
32-2
データ送受信部
32-1
データ送受信部
32-0
クロック送受信部
31
22
制御部
ML遷移処理部
33
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL
15-3
15-2
15-1
15-0
14
スレーブ
41a
送受信部
データ送受信部
52a-0
クロック送受信部
51a
42a
制御部
13a
スレーブ
41b
送受信部
データ送受信部
52b-1
データ送受信部
52b-0
クロック送受信部
51b
42b
制御部
ML遷移処理部
53b
13b
スレーブ
41c
送受信部
データ送受信部
52c-3
データ送受信部
52c-2
データ送受信部
52c-1
データ送受信部
52c-0
クロック送受信部
51c
42c
制御部
ML遷移処理部
53c
13c

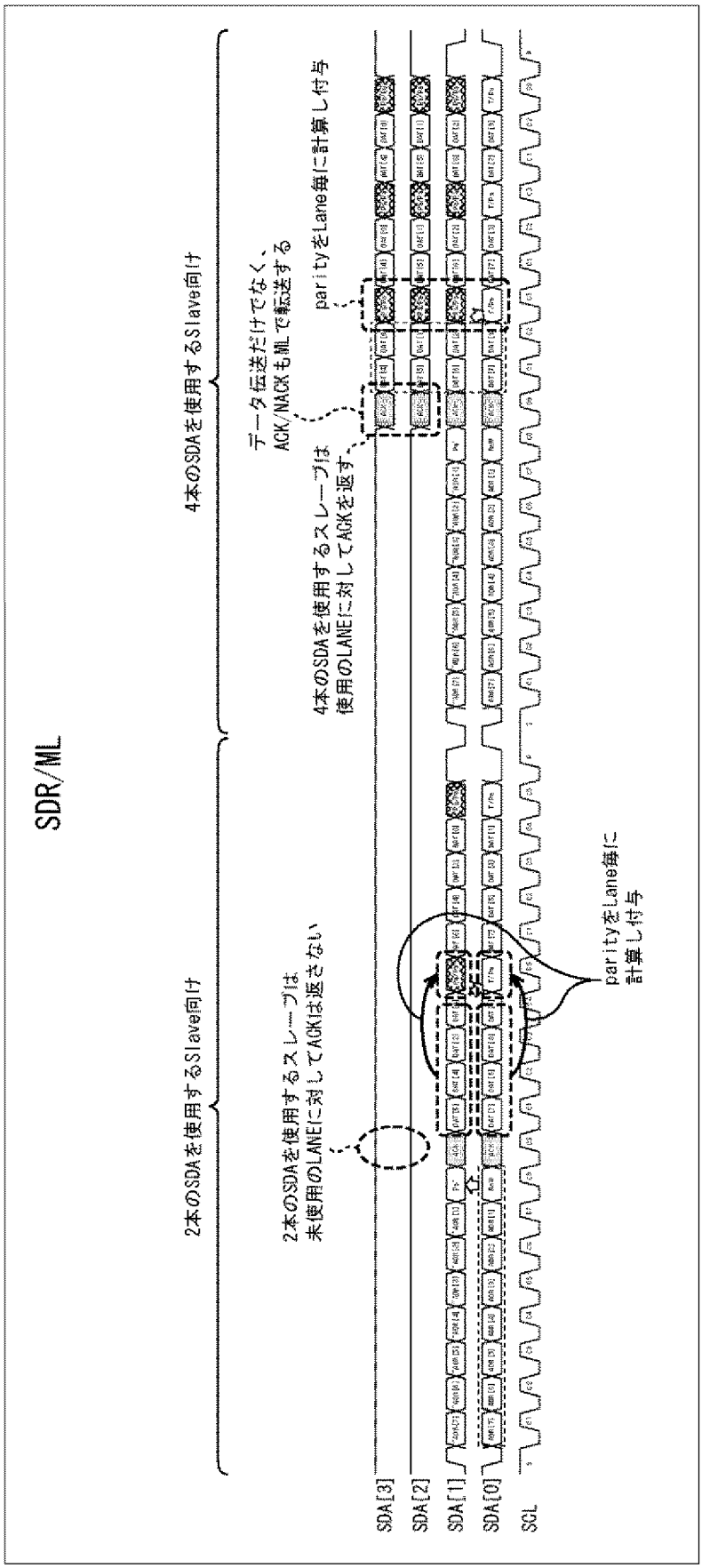
[図2]
FIG. 2


SCL
SDA[0]
SDA[1]
SDA[2]
SDA[3]
12
マスタ
21
送受信部
22
制御部
クロック送受信部
31
データ送受信部
32-0
32-1
32-2
32-3
HLレベル維持部
74-0
74-1
74-2
74-3
71
72
71-0
72-0
71-1
72-1
71-2
72-2
71-3
72-3
op0
is0
op1
is1
op2
is2
op3
is3
73
SCL制御部
75-0
75-1
75-2
75-3
P2S
S2P
76-0
76-1
76-2
76-3
77-0
77-1
77-2
77-3
parity
61
Lane Distribution
62
Lane Merge
81
属制御部
82
エラー検出部
CRC エラー検出器
91
bit反転 エラー検出部
92
コンフリクト エラー検出器
93
プリアンブル エラー検出器
94
パリティ エラー検出器
95
ACK/NACK 検出器
96
エラー検出部
83
84
FSM
ML遷移処理部
33
101
復帰処理部
102
断線検出処理部

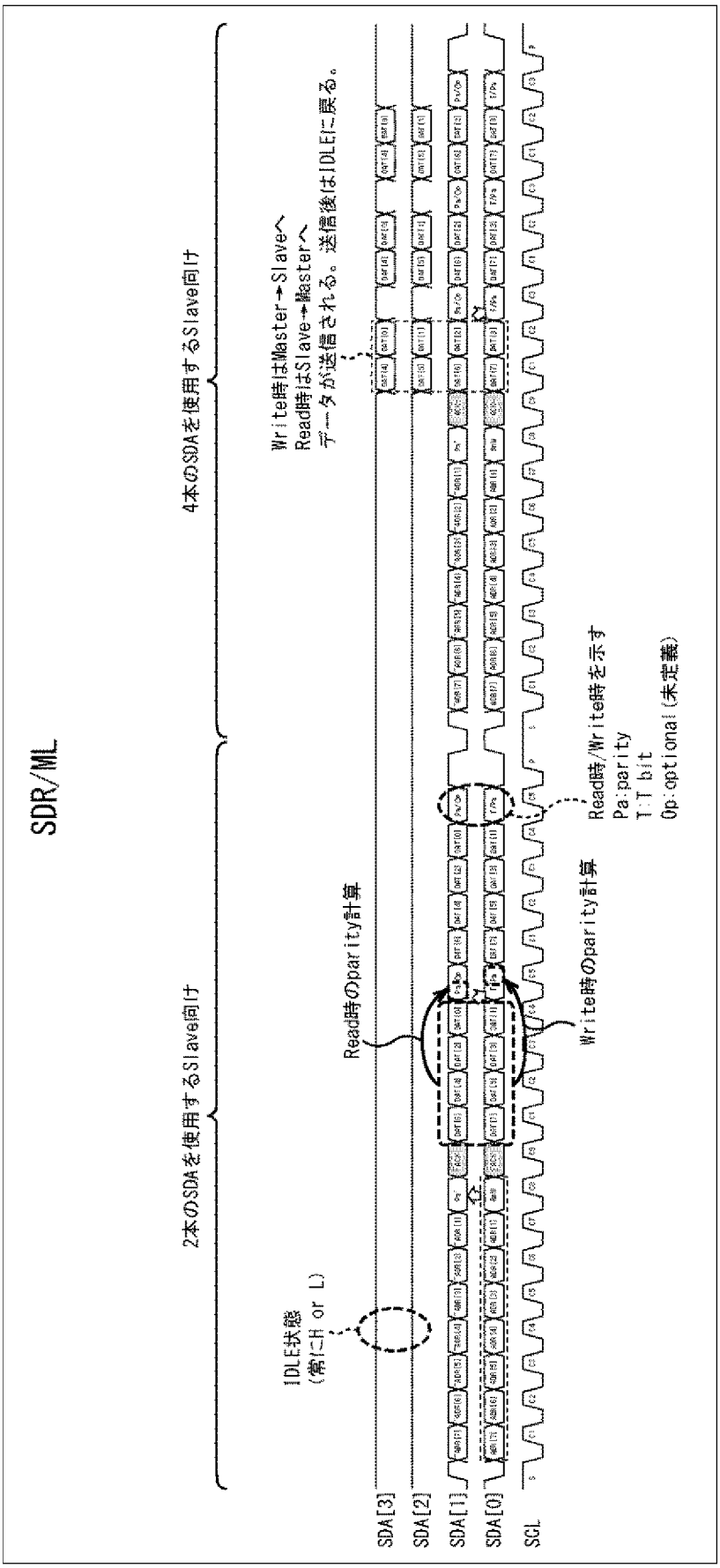
[図3]
FIG. 3


SCL
SDA[0]
SDA[1]
SDA[2]
SDA[3]
13
スレーブ
41
送受信部
51
クロック送受信部
52-0
52-1
52-2
52-3
データ送受信部
HレベルMaintain部
74-0
74-1
74-2
74-3
71
72
71-0
72-0
71-1
72-1
71-2
72-2
71-3
72-3
op0
is0
op1
is1
op2
is2
op3
is3
73
SCL制御部
75-0
75-1
75-2
75-3
P2S
S2P
76-0
76-1
76-2
76-3
77-0
77-1
77-2
77-3
parity
61
Lane Distribution
62
Lane Merge
42
制御部
81
送信制御部
82
エラー検出部
CRCエラー検出器
91
bit反転エラー検出部
92
コンフリクトエラー検出器
93
プリアンブルエラー検出器
94
パリティエラー検出器
95
ACK/NACK検出器
96
I3C規格エラー検出器
97
エラー検出部
83S
84
FSM
ML遷移処理部
53
復帰処理部
101
断線検出処理部
102

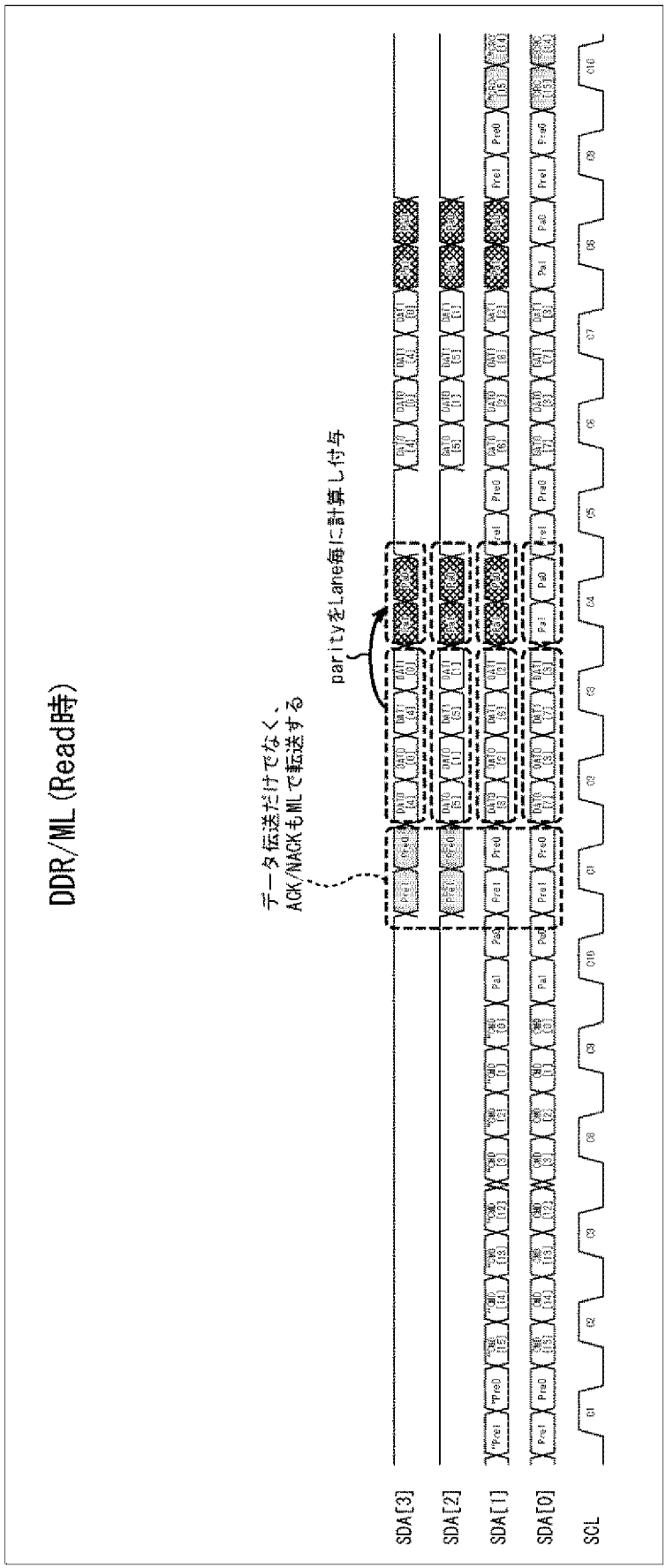
[図4]
FIG. 4


SDR/ML
2本のSDAを使用するSlave向け
4本のSDAを使用するSlave向け
2本のSDAを使用するスレーブは
未使用のLANEに対してAckは返さない
4本のSDAを使用するスレーブは
使用のLANEに対してAckを返す
データ伝送だけでなく、
Ack/NAckもMLで転送する
parityをLane毎に計算し付与
parityをLane毎に
計算し付与
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

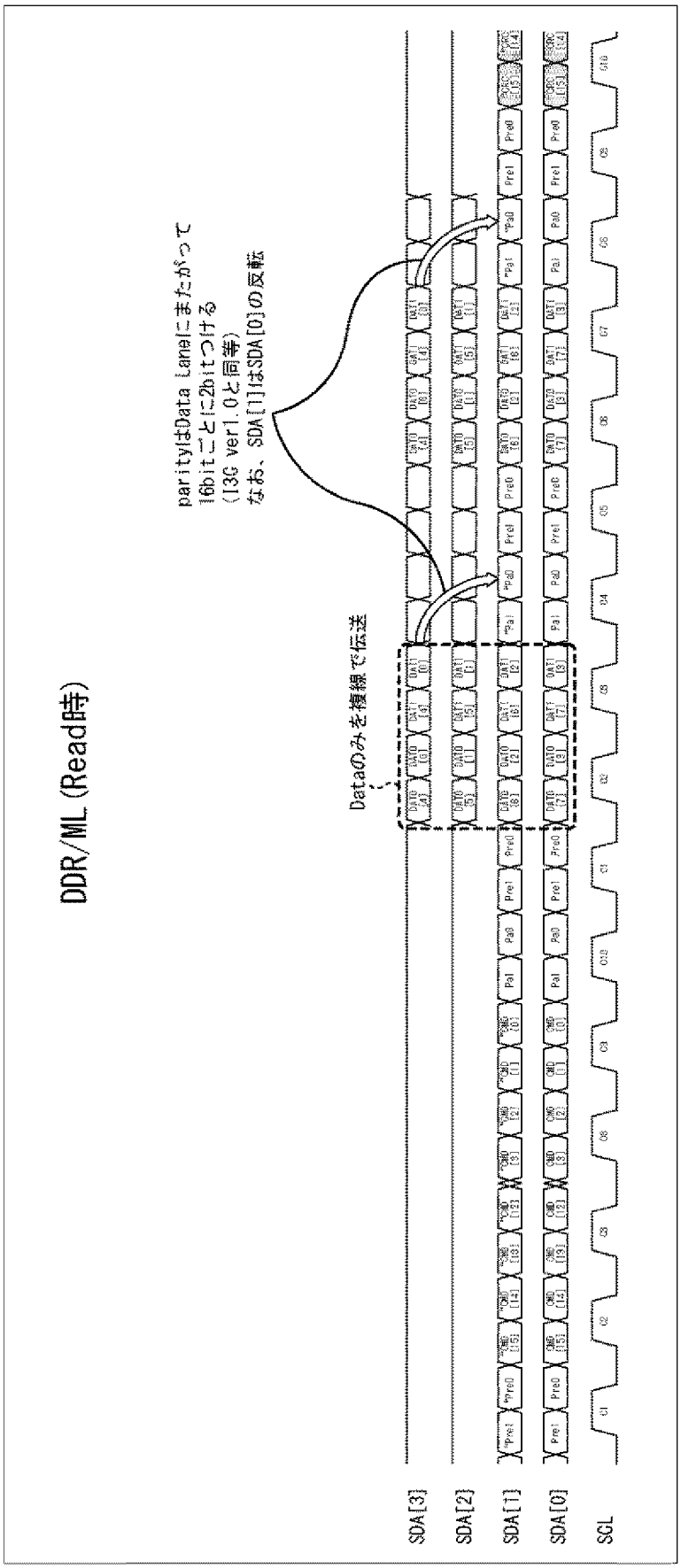
[図5]
FIG. 5


SDR/ML
2本のSDAを使用するSlave向け
4本のSDAを使用するSlave向け
IDLE状態
(常にH or L)
Read時のparity計算
Write時はMaster→Slaveへ
Read時はSlave→Masterへ
データが送信される。送信後はIDLEに戻る。
Write時のparity計算
Read時/Write時を示す
Pa:parity
T:T bit
Op:optional(未定義)
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

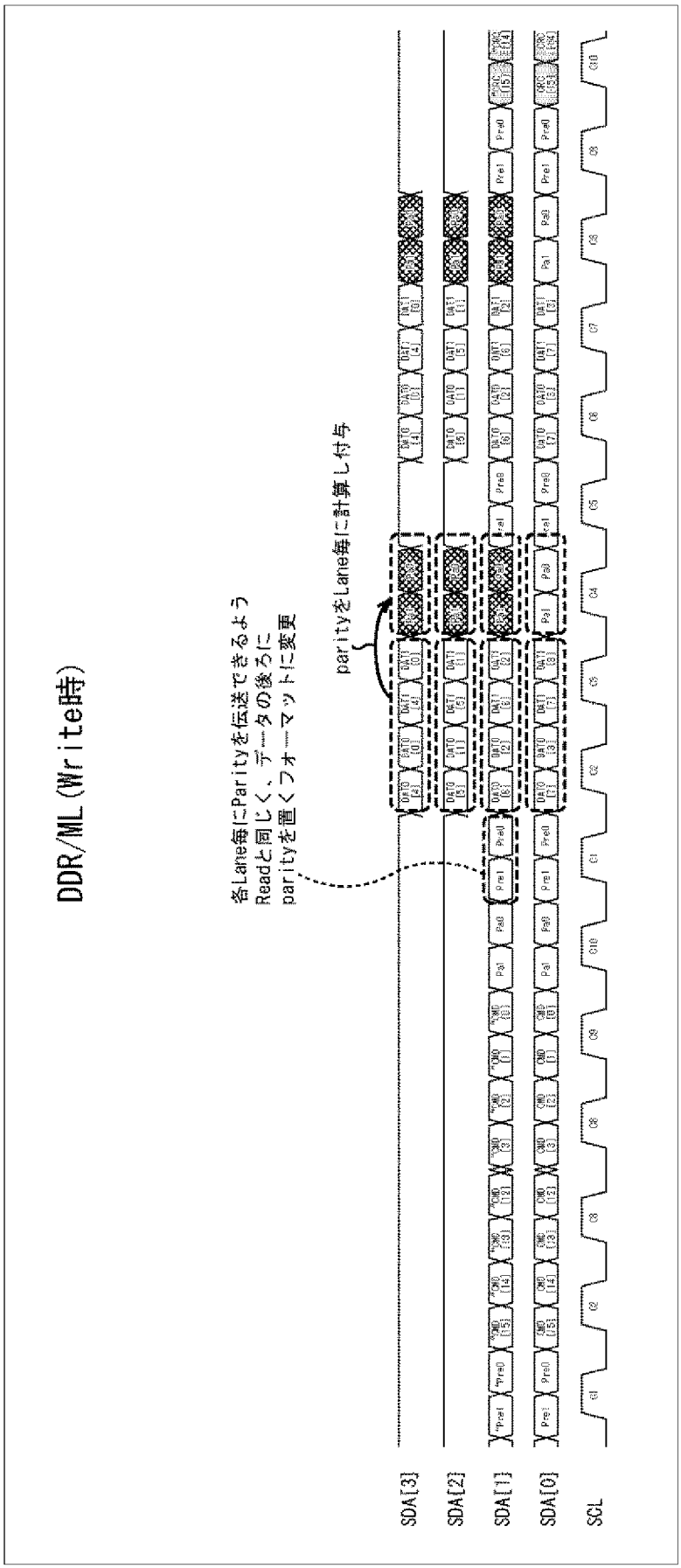
[図6]
FIG. 6


DDR/ML (Read時)
データ伝送だけでなく、
ACK/NACKもMLで転送する
parityをLane毎に計算し付与
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

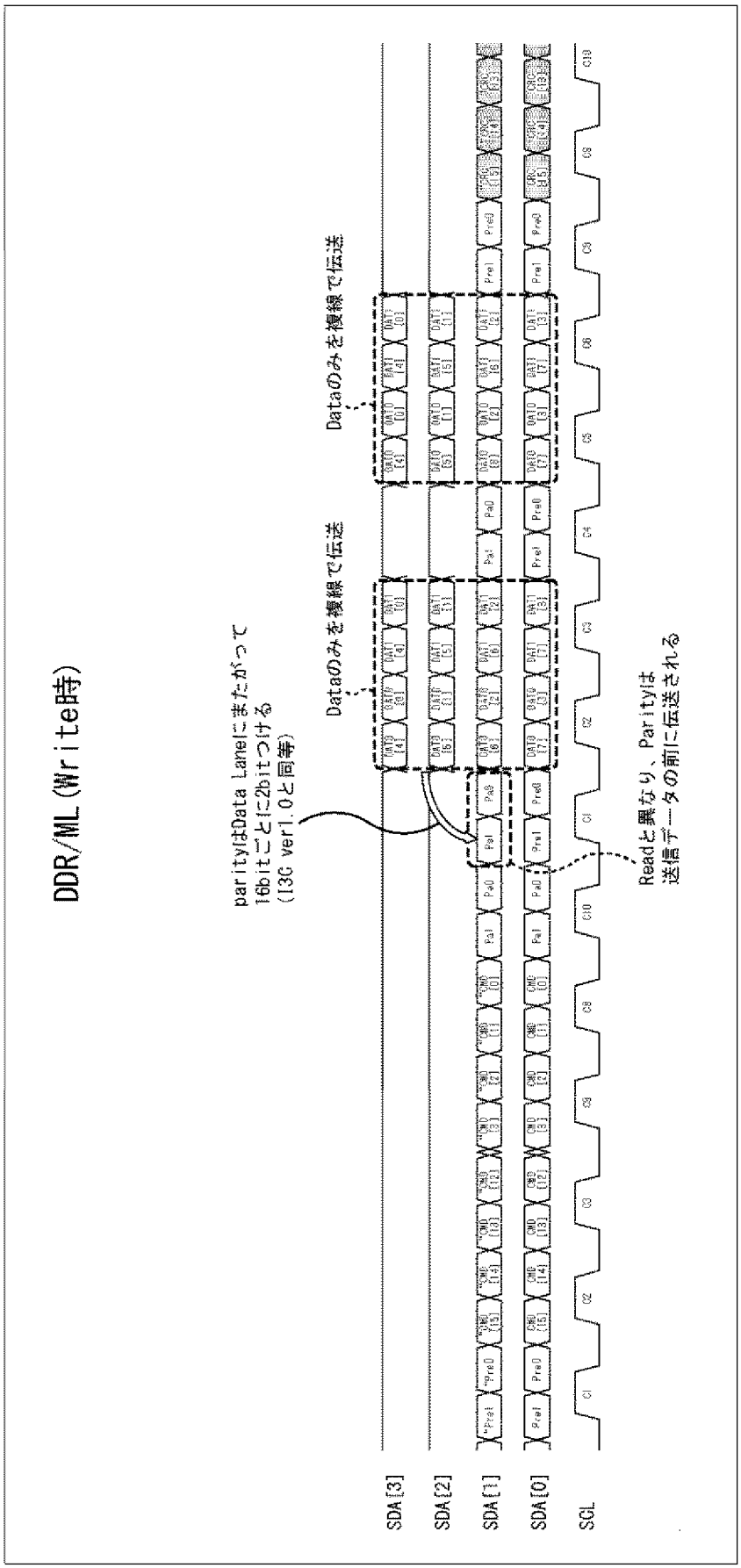
[図7]
FIG. 7


DDR/ML (Read時)
Dataのみを複線で伝送
parityはData Lanelにまたがって
16bitごとに2bitつける
(I3C ver1.0と同等)
なお、SDA[1]はSDA[0]の反転
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

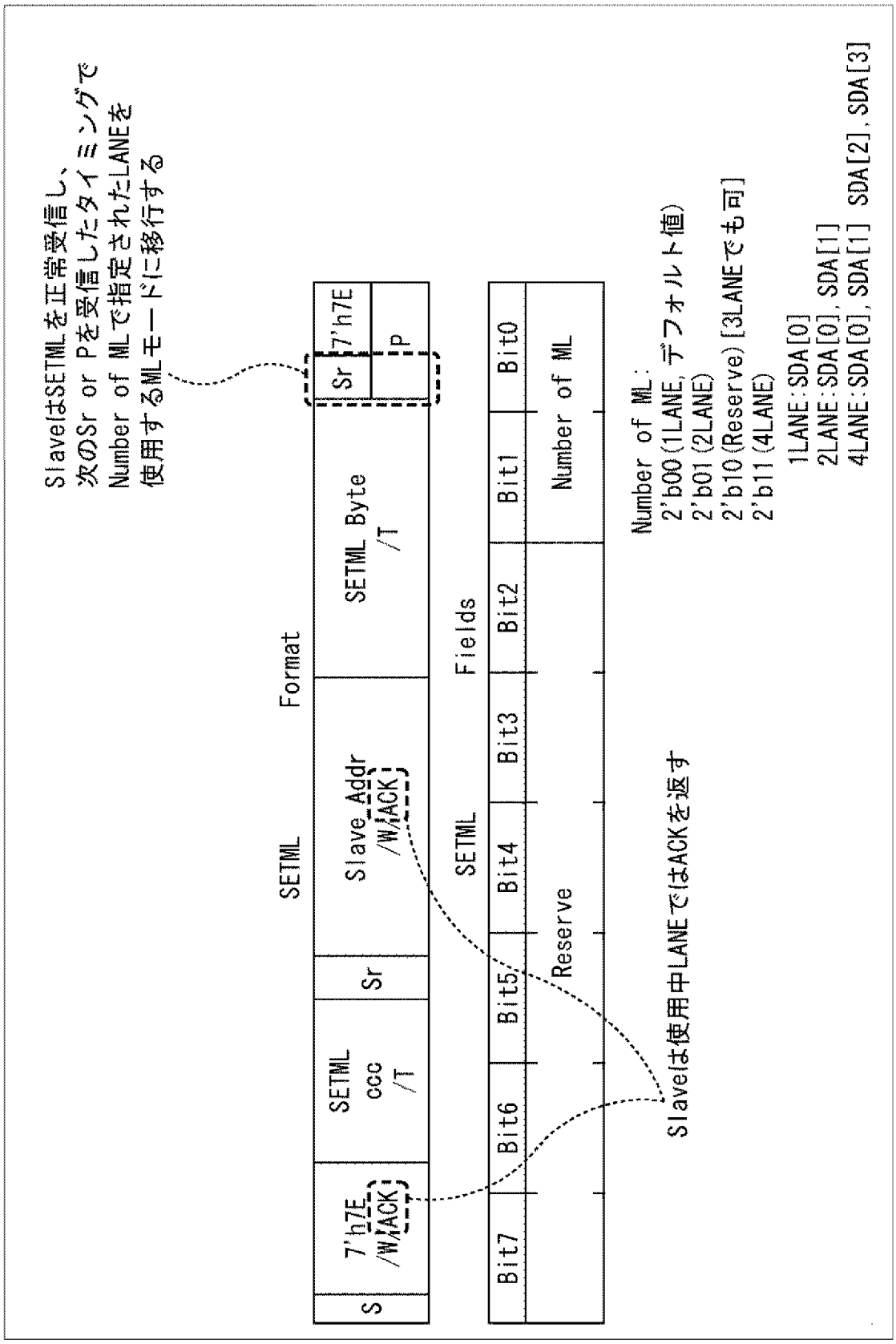
[図8]
FIG. 8


DDR/ML (Write時)
各Lane毎にParityを伝送できるよう
Readと同じく、データの後ろに
parityを置くフォーマットに変更
parityをLane毎に計算し付与
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

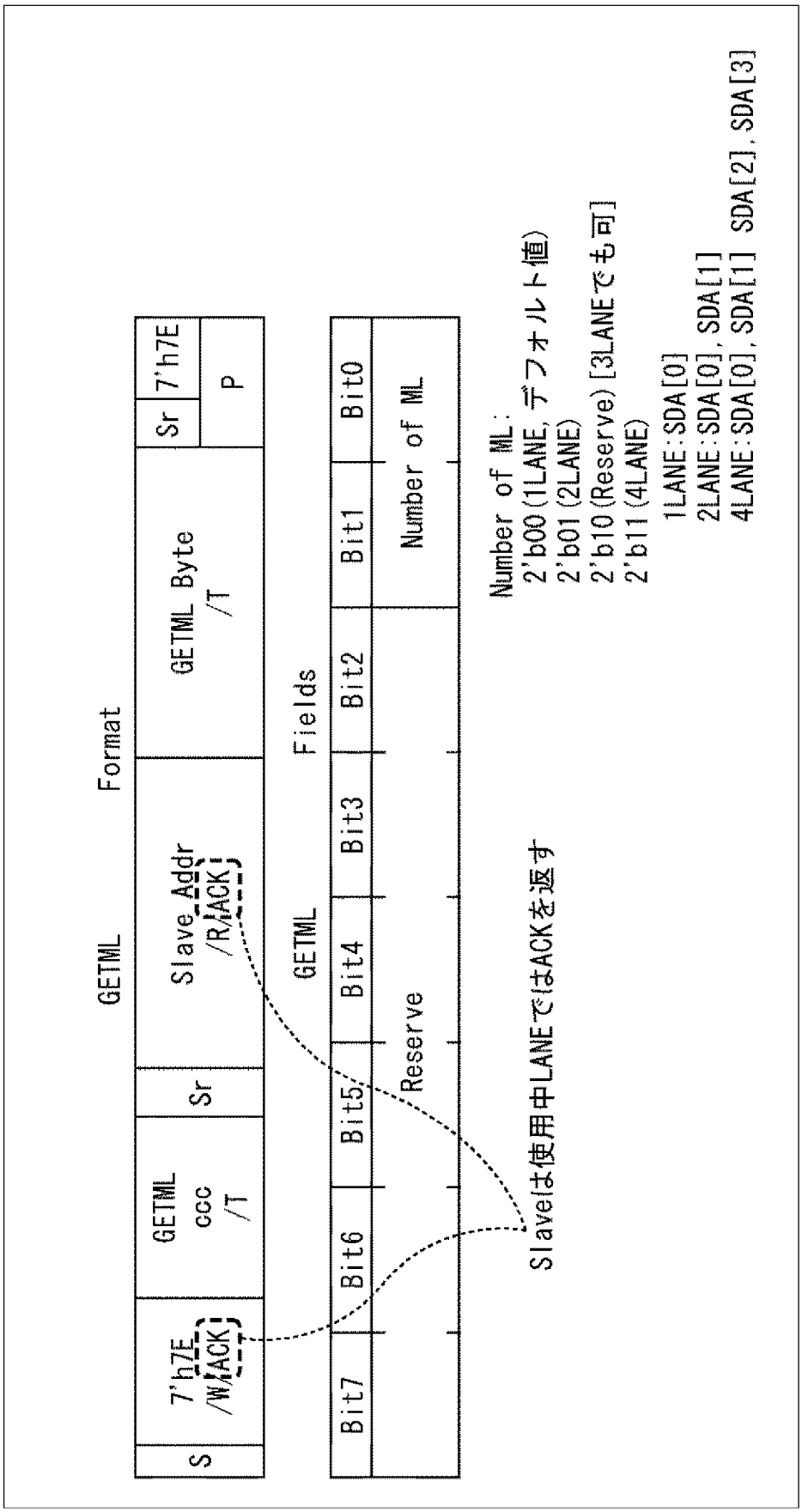
[図9]
FIG. 9


DDR/ML (Write時)
parityはData Lanelにまたがって
16bitごとに2bitつける
(I3C ver1.0と同等)
Dataのみを複線で伝送
Dataのみを複線で伝送
Readと異なり、Parityは
送信データの前に伝送される
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

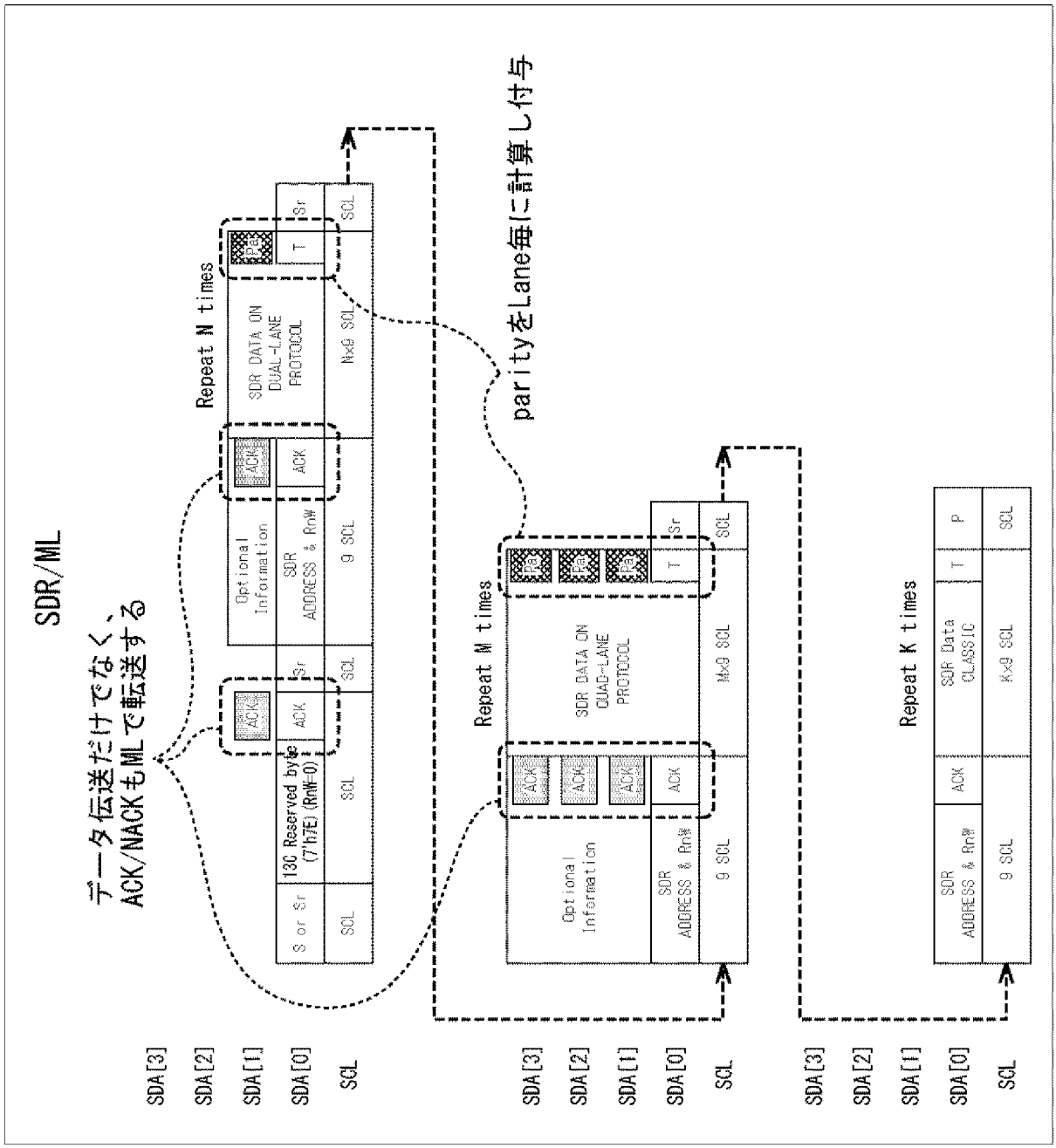
[図10]
FIG. 10


SlaveはSETMLを正常受信し、
次のSr or Pを受信したタイミングで
Number of MLで指定されたLANEを
使用するMLモードに移行する
SETML Format
S
7'h7E /W/ACK
SETML ccc /T
Sr
Slave_Addr /W/ACK
SETML Byte /T
Sr
7'h7E
P
SETML Fields
Bit7
Bit6
Bit5
Bit4
Bit3
Bit2
Bit1
Bit0
Reserve
Number of ML
Slaveは使用中LANEではACKを返す
Number of ML:
2'b00 (1LANE, デフォルト値)
2'b01 (2LANE)
2'b10 (Reserve) [3LANEでも可]
2'b11 (4LANE)
1LANE:SDA[0]
2LANE:SDA[0], SDA[1]
4LANE:SDA[0], SDA[1] SDA[2], SDA[3]

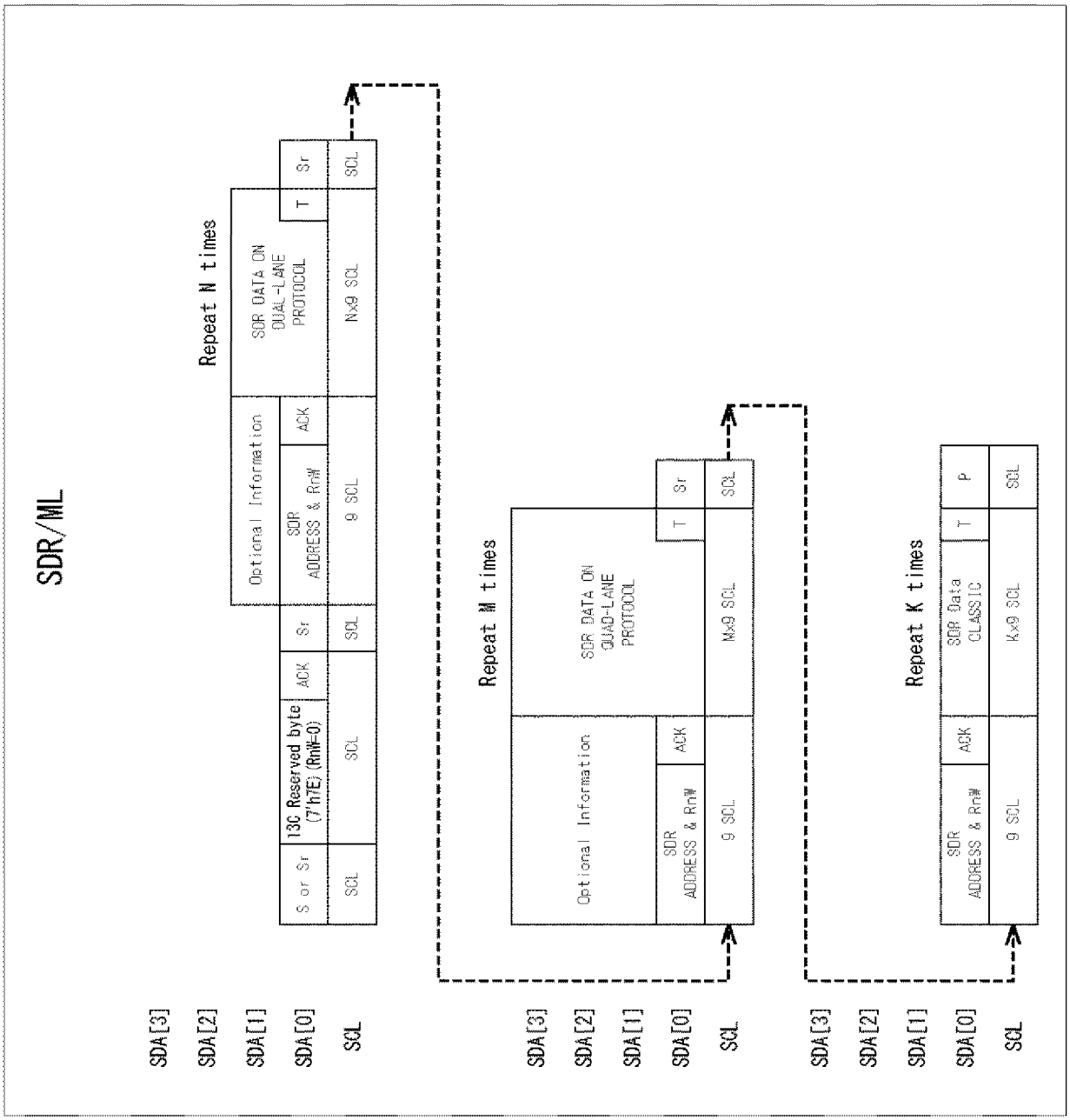
[図11]
FIG. 11


GETML Format
S
7'h7E /W/ACK
GETML ccc /T
Sr
Slave_Addr /R/ACK
GETML Byte /T
Sr
7'h7E
P
GETML Fields
Bit7
Bit6
Bit5
Bit4
Bit3
Bit2
Bit1
Bit0
Reserve
Number of ML
Slaveは使用中LANEではACKを返す
Number of ML:
2'b00 (1LANE, デフォルト値)
2'b01 (2LANE)
2'b10 (Reserve) [3LANEでも可]
2'b11 (4LANE)
1LANE:SDA[0]
2LANE:SDA[0], SDA[1]
4LANE:SDA[0], SDA[1] SDA[2], SDA[3]

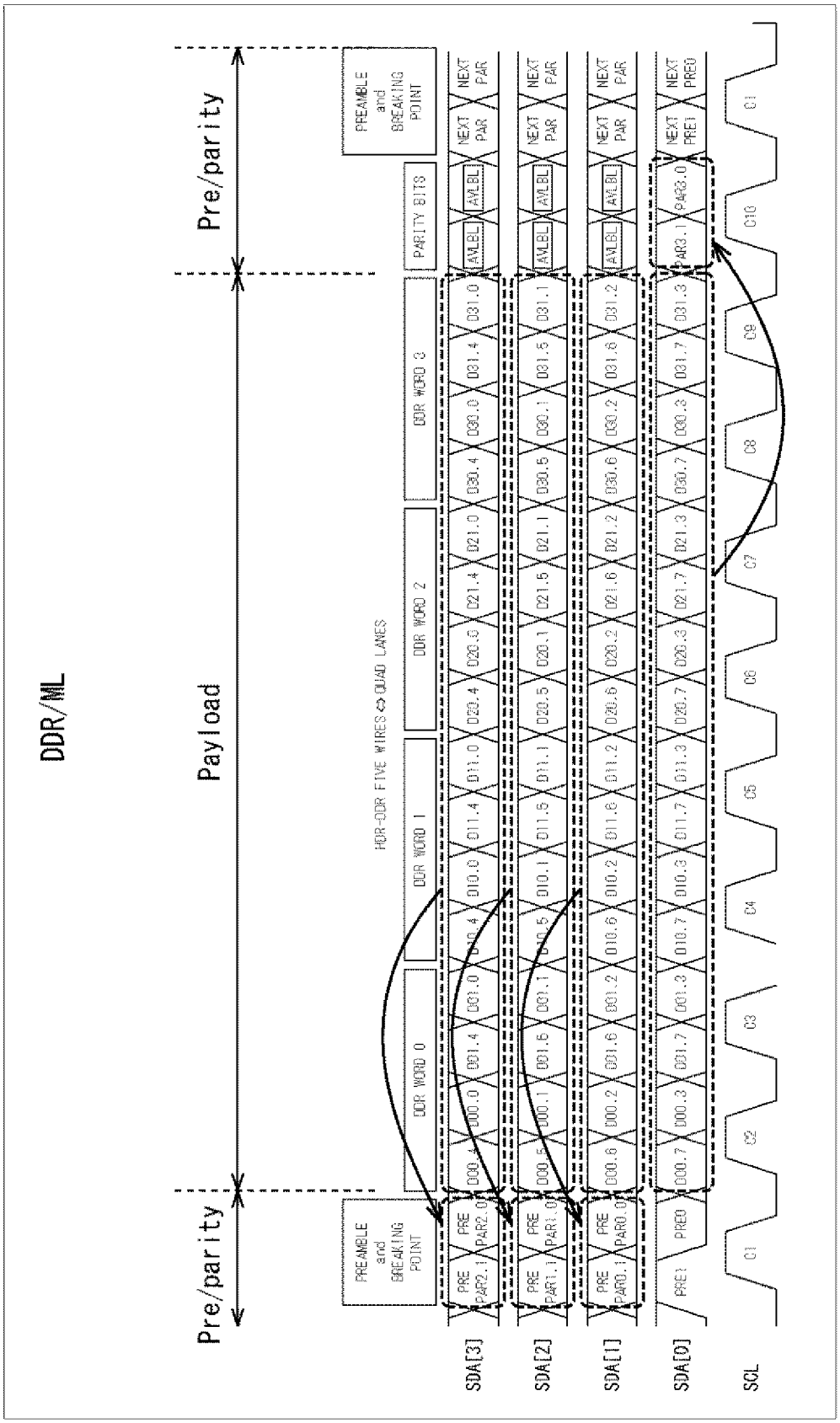
[図12]
FIG. 12


SDR/ML
データ伝送だけでなく、
ACK/NACKもMLで転送する
parityをLane毎に計算し付与
Repeat N times
Repeat M times
Repeat K times
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL
S or Sr
SCL
13C Reserved byte (7'h7E) (RnW-0)
ACK
Sr
Optional Information
SDR ADDRESS & RnW
9 SCL
SDR DATA ON DUAL-LANE PROTOCOL
Nx9 SCL
T
P
SDR DATA ON QUAD-LANE PROTOCOL
Mx9 SCL
SDR Data CLASSIC
Kx9 SCL

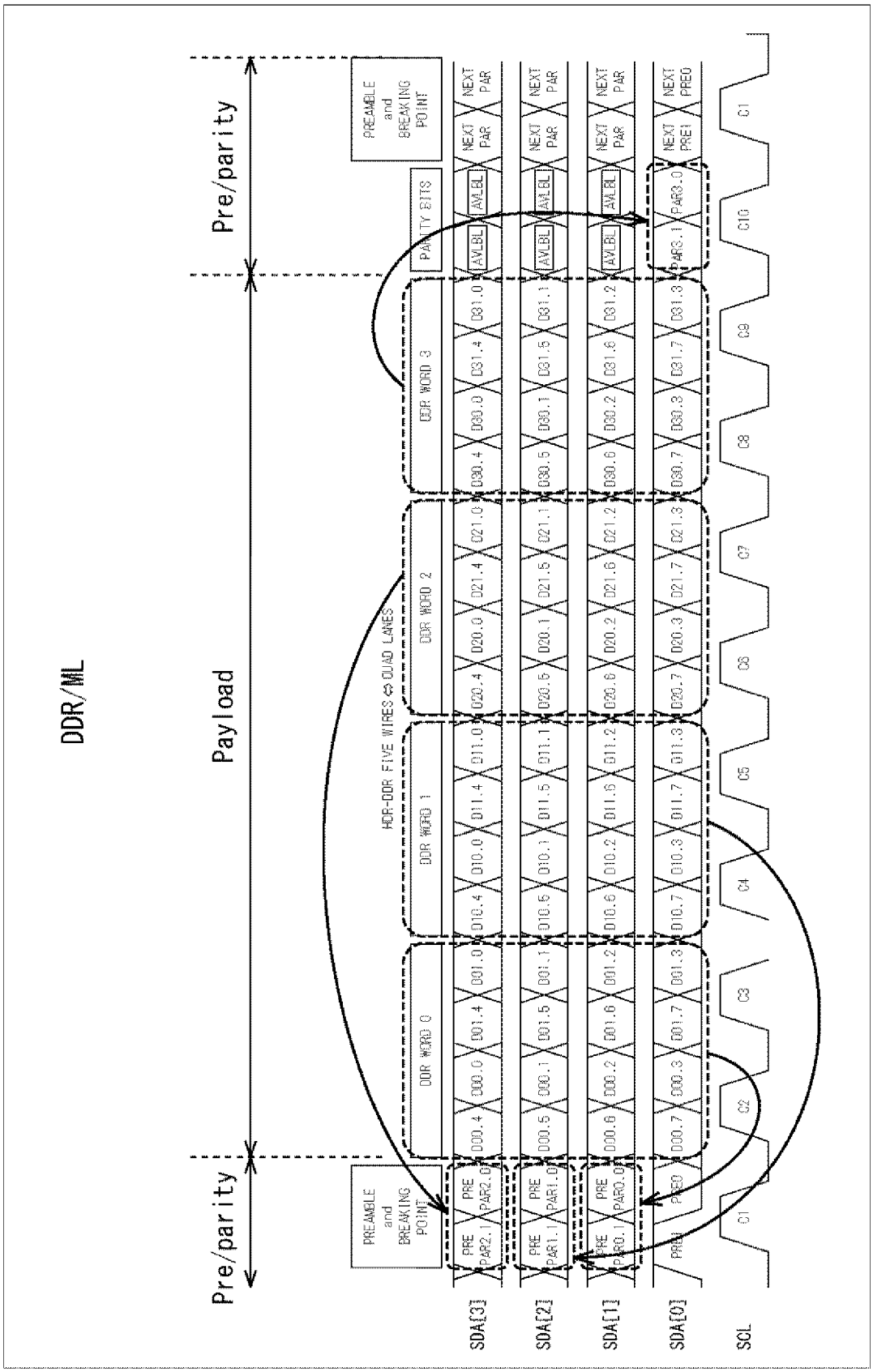
[図13]
FIG. 13


SDR/ML
Repeat N times
Repeat M times
Repeat K times
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL
S or Sr
SCL
13C Reserved byte (7'h7E) (RnW=0)
ACK
Sr
SDR ADDRESS & RnW
Optional Information
SDR DATA ON QUAD-LANE PROTOCOL
T
P
9 SCL
N×9 SCL
M×9 SCL
K×9 SCL
SDP Data CLASSIC

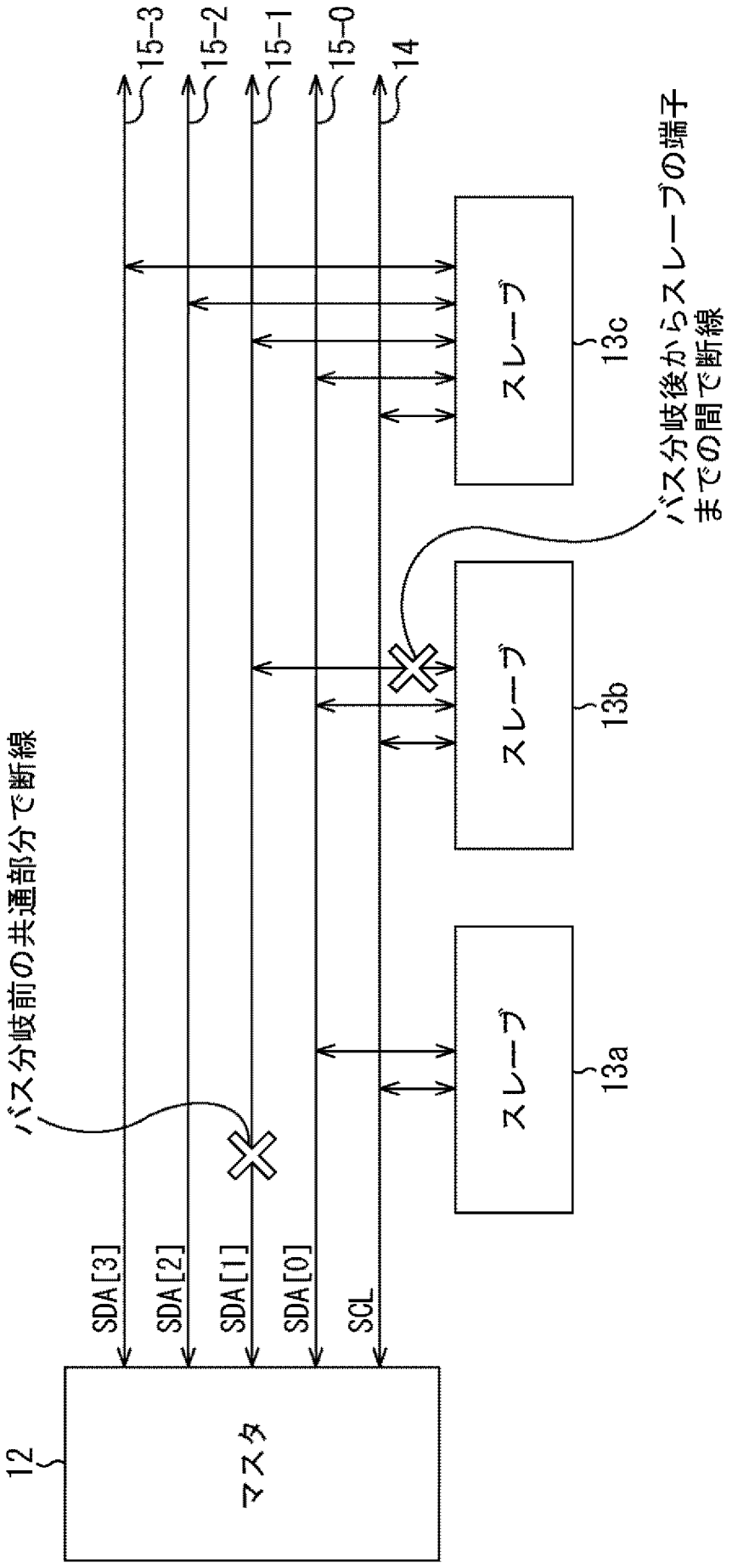
[図14]
FIG. 14


DDR/ML
Payload
Pre/parity
Pre/parity
HDR-QDR FIVE WIRES ⇔ QUAD LANES
PREAMBLE and BREAKING POINT
PARITY BITS
DDR WORD 0
DDR WORD 1
DDR WORD 2
DDR WORD 3
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

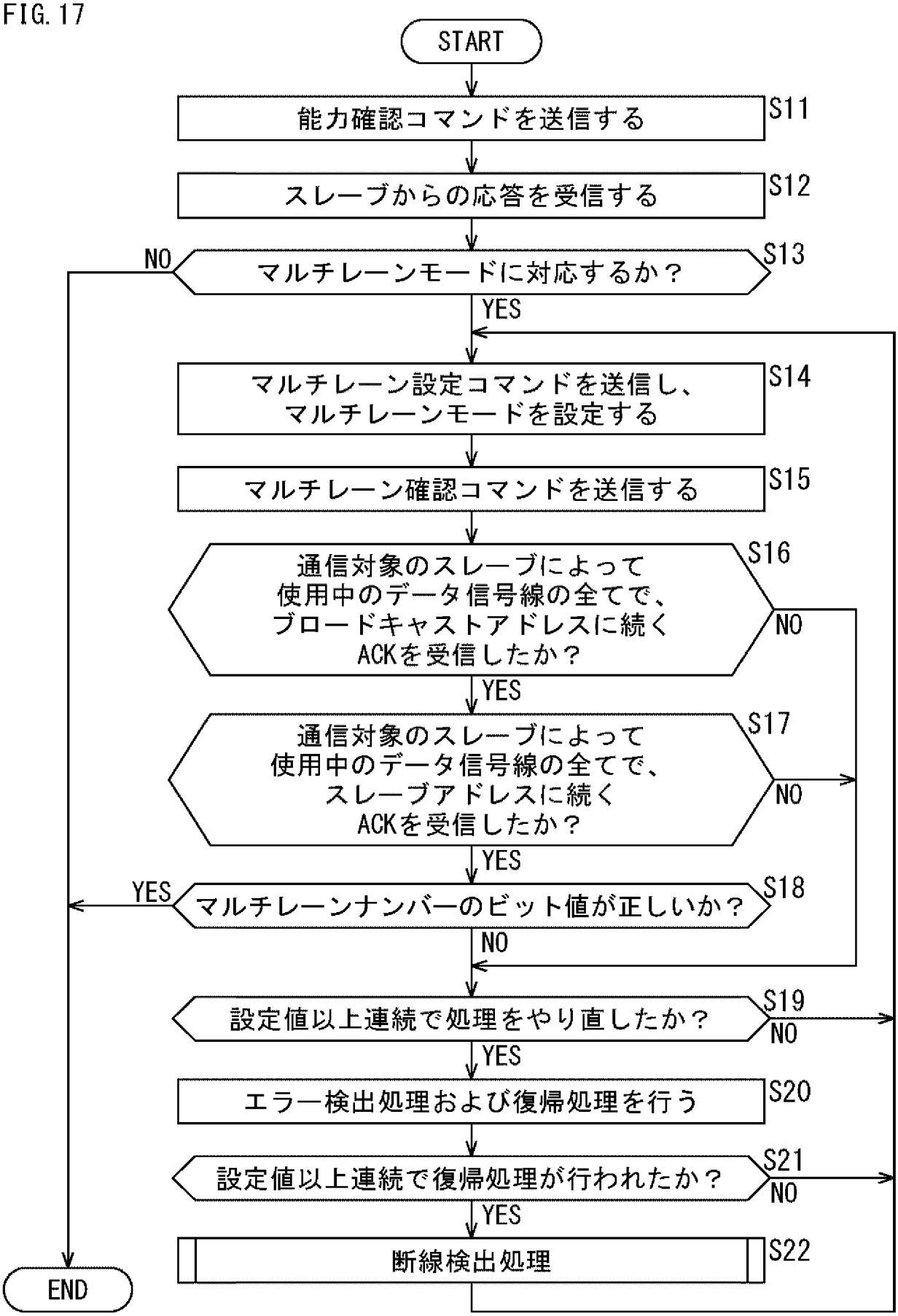
[図15]
FIG. 15


DDR/ML
Payload
Pre/parity
Pre/parity
PREAMBLE and BREAKING POINT
PREAMBLE and BREAKING POINT
PARITY BITS
HDR-DDR FIVE WIRES ⇔ QUAD LANES
DDR WORD 0
DDR WORD 1
DDR WORD 2
DDR WORD 3
NEXT PAR
AVLBL
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL

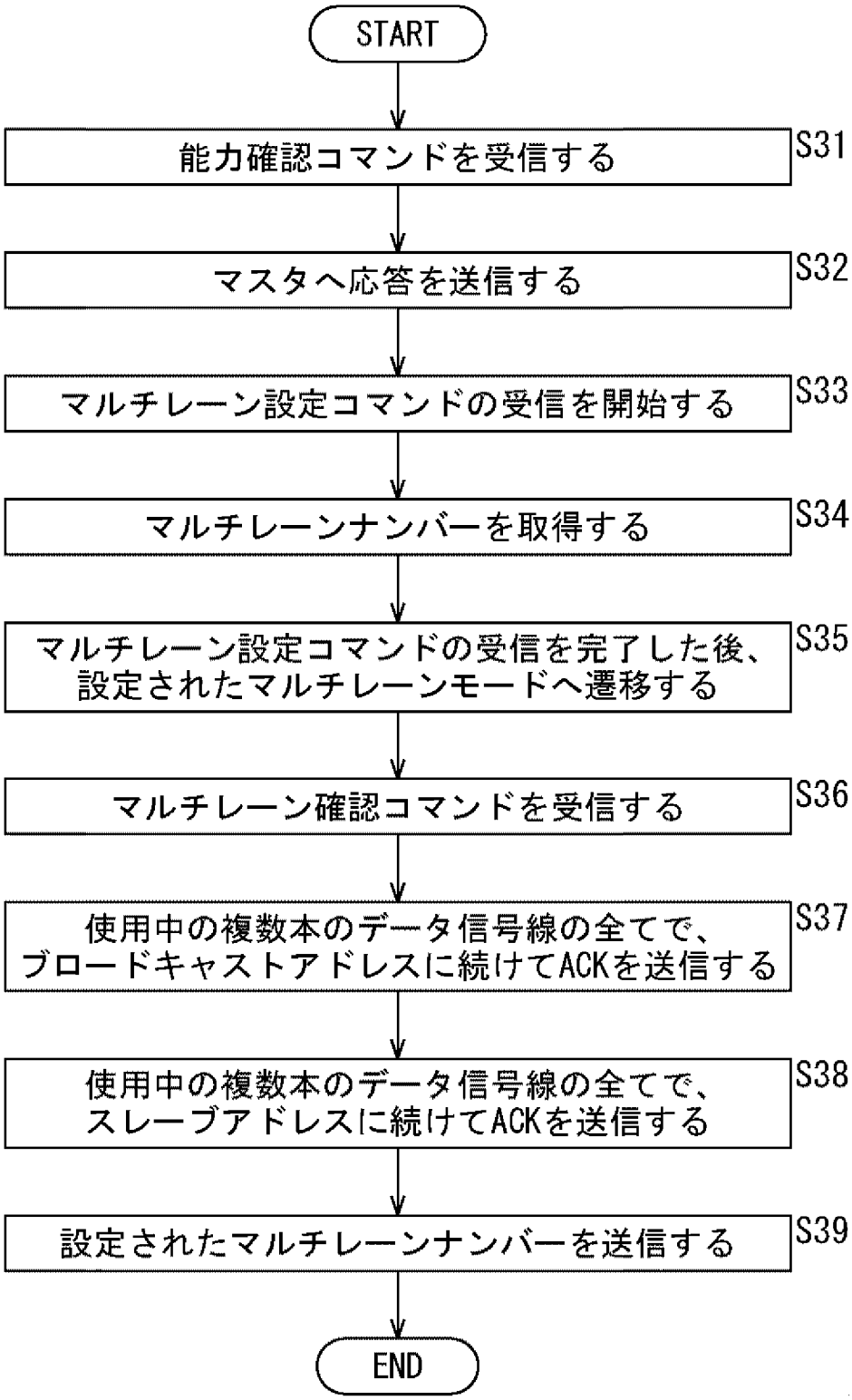
[図16]
FIG. 16


11
12
マスタ
SDA[3]
SDA[2]
SDA[1]
SDA[0]
SCL
15-3
15-2
15-1
15-0
14
スレーブ
13a
スレーブ
13b
スレーブ
13c
バス分岐前の共通部分で断線
バス分岐後からスレーブの端子
までの間で断線

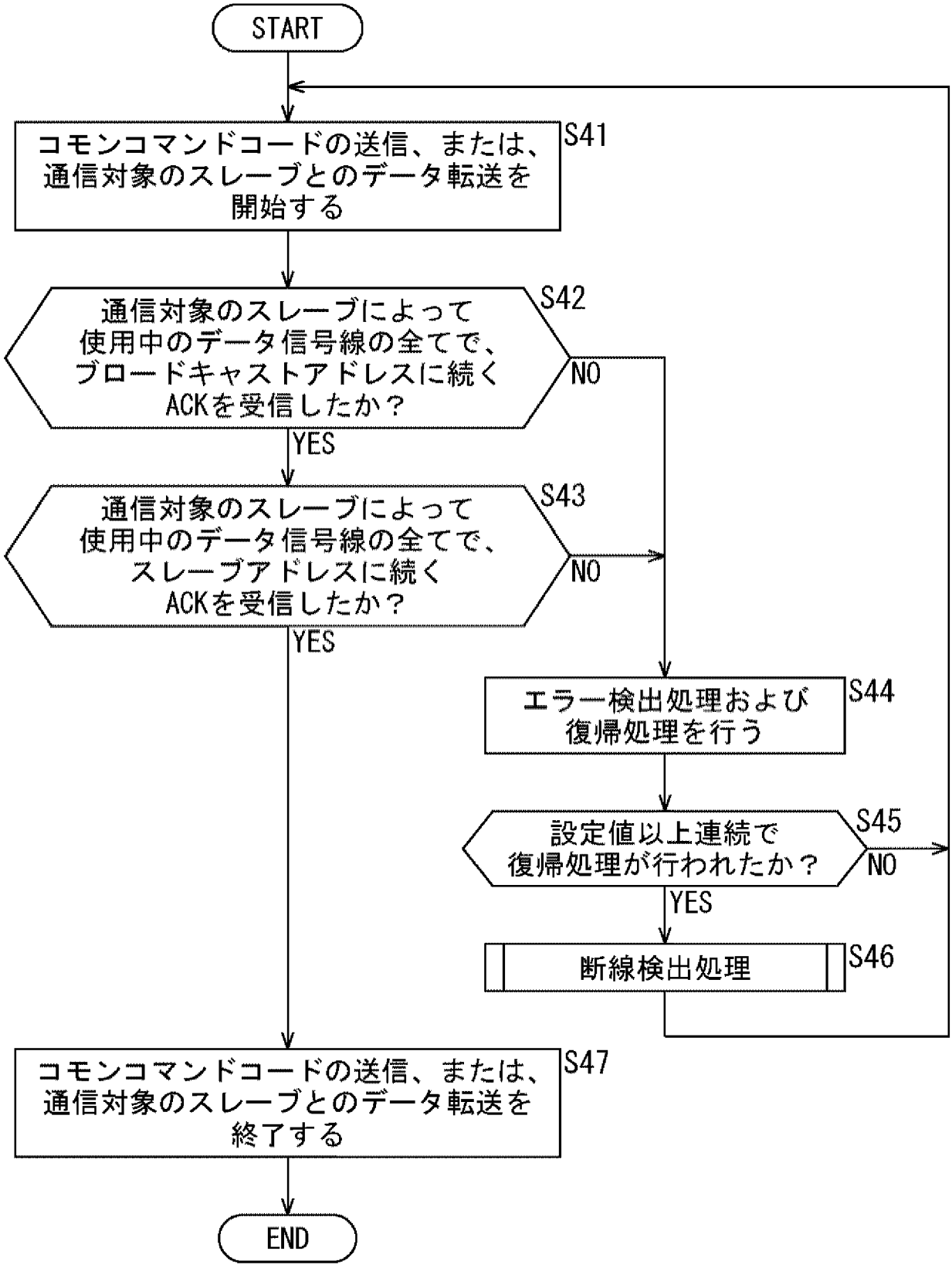
[図17]
FIG. 17


START
能力確認コマンドを送信する
S11
スレーブからの応答を受信する
S12
NO
マルチレーンモードに対応するか？
S13
YES
マルチレーン設定コマンドを送信し、
マルチレーンモードを設定する
S14
マルチレーン確認コマンドを送信する
S15
通信対象のスレーブによって
使用中のデータ信号線の全てで、
ブロードキャストアドレスに続く
ACKを受信したか？
S16
NO
YES
通信対象のスレーブによって
使用中のデータ信号線の全てで、
スレーブアドレスに続く
ACKを受信したか？
S17
NO
YES
YES
マルチレーンナンバーのビット値が正しいか？
S18
NO
設定値以上連続で処理をやり直したか？
S19
NO
YES
エラー検出処理および復帰処理を行う
S20
設定値以上連続で復帰処理が行われたか？
S21
NO
YES
断線検出処理
S22
END

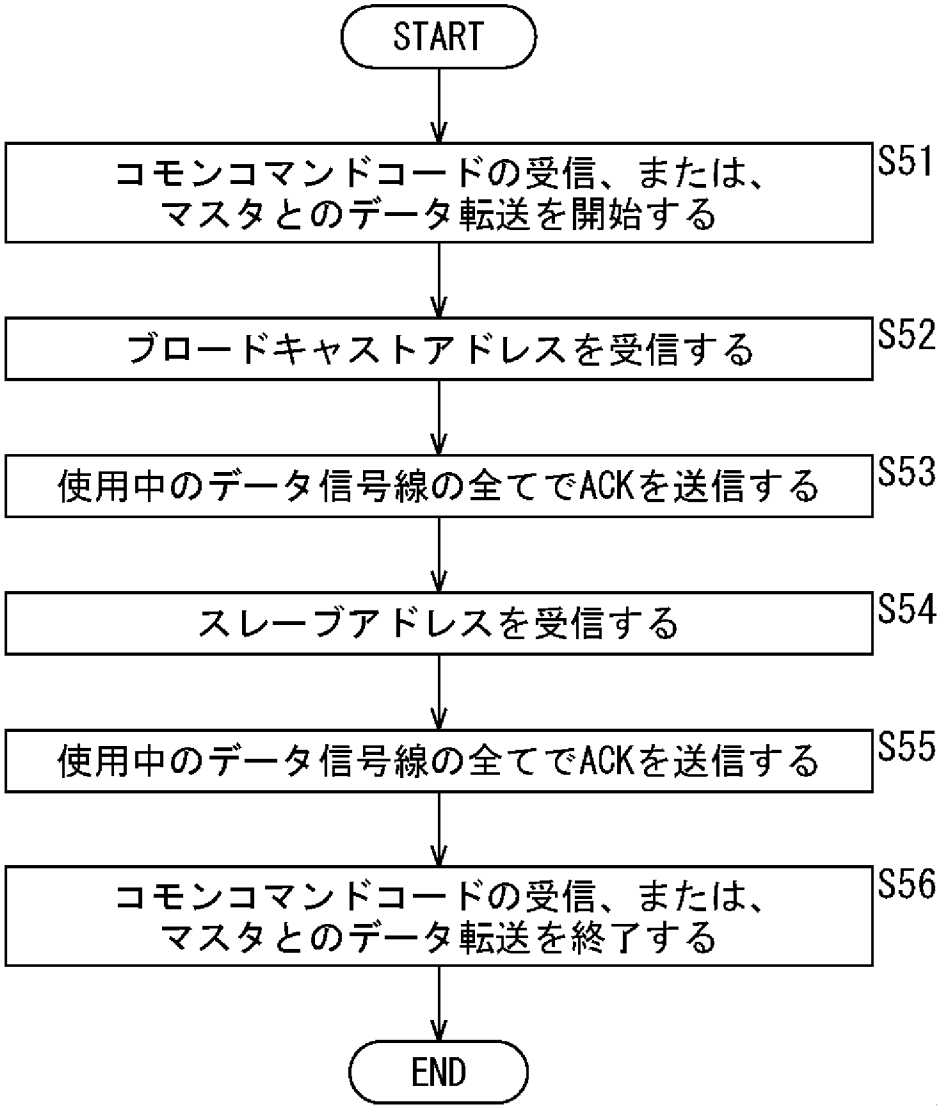
[図18]
FIG. 18


START
能力確認コマンドを受信する
S31
マスタへ応答を送信する
S32
マルチレーン設定コマンドの受信を開始する
S33
マルチレーンナンバーを取得する
S34
マルチレーン設定コマンドの受信を完了した後、
設定されたマルチレーンモードへ遷移する
S35
マルチレーン確認コマンドを受信する
S36
使用中の複数本のデータ信号線の全てで、
ブロードキャストアドレスに続けてACKを送信する
S37
使用中の複数本のデータ信号線の全てで、
スレーブアドレスに続けてACKを送信する
S38
設定されたマルチレーンナンバーを送信する
S39
END

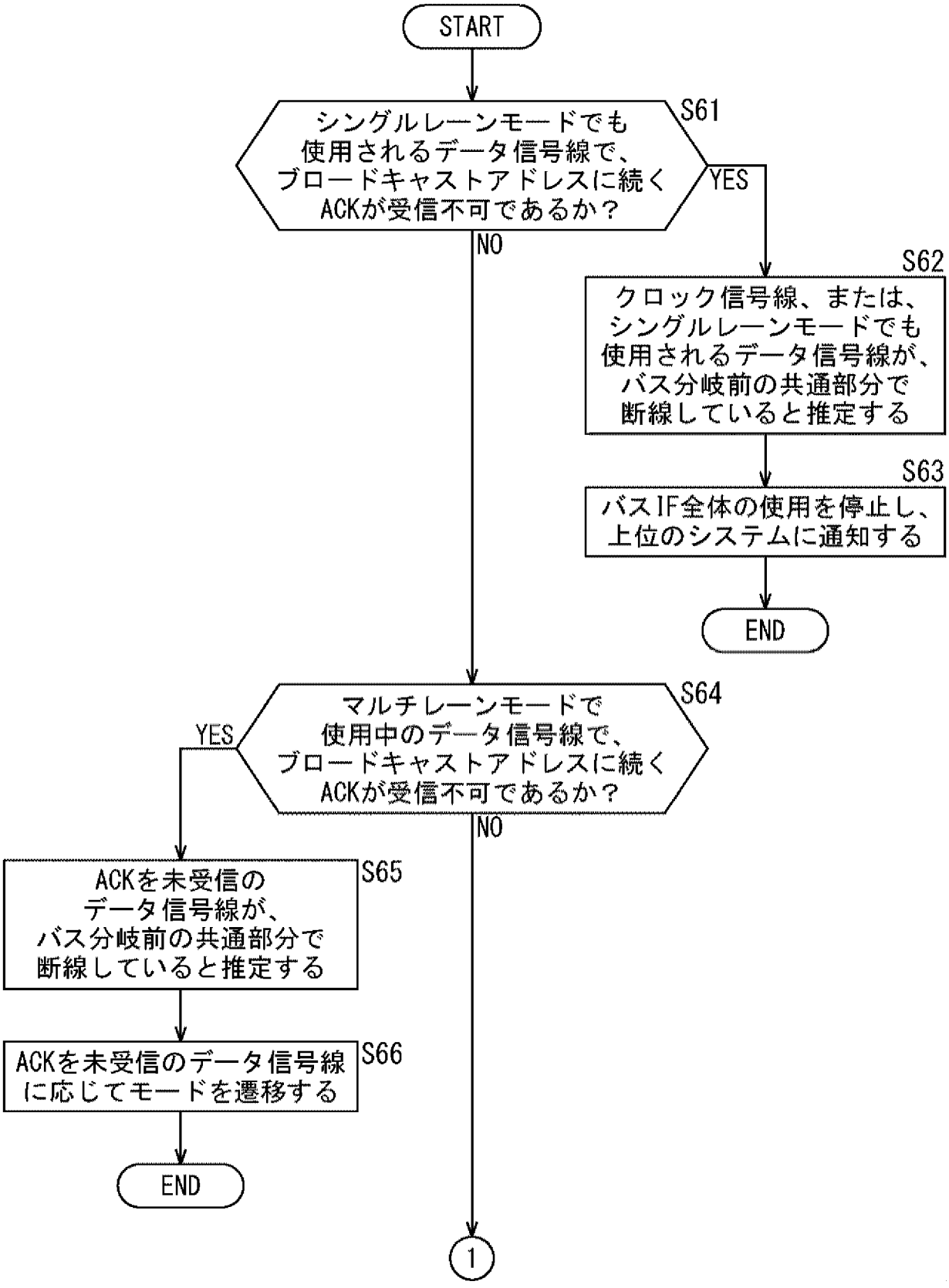
[図19]
FIG. 19


START
コモンコマンドコードの送信、または、通信対象のスレーブとのデータ転送を開始する
S41
通信対象のスレーブによって使用中のデータ信号線の全てで、ブロードキャストアドレスに続くACKを受信したか？
S42
NO
YES
通信対象のスレーブによって使用中のデータ信号線の全てで、スレーブアドレスに続くACKを受信したか？
S43
NO
YES
エラー検出処理および復帰処理を行う
S44
設定値以上連続で復帰処理が行われたか？
S45
NO
YES
断線検出処理
S46
コモンコマンドコードの送信、または、通信対象のスレーブとのデータ転送を終了する
S47
END

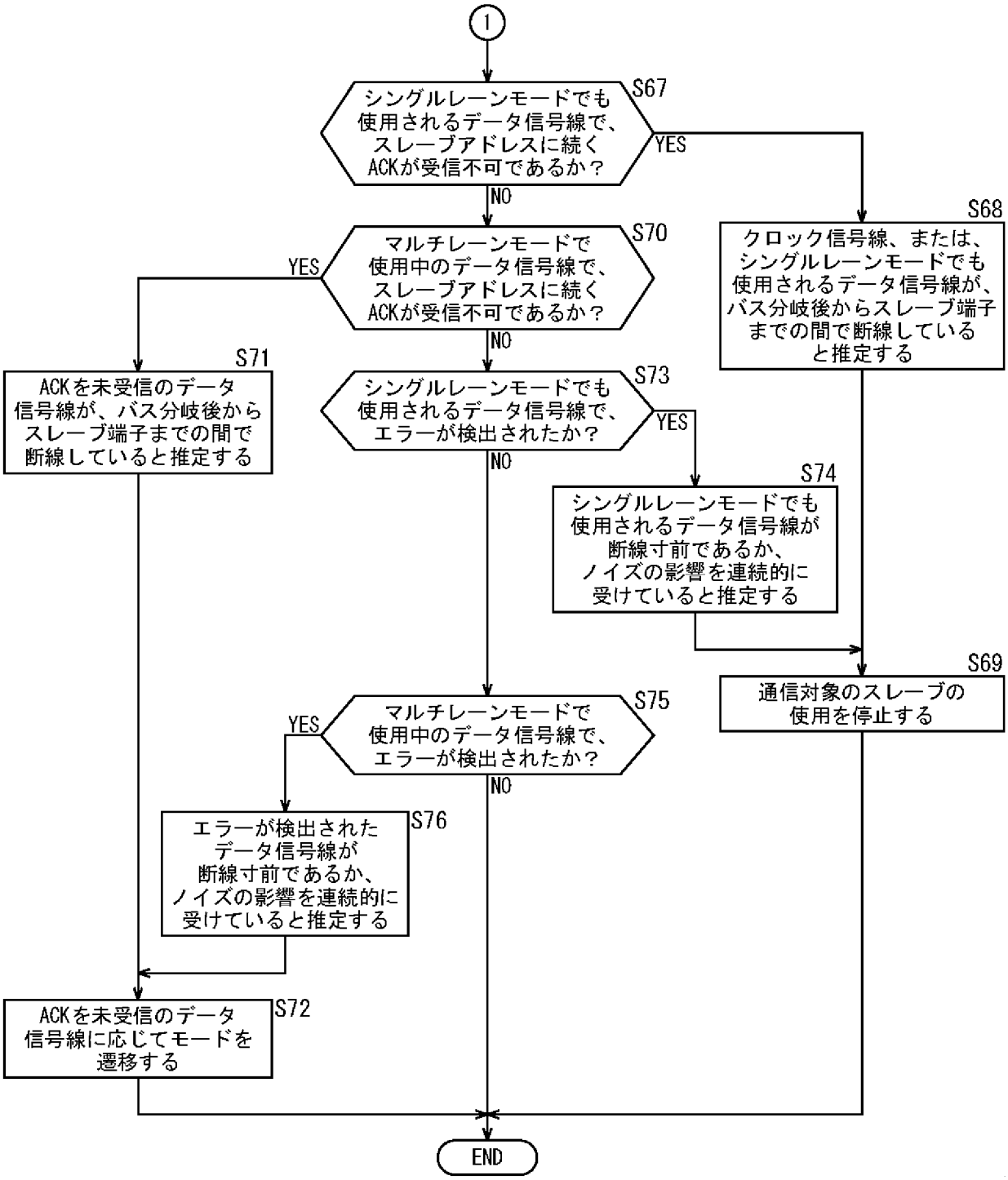
[図20]
FIG. 20


START
コモンコマンドコードの受信、または、
マスタとのデータ転送を開始する
S51
ブロードキャストアドレスを受信する
S52
使用中のデータ信号線の全てでACKを送信する
S53
スレーブアドレスを受信する
S54
使用中のデータ信号線の全てでACKを送信する
S55
コモンコマンドコードの受信、または、
マスタとのデータ転送を終了する
S56
END

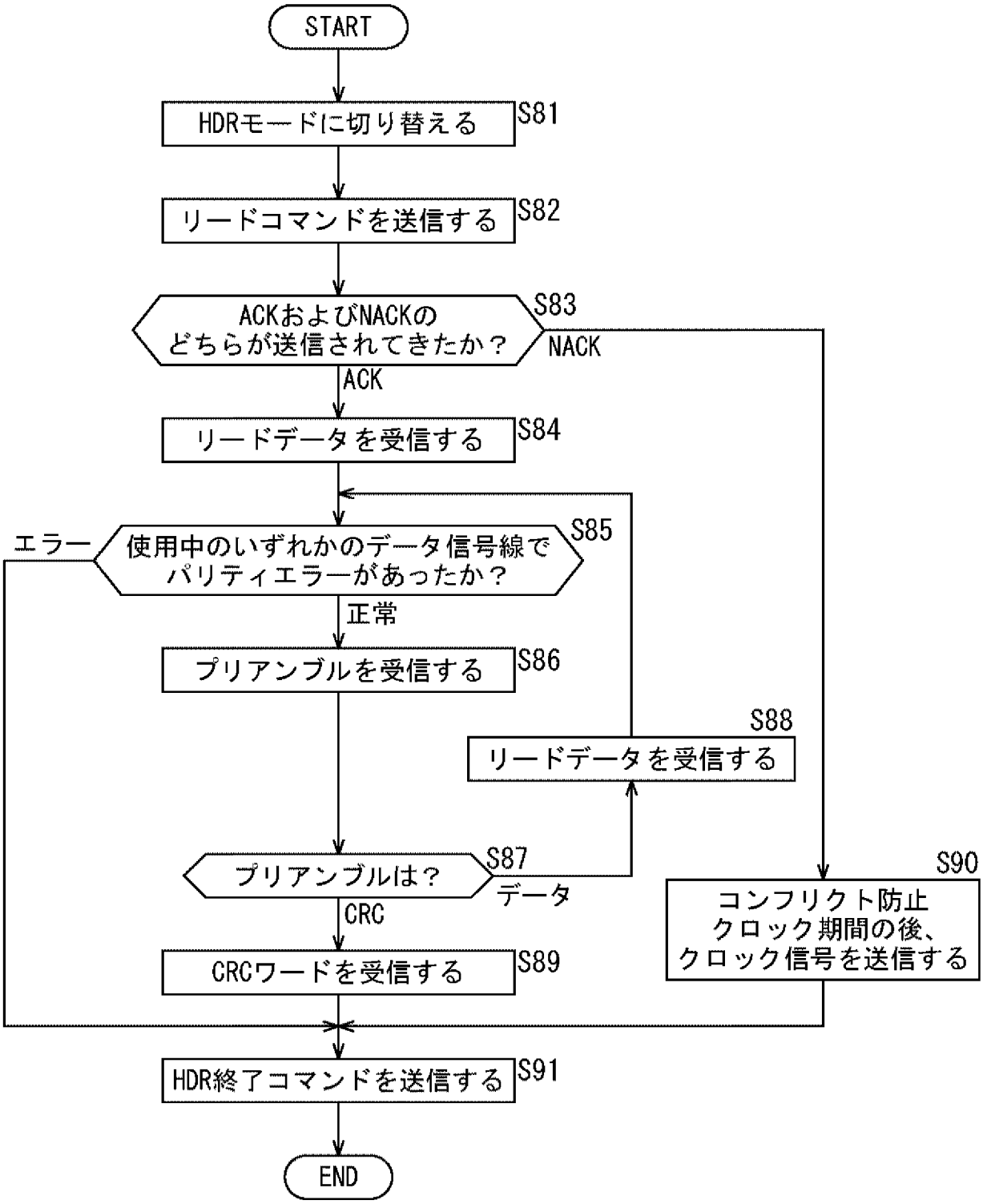
[図21]
FIG. 21


START
シングルレーンモードでも
使用されるデータ信号線で、
ブロードキャストアドレスに続く
ACKが受信不可であるか？
S61
YES
NO
クロック信号線、または、
シングルレーンモードでも
使用されるデータ信号線が、
バス分岐前の共通部分で
断線していると推定する
S62
バスIF全体の使用を停止し、
上位のシステムに通知する
S63
END
マルチレーンモードで
使用中のデータ信号線で、
ブロードキャストアドレスに続く
ACKが受信不可であるか？
S64
YES
NO
ACKを未受信の
データ信号線が、
バス分岐前の共通部分で
断線していると推定する
S65
ACKを未受信のデータ信号線
に応じてモードを遷移する
S66
END
1

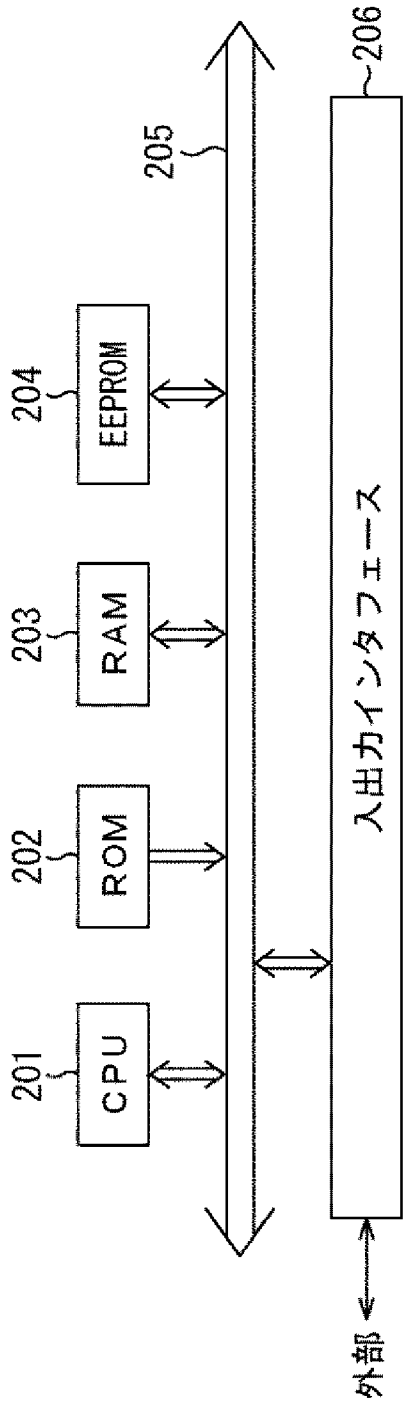
[図22]
FIG. 22


1
シングルレーンモードでも使用されるデータ信号線で、スレーブアドレスに続くACKが受信不可であるか？
S67
YES
NO
クロック信号線、または、シングルレーンモードでも使用されるデータ信号線が、バス分岐後からスレーブ端子までの間で断線していると推定する
S68
マルチレーンモードで使用中のデータ信号線で、スレーブアドレスに続くACKが受信不可であるか？
S70
YES
NO
ACKを未受信のデータ信号線が、バス分岐後からスレーブ端子までの間で断線していると推定する
S71
シングルレーンモードでも使用されるデータ信号線で、エラーが検出されたか？
S73
YES
NO
シングルレーンモードでも使用されるデータ信号線が断線寸前であるか、ノイズの影響を連続的に受けていると推定する
S74
通信対象のスレーブの使用を停止する
S69
マルチレーンモードで使用中のデータ信号線で、エラーが検出されたか？
S75
YES
NO
エラーが検出されたデータ信号線が断線寸前であるか、ノイズの影響を連続的に受けていると推定する
S76
ACKを未受信のデータ信号線に応じてモードを遷移する
S72
END

[図23]
FIG. 23


START
HDRモードに切り替える
S81
リードコマンドを送信する
S82
ACKおよびNACKの
どちらが送信されてきたか？
S83
NACK
ACK
リードデータを受信する
S84
エラー
使用中のいずれかのデータ信号線で
パリティエラーがあったか？
S85
正常
プリアンブルを受信する
S86
S88
リードデータを受信する
プリアンブルは？
S87
データ
CRC
CRCワードを受信する
S89
S90
コンフリクト防止
クロック期間の後、
クロック信号を送信する
HDR終了コマンドを送信する
S91
END

[図24]
FIG. 24



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/008004

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. G06F13/36(2006.01)i, G06F13/00(2006.01)i, G06F13/38(2006.01)i, G06F13/42(2006.01)i, H04L12/40(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. G06F13/36, G06F13/00, G06F13/38, G06F13/42, H04L12/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2017-208712 A (SONY CORP.) 24 November 2017, paragraphs [0017]-[0018], [0053]-[0054], fig. 1, 4 & WO 2017/199760 A1, paragraphs [0019]-[0020], [0054]-[0055], fig. 1, 4 & CN 109154925 A & KR 10-2019-0008855 A	1-13
A	JP 2005-332356 A (INTEL CORPORATION) 02 December 2005, paragraphs [0002]-[0028], fig. 1-7 & US 2006/0034295 A1, paragraphs [0016]-[0037], fig. 1-7 & EP 1599006 A1 & CN 1700693 A	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 May 2019 (13.05.2019)	21 May 2019 (21.05.2019)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／００８００４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F13/36(2006.01)i, G06F13/00(2006.01)i, G06F13/38(2006.01)i, G06F13/42(2006.01)i, H04L12/40(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F13/36, G06F13/00, G06F13/38, G06F13/42, H04L12/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2017-208712 A (ソニー株式会社) 2017.11.24, 段落[0017]-[0018],[0053]-[0054], 図 1,4 & WO 2017/199760 A1, 段落[0019]-[0020],[0054]-[0055], 図 1,4 & CN 109154925 A & KR 10-2019-0008855 A	1-13
A	JP 2005-332356 A (インテル　コーポレイション) 2005.12.02, 段落[0002]-[0028], 図 1-7 & US 2006/0034295 A1, 段落[0016]-[0037], 図 1-7 & EP 1599006 A1 & CN 1700693 A	1-13

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．０５．２０１９	２１．０５．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｓ　６３０６
田名網　忠雄
電話番号　０３－３５８１－１１０１　内線　３５４６