



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월11일  
(11) 등록번호 10-0836831  
(24) 등록일자 2008년06월03일

(51) Int. Cl.

H01L 21/8242 (2006.01)

- (21) 출원번호 10-2005-0033420
- (22) 출원일자 2005년04월22일  
심사청구일자 2005년04월22일
- (65) 공개번호 10-2006-0047383
- (43) 공개일자 2006년05월18일
- (30) 우선권주장  
10 2004 019 863.2 2004년04월23일 독일(DE)  
60/564,613 2004년04월23일 미국(US)
- (56) 선행기술조사문헌  
KR1020000006181 A\*  
JP2003133439 A  
\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
인피네온 테크놀로지스 아게  
독일 85579 뉴비버그, 암 캠페온 1-12
- (72) 발명자  
템플러, 디트마  
독일 01109 드레스덴 푸트부서 베크 14
- (74) 대리인  
특허법인화우

전체 청구항 수 : 총 29 항

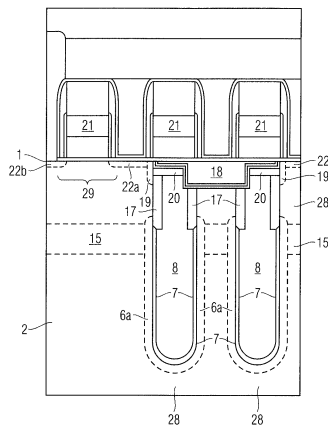
심사관 : 박정식

(54) 트렌치 및 트렌치 캐패시터 그리고 이를 형성하는 방법

(57) 요약

본 발명에 따른 트렌치 제조방법은 반도체 재료로 만들어진 반도체 기판을 제공하는 단계를 포함한다. 트렌치는 트렌치 벽이 생성되도록 반도체 기판의 표면내로 에칭된다. 상기 트렌치 벽상에는 1이상의 층이 제공된다. 이 단계는 트렌치 벽상에 제공되는 최상부 층이 실링 재료로 구성되는 방식으로 수행된다. 선택적 에피택시 방법은, 단결정 반도체 층이 반도체 기판의 표면에 형성되고, 바람직하게는 반도체 재료가 상기 실링 재료상에서는 직접적으로 성장하지 않는 방식으로 수행된다. 부분적 트렌치는 에피택셜로 성장된 반도체 층의 표면에 에칭된다. 이 단계는 실링 재료로 만들어진 층의 적어도 일부가 노출되는 방식으로 이루어진다. 그 다음, 실링 재료로 만들어진 층의 노출된 부분이 제거된다.

대표도 - 도14



**특허청구의 범위**

**청구항 1**

트렌치 제조방법에 있어서,

반도체 재료로 만들어지고, 표면을 갖는 반도체 기판을 제공하는 단계;

상기 반도체 기판의 상기 표면대로, 측벽을 갖는 개구부를 에칭하는 단계;

상기 측벽이 마스크되고 상기 개구부의 생성된 표면이 실링 재료로 만들어지도록 1이상의 층 또는 필름을 제공하는 단계;

제1단결정 반도체 층이 상기 반도체 기판의 표면상에 형성되도록 하되, 상기 실링 재료로 커버링되는 상기 개구부의 상기 표면이 측방향으로 과도성장되는 방식의 선택적 에피택시 방법을 수행하는 단계;

상기 실링 재료로 만들어진 상기 층의 적어도 일부가 노출되도록 상기 에피택셜로 성장되는 상기 제1단결정 반도체 층의 표면에서 부분적 트렌치를 에칭하는 단계; 및

상기 실링 재료로 만들어진 상기 층의 노출된 부분을 제거하여 상기 트렌치를 완성시키는 단계를 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 2**

제1항에 있어서,

상기 선택적 에피택시 방법은 반도체 재료가 상기 실링 재료상에서 직접적으로 성장되지 않는 방식으로 수행되는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 3**

제1항에 있어서(상기 제1항의 단계 이후에),

상기 부분적 트렌치의 생성된 표면이 실링 재료로 만들어지도록 상기 부분적 트렌치의 측벽상에 1이상의 층을 제공하는 단계;

제2단결정 반도체 층을 상기 제1단결정 반도체 층의 표면상에 형성시키되, 상기 실링 재료로 커버링되는 상기 부분적 트렌치의 상기 표면이 측방향으로 과도성장되도록 하는 방식으로 선택적 에피택시 방법을 수행하는 단계;

상기 실링 재료로 만들어진 상기 층의 적어도 일부가 노출되도록 상기 제2단결정 반도체 층의 표면에서 제2부분적 트렌치를 에칭하는 단계; 및

상기 실링 재료로 만들어진 상기 층의 노출된 부분을 제거하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 4**

제3항에 있어서,

상기 부분적 트렌치 또는 상기 제2부분적 트렌치 중 1이상은 다른 부분적 트렌치 또는 상기 개구부의 직경과 상이한 직경을 갖는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 5**

제4항에 있어서,

상기 제2부분적 트렌치의 직경이 상기 부분적 트렌치의 직경보다 작거나 또는 상기 부분적 트렌치의 직경이 상기 개구부의 직경보다 작은 것을 특징으로 하는 트렌치 제조 방법.

**청구항 6**

제1항에 있어서,

상기 제1단결정 반도체 층은, 상기 반도체 기판에서 에칭되는 상기 개구부의 깊이보다 작은 두께를 갖는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 7**

제1항에 있어서,

상기 반도체 기판은 단결정 실리콘을 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 8**

제1항에 있어서,

상기 제1단결정 반도체 층은 단결정 실리콘을 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 9**

제1항에 있어서,

상기 개구부 및 상기 부분적 트렌치는 동일한 직경을 갖는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 10**

제1항에 있어서,

상기 부분적 트렌치는 상기 개구부의 직경과 상이한 직경을 갖는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 11**

제10항에 있어서,

상기 부분적 트렌치의 직경은 상기 개구부의 직경보다 작은 것을 특징으로 하는 트렌치 제조 방법.

**청구항 12**

제1항에 있어서(상기 제1항의 단계 이후에),

상기 개구부의 벽에 인접한 저부 캐패시터 전극을 형성시키는 단계;

상기 저부 캐패시터 전극에 인접한 캐패시터 유전체를 형성시키는 단계; 및

상기 캐패시터 유전체에 인접한 최상부 캐패시터 전극을 형성시키되, 각각의 경우에 있어 상기 저부 캐패시터 전극, 상기 캐패시터 유전체 및 상기 최상부 캐패시터 전극이 상기 개구부에 배치되는 단계를 더 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 13**

제1항에 있어서,

상기 1이상의 층 또는 필링을 제공하는 단계는 저부 캐패시터 전극을 형성하는 단계를 포함하고, (상기 제1항의 단계 이후에) 상기 저부 캐패시터 전극 에 인접한 캐패시터 유전체를 형성하는 단계; 상기 캐패시터 유전체에 인접한 최상부 캐패시터 전극을 형성하는 단계를 더 포함하여 이루어지고, 상기 저부 캐패시터 전극, 상기 캐패시터 유전체 및 상기 최상부 캐패시터 전극은 각각 상기 개구부에 배치되는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 14**

제1항에 있어서,

상기 1이상의 층 또는 필링을 제공하는 단계는 저부 캐패시터 전극을 형성하는 단계 및 상기 저부 캐패시터 전극에 인접한 캐패시터 유전체를 제공하는 단계를 더 포함하며, (상기 제1항의 단계 이후에) 상기 캐패시터 유전체에 인접한 최상부 캐패시터를 형성하는 단계를 더 포함하여 이루어지고, 상기 저부 캐패시터 전극, 상기 캐패시터 유전체 및 상기 최상부 캐패시터 전극은 각각 상기 개구부에 배치되는 것을 특징으로 하는 트렌치 제조 방법.

법.

**청구항 15**

제1항에 있어서,

상기 1이상의 층 또는 필링을 제공하는 단계는, 저부 캐패시터 전극을 형성하는 단계, 상기 저부 캐패시터 전극에 인접한 캐패시터 유전체를 제공하는 단계 및 상기 개구부를 필링 재료로 채우고 상기 채워진 개구부의 표면을 실링 재료로 만들어진 층으로 커버링하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 16**

제15항에 있어서,

상기 필링 재료는 최상부 캐패시터 전극을 형성하기에 적합한 재료인 것을 특징으로 하는 트렌치 제조 방법.

**청구항 17**

제12항에 있어서,

상기 저부 캐패시터 전극, 상기 캐패시터 유전체 및 상기 최상부 캐패시터 전극을 형성시키는 단계들은, 상기 제1단결정 반도체 층내로 부분적 트렌치를 에칭한 후에 수행되는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 18**

제1항에 있어서,

상기 1이상의 층 또는 필링을 제공하는 단계는 희생 층을 제공하는 단계를 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 19**

제18항에 있어서,

상기 희생 층은, 하부의 열처리 단계에서 인접한 반도체 재료의 도핑을 실행하기에 적합한 방식으로 도핑되는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 20**

제19항에 있어서,

상기 인접한 반도체 재료의 도핑을 실행하는 단계를 더 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 21**

제18항에 있어서,

상기 희생 층은 실리콘 이산화물을 포함하는 것을 특징으로 하는 트렌치 제조 방법.

**청구항 22**

트렌치 캐패시터 및 선택 트랜지스터로서 구현되는 저장 캐패시터는 갖는 메모리 셀 제조방법에 있어서,

반도체 재료로 만들어지고, 표면을 갖는 반도체 기판을 제공하는 단계;

상기 반도체 기판의 상기 표면내로, 측벽을 갖는 개구부를 에칭하는 단계;

상기 측벽이 마스크되고 상기 개구부의 생성된 표면이 실링 재료로 만들어지도록 1이상의 층 또는 필링을 제공하는 단계;

제1단결정 반도체 층이 상기 반도체 기판의 표면에 형성되도록 하되, 상기 실링 재료로 커버링되는 상기 개구부의 상기 표면이 측방향으로 과도성장되는 방식의 선택적 에피택시 방법을 제공하는 단계;

상기 실링 재료로 만들어진 상기 층의 적어도 일부가 노출되도록 상기 에피택셜로 성장되는 상기 제1단결정 반

도체 층의 표면에 개구부를 에칭하는 단계; 및

상기 실링 재료로 만들어진 상기 층의 노출된 부분을 제거하여 트렌치를 완성시키는 단계;

상기 트렌치의 벽에 인접한 저부 캐패시터 전극을 형성시키는 단계;

상기 저부 캐패시터 전극에 인접한 캐패시터 유전체를 형성시키는 단계; 및

상기 캐패시터 유전체에 인접한 최상부 캐패시터 전극을 형성시키되, 각각의 경우에 있어 상기 저부 캐패시터 전극, 상기 캐패시터 유전체 및 상기 최상부 캐패시터 전극이 상기 트렌치에 배치되는 단계;

제1 소스/드레인 전극, 제2 소스/드레인 전극, 도전성 채널 및 게이트 전극을 갖는 선택 트랜지스터를 형성하되, 상기 최상부 캐패시터 전극은 상기 선택 트랜지스터의 상기 제1 소스/드레인 전극에 도전 접속되는 단계를 포함하는 것을 특징으로 하는 메모리 셀 제조 방법.

### 청구항 23

제22항에 있어서,

상기 선택적 에피택시 방법은 반도체 재료가 상기 실링 재료상에서 직접적으로 성장되지 않는 방식으로 수행되는 것을 특징으로 하는 메모리 셀 제조 방법.

### 청구항 24

반도체 몸체에 형성되는 트렌치에 있어서,

상기 트렌치는 소정 깊이 및 최소 직경을 가지며, 최소 직경에 대한 깊이의 비는 70보다 큰 것을 특징으로 하는 트렌치.

### 청구항 25

제24항에 있어서,

상기 최소 직경에 대한 깊이의 비는 80보다 큰 것을 특징으로 하는 트렌치.

### 청구항 26

제25항에 있어서,

상기 최소 직경에 대한 깊이의 비는 85이상인 것을 특징으로 하는 트렌치.

### 청구항 27

제24항에 있어서,

상기 트렌치는 트렌치 캐패시터의 일부를 포함하고,

상기 트렌치 캐패시터는:

상기 트렌치의 벽에 인접한 저부 캐패시터 전극;

상기 저부 캐패시터 전극에 인접한 캐패시터 유전체; 및

상기 캐패시터 유전체에 인접한 최상부 캐패시터 전극을 더 포함하되, 상기 저부 캐패시터 전극, 상기 캐패시터 유전체 및 상기 최상부 캐패시터 전극이 상기 트렌치에 배치되는 것을 특징으로 하는 트렌치.

### 청구항 28

제27항에 있어서,

상기 트렌치 캐패시터는 메모리 셀의 일부를 포함하고, 상기 메모리 셀은 상기 반도체 몸체에 배치되는 제1 및 제2 소스/드레인 영역을 포함하는 선택 트랜지스터, 상기 제1 및 제2 소스/드레인 영역들 사이의 상기 반도체 몸체에 배치되는 도전성 채널 및 상기 도전성 채널에 걸친 게이트 전극을 더 포함하고, 상기 제1 소스/드레인 영역은 상기 최상부 캐패시터 전극에 전기적으로 결합되는 것을 특징으로 하는 트렌치.

**청구항 29**

트렌치 제조방법에 있어서,

반도체 재료로 만들어지고, 표면을 갖는 반도체 기판을 제공하는 단계;

상기 반도체 기판의 상기 표면내로, 측벽을 갖는 개구부를 에칭하는 단계;

상기 측벽이 마스크되고 상기 개구부의 생성된 표면이 실링 재료로 만들어지도록 1이상의 층 또는 필링을 제공하는 단계;

제1단결정 반도체 층이 상기 반도체 기판의 표면에 형성되도록 하되, 상기 실링 재료로 커버링되는 상기 개구부의 상기 표면이 측방향으로 과도성장되는 방식의 선택적 에피택시 방법을 수행하는 단계;

상기 실링 재료로 만들어진 상기 층의 적어도 일부가 노출되도록 상기 에피택셜로 성장되는 상기 제1단결정 반도체 층의 표면에서 부분적 트렌치를 에칭하는 단계; 및

상기 실링 재료로 만들어진 상기 층의 노출된 부분을 제거하여 상기 트렌치를 완성시키는 단계를 포함하는 것을 특징으로 하고, 상기 트렌치는 소정 깊이 및 최소 직경을 가지며, 최소 직경에 대한 깊이의 비는 70보다 큰 것을 특징으로 하는 트렌치 제조 방법.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <41> 본 발명은 트렌치를 제조하는 방법, 트렌치 캐패시터를 제조하는 방법, 메모리 셀을 제조하는 방법, 트렌치, 트렌치 캐패시터 및 이러한 트렌치 캐패시터를 구비한 메모리 셀에 관한 것이다.
- <42> 일반적으로 DRAM(dynamic random access memory)들의 메모리 셀들은 저장 캐패시터 및 선택 트랜지스터를 포함한다. 논리량 0 또는 1을 나타내는 전하 형태로 저장 캐패시터내에 정보 아이템이 저장된다. 워드 라인(word line)을 통해 판독(read-out) 또는 선택 트랜지스터를 구동함으로써, 저장 캐패시터내에 저장된 정보가 비트 라인을 통해 판독될 수 있다. 신뢰성 있는 전하의 저장 및 판독되는 정보의 식별력(distinguishability)을 위하여, 저장 캐패시터는 최소 캐패시턴스를 가져야 한다. 저장 캐패시터의 캐패시턴스에 대한 하한은 현재 시점에서 대략 25fF로서 나타난다.
- <43> 저장 밀도는 메모리 제너레이션에서 메모리 제너레이션까지 증가되기 때문에, 일-트랜지스터 메모리의 요구되는 영역은 제너레이션에서 제너레이션까지 저장되어야 한다. 동시에, 저장 캐패시터의 최소 캐패시턴스가 유지되어야 한다.
- <44> 1Mbit 제너레이션까지, 판독 트랜지스터 및 저장 캐패시터 둘 모두는 평면(planar) 구성요소로서 실현되었다. 4Mbit 메모리 제너레이션이 시작되면서, 저장 캐패시터의 3차원 배치를 통해 메모리 셀 영역의 추가적인 감소가 이루어졌다. 일 가능성은 트렌치내의 저장 캐패시터를 실현시키는 것으로 이루어진다. 이 경우에, 예시의 방법에 의하면, 트렌치의 벽에 인접한 확산 영역과 트렌치내의 도핑된 폴리실리콘 필링(doped polysilicon filling) 까지도 저장 캐패시터의 전극들로서 작용한다. 따라서, 저장 캐패시터의 전극들은 트렌치 표면을 따라 배치된다. 이는, 저장 캐패시터의 유효 면적(effective area)을 확대시키고, 이에 의해 트렌치의 단면에 대응되는 기판 표면에서 저장 캐패시터에 관한 공간 요건에 대하여, 캐패시턴스가 좌우된다. 패킹밀도(packing density)는, 트렌치의 단면을 축소시키는 동시에 그것의 깊이를 증가시킴으로써 더욱 향상될 수 있다.
- <45> 이제까지 트렌치 캐패시터의 저장 캐패시턴스를 증가시키기 위하여 다양한 방법들이 구현되어 왔다. 일 방법은 저장 유전체의 두께를 스케일링(scaling)하는 것이다. 또한, 트렌치 구조체{바틀(bottle)}의 습식-화학적 팽창(wet-chemical expansion)에 의하여 트렌치 캐패시터내의 표면을 확대시킬 수 있다. 더욱이, 가령 HSG(hemispherical grain) 폴리실리콘 코팅에 의하여, 조도(roughness)에 의해 트렌치내의 표면을 확대시킬 수 있다.
- <46> 추가적인 접근법들로는, 금속 전극들의 사용 또는 Si 전극재료의 도핑을 증가시킴으로써 캐패시터 전극들의 전

자 공핍(electron depletion)을 최소화시키는 방법을 포함하며, 그 결과로 전극들의 저항이 동시에 현저하게 저감될 수 있다.

<47> 또한, 기존 NO 유전체(previous NO dielectric)는 트렌치 캐패시터의 캐패시턴스를 증가시키기 위하여 고-k(high-k) 유전체들로 대체될 수도 있다. 예를 들어, 고 유전체 상수를 갖는 고-k 유전체 및 금속 전극들을 도입함에 있어 문제가 되는 것은, 특히 이들 재료들의 온도 민감성(temperature sensitivity)이다. 또한, 통상적으로, 새로운 기술들은 먼저 새로운 재료들에 대하여 개발되어야 하는 경우가 있다.

<48> 큰 종횡비를 갖는, 즉 깊이의, 직경 또는 폭에 대한 큰 비를 갖는 트렌치 구조체들을 생성시키기 위하여, 예를 들어 파라미터 파워, 플라즈마 밀도, 진동수(frequency), 바이어스 전압, 에칭 가스, 압력, 유동, 에칭 시간을 최적화시킴으로써, 하드 마스크 스택을 에칭시키고 트렌치를 에칭시키는 에칭 파라미터들을 최적화시키기 위한 보다 많은 시도들이 이루어진다. 더욱이, 트렌치의 에칭을 위한 하드 마스크의 개별 구성요소들의 재료 및 층 두께들이 최적화된다. 하지만, 현재의 트렌치 캐패시터들을 제조하는데 사용되는 에칭 방법들에 의해서는, 가령 깊이를 증가시킴에 따라 에칭 속도 및 에칭의 민감성은 감소되기 때문에, 점점 기술적 경제적 한계들에 봉착하고 있다. 결과적으로, 트렌치의 에칭을 위한 하드 마스크는 표면에서 많은 양이 에칭된다. 요즈음, 현재 사용되는 기술들에 의해 달성될 수 있는 종횡비에 대한 최대값은 대략 60 내지 70으로 추정된다.

<49> 미국특허출원 공보 제2003/0136994호에 대응되는 독일특허출원 제102 02 140호는, 단결정 실리콘 기판에서의 캐비티의 선택적인 에피택셜 과도성장(epitaxial overgrowth)을 위한 방법을 기술하고 있다. 독일특허출원 및 미국특허출원 둘 모두는 본 명세서에서 인용 참조되고 있다. 이 방법은, 예를 들어 실리콘 기판에서 트렌치 캐패시터를 위한 트렌치를 형성하는데 사용될 수 있다. 상기 트렌치 캐패시터는 고온의 단계들이 수행된 후에만 완료되며 고온의 단계들이 수행되기 이전에는 에피택셜로 과도성장된다.

**발명이 이루고자 하는 기술적 과제**

<50> 일 형태에서, 본 발명은 큰 종횡비를 갖는 트렌치를 생성시키는데 사용될 수 있는 방법을 제공한다.

<51> 다른 형태에서, 본 발명은 큰 종횡비를 갖는 트렌치 캐패시터를 생성시키는데 사용될 수 있는 방법을 제공한다.

<52> 또 다른 형태에서, 본 발명은 이러한 트렌치 캐패시터를 구비한 메모리 셀을 제조하는 방법을 명시한다. 또한, 본 발명의 실시예들은 트렌치, 트렌치 캐패시터 및 상기 트렌치 캐패시터를 구비한 메모리 셀을 제공한다.

<53> 본 발명의 바람직한 실시예에 따르면, 트렌치 제조 방법은 반도체 재료로 만들어지는 반도체 기판을 제공하는 단계를 포함하며, 상기 반도체 기판은 소정 표면을 갖는다. 상기 반도체 기판의 상기 표면내로 개구부(opening)가 에칭되며, 상기 개구부는 측벽을 갖는다. 상기 측벽이 마스크되도록 1이상의 층 또는 필링이 제공되며, 그에 의해 생성된 상기 개구부의 표면은 실링(sealing) 재료로 만들어진다. 선택적 에피택시 방법은, 반도체 기판의 표면에 단결정 반도체 층이 형성되는 방식으로 수행되며, 상기 실링 재료로 덮힌 상기 개구부의 상기 표면은 측방향으로 과도성장된다. 그 후, 실링 재료로 만들어진 층의 적어도 일부가 노출(uncover)되도록 에피택셜 성장된 반도체 층의 표면에서 부분적 트렌치가 에칭된다. 마지막으로, 실링 재료로 만들어진 층의 노출된 부분이 제거되어 트렌치를 완성한다.

<54> 달리 표현하면, 트렌치를 제조하는 방법은 반도체 재료로 만들어진 반도체 기판을 제공하는 단계를 포함한다. 트렌치는 트렌치 벽이 생성되도록 반도체 기판의 표면내로 에칭된다. 트렌치 벽상에는 1이상의 층이 제공된다. 이 단계는, 트렌치 벽상에 제공되는 최상부층이 실링 재료로 구성되는 방식으로 수행된다. 선택적 에피택시 방법은, 단결정 반도체 층이 반도체 기판의 표면에 형성되고 실링 재료상에서는 직접적으로 반도체 재료가 성장하지 않는 방식으로 수행된다. 부분적 트렌치는 에피택셜 성장된 반도체 층의 표면에서 에칭된다. 이 단계는 실링 재료로 만들어진 층의 적어도 일부가 노출되는 방식으로 수행된다. 그 다음, 실링 재료로 만들어진 층의 노출된 부분이 제거된다.

<55> 따라서, 본 발명의 실시예들은 이미 개발된 기술들에 의하여, 반도체 기판에서 특히 큰 종횡비를 갖는 트렌치들을 제조하는데 사용될 수 있는 방법을 제공한다. 이러한 트렌치들은 특히 큰 종횡비를 갖는 트렌치들을 필요로 하는 어플리케이션의 다양한 영역에서 사용될 수 있다. 예를 들어, 가령 액체 또는 가스 스트림을 위한 지하(subterranean)의, 깊은 채널 시스템을 제조하는 센서 기술 또는 마이크로미케닉스의 분야에서 그러하다.

<56> 또한, 본 발명은 트렌치를 제조하기 위한 상술된 방법의 단계들, 및 각각의 경우에 적어도 부분적으로 트렌치내에 배치되는, 트렌치의 벽과 인접한 저부 캐패시터 전극, 저장 유전체 및 최상부 캐패시터 전극을 제공하는 단계들을 갖는, 트렌치 캐패시터를 제조하는 방법을 제공한다.

- <57> 따라서, 본 발명의 실시예들에 따르면, 캐패시터 트렌치들은 원리로서 공지되는 방법 단계들에 의하여 반도체 기판에 형성되며, 상기 캐패시터 트렌치들은, 트렌치들의 표면이 노광되지 않도록 적절한 방식으로 세정된 후에 커버링된다. 특히, 트렌치 벽상에 제공되는 최상부 층이 실링 재료로 구성되도록, 1이상의 층이 트렌치 벽상에 제공된다.
- <58> 다음 단계에서, 트렌치 에칭 마스크의 잔재물(residue)의 제거 후에, 선택적 에피택시 방법이 수행되며, 이에 의해 기판의 표면은 단결정 실리콘으로 에피택셜로 과도성장된다. 달리 말해, 매끈하고, 폐쇄된 에피택셜 층이 기판 표면상에 생성되고, 기판에 에칭된 트렌치들이 완전하게 유지된다. 이것은, 선택적 에피택시 방법의 개시 시 노출되는 트렌치 표면이 기본(elementary) 실리콘, 즉 단결정 실리콘, 폴리실리콘 또는 비결정 실리콘이 아니고, 예를 들어 SiGe 또는 실리사이드 화합물과 같은 소위 실리콘 화합물 재료도 아니고 금속성 재료도 아닌, 실링 재료로 구성된다는 사실로 인해 트렌치 벽들을 적절한 방식으로 커버링함으로써 실현되며, 또한, 층의 성장이 단결정 실리콘 영역들상에서만 일어나도록 사용되는 에피택시 방법은 선택적이다.
- <59> 이를 보다 정밀하게 하기 위해, 통상적으로 선택적 에피택시 방법은, 예를 들어 실란(silane) 또는 디클로로실란(dichlorosilane) 및 예를 들어 HCl과 같은 에칭 가스를 포함하는 가스 혼합물을 사용한다. 선택적 에피택셜 층은 에칭 가스가 언더라이징 재료에 따라 상이한 속도로 성장된 실리콘을 에칭해 내는 효과를 활용한다. 따라서, 특히 상기 방법의 파라미터들은, 실리콘상에서 성장된 단결정 실리콘 재료가 실리콘 성장 속도보다 느리게 에칭되어, 실리콘상에 형성되는 전체 실리콘 층의 두께가 증가되도록 설정된다. 이와는 대조적으로, 예를 들어 실리콘 산화물인 실링 재료상에 형성되는 다결정 실리콘 시드층은 실리콘 성장 속도보다 빠르게 에칭되어 나간다. 따라서, 실리콘은, 측방향으로 과도성장되는 실링 재료로 커버링되는 영역들에 의하여 적층 단결정 실리콘 층이 형성되는 단결정 표면 영역상에서만 성장한다. 통상적으로, 디클로로실란의 유속은 HCl 유속의 1.2 내지 1.8배이다.
- <60> 부분적 트렌치들은 후속하여 에피택셜로 성장되는 실리콘 층에서 종래의 방법들에 의해 생성되며, 상기 부분적 트렌치들은 반도체 기판에 형성되는 트렌치들과 링크(link)되며 상기 트렌치들에 연결된다. 이를 보다 정밀하게 하기 위해서, 실링 재료로 만들어진 층의 적어도 일부가 노출되도록 트렌치들이 에칭된다.
- <61> 상술된 방법 단계들을 임의로 반복함으로써, 임의의 깊이를 갖는 트렌치들을 제조할 수 있다. 이것은, 현재 이용가능한 기술들에 의해서 매우 큰 중형비를 갖는 캐패시터 트렌치들을 제조할 수 있게 한다. 이미 기존의 제조 방법들이 사용될 수 있기 때문에, 개발비가 절감될 수 있다. 나아가, 본 발명에 따른 방법이 온도-민감성(temperature-sensitive) 재료의 사용도 포함하더라도, 온도-민감성 재료들을 사용하지 않고 보다 높은 캐패시터 캐패시턴스를 달성할 수 있다.
- <62> 본 발명에 따른 방법은 다양한 수정레들로 구현될 수 있다. 예를 들면, 트렌치 또는 부분적 트렌치를 에칭하는 에칭 단계 후에, 저부 캐패시터 전극, 유전체 층 및 최상부 캐패시터 전극이 에칭된 트렌치나 부분적 트렌치에 제공될 수도 있다. 하지만, 이와 동등하게, 초기에는 트렌치를 채워지지 않은 채로 남겨두고, 전체 스택 트렌치가 완성된 후에만 캐패시터 전극들 및 유전체 층을 제공할 수도 있다.
- <63> 하지만, 둘 또는 임의의 수의 부분적 트렌치들 또는 일 트렌치 및 1이상의 부분적 트렌치를 완성하는 것도 항상 가능하며, 그 다음 완성된 트렌치 스택들에 대해 캐패시터 전극들 및 유전체 층이 제공되고, 그 후 다음 에피택셜 층이 적용되고, 부분적 트렌치들이 에칭되는 단계 등이 이어진다. 또한, 저부 캐패시터 전극, 유전체 층 및 최상부 캐패시터 전극을 형성하는 단계들은 바로 연속해서 실행되어야 하는 것은 아니며, 오히려 방법 시퀀스의 편의에 따라 배치될 수도 있다.
- <64> 빈(empty) 트렌치가 에피택셜로 과도성장될 경우에, 에피택셜로 성장된 실리콘 재료가 트렌치 벽상에서 성장하는 것을 방지하기 위하여 트렌치 벽상에 실링 재료로 만들어진 얇은 커버링 층을 적용시킬 필요가 있다.
- <65> 하지만, 대안으로서, 트렌치를 완전하게 또는 적어도 부분적으로 채우고, 트렌치 스택 또는 부분적 트렌치의 완성후에 상기 트렌치 스택 또는 부분적 트렌치로부터 다시 제거되는 임의의 희생(sacrificial) 재료를 도입할 수도 있다. 예를 들면, 상기 희생 재료는, 후속 열처리 단계에서 트렌치 영역들의 도핑을 수행하는데 사용될 수 있는 고도로 도핑된 실리콘 산화물을 포함할 수도 있다.
- <66> 더욱이, 캐패시터 전극 또는 유전체 재료가 트렌치 스택이 완성된 후에만 적용된다면, 이 경우에는 예를 들어, 이들 층상에 열적 부하(thermal loading)를 발생시키는 후속 에피택시 단계없이 고-k 유전체 또는 금속성 캐패시터 전극들과 같은 온도-민감성 재료들을 제공하는 것도 가능하다.



- <67> 에피텍셀로 성장된 층의 두께는 먼저 반도체 기판에서 에칭된 트렌치의 깊이보다 작은 것이 바람직하다. 이는, 에피텍셀로 성장된 층에서 에칭된 트렌치의 에칭 측벽이 목표하는 방식으로 설정될 수 있는 장점을 제공한다.
- <68> 상부의 부분적 트렌치가 언더라이닝 부분적 트렌치보다 작은 직경을 갖는 것은 더욱 바람직하다. 이것은, 메모리 셀의 추가 요소들, 특히 선택 트렌지스터 및 비트 라인 콘택이 최상부 에피텍셀 층에 수용될 수 있다는 장점을 제공한다. 결과적으로, 보다 높은 캐패시턴스를 갖는 캐패시터가 낮은 공간 요건을 가지고 형성될 수 있다.
- <69> 저부 또는 최상부 캐패시터 전극 및 유전체 층에 적합한 재료는 통상적으로 사용되는 것들이다. 특히, 사용되는 캐패시터 전극들은, 기판에 인접한 도핑 층, 금속의 스택 및 배리어 층을 갖는 고도로 도핑된 폴리실리콘 금속 전극들일 수도 있으며, 상기 배리어 층은 기판과 금속층 사이에 배치되는 절연 재료로 제조되고, 기판과 금속층 간의 접촉을 가능하게 하기 위해 -통상적으로 그것의 하부 영역에서- 인터럽트된다. 특히, 금속 실리사이드 층, 그 중에서도 높은 용융점을 갖는 금속, TiN, W, Co, Ta, Mo 또는 높은 용융점을 갖는 여타 금속을 포함하는 실리사이드들이 금속성 전극 재료로서 적합하다.
- <70> 사용되는 유전체 재료는, 특히 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 층의 스택이나 단지 SiO<sub>2</sub> 또는 Si<sub>3</sub>N<sub>4</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub>, 또는 여타 고-k 유전체일 수도 있다.
- <71> 각각의 에피텍셀로 성장된 층은 예를 들어 바닥에 형성된 층의 도핑으로부터 벗어난(deviate) 도핑될 수 있다. 도펀트(dopant) 농도는 바람직한 전기적 특성들에 적합하도록 이루어질 수 있다. 또한, 각각의 부분적 트렌치에서, 다른 부분적 트렌치들 또는 최저부 트렌치의 것과는 상이한, 저부 또는 최상부 캐패시터 전극 및 저장 유전체를 위한 재료를 사용할 수 있다.
- <72> 본 발명의 실시예들은 또한, 적어도 부분적으로 트렌치에 배치되는 저부 캐패시터 전극, 캐패시터 유전체 및 최상부 캐패시터 전극을 포함하는 트렌치 캐패시터에 의하여 달성되며, 상기 저부 캐패시터 전극은 트렌치의 벽에 인접하고 트렌치는 소정의 깊이 및 최소 직경을 가지며, 최소 직경에 대한 깊이의 비는 70보다 크고, 바람직하게는 80보다 크며, 보다 바람직하게는 85이상이다.
- <73> 따라서, 본 발명의 실시예들은 매우 큰 중형비를 갖는 트렌치 캐패시터를 제공한다. 이를 또 다른 방식으로 실현하기 위해, 높은 저장 캐패시턴스를 갖는 트렌치 캐패시터는 특히 작은 공간 요건들과 함께 제공될 수 있다.
- <74> 캐패시터 트렌치들은, 통상적으로 평면도에서 원형보다 타원형을 이루도록 형성된다. 다시 말해, 그들은 2가지 상이한 단면을 따라 2개의 상이한 직경을 갖는다. 반도체 기판에서 에칭된 트렌치 및 모든 부분적 트렌치들이 동일한 직경을 갖는다면, 이 때 최소 직경은 모든 부분적 트렌치들의 최소 직경이나 최소 폭에 대응된다. 이와는 대조적으로, 최상부의 부분적 트렌치가 적어도 일 방향으로 언더라이닝 부분적 트렌치보다 작은 직경을 갖는다면, 상기 최소 직경은 최상부의 부분적 트렌치의 최소 직경에 대응된다.
- <75> 추가 형태에 따르면, 본 발명은 단일 결정 반도체 재료로 만들어진 제1기판부, 상기 단일 결정 반도체 재료로 만들어지고 기판의 표면을 형성하는 제2기판부, 및 상기 기판의 표면에 수직인 방향으로 연장되고 상기 제1기판부에 형성되는 복수의 트렌치를 포함하는 반도체 기판을 제공한다.
- <76> 특히, 상기 제2기판부의 두께는 600 내지 3000nm, 바람직하게는 800 내지 1500nm일 수 있다.

**발명의 구성 및 작용**

- <77> 현재의 바람직한 실시예들을 구성하고 사용하는 것에 대해 상세히 후술된다. 하지만, 본 발명은 광범위한 특정 콘텍스트에서 구현될 수 있는 여러 적용가능한 발명 개념들을 제공한다는 것을 이해해야 한다. 논의되는 특정 실시예들은 본 발명을 구성 및 사용하기 위한 특정 방법들의 예시에 지나지 않으며, 본 발명의 범위를 제한하지는 않는다.
- <78> 본 발명의 제1실시예에 따르면, 트렌치 캐패시터를 형성하는 하나의 에피텍시 단계 및 두개의 마스크 단계를 사용하여 대략 11.8 $\mu$ m의 총 깊이를 갖는 트렌치 캐패시터가 제조된다. 이 경우에, 저부 캐패시터 전극, 저장 유전체 및 최상부 캐패시터 전극은, 각각의 에칭된 트렌치의 각 경우에서의 에칭 직후에 제공된다. 하지만, 본 발명에 따르면, 제일 먼저 트렌치가 그것의 전체 깊이로 제조될 수 있고, 그 다음 저부 캐패시터 전극, 저장 유전체 및 최상부 캐패시터 전극이 공지된 방법들에 의해 제조될 수 있다.
- <79> 이제 도 1을 참조하면, 3nm 두께를 갖는 산화물(예를 들어, SiO<sub>2</sub>) 층(3) 및 220nm 두께를 갖는 질화물(예를 들어, Si<sub>3</sub>N<sub>4</sub>) 층(4)이 반도체 기판(2)의 표면(1)에 적용된다. 그에 대해 620nm 두께를 갖는 BPSG 층(도시 안됨)이

적용된다. 본 명세서에서 제공되는 특정 두께들은 예시로서 다른 두께들이 사용될 수 있다는 것을 이해해야 한다.

- <80> 포토리소그래피적으로 생산되는 마스크(도시 안됨)를 사용하면, BPSG 층, Si<sub>3</sub>N<sub>4</sub> 층(4) 및 SiO<sub>2</sub> 층(3)이, 예를 들어 CF<sub>4</sub>/CHF<sub>3</sub>를 사용하는 플라즈마 에칭 프로세스에서 패터닝되어 하드 마스크를 만든다. 이 하드 마스크를 에칭 마스크로 사용하면, 트렌치(5)들이, 예를 들어 HBr/NF<sub>3</sub>를 사용하는 추가 플라즈마 에칭 프로세스에서 메인 영역(1)내로 에칭된다. 트렌치 벽(31)은 각각의 트렌치(5)내에서 노출된다. 이후, BPSG 층은, 가령 H<sub>2</sub>SO<sub>4</sub>/HF를 사용하는 습식 에칭에 의하여 제거된다.
- <81> 트렌치(5)는 예를 들어 6.6 $\mu$ m 정도의 깊이, 100'250nm 정도의 폭 및 100nm의 상호간 거리를 갖는다. 도 1에 예시된 구조가 생성된다.
- <82> 다음 단계에서, 저부 캐패시터 전극(6a)은 n<sup>+</sup>-도핑 영역(6)을 제조함으로써 제조된다. 도 2에 나타낸 바와 같이, 이는, 예를 들어 50nm의 층 두께를 갖는 비소-도핑 규산염 유리층(arsenic-doped silicate glass layer) 및 20nm의 두께를 갖는 TEOS-SiO<sub>2</sub> 층의 증착과 그에 이어지는 120초간의 1000 $^{\circ}$ C에서의 열처리 단계에 의하여 수행될 수 있다. 이 경우에, 마무리된 메모리 셀 배치에서 개별 캐패시터의 저부 캐패시터 전극(6a)으로서 작용하는 n<sup>+</sup>-도핑 영역(6)은 반도체 기판(2)에서 비소-도핑 규산염 유리층으로부터의 아웃디퓨전(outdiffusion)에 의하여 형성된다. 대안으로서, 가스상 도핑(gas phase doping)은, 예를 들어 900 $^{\circ}$ C, 3TBA(torr tributylarsine)[33%], 12분과 같은 파라미터들을 이용하여 수행될 수도 있다.
- <83> 비소-도핑 규산염 유리층 및 TEOS-SiO<sub>2</sub> 층은, 예를 들어 다시 Si<sub>3</sub>N<sub>4</sub> 및 실리콘에 대하여 선택적인 NH<sub>4</sub>F/HF를 사용하는 에칭 단계에서 제거된다.
- <84> 이 후, 4.7nm 두께를 갖는 Si<sub>3</sub>N<sub>4</sub> 층 및 1.5nm 두께를 갖는 SiO<sub>2</sub> 층이 유전체 층(7)으로서 증착된다. 대안으로서, 유전체 층(7)은 Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, Ta<sub>2</sub>O<sub>5</sub> 또는 여타 공지된 유전체 재료들을 포함한다. 후속하여, 300nm 두께를 갖는 인-시튜 도핑 폴리실리콘 층(in-situ doped polysilicon layer;8)이 최상부 캐패시터 전극으로서 증착된다. 도 2에 도시된 구조가 생성된다. 이 후, 폴리실리콘 층(8)은 화학적 기계적 폴리싱에 의하여 평탄화(planarize)된다.
- <85> 이제 도 3을 참조하면, 폴리실리콘 필링(8)이 반도체 기판(2) 표면(1) 아래로 10nm만큼 에칭 백된다. 이 단계는, 예를 들어 SF<sub>6</sub>을 사용하는 에칭에 의하여 수행될 수 있다. 후속하여, 예를 들어 SiO<sub>2</sub>로 만들어진 실링 층(9)이, 도 4에 도시된 바와 같이 트렌치 필링의 표면에 제공된다. 이는, 예를 들어 필링 층의 열적 산화에 의하여 수행될 수 있다. 이 경우에, 실링 층(9)의 두께는 12nm이다. 대안으로서, HDP 방법에 의하여 SiO<sub>2</sub> 층이 증착된 뒤 에칭 백되는 것도 가능하다. 이 경우에, 생성된 층의 두께는 대략 15nm이다. 이 후, 하드 마스크(4)의 잔류물이 공지된 방법들에 의해 제거되고 도 5에 도시된 구조가 생성된다.
- <86> 도 6에 도시된 바와 같이, 선택적 에피택시 방법이 후속해서 수행되며, 이에 의해 단결정 실리콘이 가령 기판 표면(1)상에 5 $\mu$ m의 층 두께로 성장된다. 예를 들면, 에피택시 방법은, 900 $^{\circ}$ C에서 180 sccm(cubic centimeters per minute under standard conditions)의 유속의 디클로로실란 및 60 sccm의 유속의 HCl을 이용하는 CVD 방법일 수 있다. 이 경우에, 에피택셀 캐비티(10)가 각 실링 층(9)의 중심부를 형성한다.
- <87> 특히, 도 6에서 알 수 있듯이, 단일 결정 반도체 재료로 만들어진 제1기판부(2), 상기 단일 결정 반도체 재료로 만들어지고 에피택셀 층이며 상기 제1기판부의 최상부상에 배치되고, 그 표면이 기판 표면을 형성하는 제2기판부(11) 및 상기 기판 표면에 수직한 방향으로 연장되고 상기 제1기판부(2)내에 형성되는 복수의 트렌치(5)를 포함하는 반도체 기판이 제공된다. 특히, 상기 제2기판부는 600nm 내지 3 $\mu$ m, 바람직하게는 800nm 내지 1.5 $\mu$ m의 두께를 가질 수 있다.
- <88> 후속하여, 에피택셀로 증착된 실리콘 층(11)이 공지된 방법들에 따라 패터닝되고, 이미 에칭된 트렌치들에 인접한 트렌치들이 에칭된다.
- <89> 먼저, 도 7에 도시된 바와 같이, 3nm 두께를 갖는 SiO<sub>2</sub> 층(3) 및 220nm 두께를 갖는 Si<sub>3</sub>N<sub>4</sub> 층(4)이 선택적으로 성장된 적층(11)의 표면(16)상에 재차 적용된다. 그에 대해 620nm 두께를 갖는 BPSG 층(12)이 적용된다. 이 후, 포토레지스트 층(13)이 공지된 방법들에 따라 적용된다.

- <90> 제1트렌치의 패터닝에 또한 사용된 마스크가 포토레지스트 층(13)의 노광에 사용될 수 있다. 하지만, 보다 작은 개구부들을 갖는 포토 마스크를 사용하는 것도 가능하다. 언더라이닝 트렌치 구조체(5)들에 대한 정렬은 특수 정렬 마크들에 의하여 행해지는 것이 바람직하다.
- <91> 하드 마스크 층들의 포토리소그래피 패터닝 및 포토레지스트 층(13)의 제거후에, 후속하여 선택적인 RIE 트렌치 에칭, 즉 하부에 자리한 완성된 트렌치(5)의 실링 층(9)상에서 멈춘 트렌치의 에칭에 의하여, 트렌치 마스크가 에피택셜 층(11)내로 이동된다. Si는 SiO<sub>2</sub>에 대하여 선택적으로 에칭된다. 도 8에 도시된 구조가 생성된다. 이후, 도 9에 도시된 구조가 생성되도록, DHF(dilute hydrofluoric acid)를 사용하여 실링 층(9)이 제거된다.
- <92> 이 후, 도 2를 참조하여 상술된 방식과 유사한 방식으로, 저부 캐패시터 전극 및 저장 유전체가 에칭된 부분적 트렌치내에 생성된다. 하지만, 저부 캐패시터 전극의 형성시에, 일반적으로 알려진 바와 같이, 추후 절연 칼라 (insulation collar)가 형성되는 상부의 부분적 트렌치 영역의 커버링을 고려하여 부분적 트렌치 영역의 도핑을 회피할 필요가 있다.
- <93> 대안으로서, 또한 일반적으로 공지된 대안적인 방법들을 이용하여 저부 캐패시터 전극 및 저장 유전체를 생성하는 것도 물론 가능하다. 이 후, 가령 Si(예를 들어, 비결정 실리콘)으로 만들어진 스페이서 재료부(14)가 대략 15nm 내지 20nm의 두께로 컨포멀하게(conformally) 증착된다.
- <94> 도 11에 도시된 바와 같이, 스페이서 층(14) 및 저장 유전체 층(7)은, RIE 방법(reactive ion etching)에 의하여 부분적 트렌치(5)의 저부에서 제거된다. 이 스페이서 RIE 방법동안, 트렌치(5)의 수직방향 측벽들에서의 유전체 층(7)은 스페이서 층(14)에 의하여 보호된다. 스페이서 층(14)의 세정 및 바람직하게는 선택적인 습식-화학적 에칭 후에, 에피택셜 층(11)내의 트렌치(5)들은 300nm의 층 두께를 갖는 추가 폴리실리콘 층(8)으로 채워진다. 도 12에 도시된 구조가 생성된다.
- <95> 도 12에 나타난 바와 같이, 트렌치(5)들은 실리콘 기판 및 그에 대해 에피택셜로 적용되는 단결정 실리콘내에 큰 깊이를 가지고 형성된다. 두 트렌치 영역들의 저부 캐패시터 전극(6)은 연속적인 형태로 형성되며; 유전체 층(7) 및 최상부 캐패시터 전극(8)의 경우에는, 트렌치 전이부(transition)에서 오버랩 및 콘택 위치들이 존재하나, 이들은 트렌치 캐패시터의 기능에 손상을 주지 않는다.
- <96> 종래의 메모리 셀 구조를 위한, 저장 캐패시터 및 그것에 링크된 선택 트랜지스터를 제조하는 추가적인 방법 단계들에 대하여 후술된다. 이들 방법 단계들 및 메모리 셀 구조는 일반적으로 공지되어 있으며 발명의 성립성을 위해서만(the sake of completeness) 제시되어 있다. 본 발명에 따른 트렌치 캐패시터는 임의의 다른 셀 개념들에 의하여 실현될 수도 있음은 분명하다.
- <97> 도 13에 예시된 바와 같이, 다음 단계로, 폴리실리콘 필링(8)이 에피택셜 층(16) 표면 아래로 대략 0.9 $\mu$ m까지 에칭 백된다. 이 후, 절연 칼라의 깊이를 형성하기 위하여, 유전체 층은 공지된 방법들에 의해 트렌치들의 노출된 측벽들에서 에칭되어 나간다. 이 후, SiO<sub>2</sub> 층은 25nm이 층 두께로 컨포멀하게 증착된다. 그 다음, 증착된 SiO<sub>2</sub> 층(17)은 이방성으로 에칭되어, 트렌치의 상부에 SiO<sub>2</sub> 절연 칼라를 제조한다. 절연 칼라(17)의 역할은 기생 트랜지스터를 억제하는 것으로, 이렇게 하지 않을 경우 이 장소에 상기 기생 트랜지스터가 생성될 것이다.
- <98> 이 후, n<sup>+</sup>-형 폴리실리콘 층이 증착되어, 칼라 영역내의 저장 캐패시터들의 트렌치들을 채운다. 후속하여 매립되는 콘택들이 제조될 수 있도록 하기 위한 준비로서, 폴리실리콘은 에피택셜 층(11) 표면 아래로 대략 120nm까지 에칭 백된다. 도 13에 예시된 구조가 생성된다.
- <99> 매립되는 콘택 영역들을 노출시키기 위하여, SiO<sub>2</sub> 칼라 영역(17)이 상부 영역에서 에칭되어 나간다.
- <100> 매립되는 콘택들을 완성시키기 위하여, 오픈 실리콘 표면들의 질화작업(nitriding)후에, n<sup>+</sup>-형 폴리실리콘 층은 재차 증착되고, Si<sub>3</sub>N<sub>4</sub> 층(4)의 표면에 대한 화학적 기계적 폴리싱에 의하여 평탄화된다. 증착된 폴리실리콘 층은 에피택셜 층(11)의 표면(16) 아래로 대략 40nm까지 에칭 백된다{후퇴부(3) 에칭}.
- <101> 액티브 영역들을 형성하기 위하여, 후속하여 측방향으로 상기 액티브 영역들의 한계를 정하는 절연 구조체(18)들이 생성된다. 이 목적을 위해, 포토리소그래피적으로 생성되는 마스크(도시 안됨)가 형성되어, 상기 마스크가 액티브 영역들을 커버링한다. CHF<sub>3</sub>/N<sub>2</sub>/NF<sub>3</sub>를 사용하는 비-선택적 에칭 단계가 이어지며, 그 과정에서 Si<sub>3</sub>N<sub>4</sub>, SiO<sub>2</sub> 및 폴리실리콘이 에칭된다. 이 경우에, 에칭 깊이는 트렌치 절연부의 깊이에 대응된다. 이 후, 포토레지스트 마

스크가 제거된다. 후속하여, 산화에 의해 실리콘상에 얇은 열적 SiO<sub>2</sub> 층이 생성된다.

- <102> 250nm 두께를 갖는 SiO<sub>2</sub>의 HDP 증착(high density plasma method)이 이어진다. Si<sub>3</sub>N<sub>4</sub> 층(4)의 표면에 대한 기계적 화학적 폴리싱, Si<sub>3</sub>N<sub>4</sub>를 어택킹(attack)하는 H<sub>3</sub>PO<sub>4</sub>를 사용하는 에칭 단계 및 SiO<sub>2</sub>를 어택킹하는 DHF를 사용하는 에칭 단계에 의하여, 절연 구조체(18)가 완성되고, 하드 마스크의 층, Si<sub>3</sub>N<sub>4</sub> 층(4) 및 SiO<sub>2</sub> 층(3)이 제거된다.
- <103> 후속하여 희생 산화에 의하여 스크린 산화물이 형성된다. 포토리소그래피적으로 생성된 마스크 및 주입(implantation)들은, n-도핑 웰(n-doped wells), p-도핑 웰(p-doped wells)을 형성하고 주변부 및 셀 어레이의 선택 트랜지스터들의 영역에서의 임계 전압 주입을 수행하는데 사용된다. 또한, 인접한 저부 캐패시터 전극(6)들을 서로에 대해 연결시키는 n<sup>+</sup>-도핑 영역(15)을 형성시키기 위하여, 고-에너지 이온 주입(소위 "Buried-Well-Implant"라 칭함)이 수행된다.
- <104> 후속하여 트랜지스터는, 일반적으로 공지된 방법 단계들에 의하여 배선 및 소스/드레인 전극(22)들에 대응되는 게이트 산화물 및 게이트 전극(21)들을 각각 형성시킴으로써 완성된다. 그 다음, 추가 금속화 평면(metallization plane)들의 형성에 의하여 공지된 방법으로 메모리 셀 배치가 완성된다.
- <105> 도 14는 생성된 메모리 셀의 예시도를 나타낸다. 폴리실리콘 필링으로서 구현되는, 저부 캐패시터 전극(6a), 저장 유전체(7) 및 최상부 캐패시터 전극(8)을 갖는 트랜치 캐패시터(28)들이 각각의 경우에 있어 트랜치(5)내에 배치된다. 최상부 캐패시터 전극(8)은 폴리실리콘 영역(20) 및 도핑 영역(19)을 통해 선택 트랜지스터(29)의 제 1 소스/드레인 전극에 연결된다. 제1 및 제2 소스/드레인 전극들 22a와 22b 사이에 형성되는 도전 채널의 도전성은 게이트 전극(21)을 통해 제어된다.
- <106> 도 15는 상술된 메모리 셀의 8 F2 셀 아키텍처에 대한 레이아웃의 예시를 나타낸다. 메모리 셀 배치는, 메모리 셀 마다, 트랜치(5)와 평면 선택 트랜지스터 중 하나에 배치되는 저장 캐패시터를 갖는다. 8 F2의 공간 요건은 메모리 셀 마다 필요하며, 여기서 F는 각각의 기술에서 제조될 수 있는 최소 피쳐 크기이다. 비트 라인(BL)들은 평면도에서 스트립 형태로 나아가고(run) 서로에 대해 평행하며, 각 경우의 비트 라인(BL)의 폭은 F이고 그들 서로간의 거리 역시 F이다. 워드 라인(WL)은 평면도에서 그에 대해 수직하게 나아가고, 마찬가지로 폭 F 및 서로간의 거리 F를 갖는다. 액티브 영역(A)들은 워드 라인(WL)들과 비트 라인(BL)들 아래에 배치되고, 두 워드 라인(WL)들은 각각의 액티브 영역 위에서 교차한다. 액티브 영역(A)들은, 그들이 각 경우에 있어 인접한 비트 라인(BL)들 아래에서 서로에 대하여 오프셋되도록 배치된다. 비트 라인 콘택(BLK)는 액티브 영역(A)들의 중심부에 배치되고 각각의 비트 라인(BL)과 액티브 영역(A)간의 전기적 연결을 가능하게 한다. 각각의 경우에 트랜치(5)들은 워드 라인(WL) 아래에 배치된다. 액티브 영역들 내에서, 각각의 경우에 관련된 선택 트랜지스터의 게이트 전극(21)은 비트 라인(BL)들 중 하나와 워드 라인(WL)들 중 하나 사이의 교차점에서 형성된다.
- <107> 각각의 경우에 액티브 영역(A)들은 2개의 트랜치(5)들 사이에서 연장된다. 그들은 공통의 비트 라인 콘택(BLK)을 통해, 연관된 비트 라인(BL)에 연결되는 2개의 선택 트랜지스터들을 포함한다. 워드 라인(WL) 중 어느 것이 구동되느냐에 따라, 트랜치(5)들 중 어느 하나와 다른 것에 자리한 저장 캐패시터로부터 정보가 판독된다.
- <108> 본 발명의 제2실시예에 따르면, 22.4 $\mu$ m의 총 두께를 갖는 트랜치 캐패시터가 제조된다. 이 목적을 위해, 실리콘 층을 에피택셜로 성장시키는 상술된 방법은 최저부 캐패시터 트랜치(5)들의 형성 후에 총 4차례 수행된다. 하지만, 에피택시 방법은 흔히 요건에 따른 필요가 있을 때 수행될 수 있다는 것을 이해해야 한다. 상술된 제2실시예의 경우에는, 먼저 하부의 4개의 트랜치 섹션들이 제조된 다음, 저부 캐패시터 전극(26)이 제조되고, 유전체 층(7)이 형성되며, 최상부 캐패시터 전극(8)이 제조된다. 후속하여, 실링 층의 제조 후에 제4적층(25)이 적용된다. 제4에피택셜 층(25)에 형성되는 부분적 트랜치(5)는 언더라이닝 트랜치 영역들보다 작은 단면을 갖는다. 이것은, 그로 인해 캐패시터들의 면적이 현저히 줄어드는 한편 캐패시터의 캐패시턴스는 동일하게 유지되기 때문에 유리하다. 하지만, 여기서 설명된 방법들은 제1실시예에 채용될 수도 있다는 것을 이해해야 한다.
- <109> 도 16에 도시된 캐패시터 트랜치(5)들은 도 1에 나타난 것과 동일한 방식으로 제조되며, 트랜치 벽(31)은 각각의 트랜치에서 노출된다. 하지만, 그들은 5.2 $\mu$ m의 깊이, 200'200nm의 폭을 가지며, 60nm의 거리에 있다.
- <110> 트랜치(5)들이 세정된 후에, 트랜치 벽상에는 열적 산화에 의하여, 특히 예를 들어 12nm의 두께를 갖는 커버링 층(27)이 형성된다. 커버링 층(27)은, 실리콘이 캐패시터 트랜치(5)들의 내벽상에 에피택셜로 성장하는 것을 방지하기 위하여 후속하는 선택적 에피택시 방법 동안 보호부로서의 역할을 한다. 또한, 커버링 층(27)은 상부 에피택셜 층(11)의 캐패시터 트랜치들을 에칭하기 위한 방법 -후속하여 수행됨- 동안 에칭 스톱으로서의 역할을

한다. 도 17a에 도시된 구조가 생성된다.

- <111> 커버링 층(27)의 적용 후에, 제1실시예에서와 같이 SiO<sub>2</sub> 층(3) 및 Si<sub>3</sub>N<sub>4</sub> 층(4)을 포함하는 하드 마스크 층이 제거되고, 단결정 실리콘을 성장시키는 선택적 에피택시 방법이 제1실시예로서 수행된다. 특히, CVD 방법은 900℃에서 180 sccm 유속의 디클로로실란 및 60 sccm 유속의 HCl을 사용하여 수행되며, 그 결과 4.3μm 두께를 갖는 실리콘 층(11)이 증착된다.
- <112> 에피택셜 층(11)은 오픈 트렌치(5)를 측방향으로 과도성장시키고, 후자는 캐비티로서 완전하게 유지된다. 이를 보다 정밀히 하기 위해, 단결정 층 또한 채워지지 않은 트렌치들 위에 형성된다. 도 18에 나타난 구조가 생성된다.
- <113> 특히, 도 18에서 알 수 있듯이, 단일 결정 반도체 재료로 만들어진 제1기판부(2), 상기 단일 결정 반도체 재료로 만들어지고 에피택셜 층이며 상기 제1기판부의 최상부상에 배치되고, 그 표면이 기판 표면을 형성하는 제2기판부(11) 및 상기 기판 표면에 수직한 방향으로 연장되고 상기 제1기판부(2)내에 형성되는 복수의 트렌치(5)를 포함하는 반도체 기판이 제공된다.
- <114> 에피택셜로 성장된 층(11)은, 상술된 방법과 유사하게 패터닝된다. 특히, SiO<sub>2</sub> 층(3), Si<sub>3</sub>N<sub>4</sub> 층(4) 및 BPSG 층(12)은 다시 하드 마스크 층으로서 적용되고, 포토레지스트 층(13)이 적용되고 적절한 정렬 후에 트렌치 마스크를 이용하여 노광된다. 하드 마스크의 패터닝 후에 도 19에 도시된 구조가 생성된다.
- <115> 트렌치들은 선택적 RIE 에칭 방법에 의하여 에피택셜 층(11)에 에칭되며, 에칭은 언더라인 캐패시터 트렌치들의 커버링 층(27)상에서 멈춘다. 이것이 도 20에 예시되어 있다.
- <116> 예를 들어, DHF(dilute hydrofluoric acid)을 사용하는 에칭에 의한 커버링 층(27)의 제거는 도 21에 나타난 구조를 생성시킨다.
- <117> 이 후, 새로운 커버링 층(27)이 이미 형성된 전체 트렌치 벽(31)상에 형성된다. 잔류 하드 마스크 층(3,4)의 제거 후에, CVD 방법이 다시 수행되며, 그 결과 에피택셜 층(11)상에 4.3μm의 두께를 갖는 추가의 선택적 에피택셜 층(23)이 형성된다.
- <118> 제2에피택셜 층(23)은 상술된 방식으로 패터닝되며, 에피택셜 층(11), 에피택셜 층(23) 및 실리콘 기판(2)의 트렌치 직경은 각각의 경우에 있어 동일하다. 캐패시터 트렌치(5)들을 위한 하드 마스크의 패터닝 후에 도 22에 도시된 구조가 생성된다. 그 다음 상술된 방식으로 부분적 트렌치들이 제2에피택셜 층(23)에서 에칭된다.
- <119> 커버링 층(27)은 다시 이미 형성된 전체 트렌치에서 제거되고 증착된다. 하드 마스크 층이 제거되고 새로운 선택적 에피택시 방법이 수행되어, 제3에피택셜 층(24)을 형성한다. 도 23에 도시된 구조가 생성된다.
- <120> SiO<sub>2</sub> 층(3), Si<sub>3</sub>N<sub>4</sub> 층(4) 및 BPSG 층(12)을 포함하는 하드 마스크가 재차 적용되고, 포토레지스트 층(13)이 공지된 방법들에 의하여 적용되며 이전 리소그래피 단계들 동안 사용된 것에 대응되는 트렌치 마스크를 사용하여 노광된다. 앞선 단계들에서와 같이, 하드 마스크가 포토리소그래피적으로 패터닝된다. 그 다음, 부분적 트렌치들이 제3에피택셜 층(24)에서 상술된 방식으로 에칭된다.
- <121> 후속하여, 저부 캐패시터 전극(6)은, 저장 유전체(7) 및 최상부 캐패시터 전극(8)이 형성된다. 이 경우에, 저부 캐패시터 전극은 다시 n<sup>+</sup>-도핑 영역(6)으로 형성된다. 예를 들어, 이는, 제1실시예에서와 같이, 비소-도핑 규산염 유리층으로부터 반도체 기판(2) 및 그에 대해 적용되는 에피택셜 층(11,23,24)내로의 아웃디퓨전에 의하여, 예를 들어 50nm의 층 두께를 갖는 비소-도핑 규산염 유리층 및 20nm의 두께를 갖는 TEOS-SiO<sub>2</sub> 층의 증착과 그에 이어지는 120초간의 1000℃에서의 열처리단계에 의하여 수행될 수 있다. 대안으로서, 가스상 도핑은, 예를 들어 900℃, 3TBA[33%], 12분과 같은 파라미터들을 이용하여 수행될 수도 있다.
- <122> 이 후, 4.7nm 두께를 갖는 Si<sub>3</sub>N<sub>4</sub> 층 및 1.5nm 두께를 갖는 SiO<sub>2</sub> 층이 유전체 층(7)으로서 증착된다. 후속하여, 300nm의 인-시튜 도핑 폴리실리콘이 증착된다.
- <123> 제1실시예와 유사하게, 증착된 폴리실리콘 층(8)은 화학적 기계적 폴리싱에 의하여 평탄화되며, 제3에피택셜 층(24)의 표면 아래로 대략 10nm까지 에칭된다. 실리콘 이산화물로 만들어진 실링 층(9)은, 제1실시예와 유사하게 12nm 또는 15nm의 층 두께를 갖는 HDP 방법 또는 열적 산화에 의하여 형성된다.
- <124> 후속하여 형성될 제4에피택셜 층(25)에서 에칭될 트렌치들은 기존 트렌치들보다 작은 폭을 갖기 때문에, 이 경

우에 있어서의 실링 층(9) 또한 2개의 캐패시터 전극들(6,8)의 연속적인 절연을 확보해야 하는 역할을 갖는다.

- <125> 도 24는 그에 따른 구조를 나타내고 있다. 도 24에 나타난 바와 같이, 갱신된 선택적 에피택셜 방법이 후속해서 수행되고, 그 결과 4.3 $\mu$ m의 층 두께를 갖는 에피택셜 층(25)이 재차 증착된다. 제1실시예와 유사하게, 상기 에피택셜 층(25)이 패터닝됨에 있어, 먼저 SiO<sub>2</sub> 층(3), Si<sub>3</sub>N<sub>4</sub> 층(4) 및 BPSG 층(12)이 하드 마스크 층으로서 적용된 다음, 포토레지스트 층(13)이 적용되고 트렌치 마스크를 이용하여 노광된다. 이 최근 패터닝 단계동안 사용되는 트렌치 마스크는 앞서 사용된 마스크보다 작은 개구부들을 갖는다. 결과적으로, 메모리 셀들의 공간 요건은 저감시키면서도 저장 캐패시터의 높은 캐패시턴스 및 최상부 전극(8)의 높은 컨덕턴스를 획득하는 것이 가능하다. 이것이 도 24에 도시되어 있다.
- <126> 도 8 내지 12에 설명된 방법 단계들과 유사하게, 캐패시터 트렌치들은 제4에피택셜 층(25)에서 에칭된다. 이것이 도 25에 예시되어 있다.
- <127> 실링 층(9)의 노출된 부분, 즉 보다 작은 직경을 갖는 부분적 트렌치(30)들의 에칭에 의하여 노출되는 부분들이 제거된다. 이 후, 저부 캐패시터 전극은 상술된 방법과 유사하게 상부 트렌치 영역에 형성되고, -일반적으로 공지된 바와 같이- 추후 절연 칼라가 형성되는 최상부 트렌치 영역이 도펀트 확산에 대하여 적절히 보호되어야 한다는 사실을 다시 고려할 필요가 있다.
- <128> 이 후, 공지된 방법들에 따르면 유전체 층(7)이 형성되고, 예를 들어 비결정-Si(a-Si)으로 만들어진 스페이서 층(14)이 상부 트렌치 영역에 형성된다. 스페이서 층(14)의 제거 후에, 전체 상부 트렌치 영역은 300nm의 두께를 갖는 추가의 인-시튜 n<sup>+</sup>-도핑 폴리실리콘 층(8)으로 채워져, 도 26에 나타난 구조를 생성한다.
- <129> 제1실시예에 기술된 방법 시퀀스와 유사하게, 트렌치 캐패시터가 완성되고, 메모리 셀의 추가 구성요소들이 제공된다. 마무리된 메모리 셀이 도 27에 도시되어 있다.
- <130> 도 26 및 27에서 알 수 있듯이, 본 발명에 따른 트렌치 캐패시터는, 제4에피택셜 층(25)을 통해 나아가는 상부 트렌치 영역에서보다, 반도체 기판(2), 에피택셜 층(11), 제2에피택셜 층(23), 제3에피택셜 층(24)에 의하여 형성되는 그것의 하부 트렌치 영역에서, 보다 큰 트렌치 단면을 가진다. 제4에피택셜 층(25)이 형성되기 이전에는 저부 캐패시터 전극(6a), 유전체 층(7) 및 상부 캐패시터 전극(8)이 상기 하부 트렌치 영역에서 형성될 수 있다는 사실로 인해, 모든 층들을 쉬링크 홀(shrink hole)들 없이 채울 수 있으며, 그 결과, 특히 최상부 캐패시터 전극(8)의 컨덕턴스를 증가시키는 것이 가능하다. 하부 트렌치 부분에 형성되는 유전체 층(7)은, 최종 부분적 트렌치의 에칭 후에 제거되지 않은 실링 층(9)의 수평방향 단면을 통해 상부 트렌치 부분에 형성되는 유전체 층(7)과 링크된다.
- <131> 제2실시예의 추가적인 변형례에 따르면, 물론 언더라이닝 트렌치들의 경우에서와 동일한 단면을 갖는 제4에피택셜 층(25)에서 캐패시터 트렌치들을 에칭하는 것 또한 가능하다. 이 경우에, 저부 캐패시터 전극(6), 유전체 층(7) 및 최상부 캐패시터 전극(8)은 제4에피택셜 층(25)의 적용 및 패터닝 후에 형성될 수 있다. 이 경우에, 캐패시터 전극들 및 유전체 재료는 에피택시 방법이 진행되는 동안 큰 열적 부하를 견디지 못하는 재료들을 포함하는 것이 유리할 수 있다.
- <132> 예를 들면, 특히 하부에 자리한 도핑 층을 갖는 실리사이드 층이 저부 캐패시터 전극으로서 사용될 수도 있다. 매우 적절한 실리사이드 층은 금속 실리사이드 층, 예를 들어 내화 금속 실리사이드 층이며, 이것은 언더라이닝 도핑 층을 통해 기판과 링크된다. 언더라이닝 도핑 층은 앞선 방법과 유사하게 형성된다.
- <133> 또한, 금속층 및 배리어층을 포함하는 스택을 사용할 수도 있다. 이 경우에, 절연체 층, 특히 SiO<sub>2</sub>를 포함하는 배리어 층은 트렌치 벽상에 직접적으로 적용되며 그것의 하부 영역에서 개방되어 그 위에 자리한 금속층과의 전기적 접촉을 가능하게 한다. 금속층은 TiN, W, CO, Ta, Mo 또는 여타 내화 금속들이나 내화 금속 혼합물을 포함한다. 특히, 소위 고-k 재료 역시 저장 유전체로서 사용될 수 있으며, 특히 폴리실리콘이나 대안적으로는 금속 또는 금속 실리사이드가 최상부 캐패시터 전극으로서 사용될 수도 있다.
- <134> 최상부 캐패시터 전극(8), 유전체 층(7) 및 저부 캐패시터 전극(6a)을 위한 상술된 재료들이나 재료 조합물들의 사용은, 캐패시터의 캐패시턴스가 그에 의해 더욱 증가될 수 있도록 하는데 유리하다.
- <135> 제2실시예의 추가적 방법의 변형례에 따르면, 실리콘 기판에서의 트렌치(5)의 에칭 후에, 상기 트렌치는 예를 들어 SiO<sub>2</sub>로 만들어진 적합한 희생 층(26)으로 채워질 수 있다. 이것이 도 17b에 도시되어 있다. 부분적 트렌치(30)를 에칭하는 각 단계 후에, 각각 생성되는 부분적 트렌치가 희생 층(26)으로 채워질 수 있다는 사실은 제조

방법을 보다 단순화시킬 수 있다.

<136> 본 발명에 대해 실시예들을 참조하여 설명하였으나, 그 설명은 제한의 의미를 가지고 구성된 것은 아니다. 당업자라면, 상기 설명을 참조하여 상기 실시예들의 다양한 수정 및 조합들뿐 아니라 본 발명의 여타 실시예들을 이해할 수 있을 것이다. 따라서, 첨부된 청구항들은 어떠한 수정례 또는 실시예들도 포괄할 수 있다는 것을 이해해야 한다.

**발명의 효과**

<137> 본 발명에 따르면, 반도체 기판에, 큰 중형비를 갖는 트렌치들을 필요로 하는 어플리케이션의 다양한 영역에서 사용될 수 있는 상기 큰 중형비를 갖는 트렌치들을 제조하는데 사용될 수 있는 방법을 얻을 수 있다.

**도면의 간단한 설명**

- <1> 본 발명은 첨부 도면을 사용하여 상세히 설명될 것이다.
- <2> 도 1 내지 12는 본 발명의 제1실시예에 따른 트렌치 캐패시터 제조 단계들;
- <3> 도 13은 메모리 셀을 제조하는 방법의 추가 단계;
- <4> 도 14는 제1실시예에 따라 마무리된(finished) 메모리 셀의 기본 구성요소들의 단면도;
- <5> 도 15는 8 F2 셀 아키텍처의 레이아웃;
- <6> 도 16 내지 26은 본 발명의 제2실시예에 따른 트렌치 캐패시터 제조 단계들;
- <7> 도 27은 본 발명의 제2실시예에 따라 마무리된 메모리 셀의 기본 구성요소들의 단면도이다.

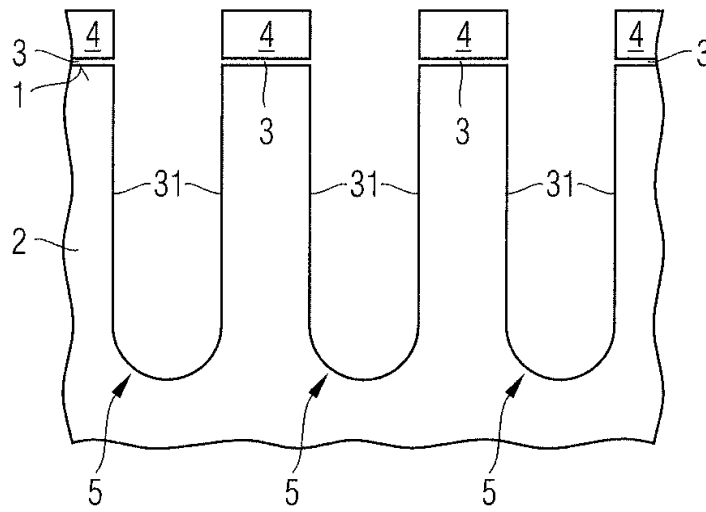
도면의 주요부분에 대한 부호의 설명

- <9> 1       표면
- <10> 2       반도체 기판
- <11> 3       SiO<sub>2</sub> 층
- <12> 4       Si<sub>3</sub>N<sub>4</sub> 층
- <13> 5       트렌치
- <14> 6       n<sup>+</sup>-도핑 영역
- <15> 6a      저부 캐패시터 전극
- <16> 7       유전체 층
- <17> 8       최상부 캐패시터 전극
- <18> 9       실링 층
- <19> 10      에피텍셜 캐비티
- <20> 11      선택적 에피텍셜층
- <21> 12      BPSG 층
- <22> 13      포토리저리스트 층
- <23> 14      스페이서
- <24> 15      n<sup>+</sup>-도핑 영역
- <25> 16      에피텍셜 층의 표면
- <26> 17      절연 칼라

- <27> 18 절연 구조체
- <28> 19 n<sup>+</sup>-도핑 영역
- <29> 20 폴리실리콘 필링
- <30> 21 게이트 전극
- <31> 22A, 22B 제1 및 제2 소스/드레인 영역
- <32> 23 제2 에피텍셜 층
- <33> 24 제3 에피텍셜 층
- <34> 25 제4 에피텍셜 층
- <35> 26 희생(sacrificial) 층
- <36> 27 커버링 층
- <37> 28 트렌치 캐패시터
- <38> 29 선택 트랜지스터
- <39> 30 부분적 트렌치
- <40> 31 트렌치 벽

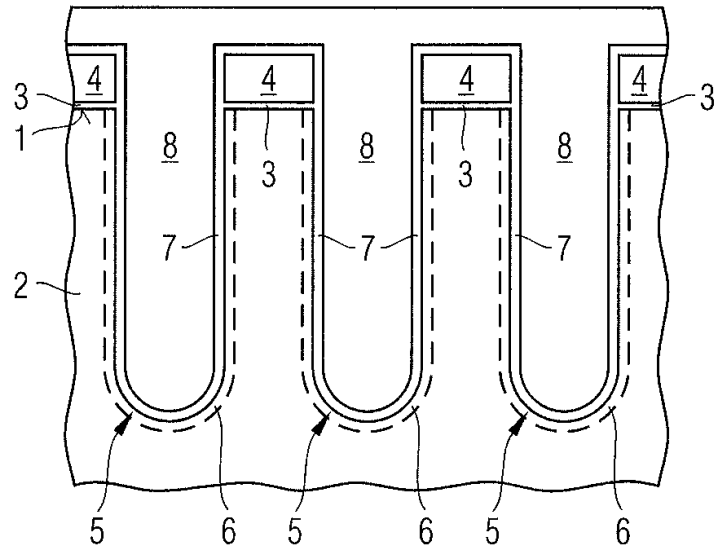
도면

도면1

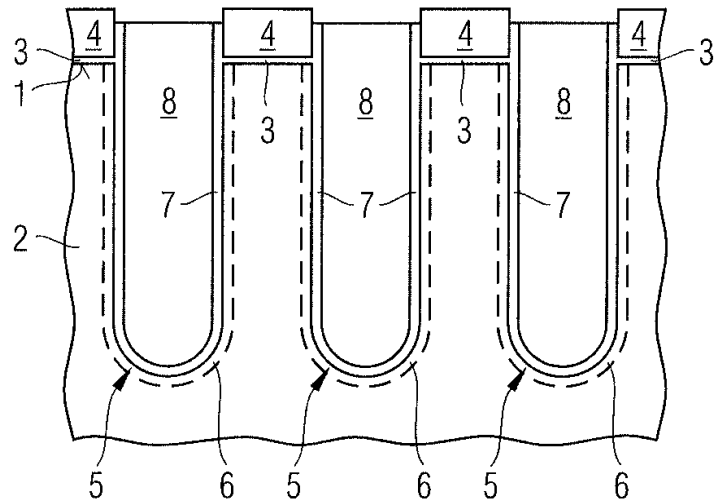




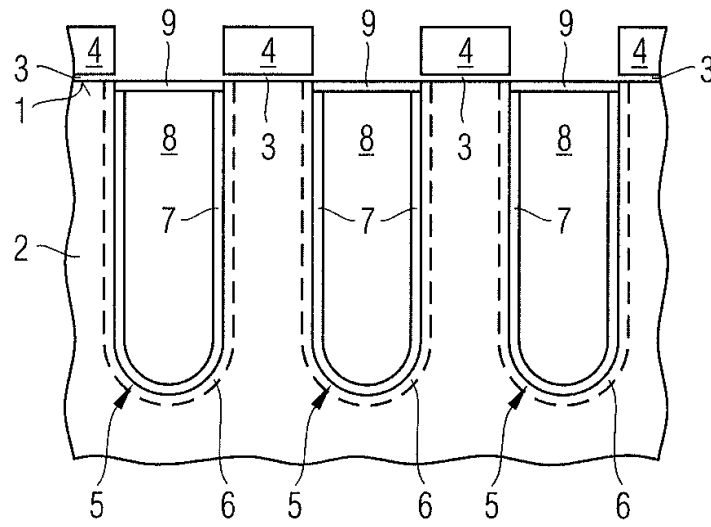
도면2



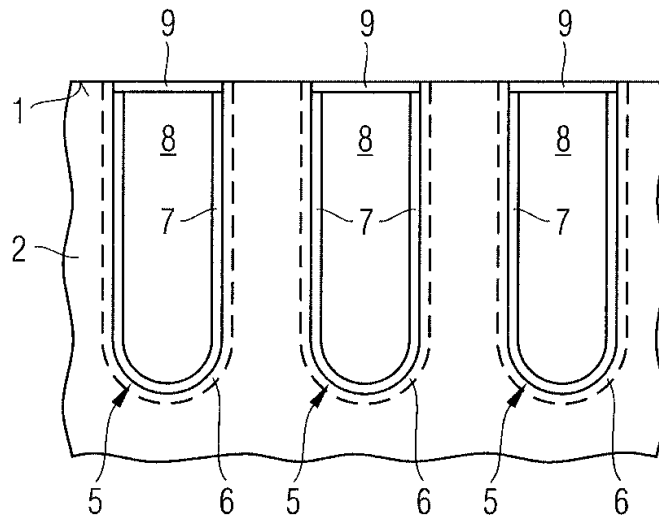
도면3



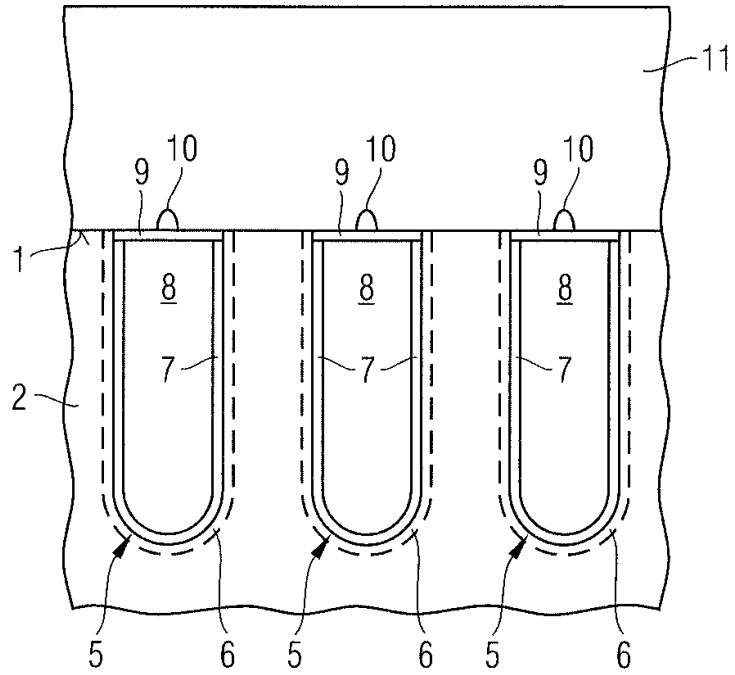
도면4



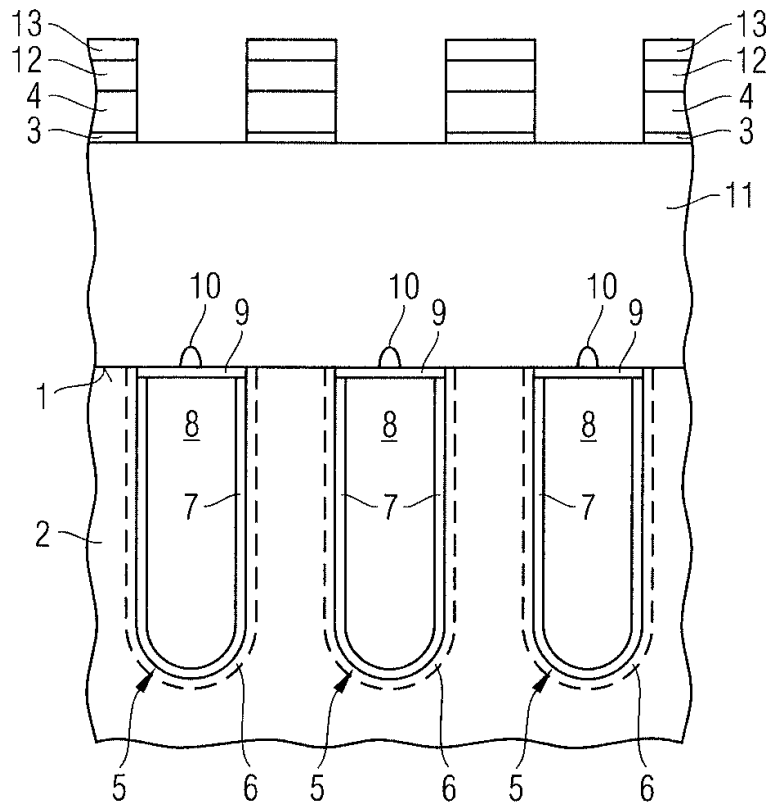
도면5



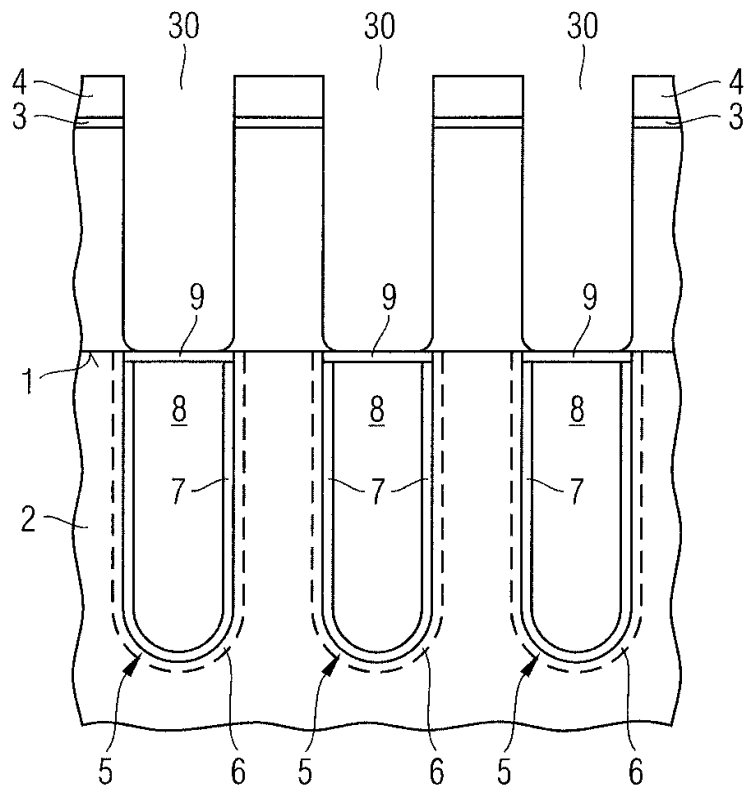
도면6



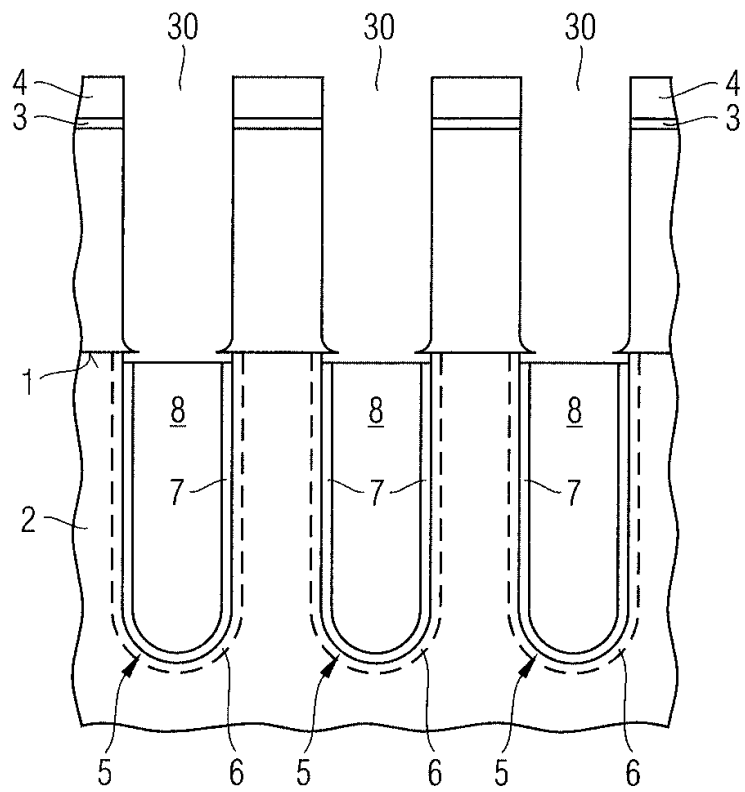
도면7



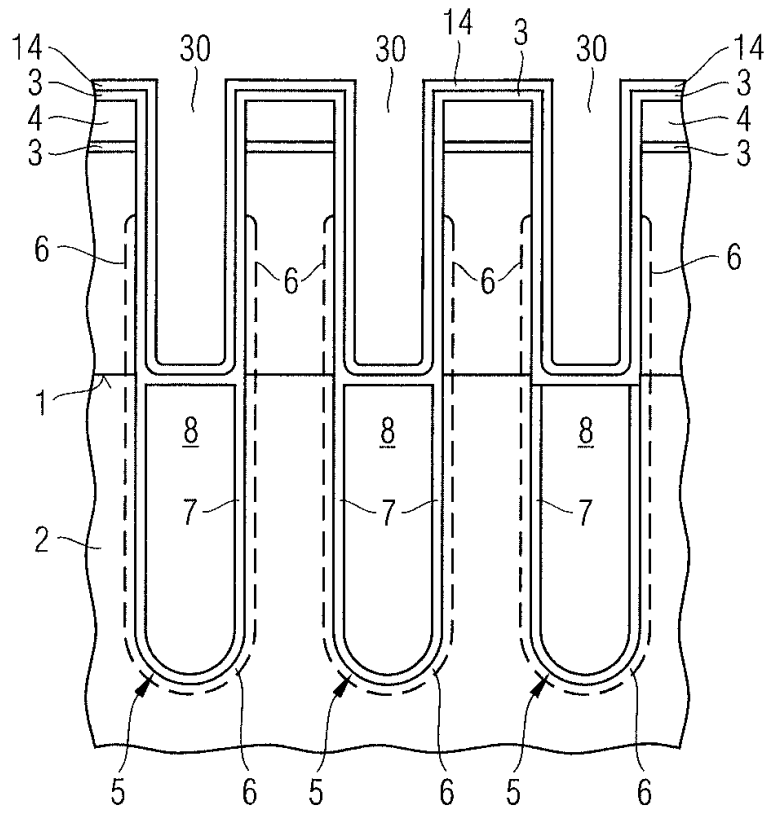
도면8



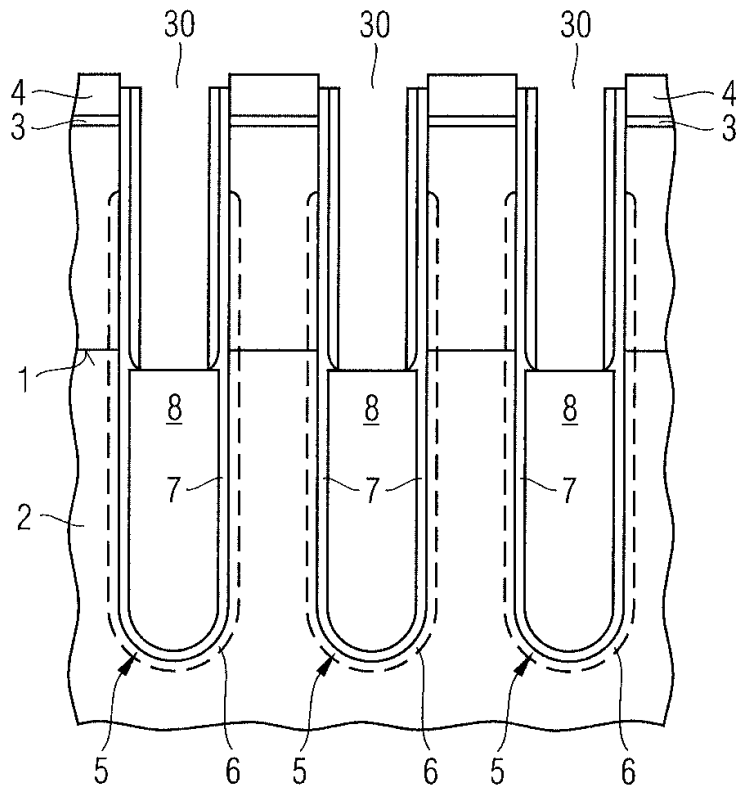
도면9



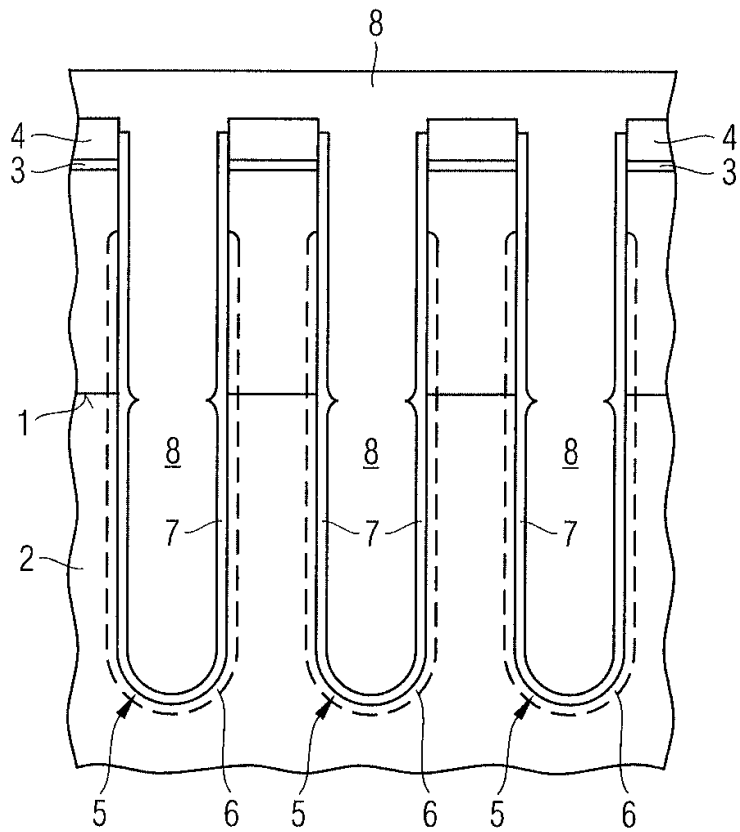
도면10



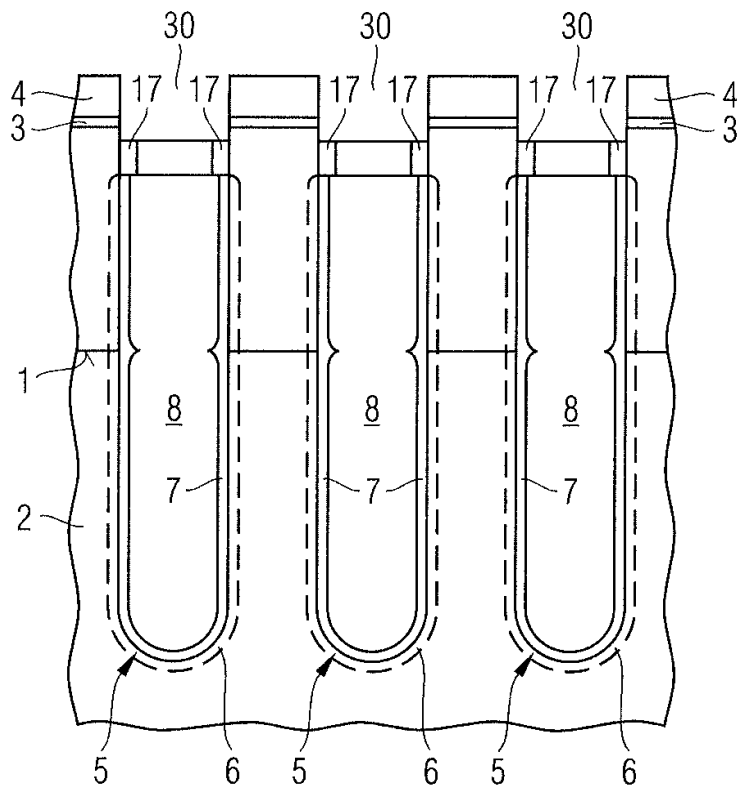
도면11



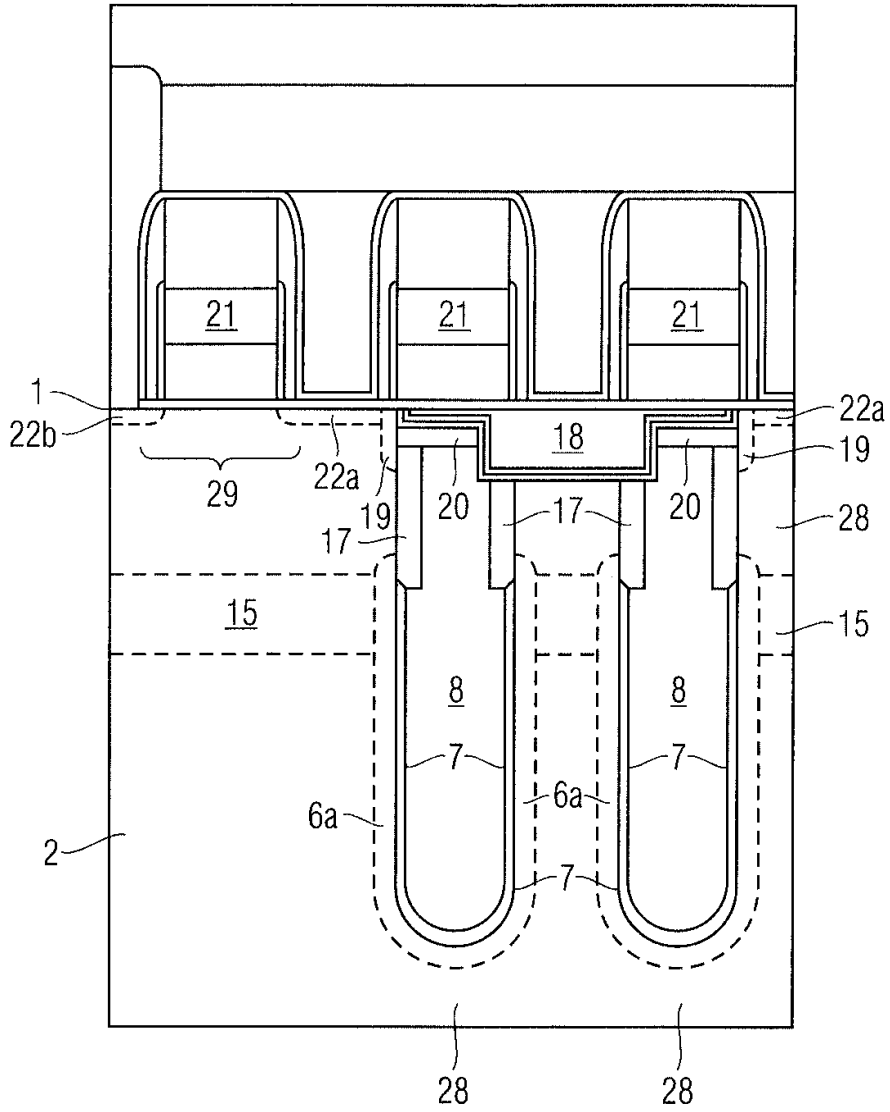
도면12



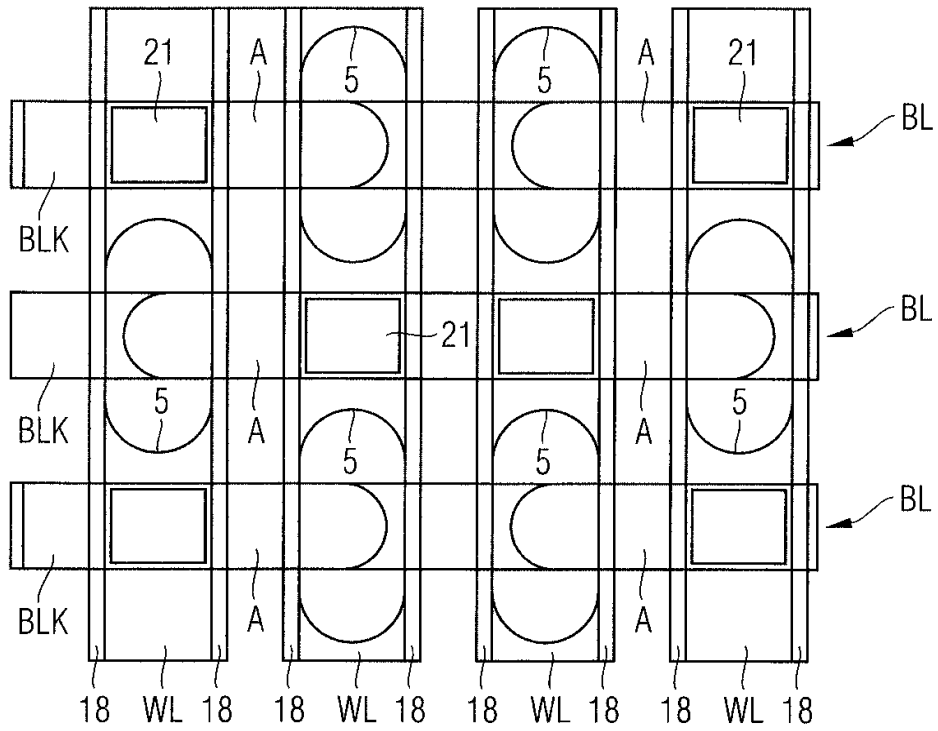
도면13



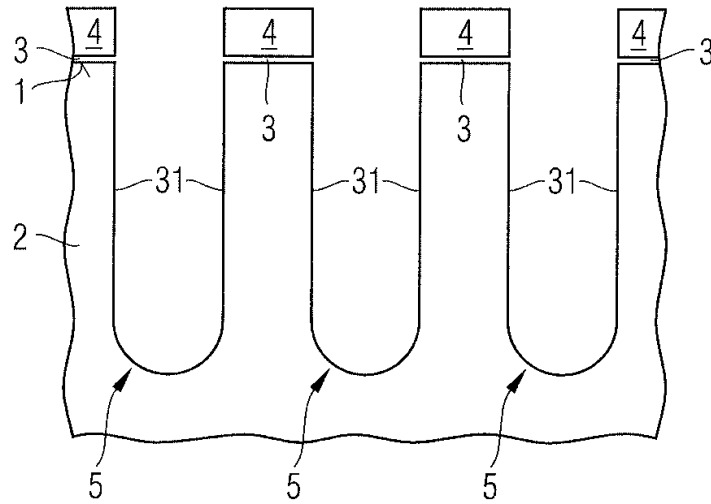
도면14



도면15

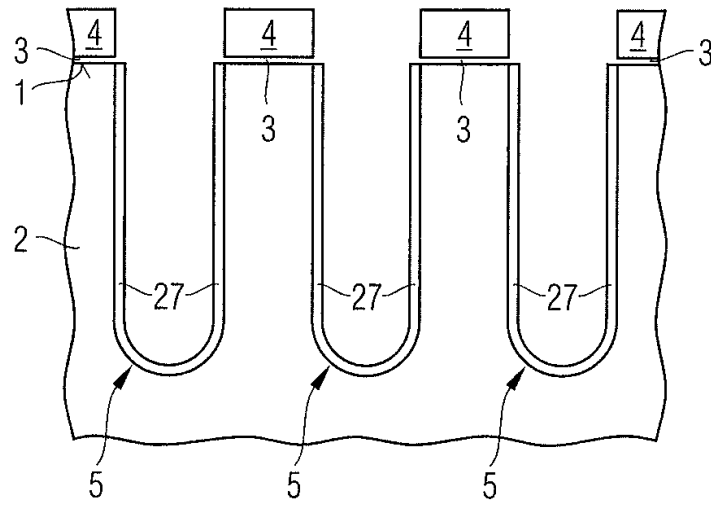


도면16

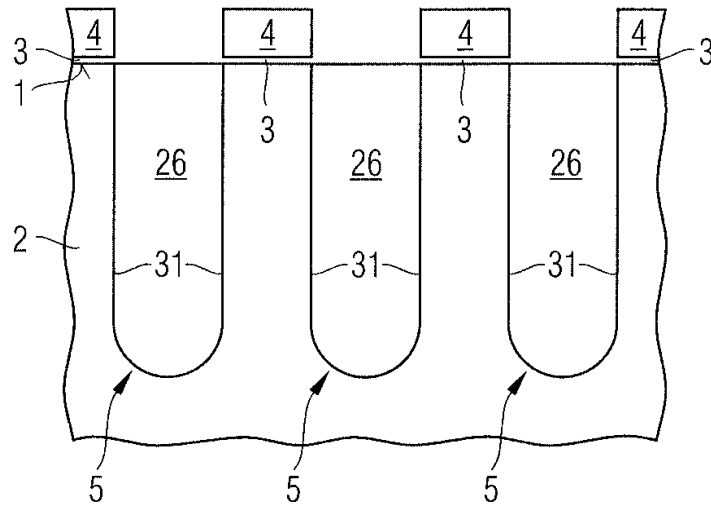




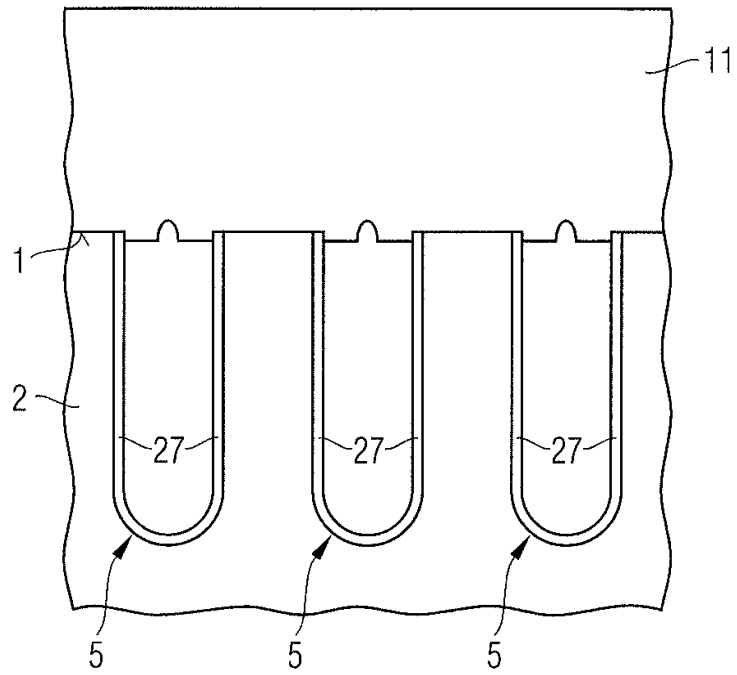
도면17a



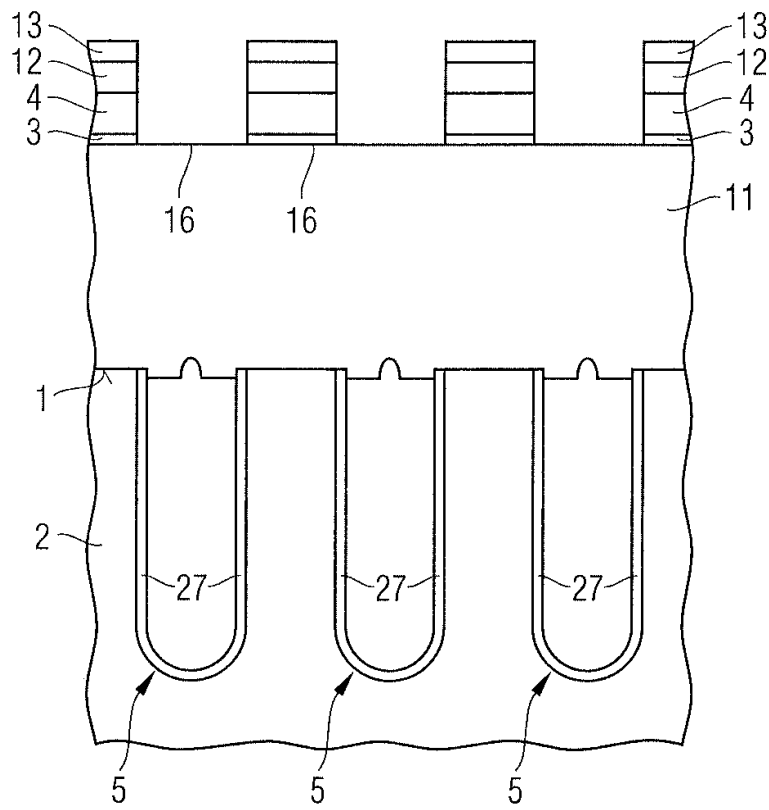
도면17b



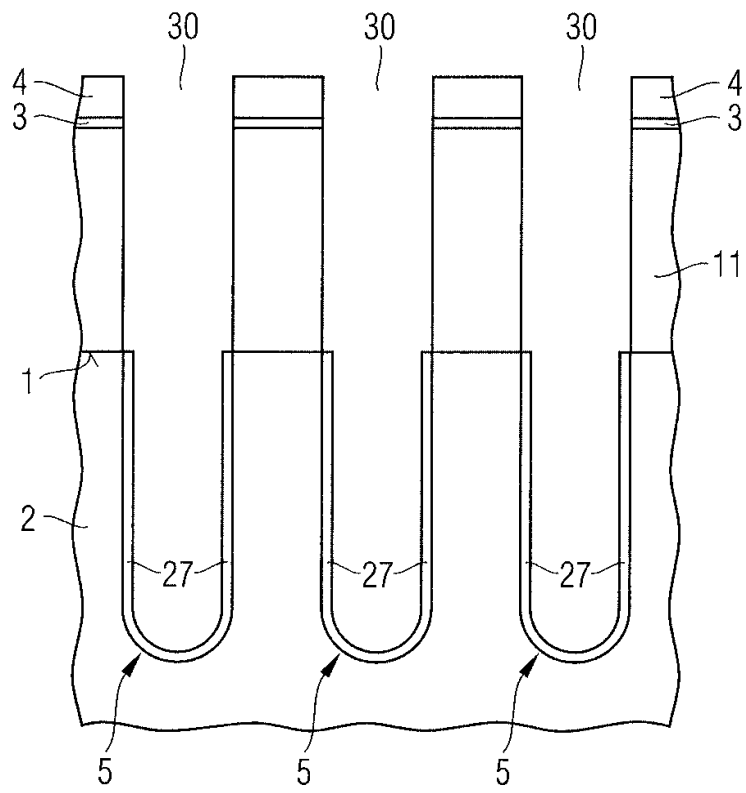
도면18



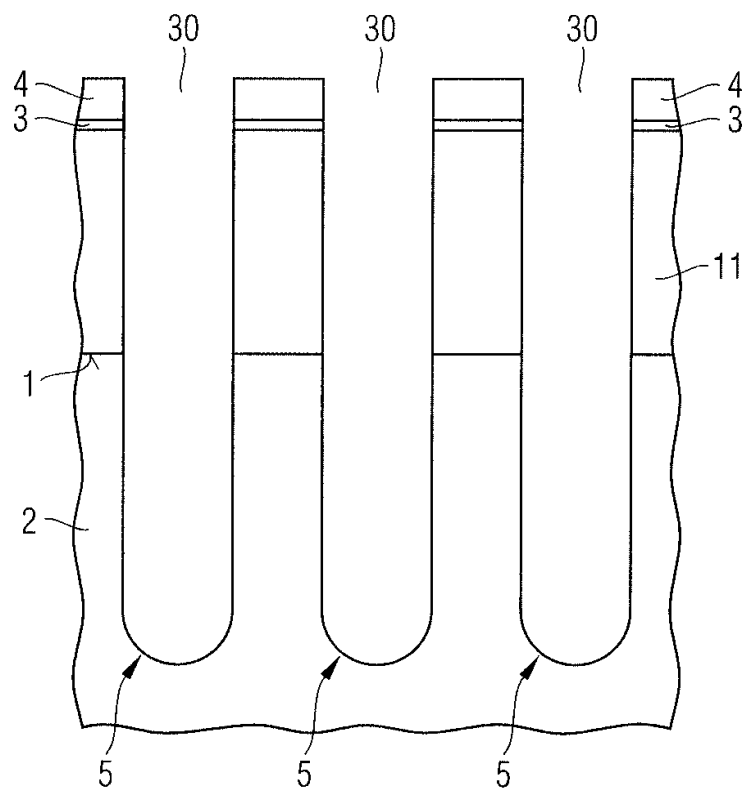
도면19



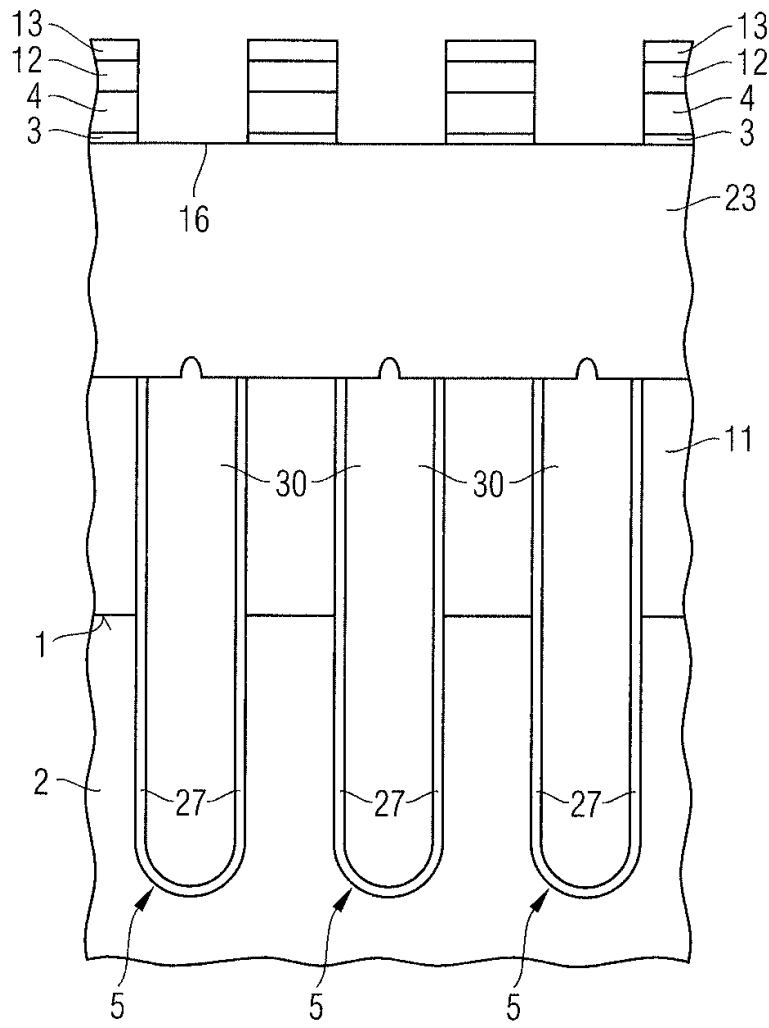
도면20



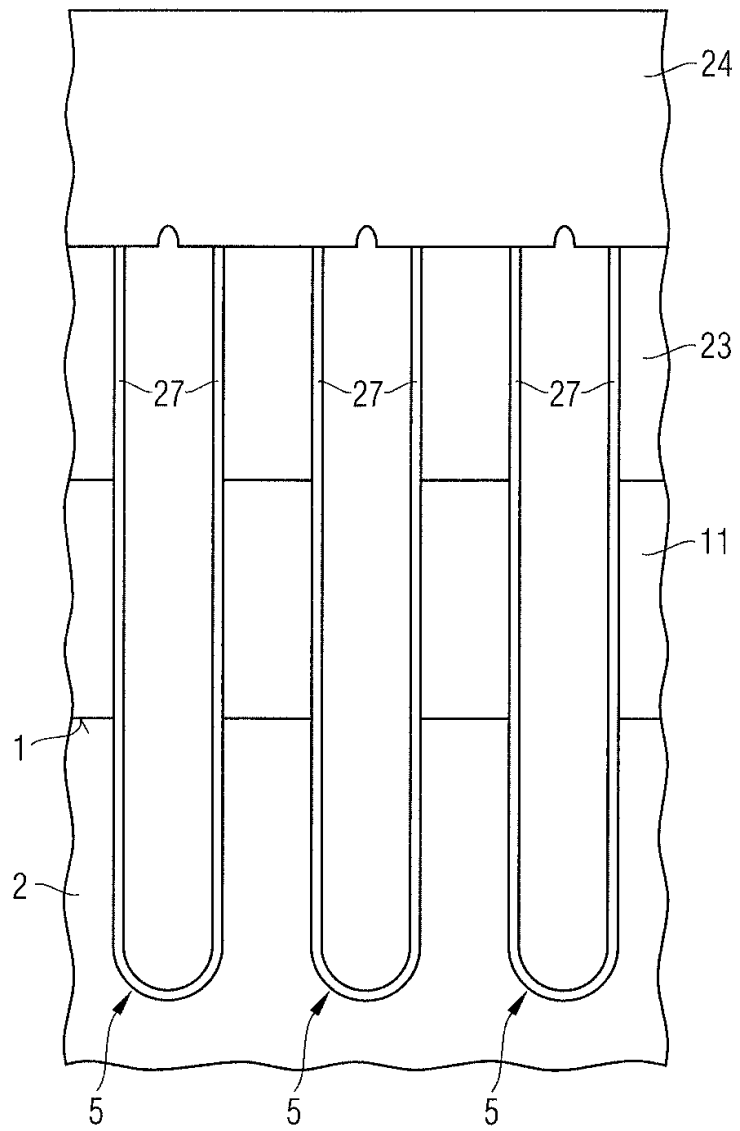
도면21



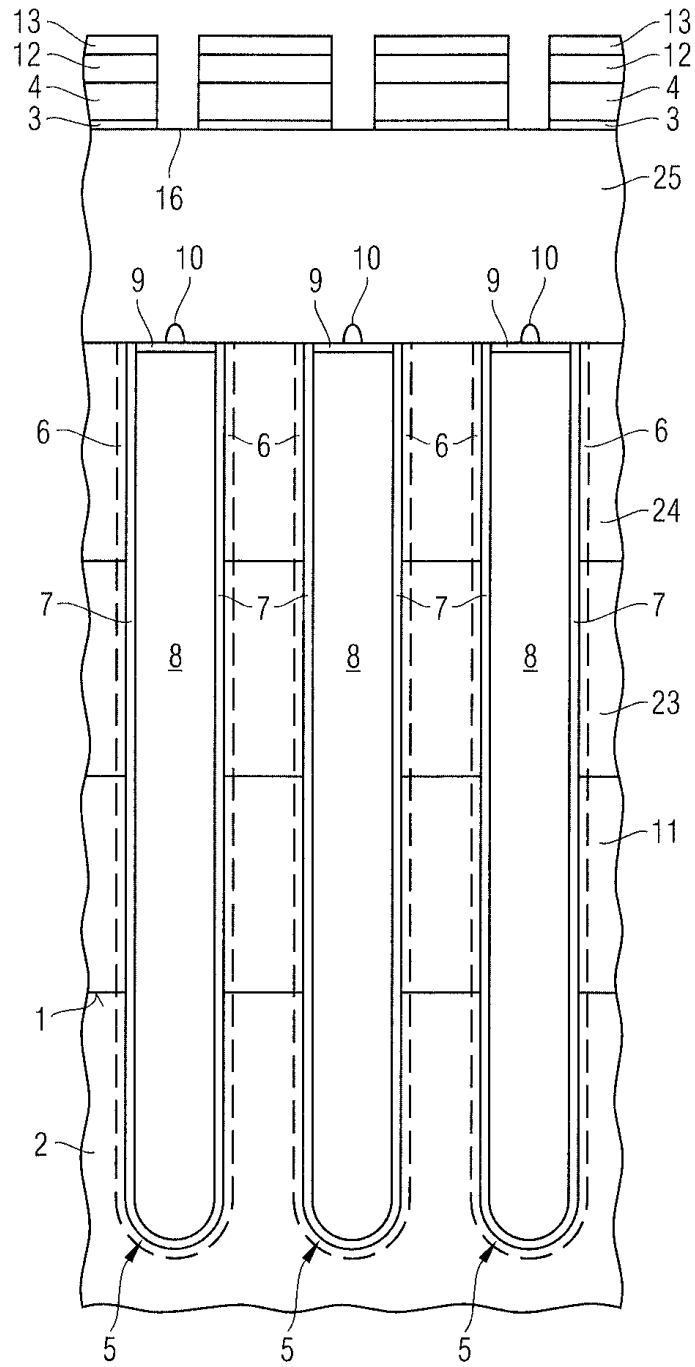
도면22



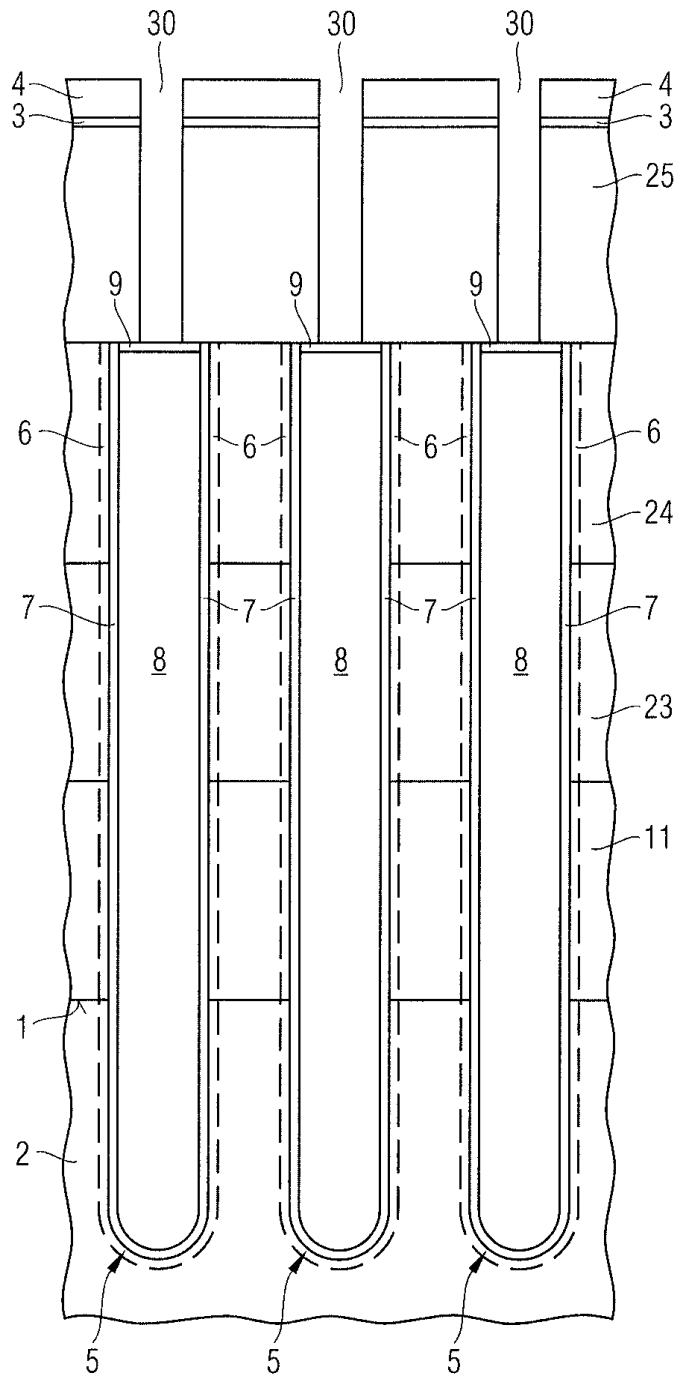
도면23



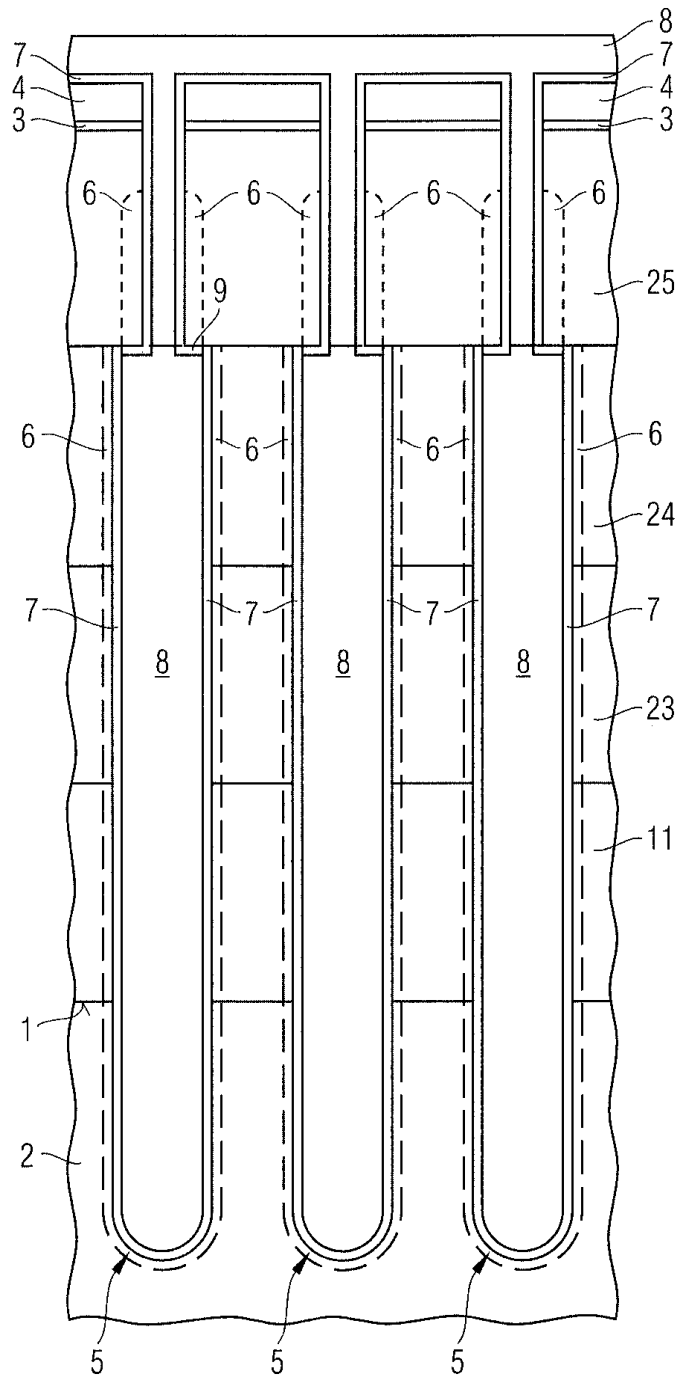
도면24



도면25



도면26





도면27

