

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-110284
(P2009-110284A)

(43) 公開日 平成21年5月21日(2009.5.21)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 11/22 (2006.01)	G06F 11/22 360E	5B035
G09G 5/00 (2006.01)	G09G 5/00 555D	5B048
G09G 5/391 (2006.01)	G09G 5/00 550X	5B058
G06K 17/00 (2006.01)	G09G 5/00 520V	5C082
G06K 19/00 (2006.01)	G09G 5/00 X	

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2007-282059 (P2007-282059)
(22) 出願日 平成19年10月30日(2007.10.30)

(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番1号
(74) 代理人 100078868
弁理士 河野 登夫
(72) 発明者 菅原 昌夫
大阪府大阪市中央区城見二丁目2番53号
富士通関西中部ネットテック株式会社内
Fターム(参考) 5B035 AA11 BB09 BC08 CA11 CA32
CA33
5B048 AA14 CC17 DD05 FF04
5B058 CA01 KA08 KA27
5C082 AA31 BB02 BB25 BC19 CA84
CA85 CB01 DA61 DA76 DA87
EA20 MM01 MM02

(54) 【発明の名称】 信号処理装置、カード型デバイス及び障害再現方法

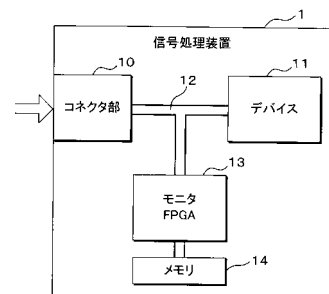
(57) 【要約】

【課題】 障害が発生した時点で実際に入力された信号をより忠実に再現することが可能である信号処理装置、カード型デバイス及び信号処理装置における障害再現方法を提供する。

【解決手段】 コネクタ部10から実際にデバイス11に入力される信号はモニタFPGA13へも入力される。モニタFPGA13は、入力される信号を該信号の周波数よりも高い周波数でサンプリングし、サンプリングした結果をメモリ14へ記録し続ける。デバイス11で障害が発生した場合、モニタFPGA13によるメモリ14への記録が停止される。これにより、障害が発生した時点でデバイス11へ入力されていた信号が遡って記録されていることとなる。メモリ14の記録から入力信号/位相関係を復元してデバイス11に入力することにより、障害発生に至った状況を再現する。

【選択図】 図1

本実施の形態における信号処理装置の構成を示すブロック図



【特許請求の範囲】**【請求項 1】**

外部からの信号を入力する入力部と、
該入力部が入力した信号に基づいて障害を検出する信号処理部と、
前記入力部から前記信号処理部へ入力される信号を、該信号の周波数よりも高い周波数でサンプリングするサンプリング手段と、
該サンプリング手段がサンプリングした信号を記録する記録手段と
を備え、
前記信号処理部にて障害が検出された際に、前記記録手段への記録を停止するようにしてあること
を特徴とする信号処理装置。

10

【請求項 2】

前記入力部から前記信号処理部への信号の入力を遮断する手段と、
前記記録手段が記録した信号を前記信号処理部へ入力する手段と
を更に備えることを特徴とする請求項 1 に記載の信号処理装置。

【請求項 3】

前記入力部が入力した信号の周波数を判定する判定手段と、
前記サンプリング手段によるサンプリング周波数を、前記判定手段が判定した周波数よりも高く設定する手段と
を更に備えることを特徴とする請求項 1 又は 2 に記載の信号処理装置。

20

【請求項 4】

外部からの信号を入力するコネクタ部と、
該コネクタ部とバスを介して接続されており、前記コネクタ部が入力した信号に基づいて障害を検出するデバイスと、
前記コネクタ部から前記デバイスへ入力される信号を、該信号の周波数よりも高い周波数でサンプリングするサンプリング手段と、
該サンプリング手段がサンプリングした信号を記録する記録手段と
を備え、
前記デバイスにて障害が検出された際に、前記記録手段への記録を停止するようにしてあること
を特徴とするカード型デバイス。

30

【請求項 5】

外部から信号を入力する入力部と、該入力部が入力した信号に基づいて所定の処理を行なう信号処理部とを備える信号処理装置で発生する障害を再現する障害再現方法において、
前記入力部から前記信号処理部へ入力される信号を、該信号の周波数よりも高い周波数でサンプリングし、
サンプリングした信号を記録し、
前記信号処理部における障害が検出された場合、
前記入力部から前記信号処理部への信号の入力を遮断し、
記録しておいた信号を前記信号処理部へ入力することを特徴とする障害再現方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、入力された信号に基づく処理を行なう信号処理装置で障害が発生した場合に、その原因となる信号を再現する方法に関し、特に、障害が発生した時点で実際に入力された信号をより忠実に再現することが可能である信号処理装置、カード型デバイス及び信号処理装置における障害再現方法に関する。

【背景技術】

50

【 0 0 0 2 】

近年では、CPU (Central Processing Unit)、メモリ、ビデオチップ、ネットワークチップ等、多数のデバイスにおける高速処理化の技術が進歩している。高速に処理を行なうため、信号の周波数が高いと共に、同期された複数の信号がバスを介してパラレル伝送され、夫々の信号間の位相関係に基づいて処理が行なわれている。

【 0 0 0 3 】

例えば、メモリにデータを高速に書き込む場合、データの書き込み先のアドレスを示す信号と、データ信号とを含む複数の信号がパラレル伝送されることによって高速伝送を実現している。

【 0 0 0 4 】

これに対し、各デバイスに入力される信号が予期しない波形であることが原因で、デバイスで障害が発生する場合がある。また、信号がパラレル伝送されて入力される場合、何らかの原因で信号間で位相がずれた場合、デバイスで障害が発生する場合がある。

【 0 0 0 5 】

障害が発生した場合にその原因を究明するための方法として、障害が発生した時点で実行されていた処理をログ等に記録しておく方法がある。

【 0 0 0 6 】

特許文献 1 には、プロセス入出力装置から入力されるプロセス信号に基づいてプロセスの監視をする系統監視計算機システムで、システムにおける異常が検出された場合に、その前後に監視対象からプロセス入出力装置を介して入力されるプロセス信号をサンプリングして保存しておき、プロセス信号の波形を表示させることができる技術が開示されている。これにより、計算機システムの実稼動に支障を来たすことなく異常時に行なわれていたプロセスを再現させることができる。

【特許文献 1】特開平 6 - 6 8 3 6 9 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

しかしながら、結果として障害が発生している場合でも、デバイスで実行された処理は入力された信号に対しては正常な処理であるときがある。デバイスにおける処理を記録しており、処理自体を再現することは可能であるとしても、デバイスでは入力された信号に従った処理の記録が残されるのみである。この場合、入力された信号をより忠実に再現できなければ、障害の原因を究明することは難しい。

【 0 0 0 8 】

また、高速に信号がパラレル伝送される場合、各信号の波形が正しいとしても位相がずれたときには、誤った処理が行なわれるときがある。例えば、メモリにデータを高速に書き込む場合、アドレス信号とデータ信号とで位相がずれたときには、本来書き込まれるべきアドレス以外のアドレスにデータが書き込まれることになる。しかしながら、この場合に書き込まれたアドレス及びデータをログに記録したとしても、入力された信号に従って処理が行なわれたことが記録されるのであって、入力された信号が障害を発生させる信号であったか否かをログから判断することは難しい。

【 0 0 0 9 】

さらに、障害を発生させた信号は稀な原因によって入力された信号である場合があり、そのような信号を推測して擬似的に再現することは難しい。想定した原因が異なる場合には同一の障害は再現されない。

【 0 0 1 0 】

本発明は斯かる事情に鑑みてなされたものであり、入力された信号に基づき所定の処理を行なう信号処理部 (デバイス) へ入力された信号を該信号の周波数よりも高周波数でサンプリングして記録し、障害が検出された場合に記録を停止する構成とすることにより、障害が発生した時点で入力されていた信号を確実に記録しておき、忠実に再現することを可能とする信号処理装置及びカード型デバイスを提供することを目的とする。

10

20

30

40

50

【0011】

本発明の他の目的は、入力された信号を記録しておき、更に実際の信号処理部へ記録された信号を入力する構成とすることにより、実際に信号処理部で障害を再現させることができる信号処理装置及び障害再現方法を提供することにある。

【0012】

本発明の他の目的は、入力された信号の周波数を判定する構成とすることにより、実際に信号処理部へ入力される信号をより忠実に再現することを可能とする信号処理装置を提供することにある。

【課題を解決するための手段】

【0013】

第1発明に係る信号処理装置は、外部からの信号を入力する入力部と、該入力部が入力した信号に基づいて障害を検出する信号処理部と、前記入力部から前記信号処理部へ入力される信号を、該信号の周波数よりも高い周波数でサンプリングするサンプリング手段と、該サンプリング手段がサンプリングした信号を記録する記録手段とを備え、前記信号処理部にて障害が検出された際に、前記記録手段への記録を停止するようにしてあることを特徴とする。

10

【0014】

第2発明に係る信号処理装置は、前記入力部から前記信号処理部への信号の入力を遮断する手段と、前記記録手段が記録した信号を前記信号処理部へ入力する手段とを更に備えることを特徴とする。

20

【0015】

第3発明に係る信号処理装置は、前記入力部が入力した信号の周波数を判定する判定手段と、前記サンプリング手段によるサンプリング周波数を、前記判定手段が判定した周波数よりも高く設定する手段とを更に備えることを特徴とする。

【0016】

第4発明に係るカード型デバイスは、外部からの信号を入力するコネクタ部と、該コネクタ部とバスを介して接続されており、前記コネクタ部が入力した信号に基づいて障害を検出するデバイスと、前記コネクタ部から前記デバイスへ入力される信号を、該信号の周波数よりも高い周波数でサンプリングするサンプリング手段と、該サンプリング手段がサンプリングした信号を記録する記録手段とを備え、前記デバイスにて障害が検出された際に、前記記録手段への記録を停止するようにしてあることを特徴とする。

30

【0017】

第5発明に係る信号処理装置における障害再現方法は、外部から信号を入力する入力部と、該入力部が入力した信号に基づいて所定の処理を行なう信号処理部とを備える信号処理装置で発生する障害を再現する障害再現方法において、前記入力部から前記信号処理部へ入力される信号を、該信号の周波数よりも高い周波数でサンプリングし、サンプリングした信号を記録し、前記信号処理部における障害が検出された場合、前記入力部から前記信号処理部への信号の入力を遮断し、記録しておいた信号を前記信号処理部へ入力することを特徴とする。

【0018】

本発明では、外部から入力部によって信号処理部（デバイス）へ入力される実信号が、実信号よりも高い周波数でサンプリングされて記録される。入力部によって入力される信号がデジタル信号であっても、信号処理部へ入力されるまでのバスで伝送される信号をより高い周波数でサンプリングするので、よりアナログ的な実信号に近い信号を記録することが可能となる。また、外部から入力部によって信号が入力されている間は記録が継続して行なわれ、障害が検出された場合に記録が停止される。これにより、障害が発生した時点で入力された信号を過去に遡って記録することができ、また、新しく記録される信号によって障害が発生した時点で入力された信号が上書きされることが回避される。

40

【0019】

本発明では、信号処理部における障害が発生した時点で信号処理部へ入力されている信

50

号がサンプリングされて記録されており、更に、記録されていた信号が信号処理部へ入力される。これにより、入力される信号を原因として発生する障害が再現される。

【0020】

本発明では、外部から入力部によって入力される信号の周波数が判定され、サンプリングする際のサンプリング周波数が判定された周波数よりも高い周波数に設定される。これにより、入力される実信号が忠実に再現される。

【発明の効果】

【0021】

本発明による場合、信号処理部（デバイス）に入力される信号よりも高い周波数でサンプリングされて信号が記録されるので、アナログ的に信号を再現することができる。また、信号処理部に入力される信号を記録し続け、障害が発生した場合に記録処理を停止するので、容量が有限である記録領域に信号を記録し続けている場合であっても上書きされない。障害が発生した時点で入力されていた信号をより確実に、忠実に再現することが可能である。

10

【0022】

本発明による場合、障害を再現するために擬似的に作成された信号が入力されるのではなく、障害が発生した場合に記録しておいた信号が実際に信号処理部に入力されるので、発生した障害を忠実に再現させることが可能となる。

【0023】

本発明による場合、信号処理部に入力される信号よりも確実に高い周波数であるサンプリング周波数で信号をサンプリングするので、入力される実信号をより忠実に再現することが可能となる。

20

【発明を実施するための最良の形態】

【0024】

以下本発明をその実施の形態を示す図面に基づき具体的に説明する。

【0025】

図1は、本実施の形態における信号処理装置1の構成を示すブロック図である。信号処理装置1は、外部から信号を入力するコネクタ部10と、入力される信号に基づいて所定の処理を行なうデバイス11と、各構成部を接続している内部バス12と、コネクタ部10により入力される信号をモニタするモニタFPGA（Field Programmable Gate Array）13と、モニタFPGA13に内部バス12を介して接続しているメモリ14とを備えている。

30

【0026】

コネクタ部10、デバイス11及びモニタFPGA13は内部バス12によって接続されており、コネクタ部10により入力された信号は、デバイス11へ入力されると共にモニタFPGA13へも入力される。

【0027】

コネクタ部10は、外部からの信号を入力する入力端子であり、外部からの信号を内部バス12で伝送するために適宜変換する機能を有している。コネクタ部10は、アナログ信号をデジタル信号へ変換するAD変換器の機能、及びシリアル伝送される信号を内部バス12へパラレル伝送する機能を有しているもよい。

40

【0028】

デバイス11は、CPU（Central Processing Unit）、ネットワークコントローラチップ、ビデオコントローラチップ、メモリ等である。信号処理装置1が含むデバイス11の種類によって、信号処理装置1は通信カード、ビデオカード、メモリカード等の種々の機能を実現するカード型デバイスを構成する。デバイス11は複数備えられていてもよいし、夫々が異なる種類のデバイス11であってもよい。

【0029】

なお、デバイス11は、自身で障害が発生した場合にこれを検出し、障害が発生したことを通知する障害発生信号を出力する機能を有している。本実施の形態における信号処理

50

装置 1 のデバイス 1 1 は、障害発生信号を内部バス 1 2 又は異なる信号線を介してモニタ F P G A 1 3 へ入力する。

【 0 0 3 0 】

モニタ F P G A 1 3 は、コネクタ部 1 0 から入力される信号を所定のサンプリング周波数でサンプリングし、サンプリングした結果をメモリ 1 4 に書き込み続けるように構成される。入力される信号がパラレル伝送される信号である場合でも、複数の信号を同時にサンプリングする。なお、メモリ 1 4 の容量は有限であるので、モニタ F P G A 1 3 はメモリ 1 4 をサイクリックに使用し、最も古い信号に新しい信号を上書きする構成とする。

【 0 0 3 1 】

また、モニタ F P G A 1 3 は、内蔵する所定のレジスタの停止 B I T が外部からオンへ書き換えられるか、内蔵する書込開始 / 停止スイッチへ信号が入力されるか等のトリガにより、書き込みを停止する。なお、本実施の形態ではデバイス 1 1 から出力される障害発生信号がトリガとして利用され、障害が発生した場合に書き込みが停止される。書き込みの再開は、内蔵する停止 B I T がオフに書き換えられるか、前記書込開始 / 停止スイッチへ再度信号が入力されるか等のトリガにより再開されるとしてもよい。

10

【 0 0 3 2 】

さらに、モニタ F P G A 1 3 は内蔵する所定のレジスタの再生 B I T が外部から書き換えられるか、内蔵する再生スイッチへ信号が入力されるか等のトリガにより、メモリ 1 4 に記録した信号を読み出してデバイス 1 1 へ入力する再生を開始する。障害発生信号が書き込み停止のトリガとして利用することと同様に、障害発生信号を再生開始のトリガとして利用してもよい。この場合、モニタ F P G A 1 3 からデバイス 1 1 へ入力される信号とコネクタ部 1 0 により入力され続ける信号とがデバイス 1 1 で重畳されて入力されないよう、コネクタ部 1 0 からのデバイス 1 1 への入力が自動的に遮断される。

20

【 0 0 3 3 】

なお、モニタ F P G A 1 3 は信号をサンプリングする際のサンプリング周波数を以下のように設定する。モニタ F P G A 1 3 は、内蔵するレジスタに記憶されているサンプリング周波数に基づいて、モニタした信号をサンプリングする構成とする。なお、モニタ F P G A 1 3 は、サンプリング及びメモリ 1 4 への記録を開始する前に、内蔵する切替スイッチへ信号が入力されることにより予め記憶されているサンプリング周波数のいずれかを読み出して切り替える構成としてもよいし、又は、レジスタに記憶されているサンプリング周波数を書き換えることによってサンプリング周波数を切り替える構成としてもよい。

30

【 0 0 3 4 】

モニタ F P G A 1 3 を F P G A のみならず、P L D (Programmable Logic Device) 等も含むプログラマブルな集積回路によって実現することにより、ソフトウェア的に適宜、実行される処理を変更することが可能であると共に、ハードウェア的に高速処理を実行することが可能である。

【 0 0 3 5 】

メモリ 1 4 は、S R A M (Static Random Access Memory)、D R A M (Dynamic Random Access Memory) 等の揮発性メモリ、及び E E P R O M (Electrically Erasable and Programmable Read Only Memory) 等の不揮発性メモリのいずれかが利用される。ただし、本実施の形態における信号処理装置 1 はカード型デバイスを構成しているので、信号処理装置 1 単体で後に障害の原因を解析する場合、接続されている装置から取り外されても記録された信号が保持されていることが望まれる。したがって、不揮発性のメモリがより好ましい。

40

【 0 0 3 6 】

上述のように構成される信号処理装置 1 において、信号処理装置 1 へ外部から入力される信号に基づいてデバイス 1 1 の種類に応じた処理がなされると共に、モニタ F P G A 1 3 で入力される信号が記録される処理について説明する。図 2 は、本実施の形態における信号処理装置 1 のデバイス 1 1 へ入力される信号が、モニタ F P G A 1 3 により記録される処理手順の一例を示すフローチャートである。

50

【 0 0 3 7 】

モニタ F P G A 1 3 は、コネクタ部 1 0 により入力されている信号のメモリ 1 4 への記録を開始し（ステップ S 1 1）、設定してあるサンプリング周波数での信号のサンプリング及びメモリ 1 4 への書き込みを行なう（ステップ S 1 2）。モニタ F P G A 1 3 は、障害発生信号を受信したか否かによって障害が発生したか否かを判断する（ステップ S 1 3）。モニタ F P G A 1 3 は、障害が発生していないと判断した場合（S 1 3 : N O）、処理をステップ S 1 2 へ戻し、サンプリング及びメモリ 1 4 への書き込みを繰り返す。

【 0 0 3 8 】

モニタ F P G A 1 3 は、障害が発生したと判断した場合（S 1 3 : Y E S）、メモリ 1 4 への記録を停止し（ステップ S 1 4）、処理を終了する。

10

【 0 0 3 9 】

上述の処理により、デバイス 1 1 へ入力される信号がサンプリングされ続け、障害が発生したことが検出されるまでメモリ 1 4 へ書き込まれ続ける。障害が発生した場合にメモリ 1 4 への書き込みを停止することにより、障害が発生した時点に入力されていた信号が遡って記録されている。

【 0 0 4 0 】

次に、障害が発生した時点で入力されていた信号がメモリ 1 4 に記録されているのに対し、これを実際に再生し、デバイス 1 1 へ入力して障害を再現する処理について説明する。図 3 は、本実施の形態における信号処理装置 1 のモニタ F P G A 1 3 が、記録しておいた信号を再生してデバイス 1 1 へ入力する処理手順の一例を示すフローチャートである。

20

【 0 0 4 1 】

モニタ F P G A 1 3 は、再生 B I T がオンに書き換えられるか、又は再生スイッチへ信号が入力されるか等のトリガによって再生開始指示がされたか否かを判断する（ステップ S 2 1）。モニタ F P G A 1 3 は、再生開始指示がされていないと判断した場合（S 2 1 : N O）、処理をステップ S 2 1 へ戻す。

【 0 0 4 2 】

モニタ F P G A 1 3 が再生開始指示がされたと判断した場合（S 2 1 : Y E S）、コネクタ部 1 0 からデバイス 1 1 への信号の入力が遮断される（ステップ S 2 2）。これは、コネクタ部 1 0 とデバイス 1 1 との間に信号の遮断機構を備え、モニタ F P G A 1 3 からの指示によって信号が遮断されてもよいし、モニタ F P G A 1 3 へ入力される再生開始指示のトリガが同様に遮断指示として遮断機構に入力される構成としてもよい。また、コネクタ部 1 0 が、モニタ F P G A 1 3 からの指示又は再生開始指示のトリガを受け付けてデバイス 1 1 への信号の入力を停止する構成としてもよい。

30

【 0 0 4 3 】

モニタ F P G A 1 3 は、メモリ 1 4 に記録されている信号を読み出してデバイス 1 1 へ入力する再生を開始する（ステップ S 2 3）。次に、モニタ F P G A 1 3 は、再生終了指示がされたか否かを判断する（ステップ S 2 4）。なお、ステップ S 2 4 における再生終了指示は、再生 B I T がオフに書き換えられるか、又は再生スイッチへの信号入力によりオフに切り替わったか等のトリガである。モニタ F P G A 1 3 は、再生終了指示がされていないと判断した場合（S 2 4 : N O）、処理をステップ S 2 4 へ戻して再生した信号の入力を継続する。

40

【 0 0 4 4 】

モニタ F P G A 1 3 は、再生終了指示がされたと判断した場合（S 2 4 : Y E S）、メモリ 1 4 に記録されている信号を読み出してデバイス 1 1 へ入力する再生を終了し（ステップ S 2 5）、処理を終了する。

【 0 0 4 5 】

このとき、モニタ F P G A 1 3 は、再生を開始した場合には記録しておいた信号を繰り返しデバイス 1 1 へ入力する構成とする。これにより、入力された信号を原因とする障害を繰り返し再現させることが可能となる。繰り返し発生する障害をユーザが観測することによって原因が究明できる可能性がある。

50

【 0 0 4 6 】

なお、モニタ F P G A 1 3 は、コネクタ部 1 0 から入力される信号の周波数を判定し、判定した周波数に応じてサンプリング周波数を設定する構成としてもよい。図 4 は、本実施の形態における信号処理装置 1 のデバイス 1 1 へ入力される信号が、モニタ F P G A 1 3 により記録される処理手順の一例を示すフローチャートである。なお、図 4 のフローチャートに示す処理手順の内の、図 2 のフローチャートに示した処理手順と共通する処理については、同一のステップ番号を付して詳細な説明を省略する。

【 0 0 4 7 】

モニタ F P G A 1 3 は、入力されている信号の周波数を判定する（ステップ S 3 1 ）。判定した周波数をレジスタに記憶する（ステップ S 3 2 ）。モニタ F P G A 1 3 は、記憶した周波数の例えば 2 倍にサンプリング周波数を設定し（ステップ S 3 3 ）、入力された信号をメモリ 1 4 への記録を開始し（S 1 1 ）、後の処理を継続する。

10

【 0 0 4 8 】

図 4 のフローチャートに示したように、モニタ F P G A 1 3 は入力される信号の周波数よりも確実に高いサンプリング周波数に設定することができるので、より適したタイミングで信号をサンプリングして記録し、忠実に信号を再現することが可能となる。

【 0 0 4 9 】

次に、フローチャートに示した処理によってメモリ 1 4 に記録される信号について説明する。図 5 は、本実施の形態における信号処理装置 1 に備えられるモニタ F P G A 1 3 によりサンプリングされる信号を模式的に示す波形図である。図 5 の横軸は右へ向かって時間の経過を表している。

20

【 0 0 5 0 】

図 5 (a) は、コネクタ部 1 0 から入力される信号の波形を示している。入力される信号はデジタル信号であるので、本来は矩形波であるが、伝送によってゆるやかに台形波となる。また、図 5 (a) に示される矩形波は、本来は破線で表わされる波形で伝送されるべきであるのに対し、ノイズの影響を受けていることが示されている。

【 0 0 5 1 】

図 5 (b) は、デバイス 1 1 における信号の取り込みタイミング、及び取り込まれた結果を示している。図 5 (b) の矢印は取り込みタイミングを示している。図 5 (b) に示すように、図 5 (b) 中での 2 番目の取り込みタイミングが、ノイズの影響を受けた部分と合致していることにより、本来は「 1 」として取り込まれるべき信号が、「 0 」として取り込まれていることが示されている。

30

【 0 0 5 2 】

図 5 (c) は、モニタ F P G A 1 3 における信号のサンプリングタイミング、及びサンプリングされてメモリ 1 4 に記録される結果を示している。図 5 (c) の矢印は、サンプリングされるタイミングを示している。図 5 (c) に示すように、モニタ F P G A 1 3 におけるサンプリング周波数は、デバイス 1 1 における信号の取り込みタイミング（図 5 (b) 参照）のレートよりも高く設定され、即ち入力される信号の周波数よりも高く設定されている。したがって、モニタ F P G A 1 3 によりサンプリングされて記録される結果は、信号のノイズの影響をより忠実に捉えていることが示されている。

40

【 0 0 5 3 】

図 5 (d) は、モニタ F P G A 1 3 が記録した信号を再生した場合に、モニタ F P G A 1 3 からデバイス 1 1 へ入力される信号の波形、及びデバイス 1 1 における取り込みタイミングを示している。図 5 (d) の矢印は、デバイス 1 1 における信号が取り込まれるタイミングを示している。モニタ F P G A 1 3 がデバイス 1 1 へ入力する信号は、メモリ 1 4 に記録された結果（図 5 (c) ）に基づいて再現されるデジタル信号である。なお、デバイス 1 1 の取り込みタイミングに対して忠実に再現させるために、タイミングが 1 サンプリングクロック分、早められて入力されていることが示されている。これにより、本来であれば「 1 」として取り込まれて処理が行なわれるべきところ、「 0 」として取り込まれる信号が入力されたことにより実行された処理を起因として発生する障害がデバイス 1

50

1で再現される。

【0054】

図5の波形図に示したように、モニタFPGA13は高周波数でサンプリングするので、コネクタ部10からデバイス11へ入力される信号を、よりアナログ的な波形によって再現することが可能に記録することができる。さらに、モニタFPGA13は、実信号に忠実な信号を再生して実際にデバイス11へ入力することが可能であるので、実際に発生した障害の原因を特定することが可能となる。

【0055】

次に、デバイス11がメモリであり、デバイス11でデータの書き込み処理が行なわれる場合を例に、コネクタ部10からデバイス11へ入力される信号がパラレル伝送される
10
ときであっても、有効に障害を再現することができることを示す。

【0056】

図6は、本実施の形態における信号処理装置1においてデバイス11へ入力される信号を模式的に示す波形図である。図6の横軸は右へ向かって時間の経過を表している。

【0057】

図6(a)は、データが書き込まれるべきアドレスを示すアドレス信号であり、図6(b)は、書き込みが有効であるタイミングを示すアドレス有効信号(Write Enable信号)である。また、図6(c)は、書き込まれるデータを示すデータ信号であり、図6(d)はデバイス11への処理を有効(アクティブ)にするチップセレクト(デバイスセレクト)信号である。アドレス信号及びデータ信号がデバイス11へ入力され続けていたとして
20
も、チップセレクト信号及びアドレス有効信号が共に有効(アクティブ)、即ち「1」を示していない場合は、アドレス信号が示すアドレスへのデータの書き込み処理は行なわれない。

【0058】

図6(e)は、デバイス11における図6(a)から(d)までに示した信号の取り込みタイミング、及び信号に基づいて行なわれる処理を示している。なお、図6(b)及び図6(e)に破線で示した波形及びブロックは、本来あるべきタイミングで入力されたアドレス有効信号、及び本来あるべき処理を示している。

【0059】

図6(a)から(e)までに示されるように、本来あるべきタイミングでアドレス有効
30
信号が入力された場合、デバイス11が各信号を取り込んだタイミングでチップセレクト信号及びアドレス有効信号がアクティブであるときに入力されているアドレス信号はアドレス「0xCC」(hex)を示しており、データ信号は「0x01」を示している。したがって、本来はデバイス11において、アドレス「0xCC」にデータ「0x01」が書き込まれるべきである。しかしながら、アドレス有効信号の位相が他の信号とずれていることにより、取り込みタイミングの時点でいずれもがアクティブであるときに入力されているアドレス信号は、アドレス「0x55」を示している。したがって、誤ってアドレス「0x55」にデータ「0x01」が書き込まれる。

【0060】

これらの処理の結果がログとして記録されている場合、ログにはアドレス「0x55」
40
にデータ「0x01」が書き込まれたことが示されている。ログを読み出したユーザは、本来アドレス「0xCC」に書き込まれるべきデータが、異なるアドレス「0x55」に書き込まれたという障害が発生した事実を知ることができる。しかしながら、何を原因として「0x55」にデータが書き込まれたかを知ることができない。

【0061】

これに対し、図6(f)は、モニタFPGA13におけるアドレス有効信号のサンプリングタイミング、及びサンプリングされてメモリ14に記録される結果を示している。図6(f)の矢印はサンプリングされるタイミングを示している。図6(f)に示すように、モニタFPGA13によりサンプリングされて記録される結果は、実際のアドレス有効信号をより忠実に捉えていることが示されている。
50

【 0 0 6 2 】

図 6 (g) は、モニタ F P G A 1 3 によって記録され、再生されるアドレス有効信号であり 1 サプリングクロック分、タイミングが早められている。図 6 (h) は、モニタ F P G A 1 3 によって記録され、再生されるアドレス信号である。また、図 6 (i) は、モニタ F P G A 1 3 によって記録され、再生されるデータ信号であり、図 6 (j) はモニタ F P G A 1 3 によって記録され、再生されるチップセレクト信号である。

【 0 0 6 3 】

図 6 (k) は、デバイス 1 1 における図 6 (g) から (j) までに示した信号の取り込みタイミングを示している。図 6 (g) から (k) までに示されるように、障害が発生した場合のアドレス有効信号 (図 6 (g)) が忠実にモニタ F P G A 1 3 により再現されて入力される。これにより、本来であれば「 1 」即ちアクティブの信号が入力され、デバイス 1 1 に取り込まれて「 0 x C C 」へのデータの書き込みが行なわれるべきところ、取り込みタイミングには「 0 」即ち非アクティブの信号が入力され、次の取り込みタイミングでアドレス有効信号がアクティブであるために誤って「 0 x 5 5 」へデータの書き込み処理が行なわれる障害がデバイス 1 1 で再現される。

10

【 0 0 6 4 】

図 6 の波形図に示したように、複数の信号がパラレル伝送された場合であってもいずれも再現されることにより、位相関係を復元することができる。したがって、図 6 の波形図に示される例ではアドレス有効信号のタイミングがずれていることを特定することができ、原因を特定することが可能である。

20

【 0 0 6 5 】

このように、信号処理装置 1 の内部に備えられたモニタ F P G A 1 3 が、障害が発生した時点で入力されていた実際の信号を高い周波数でサンプリングして記録しているので、よりアナログ的に忠実に実信号を再現することが可能である。信号処理装置 1 に対して推測に基づき作成された信号を疑似的に外部から入力して再現を図ることなしに、信号処理装置 1 単体で実信号に近い信号を用いて再現試験を行なうことが可能である。

【 0 0 6 6 】

なお、本実施の形態における信号処理装置 1 ではデバイス 1 1 が障害発生信号をモニタ F P G A 1 3 へ直接入力する構成とした。しかしながら、本発明はこれに限らず、信号処理装置 1 はエラー検出部を更に備え、デバイス 1 1 を含む各構成部で障害が発生した場合にこれを検出してモニタ F P G A 1 3 へ入力する構成としてもよい。

30

【 0 0 6 7 】

また、本実施の形態における信号処理装置 1 は、カード型デバイスで構成した。しかしながら本発明はこれに限らず、入力される信号に基づく処理を行なうデバイス 1 1 を備えた装置の内部に、モニタ F P G A 1 3 及びメモリ 1 4 を備えることによって装置で発生する障害の原因究明を装置単体で実施することができる。モニタ F P G A 1 3 及びメモリ 1 4 は、開発過程のみならず運用後もそのままカード型デバイス又は対象装置に備えられたままにしておくことにより、開発過程から運用、保守管理に至るまでいずれの場合における障害発生に対して有効に利用できる点、優れた効果を奏する。

40

【 図面の簡単な説明 】

【 0 0 6 8 】

【 図 1 】 本実施の形態における信号処理装置の構成を示すブロック図である。

【 図 2 】 本実施の形態における信号処理装置のデバイスへ入力される信号が、モニタ F P G A により記録される処理手順の一例を示すフローチャートである。

【 図 3 】 本実施の形態における信号処理装置のモニタ F P G A が、記録しておいた信号を再生してデバイスへ入力する処理手順の一例を示すフローチャートである。

【 図 4 】 本実施の形態における信号処理装置のデバイスへ入力される信号が、モニタ F P G A により記録される処理手順の一例を示すフローチャートである。

【 図 5 】 本実施の形態における信号処理装置に備えられるモニタ F P G A によりサンプリングされる信号を模式的に示す波形図である。

50

【図6】本実施の形態における信号処理装置においてデバイスへ入力される信号を模式的に示す波形図である。

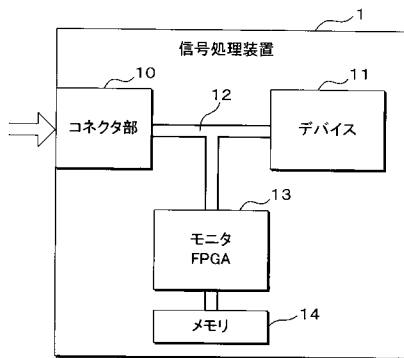
【符号の説明】

【0069】

- 1 信号処理装置
- 10 コネクタ部
- 11 デバイス（信号処理部）
- 12 内部バス
- 13 モニタFPGA
- 14 メモリ

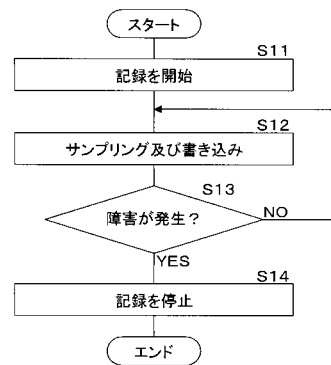
【図1】

本実施の形態における信号処理装置の構成を示すブロック図



【図2】

本実施の形態における信号処理装置のデバイスへ入力される信号が、モニタFPGAにより記録される処理手順の一例を示すフローチャート



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 6 K 17/00

Y

G 0 6 K 19/00

Q