СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1522404 A1

(51) 4 H 03 M 1/46

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

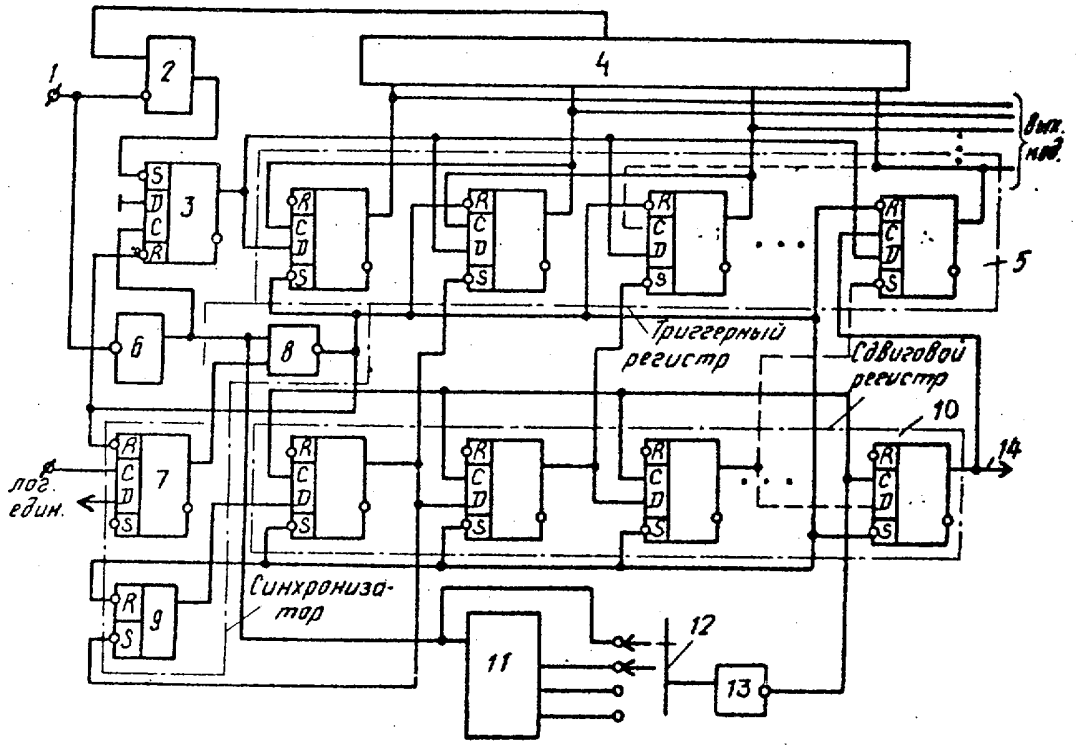
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4336519/24-24
(22) 16.09.87
(46) 15.11.89. Бюл. № 42
(71) Азербайджанский институт нефти и химии им.М.Азизбекова
(72) М.П.Грановский и Э.А.Тургиев
(53) 681.325(088.8)
(56) Смолов В.Б. Универсальные электронные преобразователи информации, 1971, с.192-196, рис.111.6.

Авторское свидетельство СССР № 1014138, кл. H 03 M 1/46, 1981.

(54) ПРЕОБРАЗОВАТЕЛЬ ПЕРЕМЕННОГО НАПРЯЖЕНИЯ В КОД

(57) Изобретение относится к информационно-измерительной технике и может быть использовано в цифровых вольтметрах и регистраторах. Изобретение повышает надежность работы и расширяет частотный диапазон. Это достигается тем, что в преобразователь переменного напряжения в код, содержащий компаратор 2, цифроаналоговый преобразователь 4, формирователь 6 импульсов, триггерный регистр 5, регистр 10 сдвига на D-триггерах, введены два D-триггера 3 и 7, RS-триггер 9, элемент И-НЕ 8, счетчик 11, переключатель 12 частотного режима, инвертор 13, а триггерный регистр 5 выполнен на D-триггерах. 1 ил.



(19) SU (11) 1522404 A1

Изобретение относится к информационно-измерительной технике и может быть использовано в цифровых вольтметрах и регистраторах.

Цель изобретения - повышение надежности и расширение частотного диапазона.

На чертеже представлена функциональная схема преобразователя.

Устройство содержит входную шину 1, компаратор 2, D-триггер 3, цифроаналоговый преобразователь (ЦАП) 4, триггерный регистр 5 на D-триггерах, формирователь 6 импульсов, D-триггер 7, элемент И-НЕ 8, RS-триггер 9, регистр 10 сдвига на D-триггерах, счетчик 11 импульсов, переключатель 12 частотного режима, инвертор 13 и шину 14 "Конец преобразования".

Устройство работает следующим образом.

Поступающее измеряемое переменное напряжение формируется формирователем 6 в однополярные положительные импульсы с крутыми фронтами, которые поступают на С-вход D-триггера 3, устанавливая его в "0" по прямому выходу, который соединен с D-входами D-триггеров триггерного регистра 5. Одновременно эти же импульсы через переключатель 12 и инвертор 13 поступают на С-входы D-триггеров регистра 10. Однополярные (короткие) положительные импульсы с круглыми фронтами формируются на выходе формирователя 6 в моменты перехода через "0" накопительного полупериода напряжения в отрицательный полупериод, чтобы можно было компенсирующее напряжение заблаговременно подать на компаратор 2, т.е. во время отрицательного полупериода и до появления положительного полупериода переменного напряжения, который на участке возрастания используется в качестве развертывающегося напряжения, сравниваемого компаратором 2 с компенсирующим напряжением от ЦАП 4. В связи с этим необходима высокая чувствительность формирователем 6 по входу, поэтому он содержит усилитель-ограничитель на входе и формирователь короткого импульса на выходе.

Преобразование начинается с приходом сигнала "Запуск", поступающего на С-вход D-триггера 7, который при этом устанавливается в "1", деблокируя элемент 8. Ближайший к моменту запуска положительный импульс с формирователя 6 преобразуется элементом 8 в короткий отрицательный импульс, который устанавливает по S-входам D-триггеры регистра 10 в единичное (исходное) состояние, D-триггер старшего разряда регистра 5 - в "1", а остальные D-триггеры - в "0". Одновременно импульс с выхода элемента 8 устанавливает D- и RS-триггеры 7 и 9 в состояние "0". При этом D-триггером 7 блокируется вход элемента 8 и прекращается действие импульса на его выходе, т.е. заканчивается запуск устройства и начинается преобразование.

С выхода ЦАП 4 на компаратор 2 поступает напряжение $U_{цап} = U_0 \cdot 2^{N-1}$, где U_0 - напряжение, соответствующее младшему разряду; N - разрядность преобразователя, при котором на выходе компаратора образуется "1", не воздействующая на D-триггер 3, который остается в нулевом состоянии. Если амплитуда измеряемого (преобразуемого) напряжения превышает уровень $U_{цап}$, то на выходе компаратора вырабатывается "0", по которому D-триггер 3 перейдет в единичное состояние и запомнит "0" компаратора 2 на все остальное время такта. По окончании положительной полуволны входного сигнала на выходе инвертора 13 образуется положительный фронт импульса, по которому "0" с RS-триггера 9 запишется в D-триггер (N-1)-го старшего разряда регистра 10, который переключит триггер 9 в состояние "1". При этом в состояние "1" перейдет также второй (N-2)-й D-триггер регистра 5 и с него на С-вход первого (N-1)-го D-триггера поступит положительный фронт импульса, которым "1" с выхода D-триггера 3 будет подтверждено единичное состояние D-триггера старшего разряда регистра 5.

Если же амплитуда измеряемого напряжения меньше уровня $U_{цап}$, то компаратор 2 выдаст "1" и D-триггер 3 останется в "0". В момент поступления положительного фронта импульса на С-вход D-триггера регистра 5 в него будет записан "0", т.е. этот D-триггер сбросится.

С приходом следующего (второго) периода положительный импульс с формирователя 6 установит D-триггер 3

опять в "0", а отрицательный фронт импульса произведет сдвиг "0" в регистре 10 вправо. На выходе второго D-триггера регистра 10 возникнет "0", по которому третий (N-3)-й D-триггер регистра 5 перейдет в "1", поступающую на ЦАП 4 и С-вход второго (N-2)-го D-триггера регистра 5, в который произойдет запись по D-входу состояния D-триггера 3 во втором периоде (такте) входного сигнала и так до тех пор, пока не будет опрошен D-триггер младшего разряда регистра 5 с помощью последнего D-триггера регистра 10, который выдаст сигнал "Конец преобразования".

Таким образом, в триггерном регистре 5 по каждому периоду входного сигнала вырабатывается код его амплитуды в соответствии с состояниями компаратора 2 и триггера 3.

Время преобразования $t_{пр}$ определяется разрядностью N и периодом следования T измеряемого напряжения:

$$t_{пр} = N \cdot T.$$

Частотный диапазон преобразователя зависит в основном от быстродействия ключей ЦАП, время срабатывания которых составляет 1-2 мкс. Поэтому для преобразования напряжения частотой выше 1 МГц устройство содержит счетчик 11, который делит входную частоту импульсов, сформированных формирователем 6 и поступающих на синхровходы D-триггеров через переключатель 12 и инвертор 13. При этом допустимая частота преобразуемого напряжения повышается до 10-16 МГц и определяется уже быстродействием компаратора 2 и связанного с ним D-триггера 3. Срабатывание компаратора несколько раз за один такт сдвигающих импульсов не влияет на параметры преобразователя, такие как точность и быстродействие. Без каких-либо изменений преобразователь может измерять амплитуду импульсов.

Формула изобретения

Преобразователь переменного напряжения в код, содержащий компаратор, первый вход которого объединен с инверсным входом формирователя импульсов и является входной шиной, второй вход соединен с выходами цифроаналогового преобразователя, входы которого поразрядно соединены с соответствующими выходами триггеров триггерного регистра и являются выходной шиной, регистр сдвига на D-триггерах, С-входы которых объединены, о т л и ч а ю щ и й с я тем, что, с целью повышения надежности и расширения частотного диапазона, в него введены два D-триггера, RS-триггер, элемент И-НЕ, счетчик импульсов, переключатель частотного режима, инвертор, а триггерный регистр выполнен на D-триггерах, причем выход инвертора соединен с С-входом первого D-триггера регистра сдвига, а вход - с выходом переключателя частотного режима, первые входы которого соединены с соответствующими выходами счетчика импульсов, второй вход переключателя частотного режима объединен с входом счетчика импульсов, первым входом элемента И-НЕ, С-входом первого D-триггера и соединен с выходом формирователя импульсов, D-вход первого D-триггера является шиной нулевого потенциала, S-вход соединен с выходом компаратора, R-вход объединен с R-входом второго D-триггера, S-входом первого D-триггера триггерного регистра, R-входами остальных D-триггеров триггерного регистра, S-входами D-триггеров регистра сдвига, инверсным R-входом RS-триггера и соединен с выходом элемента И-НЕ, второй вход которого соединен с выходом второго D-триггера, С-вход которого является шиной запуска, D-вход - шиной логической единицы, выход RS-триггера соединен с D-входом первого D-триггера регистра сдвига, выход первого D-триггера регистра сдвига соединен с D-входом второго D-триггера регистра сдвига, инверсным S-входом RS-триггера и S-входом второго D-триггера триггерного регистра, выход каждого i-го D-триггера регистра сдвига, кроме первого D-триггера, соединен с D-входом (i+1)-го D-триггера регистра сдвига и S-входом (i+1)-го D-триггера триггерного регистра, выход последнего D-триггера регистра сдвига соединен с С-входом последнего D-триггера триггерного регистра и является шиной "Конец преобразования", выход первого D-триггера соединен с D-входами всех D-триггеров триггерного регистра, С-вход i-го D-триггера триггерного регистра соединен с выходом (i+1)-го D-триггера триггерного регистра.